การออกแบบและสร้างส่วนความจำสารกึ่งตัวนำของไมโครคอมพิวเตอร์

นายจารุมาตร ปิ่นทอง

000337

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิทยาศาสตรมหาบัณฑิต
หน่วยวิชาคอมพิวเตอร์ศาสตร์
บัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย
พ.ศ. 2518

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

DESIGN AND CONSTRUCTION OF SEMICONDUCTOR MEMORY FOR MICROCOMPUTER

Mr Charumatr Pinthong

A Thesis Submitted in Partial Fulfillment of the Requirements

for the Degree of Master of Science

Division of Computer Science

Graduate School

Chulalongkorn University

1975

บัณฑิตวิทยาลัย จุฬาลงกรณมหาวิทยาลัย อนุมัติให้นับวิทยานิพนธ์
ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญามหาบัณฑิต

.....คณบดีบัณฑิตวิทยาลัย

คณะกรรมการตรวจวิทยานิพนธ์

.....ประธานกรรมก
.....กรรมการ
.....กรรมการ

อาจารย์ผู้ควบคุมการวิจัย ศาสตราจารย์ ดร. อิทธิพล ผดุงชีวิต

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

ลิขสิทธิ์ของบัณฑิตวิทยาลัย
จุฬาลงกรณมหาวิทยาลัย

หัวข้อวิทยานิพนธ์ การออกแบบและสร้างส่วนความจำสารกึ่งตัวนำของไมโครคอมพิวเตอร์

ชื่อ นายจารุมาตร ปิ่นทอง หน่วยวิชาคอมพิวเตอร์ศาสตร์

ปีการศึกษา 2517

ทบส่งศึกษา จุฬาลงกรณ์มหาวิทยาลัย

บทคัดย่อ

ส่วนความจำเป็นส่วนสำคัญที่สุดส่วนหนึ่งของดิจิตอลคอมพิวเตอร์ ในปัจจุบันส่วนความจำแบบสารกึ่งตัวนำได้รับความนิยมใช้กันอย่างแพร่หลาย เพราะสามารถทำงานได้รวดเร็ว และมีราคาไม่แพง วิทยานิพนธ์นี้มีจุดประสงค์เพื่อออกแบบและสร้างส่วนความจำแบบสารกึ่งตัวนำ ขนาดความจุ 64 word 8 bit/word เพื่อที่จะนำไปใช้งานร่วมกับไมโครคอมพิวเตอร์แบบ 40 ของ - ADTECH และเครื่องมืออื่น ๆ จากการทดลองพบว่าส่วนความจำที่ออกแบบสร้างขึ้น มี access time 50 ns write time 60 ns และ cycle time 105 ns และสามารถใช้งานได้เป็นอย่างดี นอกจากนั้นยังได้กล่าวถึงราย - ละเอียดอื่นในวิทยาพนธ์นี้อีกด้วย.

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

Thesis Title Design and Construction of Semiconductor Memory for Microcomputer.

Name Mr Charumatr Pinthong Division of Computer Science

Academic Year 1974

ABSTRACT

One of the most important unit of digital computer is a memory unit. Nowadays, integrated semiconductor memory are commonly used. They are low cost and able to operate at high speed. The purposes of this project are to design and construct 64 word 8 bit/word random access memory and use it with the microcomputer ADTECH model 40. The characteristics of the memory have been designed and constructed were tested. The access time is 50 ns. The write time is 60 ns. The cycle time is 105 ns. The memory built for the experiment work satisfactorily with the microcomputer ADTECH model 40. More details were discussed in this project.

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

คำนำ

วิทยานิพนธ์เรื่องการออกแบบและสร้างส่วนความจำถึ่งตัวนำสำหรับไมโครคอมพิวเตอร์นี้ เป็นส่วนหนึ่งของการศึกษาขั้นปริญญามหาบัณฑิต ของศูนย์คอมพิวเตอร์ศาสตร์ บัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย และยังเป็นส่วนหนึ่งของโครงการไมโครคอมพิวเตอร์ ซึ่งเป็นโครงการวิจัยเพื่อสร้างคอมพิวเตอร์ขนาดเล็ก เพื่อการสอนทางด้าน Hardware อีกด้วย ในการวิจัยครั้งนี้ผู้เขียนได้ค้นคว้าข้อมูลและหลักฐานต่างๆ โดยอาศัยหนังสือและเอกสารต่างๆที่เกี่ยวข้อง รวมทั้งได้รับคำแนะนำและความช่วยเหลือจากท่านผู้รู้หลายท่านจนสามารถทำการวิจัยได้สำเร็จตามจุดมุ่งหมาย

ผู้เขียนขอขอบพระคุณอาจารย์และเจ้าหน้าที่ศูนย์คอมพิวเตอร์ศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย อาจารย์ชิดชัย สุทธาศวิน หัวหน้าภาควิชาไฟฟ้า วิทยาลัยครูอาชีวศึกษา รวมทั้งอาจารย์และเจ้าหน้าที่กองอีเล็คโทรนิค สำนักงานพลังงานปรมาณูเพื่อสันติ ที่กรุณาให้คำแนะนำตลอดจนช่วยเหลือในการวิจัยครั้งนี้ โดยเฉพาะอย่างยิ่ง ศาสตราจารย์ ดร. อิทธิพล ผดุงชีวิต ผู้อำนวยการศูนย์คอมพิวเตอร์ศาสตร์ ซึ่งกรุณาให้คำแนะนำ ตลอดจนตรวจและแก้ไขวิทยานิพนธ์จนเป็นที่เรียบร้อย

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญ

หน้า

บทคัดย่อภาษาไทย ... ... ก

บทคัดย่อภาษาอังกฤษ.. ... ... ข

คำนำ .... ค

รายการตารางประกอบ ... ... ฉ

รายการรูปประกอบ... ... ... ช

บทที่

1. บทนำ

1.1 ความเป็นมาของปัญหา 1

1.2 วัตถุประสงค์และขอบเขตของการวิจัย.. 2

1.3 ประโยชน์ที่ได้จากการวิจัย.. 3

1.4 วิธีดำเนินการวิจัย 3

2. ส่วนความจำแบบสารกึ่งตัวนำ

2.1 วิวัฒนาการของส่วนความจำ 4

2.2 องค์ประกอบของส่วนความจำดิจิตอลคอมพิวเตอร์.. 8

2.3 คุณสมบัติของส่วนความจำดิจิตอลคอมพิวเตอร์ ... 9

2.4 ส่วนความจำของไมโครคอมพิวเตอร์... 10

2.5 ส่วนความจำแบบสารกึ่งตัวนำสำหรับไมโครคอม - พิวเตอร์... 10

2.6 วงจร Bipolar Semiconductor RAM Cell.. ... 12

2.7 ข้อดีและข้อเสียของ Bipolar Memory 15

หน้า

3. การออกแบบส่วนความจำแบบสารกึ่งตัวนำสำหรับไมโครคอมพิวเตอร์

3.1 การออกแบบ Bipolar RAM 17

3.2 การออกแบบส่วนความจำสำหรับไมโครคอมพิวเตอร์-โดยใช้ Bipolar RAM 30

3.3 วงจรของ 64 word 8 bit/word RAM 35

4. การสร้างและทดลอง

4.1 อุปกรณ์... 48

4.2 การตรวจสอบอุปกรณ์ 57

4.3 การประกอบและการตรวจสอบอุปกรณ์ระหว่างประกอบ 54

4.4 การทดลอง 58

4.5 การหา Propagation Time 61

4.6 การหา Access Time,Write Time และ Cycle Time 64

5. ข้อสรุปและเสนอแนะ

5.1 ปัญหาการวิจัย.. 66

5.2 การขยายส่วนความจำ 67

5.3 ประโยชน์ที่ได้รับจากการวิจัย... 68

เอกสารอ้างอิง 69

ประวัติการศึกษา 71

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

รายการตารางประกอบ

ตารางที่		หน้า
2.1	การเปรียบเทียบคุณสมบัติของ memory แบบต่าง ๆ	6
2.2	การเปรียบเทียบคุณสมบัติของ MOS และ Bipolar Memory	11
3.1	สัญญาณควบคุม WE และME	33
3.2	สถานะของ address ในแต่ละ package	39
4.1	NOT gate truth table	51
4.2	AND gate truth table	52
4.3	DM 7442 truth table	53
4.4	คุณสมบัติของ 64 word 8 bit/word RAM	64
4.5	Access time , write time & cycle time	65

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

รายการรูปประกอบ

รูปที่		หน้า
2.1	ก Delay line	4
2.1	ข Electrostatic	5
2.2	Ferrite core	5
2.3	Magnetic integrated memory	7
2.4	ส่วนประกอบของระบบความจำ	8
2.5	Bistable flip-flop แบบพื้นฐาน	12
2.6	ก Multiple emitter cell	13
2.6	ข Diode coupled cell	14
2.6	ค Emitter coupled cell	14
2.7	Write amplifier และ sense amplifier	14
2.8	การเปรียบเทียบขนาด ความจุและราคา	16
3.1	แผนผังขยายส่วนความจำ	18
3.2	System access time	21
3.3	รายละเอียดของแผนผังเวลา	23
3.4	System write time	23
3.5	ก Open collector output	25
3.5	ข Three-state output	25
3.6	Open collector R_L	26
3.7	Ac fanout	29
3.8	DM 7489	31
3.9	แผนผังและจุดต่อของ SN 7489/DM 7489	32
3.10	ผังวงจรของ 64 word 8 bit/word	36

หน้า

3.11 รายละเอียดของ storage ของ 64 word 8 bit/word RAM 38

3.12 วงจรของ address decoder 42

3.13 วงจรของ address decoder , address buffer & R/W buffer 40

3.14 วงจรของ data input buffer 41

3.15 วงจรของ data output buffer 43

3.16 ก รายละเอียดของ DM 7442 44

3.16 ข วงจร 64 word 8 bit/word RAM 45

4.1 ก แบบ printed circuit ด้านบน 49

4.1 ข แบบ printed circuit ด้านล่าง 50

4.2 วงจรตรวจสอบ MPS 5172 53

4.3 วงจรตรวจสอบ LED 54

4.4 สัญญาณ ME จาก address decoder 55

4.5 64 word 8 bit/word RAM ที่ประกอบเรียบร้อย 57

4.6 Clock 1 MHz 59

4.7 วงจรทดลองการ read/write 60

4.8 วงจรการหา propagation delay time จากสัญญาณ R/W 61

4.9 สัญญาณ clock pulse & output จาก R/W 62

4.10 วงจรการหา propagation delay time จากสัญญาณ - address 63

4.11 Clock pulse และ output จากสัญญาณ address 63

บทที่ 1

บทนำ

ความเป็นมาของปัญหา

ในปัจจุบันนี้ คอมพิวเตอร์เป็นเครื่องมือทางอีเล็คโทรนิคที่นับได้ว่ามีบทบาทต่อชีวิตประจำวันของมนุษย์มากขึ้น ความสามารถในการทำงานตามคำสั่งได้อย่างถูกต้อง รวดเร็ว สามารถเก็บข้อมูลและผลลัพธ์ได้จำนวนมากโดยไม่ผิดพลาด ทำให้สามารถประหยัดเวลาการทำงานได้มาก คอมพิวเตอร์ได้เข้ามามีบทบาทและช่วยพัฒนางานแทบทุกสาขา ไม่ว่าจะเป็นด้านวิทยาศาสตร์ อุตสาหกรรม เกษตรกรรม การศึกษา การทหาร วงการธุรกิจและอื่น ๆ ในประเทศไทย คอมพิวเตอร์เริ่มมีบทบาทมากขึ้นในระยะ 5 - 6 ปีมานี้ การศึกษาเกี่ยวกับคอมพิวเตอร์โดยทั่วไป เน้นหนักในด้าน software ซึ่งได้แก่ การวางระบบงานและการเขียนโปรแกรมเป็นส่วนใหญ่ สำหรับการศึกษาทางด้าน hardware นั้น ส่วนใหญ่เป็นการศึกษาในบริษัทคอมพิวเตอร์เท่านั้น ยังไม่แพร่หลายมายังสถาบันการศึกษาต่าง ๆ มากนัก แม้ในระยะหลังจะมีผู้เล็งเห็นความสำคัญและเริ่มศึกษาทางด้านนี้เพิ่มขึ้น แต่ยังอยู่ในขั้นพื้นฐาน ประกอบกับข้อมูลและรายละเอียดส่วนใหญ่ยังถูกเก็บเป็นความลับอยู่ อีกทั้งหนังสือและอุปกรณ์ต่าง ๆ นอกจากจะมีจำนวนน้อยแล้ว ยังมีราคาแพงอีกด้วยยิ่งทำให้การศึกษาทางด้าน hardware ในประเทศไทยไม่สามารถติดตามความเจริญก้าวหน้าทางวิทยาการและเทคโนโลยีซึ่งรวดเร็วมากได้ทัน

ในการศึกษาด้าน hardware นั้น เป็นการศึกษาส่วนประกอบที่ประกอบเป็นระบบคอมพิวเตอร์ คือ ส่วนรับ (input unit) ส่วนแสดงผล (output unit) ส่วนควบคุม (central processing unit) ส่วนคำนวณ (arithmatic & logical unit) และส่วนความจำ (memory unit)

ไม่ว่าจะเป็นดิจิตอลคอมพิวเตอร์แบบที่ใช้ในงานด้านวิทยาศาสตร์หรือธุรกิจก็ตาม คำสั่งและข้อมูลต่าง ๆ จะต้องถูกเก็บไว้ในส่วนความจำก่อนเสมอ แล้วจึงจะเริ่มทำงานตามคำสั่งที่เก็บไว้นั้นตามลำดับ หรือแม้แต่ข้อมูลที่เกิดขึ้นระหว่างการประมวลผลก็จะถูกเก็บไว้เพื่อนำมาใช้ภายหลัง

ส่วนความจำ (memory unit) ที่ทำหน้าที่เก็บคำสั่งและข้อมูลนั้น ในคอมพิวเตอร์แต่ละแบบอาจมีลักษณะและชนิดของส่วนความจำแตกต่างกันออกไปตามแบบของงานที่จะนำไปใช้ โดยทั่วไป เราสามารถแบ่งส่วนความจำตามลักษณะการทำงานได้ 2 แบบ คือ main memory ซึ่งทำหน้าที่เก็บคำสั่งและข้อมูลทั้งหมด และ auxiliary memory ซึ่งทำหน้าที่ช่วย main memory ในการเก็บคำสั่งและข้อมูลที่ main memory ไม่สามารถเก็บได้หมดในขณะทำงานหรือต้องการเก็บไว้เป็นเวลานาน นอกจากส่วนความจำดังกล่าวแล้ว ในส่วนควบคุมของคอมพิวเตอร์แบบทันสมัย ยังมีส่วนความจำที่เก็บกลุ่มของคำสั่งบางคำสั่ง ซึ่งเราเรียกว่า microprogram ซึ่งช่วยให้คอมพิวเตอร์ทำงานได้รวดเร็วยิ่งขึ้น และในขณะที่มีการส่งข้อมูลจากส่วนใดส่วนหนึ่งของคอมพิวเตอร์ไปยังอีกส่วนหนึ่งจะมี buffer ที่ประกอบด้วย flip-flop จำนวนหนึ่ง ทำหน้าที่เป็นส่วนความจำคอยช่วยให้การส่งข้อมูลและการทำงานสะดวกขึ้น

ส่วนความจำที่สร้างขึ้นในปัจจุบันมีทั้งแบบที่ใช้คุณสมบัติของแม่เหล็ก (magnetic memory) และแบบที่ไม่ใช้คุณสมบัติของแม่เหล็ก (non-magnetic memory) ซึ่งจะเห็นว่าส่วนความจำของคอมพิวเตอร์นั้นเป็นส่วนที่น่าสนใจทำการศึกษาให้เข้าใจ เพื่อจะได้นำมาเป็นประโยชน์ในการออกแบบเพื่อสร้างและขยายส่วนความจำของคอมพิวเตอร์ และการศึกษาระบบคอมพิวเตอร์ต่อไป

วัตถุประสงค์และขอบเขตของการวิจัย

ตามที่ได้กล่าวถึงความสำคัญของส่วนความจำของคอมพิวเตอร์แล้วนั้น วิทยานิพนธ์ฉบับนี้จะศึกษาถึงส่วนความจำของไมโครคอมพิวเตอร์ ซึ่งเป็นคอมพิว-

เตอร์ที่ได้รับการออกแบบสร้างขึ้นเพื่อวัตถุประสงค์ในการสอนทางด้าน hardware โดยเฉพาะ รวมทั้งการออกแบบส่วนความจำด้วย โดยมีวัตถุประสงค์ของการวิจัยดังนี้

1. เพื่อศึกษาชนิดและการทำงานของส่วนความจำแบบสารกึ่งตัวนำที่เหมาะสมกับไมโครคอมพิวเตอร์

2. เพื่อศึกษาการออกแบบและสร้างส่วนความจำแบบสารกึ่งตัวนำเพื่อนำไปใช้งานร่วมกับไมโครคอมพิวเตอร์ ADTECH model 40

3. ศึกษาวิธีการทดสอบวงจรที่ออกแบบสร้างขึ้น

ประโยชน์ที่จะได้จากการวิจัย

ในการค้นคว้าและวิจัยนี้ คาดว่าจะเป็นประโยชน์ต่อการศึกษาคอมพิวเตอร์ในด้าน hardware ในประเทศไทย โดยเฉพาะอย่างยิ่ง เพื่อเป็นหลักฐานและแนวทางในการสร้างและขยายส่วนความจำของคอมพิวเตอร์และเครื่องมืออื่น ๆ รวมทั้งยังสามารถนำส่วนความจำที่ออกแบบไว้นี้ ไปใช้งานร่วมกับเครื่องมืออื่น ๆ ได้โดยง่าย

วิธีดำเนินการวิจัย

การวิจัยมีวิธีดำเนินการวิจัยดังนี้

1. ศึกษาและออกแบบวงจรเพื่อประกอบเป็นส่วนความจำของไมโครคอมพิวเตอร์ ขนาด 64 word 8 bit/word โดยใช้ส่วนความจำแบบสารกึ่งตัวนำ

2. ออกแบบและสร้าง printed circuit เพื่อใช้กับวงจรส่วนความจำที่ออกแบบไว้

3. จัดหาอุปกรณ์ ทดสอบ และประกอบชิ้นส่วนต่าง ๆ ลงบน printed - circuit ที่ออกแบบสร้างขึ้น

4. ทำการทดลองและตรวจสอบคุณสมบัติของส่วนความจำที่ออกแบบสร้างขึ้น

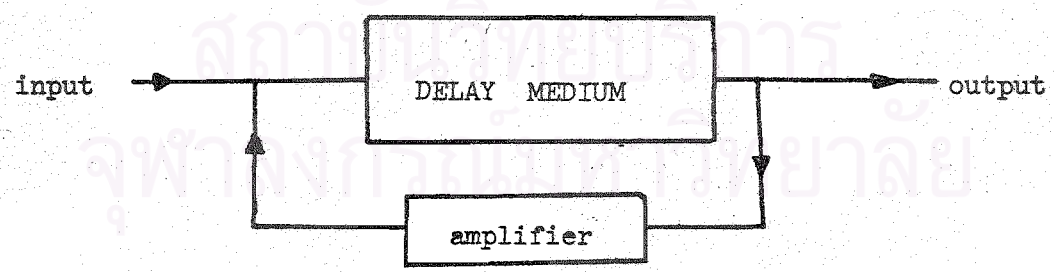
บทที่ 2

ส่วนความจำแบบสารกึ่งตัวนำ

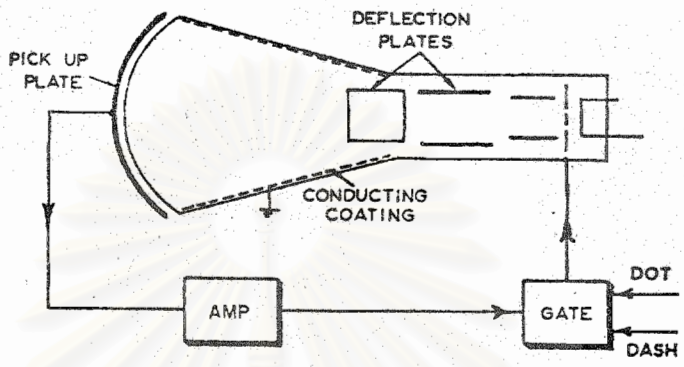
โดยที่ส่วนความจำเป็นส่วนสำคัญของคอมพิวเตอร์จึงจำเป็นที่จะต้องพิจารณาศึกษาคุณสมบัติ ระบบการทำงานและส่วนประกอบต่าง ๆ ของส่วนความจำ เพื่อจะได้นำมาใช้ประกอบการศึกษาร่วมกับระบบอื่น ๆ ต่อไป

2.1 วิวัฒนาการของส่วนความจำ

ส่วนความจำของคอมพิวเตอร์ได้วิวัฒนาการก้าวหน้าอย่างรวดเร็ว ส่วนความจำที่สร้างขึ้นตั้งแต่แรกจนถึงปัจจุบันมีทั้งแบบที่ใช้คุณสมบัติของแม่เหล็ก (magnetic memory) และแบบที่ไม่ใช้คุณสมบัติของแม่เหล็ก (non-magnetic memory) ส่วนความจำที่สร้างขึ้นตั้งแต่แรกในปี ค.ศ. 1945-1952 เป็นแบบ delay line และแบบ electrostatic ซึ่งในแบบอาศัยคุณสมบัติของ delay time ในวัตถุและในแบบ electrostatic อาศัยคุณสมบัติของประจุไฟฟ้าดังแสดงในรูปที่ 2.1 ก และ 2.1 ข ตามลำดับ

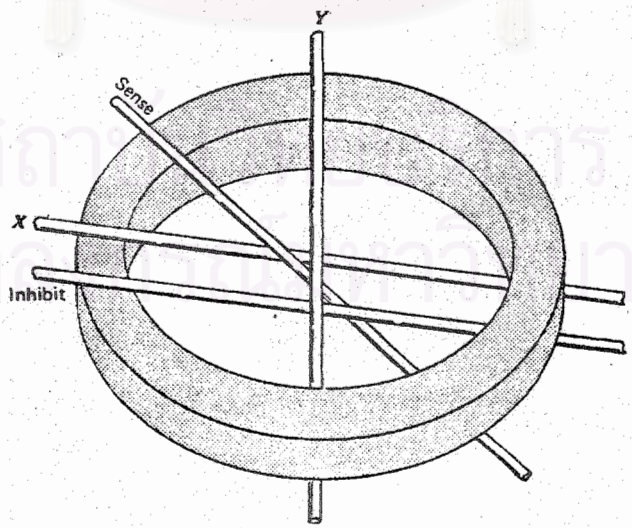


รูป 2.1 ก delay line memory



รูป 2.1 ข Electrostatic memory

ในปี ค.ศ. 1953 MIT ได้นำเอา ferrite core ซึ่งใช้คุณสมบัติของ rectangular-hysteresis loop มาทำเป็นส่วนความจำ ซึ่งทำให้คอมพิวเตอร์ทำงานได้เร็วยิ่งขึ้น ดังแสดงในรูปที่ 2.2

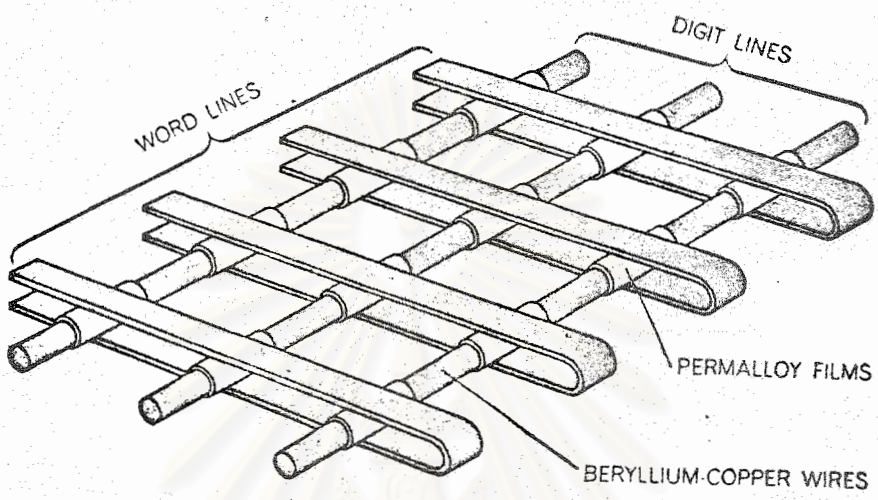


รูปที่ 2.2 Ferrite core memory

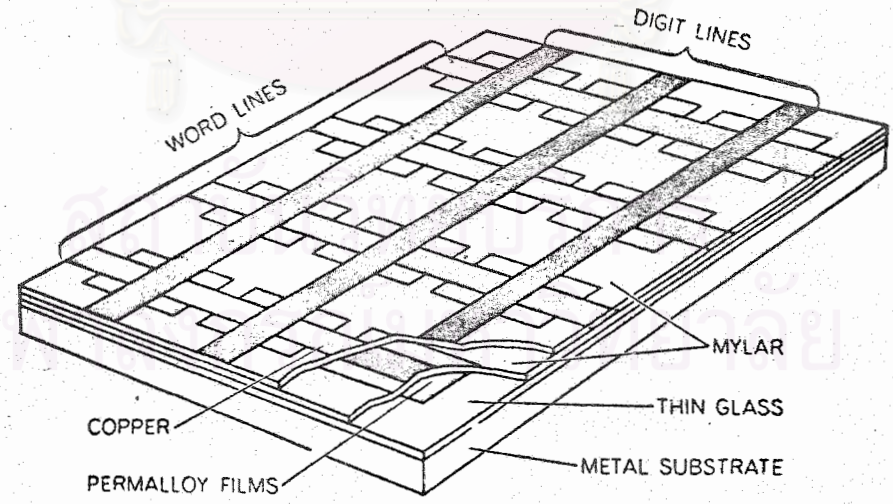
ต่อมาได้มีการสร้างส่วนความจำแบบ magnetic integrated memory ซึ่งมีอยู่ 3 แบบ คือ monolithic ferrite memory , flat film memory และ plate wire memory ซึ่งมีขนาดเล็กและความเร็วสูงขึ้น ต่อมาได้มีการนำ planar technique มาสร้างเป็น non-magnetic integrated memory คือ integrated semiconductor memory ซึ่งแบ่งเป็น bipolar และ MOS memory ที่มีความเร็วสูงและใช้กันมากในปัจจุบัน และได้มีการนำเอาคุณสมบัติของแม่เหล็ก และ superconducting material มาสร้างเป็น superconducting memory และมีการทดลอง ovionic memory ซึ่งใช้สารกึ่งตัวนำเช่นเดียวกับ MOS และ bipolar memory ในตารางที่ 2.1 แสดงการเปรียบเทียบส่วนความจำแบบต่าง ๆ และในรูป 2.3 แสดง magnetic integrated memory ที่ใช้ในดิจิตอลคอมพิวเตอร์

ตารางที่ 2.1

Memory	Access Time microsecond	Cycle Time microsecond	Capacity word
Delay line	10 - 5000	-	1 K - 6 K
Electrostatic	10 -	-	2 K
Ferrite core	0.35 - 0.90	0.70 - 2.00	1K - 256K
Thin magnetic film	0.125 - 0.3	0.25 - 0.80	1K - 64K
Semiconductor	0.02 - 0.2	0.10 - 0.40	1K - 1000K



Plated wire memory

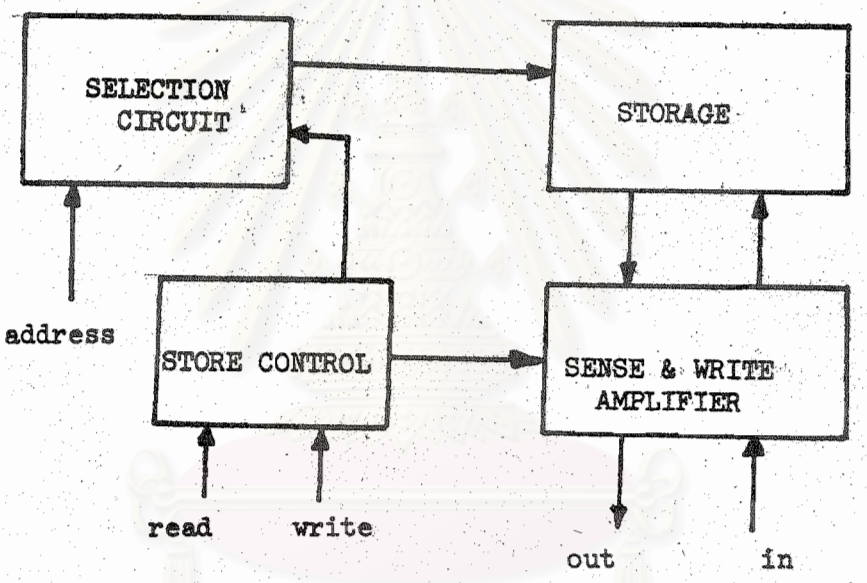


Flat film memory

รูป 2.3 Magnetic integrated memory

2.2 องค์ประกอบของส่วนความจำของดิจิตอลคอมพิวเตอร์

ในระบบความจำของดิจิตอลคอมพิวเตอร์จะประกอบด้วยส่วนเก็บข้อมูล (storage medium) และวงจรประกอบ (peripheral circuit) ซึ่งประกอบด้วย selection circuit , sense/write circuit & store control ดังแสดงในรูปที่ 2.4



รูปที่ 2.4 ส่วนประกอบของระบบความจำ

การทำงานของระบบความจำนี้เมื่อมีสัญญาณ read ส่งผ่าน store control เข้ามา selection circuit จะหาตำแหน่งที่ตรงกับ address ที่ผ่านเข้ามาทาง selection circuit และส่งข้อมูลที่เก็บไว้ที่ส่วนเก็บข้อมูลออกมาทาง sense circuit และเมื่อได้รับสัญญาณ write เพื่อให้บันทึกข้อมูลในส่วนความจำตามตำแหน่งที่ส่งเข้ามาทาง selection circuit ข้อมูลจะถูกส่งผ่าน write circuit และนำไปบันทึกยังตำแหน่งที่ต้องการ ซึ่งการเก็บและค้นหาข้อมูลแบบ sequential จะทำงานได้เร็วกว่าแบบ random access จึงเป็นแบบที่ใช้เป็นส่วนความจำหลักในคอมพิวเตอร์

ส่วนเก็บข้อมูลจะแบ่งออกเป็น location แต่ละ location จะทำหน้าที่เก็บข้อมูล "0" หรือ "1" จำนวนหนึ่งหลัก โดยมี address ประจำไม่ซ้ำกัน ข้อมูลในแต่ละ location เรียกว่า word ซึ่งแต่ละ word อาจประกอบด้วยหลาย byte หรือหลาย character ก็ได้ โดยมีส่วนย่อยที่สุดที่ทำหน้าที่เก็บข้อมูลแบบเลขฐานสองเรียกว่า bit

2.3 คุณสมบัติของส่วนความจำของดิจิตอลคอมพิวเตอร์

ส่วนความจำในแต่ละแบบแตกต่างกัน ซึ่งเหมาะสมกับงานแต่ละงานไป ในกรณีที่จะใช้เป็นส่วนความจำหลัก เราจะพิจารณาคุณสมบัติดังนี้

2.3.1 ราคา จะพิจารณาตัวราคาต่อbit ที่ใช้งานว่ามากน้อยเพียงใด

2.3.2 Power dissipation เป็นคุณสมบัติสำคัญเพราะถ้ามีค่ามากความร้อนจะสูงมาก ซึ่งเป็นปัญหาของวงจรอีเล็คโทรนิค

2.3.3 ความเร็ว (speed) ความเร็วในการทำงานของส่วนความจำเป็นการพิจารณา access time และ access cycle time หรือ cycle time ซึ่งถ้ามีค่าน้อยจะช่วยให้คอมพิวเตอร์ทำงานได้เร็วขึ้น ทั้งนี้จะต้องขึ้นกับการทำงานด้วยว่าใช้ในแบบ random access หรือ sequential access ปัจจุบันพิจารณาความเร็วเป็นส่วนสำคัญอันหนึ่ง

2.3.4 ขนาด ขนาดของส่วนความจำแต่ละแบบแตกต่างกันมาก ส่วนความจำในรุ่นหลังมักจะมีขนาดเล็กลงมาก เช่น integrated memory แบบต่าง

2.3.5 Non-destructive readout และ nonvolatility ส่วนความจำแบบ non-destructive readout เป็นแบบที่อ่านข้อมูลแล้วข้อมูลคงอยู่ไม่เปลี่ยนแปลงไป ถ้าอ่านแล้วเปลี่ยนแปลง destructive readout จะต้องบันทึกกลับทำให้การทำงานช้าลง และในกรณี power supply ที่ใช้ถูกตัดออก ถ้าเป็น non-volatile ข้อมูลจะคงอยู่ ซึ่งแตกต่างจากแบบ volatile ที่ข้อมูลจะเปลี่ยนแปลงไป

2.3.6 อายุการใช้งาน (Mean time between failure MTBF) จำนวนครั้งของการทำงานของส่วนความจำมีค่ามาก จึงต้องทราบอายุการใช้เพื่อที่จะได้ทำการตรวจซ่อมได้ ส่วนความจำต้องการความทนทานและอายุการใช้งานมาก

คอมพิวเตอร์โดยทั่วไปต้องการส่วนความจำที่มีราคาถูก ความเร็วสูง - ขนาดเล็ก power dissipation ต่ำ และเป็น non-volatile non-destructive readout ที่มี MTBF สูง แต่ไม่สามารถหาคุณสมบัติดังกล่าวได้ครบทั้งหมด จะต้องเลือกเอาแบบที่มีคุณสมบัติเหมาะกับงานใดงานหนึ่งโดยเฉพาะ

2.4 ส่วนความจำของไมโครคอมพิวเตอร์

ไมโครคอมพิวเตอร์เป็นดิจิตอลคอมพิวเตอร์ที่ออกแบบเพื่อใช้สำหรับการสอนทางด้าน hardware โดยเฉพาะ วงจรที่ประกอบเป็นส่วนต่าง ๆ เป็นวงจร TTL bipolar semiconductor สำหรับส่วนความจำนั้นเป็นแบบ scratch-pad memory ขนาดเล็ก มีความจุ 64 word 8 bit/word จึงต้องการให้มีขนาดเล็ก เคลื่อนย้ายง่าย และใช้สายต่อเพื่อนำสัญญาณควบคุมและนำข้อมูลเข้าออกเพื่อสะดวกในการศึกษา ดังนั้นส่วนความจำจะต้องเป็น random access memory แบบ TTL เช่นเดียวกับวงจรอื่น ซึ่งจะช่วยขจัดปัญหาเกี่ยวกับ interface และ power supply ซึ่งจะเกิดขึ้นในกรณีที่ใช้ส่วนความจำแบบอื่น

2.5 ส่วนความจำแบบสารกึ่งตัวนำสำหรับไมโครคอมพิวเตอร์

ส่วนความจำแบบสารกึ่งตัวนำที่ใช้กันโดยทั่วไปมีทั้งแบบ bipolar random access memory (bipolar RAM) และแบบ metal oxide semiconductor random access memory (MOS RAM)

ตารางที่ 2.2

Characteristic	MOS RAM	Bipolar RAM	Unit
Speed			
propagation time	30 - 200	2 - 10	ns
cycle time	100 - 400	10 - 200	ns
Operation	dynamic,static	static	
	non-volatile	non-volatile	
Readout	destrucive	non-destructive	
	non-destructive		
Power dissipation	0.1 - 0.4	0.42 - 5.8	mW/bit
Speed/power product	0.1 - 2.0	50 - 100	
Capacity/package	256 - 4096	64 - 4096	bit
Prize/bit	0.1 - 0.2	0.3 - 0.5	¢
MTBF/package	0.007	0.007	%/1Khr/1Kbit
Size/bit	1 - 35	22 - 163	Sq.mil
Refresh	yes	no	

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

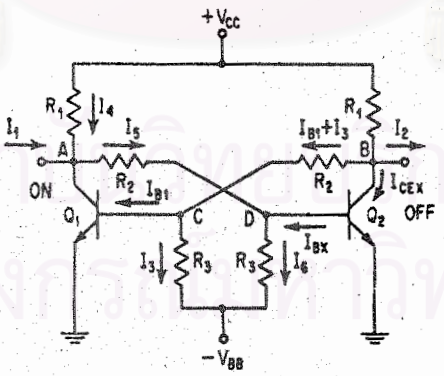
ในตารางที่ 2.2 แสดงการเปรียบเทียบคุณสมบัติของ bipolar RAM และ MOS RAM แม้ว่าส่วนความจำแบบ bipolar RAM จะมีราคาต่อ bit แพงกว่า power dissipation สูงกว่า และขนาดใหญ่กว่า MOS RAM ก็ตาม แต่ความเร็วในการทำงานคุณสมบัติที่มีการทำงานแบบ static และ nondestructive readout ที่ไม่ต้องการ refresh โดยมีความจุต่อ package เหมาะสมที่จะใช้

ประกอบเป็นส่วนความจำของไมโครคอมพิวเตอร์มากกว่า MOS RAM ทั้งยังตัดปัญหาเกี่ยวกับ interface ซึ่งจำเป็นต้องใช้ในแบบ MOS RAM รวมทั้ง power supply ด้วย

2.6 วงจร Bipolar Semiconductor RAM Cell

ส่วนความจำแบบ bipolar semiconductor RAM จะสร้างในแบบ integrated circuit ซึ่งรวมวงจรความจำจะทำหน้าที่เก็บข้อมูลแบบเลขฐานสอง วงจรหนึ่งวงจรที่เก็บข้อมูลได้ 1 หลัก เรียกว่า cell ในแต่ละ package อาจมีวงจรความจำเก็บข้อมูลตั้งแต่ 1 - 4096 cell สำหรับ bipolar - semiconductor RAM cell ในแต่ละ package มี 1 - 1024 cell แล้วแต่ชนิดของวงจรนั้น

Bipolar semiconductor RAM cell มีการทำงานแบบ static และเก็บข้อมูลโดยใช้ bistable flip-flop ซึ่งประกอบด้วย cross coupled inverter 2 ตัว ดังแสดงในรูป 2.5 เป็น bistable flip-flop แบบพื้นฐาน

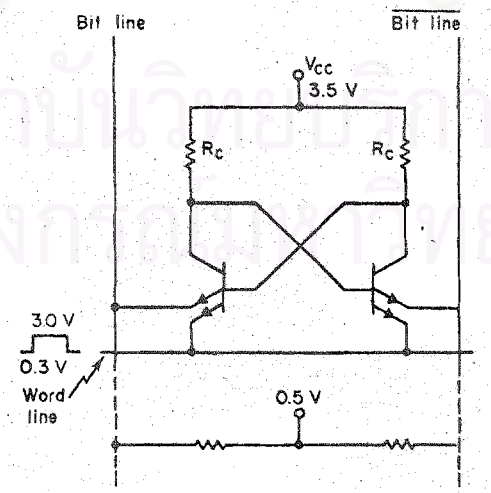


รูปที่ 2.5 Bistable flip-flop แบบพื้นฐาน

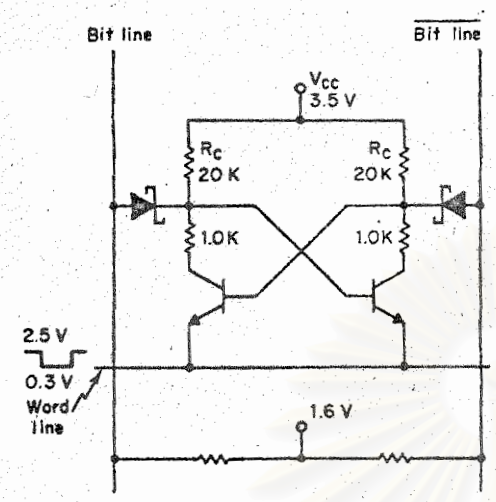
การทำงานของ bistable flip-flop จะพบว่า inverter output ของตัวหนึ่ง จะป้อนให้กับ input อีกตัวหนึ่ง ดังรูปที่ 2.2 เมื่อทรานซิสเตอร์

Q_1 off voltage ที่ A ทำให้ Q_2 ถึงจุด saturation voltage ที่ C จะลดลงมาก Q_1 จะได้รับ reverse bias ทำให้ Q_1 off และ Q_2 จะ on การเปลี่ยนสถานะทำได้โดยป้อนสัญญาณเข้าที่ base ของ Q_1 หรือ Q_2 หรือต่อ collector ของ Q_2 กับ ground สถานะของ Q_1 และ Q_2 จะคงอยู่จนกว่าจะมีสัญญาณมาเปลี่ยนแปลง หรือตัด power supply ออก วงจรใช้เก็บข้อมูล "0" หรือ "1" ได้ และสามารถเปลี่ยนเป็นข้อมูลที่ต้องการโดยให้สัญญาณเข้าทางจุด A หรือ B และอ่านข้อมูลออกมาได้เช่นกัน

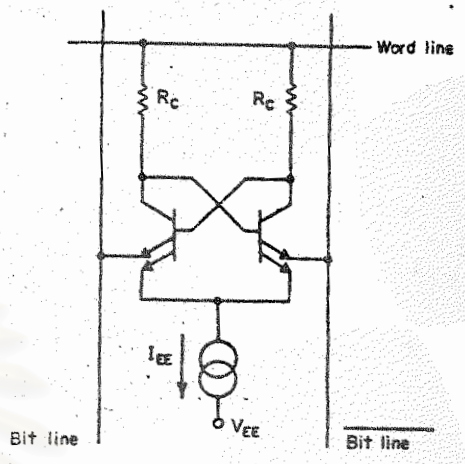
ในการทำเป็นส่วนความจำ bistable flip-flop จำนวนหลาย cell จะบรรจุอยู่ใน integrated circuit ขนาดเล็ก และมีวงจรประกอบรวมอยู่ด้วย และมีการเปลี่ยนแปลงวงจร bistable flip-flop บางส่วนเป็นแบบ multi-emitter cell หรือ diode coupled cell หรือ - emitter coupled cell ดังแสดงในรูปที่ 2.6 ก, ข และค ตามลำดับ ทั้งนี้แล้วแต่ความเร็วและขนาดที่ต้องการ แต่การทำงานโดยทั่วไปคล้ายกับ bistable flip-flop แบบพื้นฐาน ในรูปที่ 2.7 แสดงวงจรประกอบของ bipolar RAM ซึ่งประกอบด้วย write amplifier และ sense amplifier



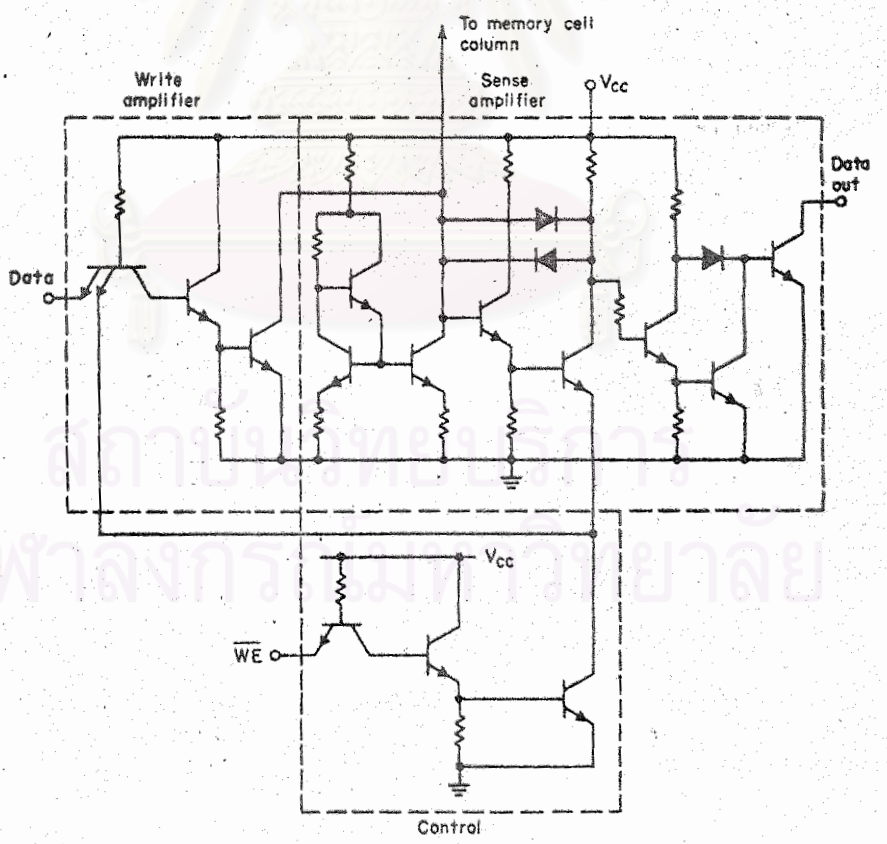
รูปที่ 2.6 ก Multiple emitter cell



รูปที่ 2.6 ข Diode coupled cell



รูปที่ 2.6ค Emitter coupled cell



รูปที่ 2.7 Write & sense amplifier

2.7 ข้อดีและข้อเสียของ Bipolar RAM

การพิจารณาข้อดีและข้อเสียของ bipolar RAM จะพิจารณาจากคุณสมบัติดังกล่าวแล้วในหัวข้อ 2.4

ข้อดี

1. ความเร็วสูง bipolar RAM เป็น memory ที่มีความเร็วสูงกว่าแบบอื่น ๆ มาก คือมี propagation time 2 - 10 ns cycle time 10 - 100 ns

2. Non-destructive readout การ read ข้อมูลออกจาก bipolar memory ข้อมูลที่เก็บไว้จะไม่สูญหายไป ยังจะคงอยู่เสมอ นอกจาก power supply ถูกตัดไป

3. Static memory ข้อมูลของ memory แบบ bipolar จะคงอยู่ต่อไปไม่สูญหาย จึงไม่ต้องการ refresh amplifier เช่นเดียวกับ dynamic memory

4. อายุการใช้งาน bipolar memory มีอายุการใช้งานประมาณ 0.007 % /1Khr/1Kbit/package

5. ราคาและขนาด ในส่วนความจำที่ต้องการความจุน้อย เช่น scratch-pad memory จะเหมาะกับ bipolar memory มาก

ข้อเสีย

1. Power dissipation สูง bipolar memory มี power dissipation 0.42 - 5.80 mW/bit ซึ่งทำให้อุณหภูมิขณะทำงานสูงมาก

2. ขนาดใหญ่ พื้นที่ของ bipolar ต่อ cell จะต้องใช้มาก ดังนั้นความจุต่อ package จะน้อยลงประมาณ 64 - 1024 bit/package

3. ราคาต่อ bit สูง เนื่องจากมีขนาดใหญ่ความจุต่อ package ต่ำลงนั้นราคาจึงสูงขึ้น

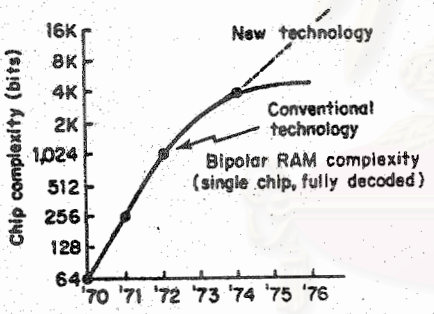
4. Non-volatile ข้อมูลที่เก็บใน bipolar memory คงอยู่

000337

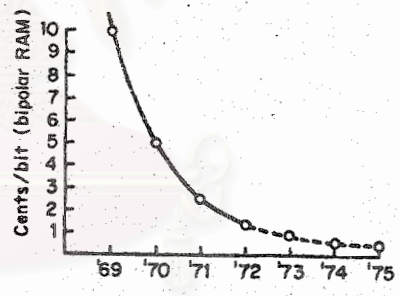
ก็ต่อเมื่อมี power supply มาป้อนตลอดเวลา ถ้าถูกตัดออกไปจะทำให้ข้อมูลเปลี่ยนไปได้

จากข้อดีและข้อเสียของ bipolar ดังกล่าวแล้ว 64 word 8 bit/word RAM ยังเหมาะที่จะใช้กับ bipolar RAM เพราะ integrated circuit ขนาด 64 bit หาง่ายและราคาไม่แพง ถ้าจะใช้ความจุขนาดอื่นจะทำให้ความจุเกินและไม่ได้ใช้งาน

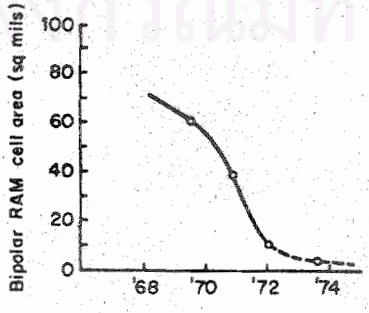
ในรูปที่ 2.8 ก, 2.8 ข และ 2.8 ค เป็นกราฟแสดงขนาดของ cell ราคาและความจุของ bipolar RAM เทียบกับเวลาจะพบว่าขนาดของ cell และราคาจะลดลงและคงที่ระยะเวลาหนึ่ง ขณะเดียวกันความจุต่อ package ก็จะเพิ่มขึ้นและคงที่ที่จุดหนึ่งเช่นกัน



(ก)



(ข)



(ค)

รูปที่ 2.8 การเปรียบเทียบขนาด ความจุและราคา

บทที่ 3

การออกแบบส่วนความจำแบบสารกึ่งตัวนำสำหรับไมโครคอมพิวเตอร์

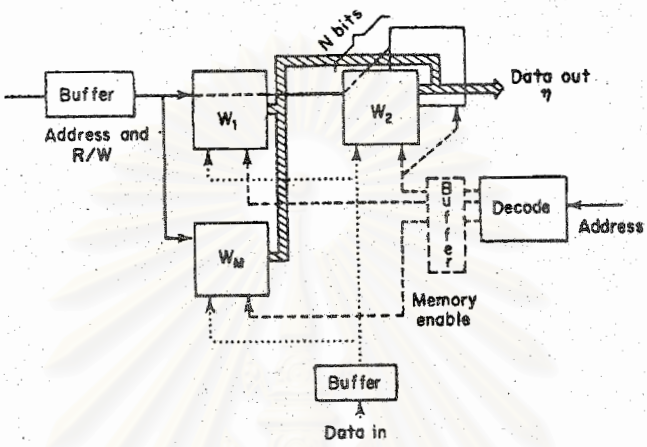
ส่วนความจำของไมโครคอมพิวเตอร์เป็นส่วนความจำแบบ scratch-pad ที่มีขนาดเล็ก ความจุน้อย และต้องให้เคลื่อนย้ายสะดวก จากรายละเอียดของส่วนความจำแบบสารกึ่งตัวนำที่กล่าวในบทที่ 3 จะเห็นว่า bipolar RAM เป็นแบบเหมาะสมที่จะนำมาใช้เป็นส่วนความจำดังกล่าว และไม่จำเป็นต้องใช้ interface เช่นเดียวกับ MOS ดังกล่าวแล้วในบทที่ 2

Bipolar RAM ที่นำมาใช้งานจะประกอบอยู่ใน package ซึ่งมีจำนวน bit ที่เก็บข้อมูลมากน้อยแตกต่างกันไป เมื่อจะประกอบเป็นส่วนความจำจะต้องพิจารณาถึงความต้องการของส่วนความจำแต่ละแบบว่า ต้องการขนาดความจุ ความเร็ว และรายละเอียดอื่นอย่างไรบ้าง จึงจะเลือกใช้แบบที่เหมาะสมได้

3.1 การออกแบบ Bipolar RAM

ส่วนความจำแบบ bipolar RAM ใน package แต่ละแบบ จะประกอบด้วยวงจรความจำในแบบของ matrix , buffer , sense & write amplifier และวงจรควบคุมต่าง ๆ สัญญาณที่จะป้อนเข้าจะประกอบด้วย address,read/write chip select,data in และ data out

การออกแบบส่วนความจำเพื่อขยายให้มีความจุมากกว่าจำนวนความจุที่มีในแต่ละ package จะต้องใช้ส่วนความจำหลาย package ประกอบเข้าด้วยกัน ปัญหาเกี่ยวกับ load ช่วงเวลาที่เลื่อนไปเนื่องจากสัญญาณต้องผ่านวงจรหลายวงจร และวงจร output แบบต่าง ๆ จำต้องได้รับการพิจารณา ดังนั้นการออกแบบจะต้องพิจารณาสิ่งสำคัญ 3 อย่าง คือ loading, timing & output fanout



รูปที่ 3.1[1] แผนผังขยายส่วนความจำ

ในรูปที่ 3.1 แสดงแผนผังขยายส่วนความจำให้มีความจุมากขึ้นกว่าที่มีอยู่ในแต่ละ package จะต้องต่อสัญญาณ data in, data out , read/write & address ร่วมกันในทุก package โดยมีสัญญาณจาก address decoder เพื่อเลือกใช้เฉพาะ package ที่ต้องการเท่านั้น ถ้าเป็นระบบขนาดใหญ่จำเป็นที่จะต้องใช้ buffer ที่ output ของ decoder ด้วย

1. Loading

การออกแบบระบบความจำโดยใช้ส่วนความจำหลาย package เพื่อให้

---

[1] Luecke,Gerald and Others. Semiconductor Memory Design and Application (Texas : McGraw-Hill Book Company , 1973) p 211.

มีความจุสูงขึ้นนั้น ผู้ออกแบบจะต้องพิจารณาถึง load ที่จะเกิดในระบบความจำทั้งที่เกี่ยวกับวงจร logic gate driver หรือ sense & write amplifier สำหรับ loading factor ในส่วนความจำนั้น เราสามารถเขียนอยู่ในรูปของสมการได้ โดยกำหนดให้

W_M = จำนวน word ทั้งหมดที่ต้องการ

W_I = จำนวน word ที่มีใน package

B_N = จำนวน bit/word ที่ต้องการ

B_I = จำนวน bit/word ใน package

ILF = input load factor

สำหรับ TTL input ILF คือ จำนวนกระแสต่อ input แต่สำหรับ input แบบอื่น ILF อาจจะเป็นจำนวนกระแสที่การใช้ทั้งหมดหรือค่าความจุซึ่งเกิดที่ output ซึ่งเกี่ยวข้องกับผลตอบสนองของ ac. load ที่เกิดบน input line มีค่าเท่ากับจำนวน load คูณกับ ILF

ในแต่ละ package สัญญาณ address และสัญญาณ read/write จะต้องป้อนให้ทุก ๆ package ในแบบขนาน ดังนั้น load L_A จะขึ้นกับจำนวน word และbit ที่ต้องการ และเขียนเป็นสมการได้ดังในสมการที่ 3.1

$$L_A = \frac{W_M}{W_I} \cdot \frac{B_N}{B_I} \cdot ILF \qquad \text{.....(3.1)}^2$$

ในสมการที่ 3.2 แสดงจำนวน line(S_L) ที่จะใช้เลือก package ว่าจะใช้ package ไหน จึงขึ้นกับจำนวน word

---

[2] Ibid , p.212.

$$S_L = \frac{W_M}{W_I} \qquad \text{.....(3.2)}^3$$

Load ที่เกิดบน decode line แต่ละเส้นมีค่าดังแสดงในสมการที่ 3.3

$$L_D = \frac{B_N}{B_I} \cdot ILF \qquad \text{.....(3.3)}^4$$

สำหรับ load ทางด้านข้อมูลเข้า (L_{IN}) ขึ้นกับจำนวน word ที่ต้องการ และจำนวน word ในแต่ละ package ดังสมการที่ 3.4

$$L_{IN} = \frac{W_M}{W_I} \cdot ILF \qquad \text{.....(3.4)}^5$$

Load ทางด้าน output จะไม่เหมือนกับ load ทางด้านข้อมูลเข้า load ทางด้าน output จะขึ้นกับจำนวน output(n) ที่นำมาต่อร่วมกัน ซึ่งจำนวน output จะขึ้นกับจำนวน word ที่ต้องการ ดังสมการที่ 3.5

$$n = \frac{W_M}{W_I} \qquad \text{.....(3.5)}^6$$

จะเห็นได้ว่า load factor L_A จะมีค่ามากที่สุด เพราะขึ้นกับจำนวน word และ bit ส่วน L_D และ L_{IN} ขึ้นกับจำนวน bit หรือ จำนวน word เพียงอย่างเดียว

2. Timing

Timing ที่จะพิจารณาเกี่ยวข้องกับ propagation delay ที่เกิดในระบบความจำทั้งหมด ซึ่งมีอยู่ 3 ระบบคือ access time, write time และ cycle time

---

3,4,5,6 Ibid.

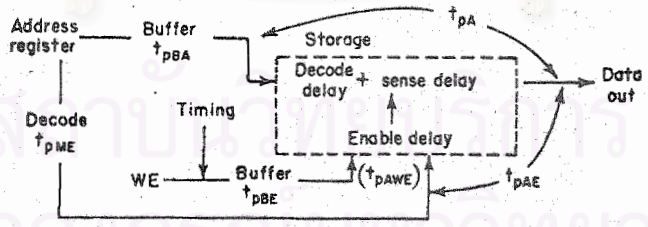
2.1 System Access Time

System access time จะประกอบด้วยเวลาจาก 2 ส่วน คือ access time ภายในส่วนความจำ และ access time ภายนอก ซึ่งเกี่ยวข้องกับวงจรประกอบต่าง ๆ access time ภายในมีอยู่ 3 อย่างคือ

2.1.1 t_{pA} คือ access time ที่ใช้ตั้งแต่ป้อนสัญญาณ address จนได้ข้อมูลที่ output ซึ่งขึ้นกับ delay จากวงจร decoder และวงจร sensing ภายในส่วนความจำ

2.1.2 t_{pAE} คือ access time ที่ใช้ตั้งแต่ป้อนสัญญาณ chip select หรือ memory enable (ME) จนได้ข้อมูลที่ output โดยมีสัญญาณ address ป้อนอยู่แล้ว

2.1.3 t_{pAWE} คือ access time ที่ใช้ตั้งแต่ป้อนสัญญาณ read/write หรือ write enable (WE) จนได้รับข้อมูลที่ output ปกติจะไปนำ t_{pAWE} มาเกี่ยวข้องกับ system access time เพราะใช้ buffer ร่วมกับ สัญญาณ address ดังแสดงในรูปที่ 3.2[7]



รูปที่ 3.2 System Access Time

---

[7] Ibid.

System access time (t_{pAT}) เมื่อคิด delay ทางด้านสัญญาณ address เข้าจนได้ข้อมูลทาง output จะมีค่าเท่ากับ buffer delay ทาง address (t_{pBA}) รวมกับ access time ภายใน t_{pA} จะเขียนเป็นสมการได้ดังสมการที่ 3.6

$$t_{pAT} = t_{pBA} + t_{pA} \quad \text{.....(3.6)}^{8}$$

และถ้าคิด system access time ทาง ME จะเท่ากับผลรวมของ time delay ใน decoder กับ delay ภายใน t_{pAE} และสามารถเขียนเป็นสมการได้ดังใน 3.7

$$t_{pAT} = t_{pME} + t_{pAE} \quad \text{.....(3.7)}^{9}$$

time delay ที่มากที่สุดในสมการที่ 3.6 และ 3.7 จะเป็น access time ที่ไม่ดี โดยปกติ decoding delay จะมีค่ามากกว่า buffer delay เสมอ ถ้า t_{pA} และ t_{pAE} มีค่าใกล้เคียงกัน ค่า access time ก็จะเป็นไปตามสมการที่ 3.7

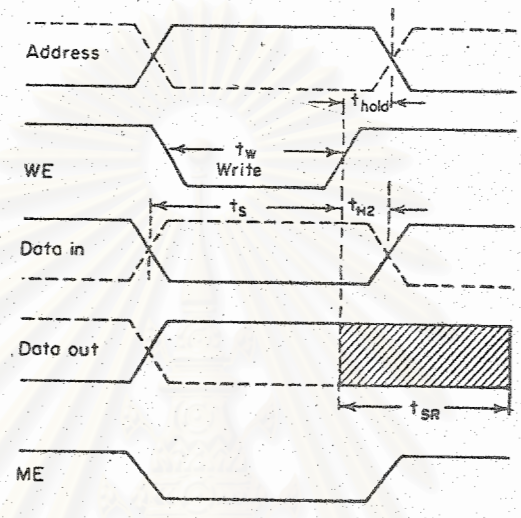
Timing ของ Address Write Enable Data In และ Data Out

เพื่อที่ write ข้อมูลลงในส่วนความจำนั้น สัญญาณ WE จะต้องอยู่สถานะ "0" เป็นเวลาอย่างน้อยเท่ากับ t_W โดยที่มีสัญญาณ address และ ME ป้อนอยู่แล้ว และสัญญาณ address จะต้องคงอยู่เป็นเวลาเท่ากับ t_{hold} หลังจาก - สัญญาณ WE กลับไปสู่สถานะ "1" แล้ว ข้อมูลที่จะถูก write จะต้องคงสถานะนั้นอยู่อย่างน้อยเท่ากับ t_s รวมกับ t_{H2} หลังจากสัญญาณกลับสู่สถานะ "1" จะมีกระแสเหลืออยู่ใน data line ภายใน จะแสดงผลคล้ายสัญญาณรบกวนที่ output

---

8,9 Ibid , p.213

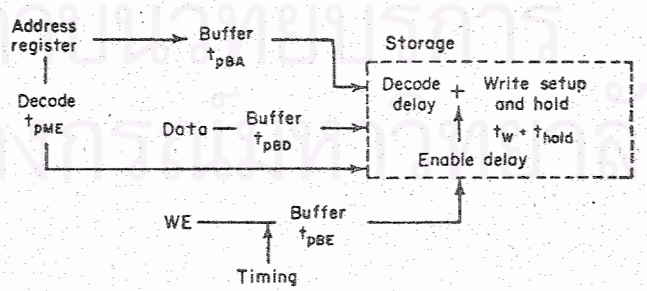
แม้ว่าจะมีสัญญาณรบกวนที่ output แต่ถ้ามีการเปลี่ยน address ข้อมูลยังไม่ปรากฏที่ output ก็ไม่เป็นปัญหา แต่ถ้าเมื่อ write ข้อมูลแล้วไม่มีการเปลี่ยน address จะได้ข้อมูลที่ output หลังจาก sense recovary time (t_{SR})



รูปที่ 3.3[10] รายละเอียดของแผนผังเวลา

2.2 Write Time

Write time จะขึ้นกับจำนวน delay time ในระบบความจำ ดังแสดงในรูปที่ 3.4[11]



รูปที่ 3.4 System Write Time

---

[10] Ibid, p. 214

[11] Ibid, p. 215

Write time จะขึ้นกับ delay time ทั้งภายในและภายนอก del time ภายในนั้นประกอบด้วย t_w และ t_{hold} ดังกล่าวแล้ว

Delay time ทางด้านสัญญาณ ME (t_{pE}) มีค่าดังสมการที่ 3.8 ซึ่งเป็นผลบวกของ delay ทั้งภายในและภายนอก

$$t_{pE} = t_{pME} + t_w + t_{hold} \quad \text{.....(3.}$$

ส่วน delay time ด้านสัญญาณ write enable(t_{pWE})มีค่าดังสมการที่ 3.9

$$t_{pWE} = t_{pBE} + t_w + t_{hold} \quad \text{.....(3.}$$

เช่นเดียวกับ system access time สมการที่ 3.9 จะมีค่ามากกว่าสมการที่ 3.8 เนื่องจาก t_{pBE} ซึ่งเป็น delay time ใน buffer ของ

2.3 Cycle Time

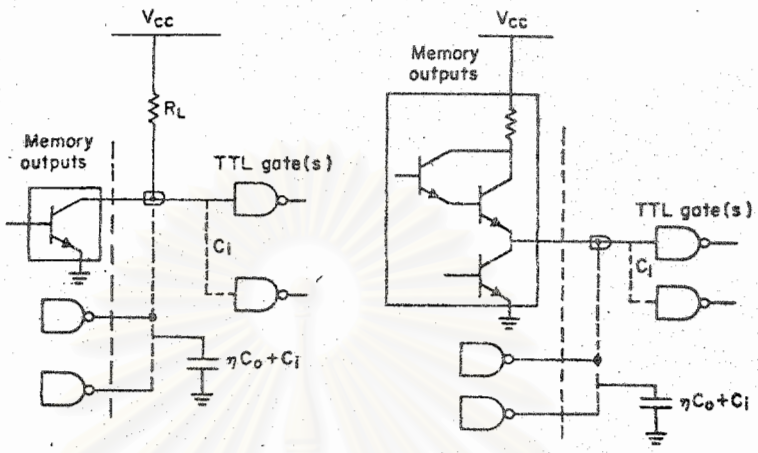
ช่วงเวลาของ cycle time จะต้องยาวเท่ากับเวลายาวที่สุดของ access time หรือ write time ดังนั้น cycle time จะขึ้นกับ access time หรือ write time ดังกล่าวแล้ว

3. Output Fan-Out

ในวงจรส่วนความจำนั้น วงจร output โดยปกติจะมีอยู่ 2 แบบ คือ แบบ open collector และแบบ three-state ดังแสดงในรูป 3.5[14]

[12,13] Ibid.

[14] Ibid, p.216



(ก) (ข)

รูปที่ 3.5 ก Open Collector ข Three-State Output

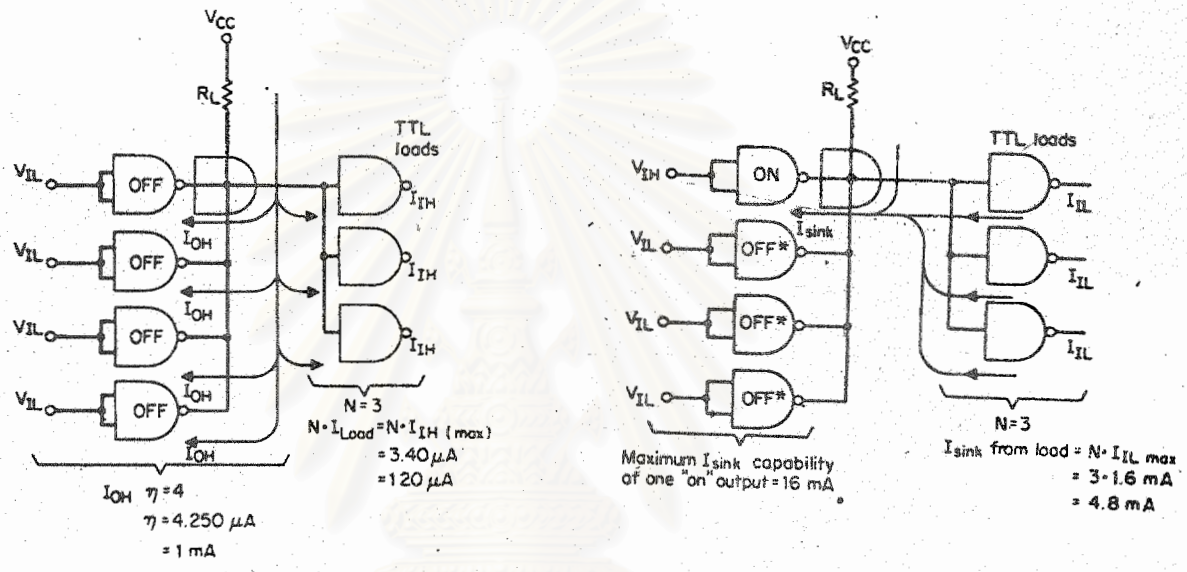
Output ของส่วนความจำสามารถต่อรวมเป็นเส้นเดียวกันซึ่งเรียกว่า wire - AND และนำไปป้อนให้กับ gate ถ้าจำนวนของ output ที่ต่อร่วมกันเท่ากับ ค่าความจุที่ output จะมีค่าเท่ากับ n เท่าของความจุที่แต่ละ output รวมกับความจุด้าน input ของแต่ละ gate ซึ่งเท่ากันทั้งในกรณี open collector และ three-state

สำหรับ open collector จำเป็นต้องใช้ความต้านทาน R_L ดังแสดงในรูปที่ 3.5 ก ด้วยแต่ในแบบ three-state มีอยู่แล้วในวงจรจึงไม่ต้องการใช้อีก

ความต้านทานที่ใช้กับ open collector มีค่าทั้งสูงสุดและต่ำสุด ซึ่งสามารถคำนวณได้จากผลของ dc. เมื่อทุก output อยู่ในสถานะ "1" หรือ ถ้า output เพียงอันหนึ่งอยู่ในสถานะ "0"

ในการคำนวณหาค่า R_L นั้น พิจารณาจากสมการ

เมื่อให้ V_{RL} เป็นของ voltage คร่อม R_L และ I_{RL} เป็นกระแสที่ไหลใน R_L ในรูป 3.6 ก



รูปที่ 3.6[15] Open Collector R_L

Output ทุกตัวมีสถานะ "1" ดังนั้นจะมีกระแสไหลผ่าน R_L จะมีค่าเท่ากับกระแสที่ผ่าน load เท่ากับ I_{IH} และ leakage current ที่ไหลไปยัง output transistor ที่ off อยู่เท่ากับ I_{OH} จำนวน load ที่ใช้มีค่าเท่ากับ N ตัว และ output ที่มาต่อร่วมกับที่มี n ตัว ดังนั้นกระแสไหลผ่าน R_L(I_{RL}) มีค่าเท่ากับ

$$I_{RL} = nI_{OH} + NI_{IH}$$

---

[15] Ibid, p. 216

เมื่อ output มีสถานะ "1" voltage ที่ output มีค่า V_{OH} ดังนั้น voltage ที่คร่อม R_L (V_{RL}) จะมีค่าเท่ากับ

$$V_{RL} = V_{cc} - V_{OH}$$

จะได้ค่า R_{Lmax} เมื่อ output มีสถานะ "1" ทุกตัว

$$R_{Lmax} = \frac{V_{cc} - V_{OH}}{nI_{OH} + NI_{OH}} \quad \text{.....(3.10)}^{16,1}$$

กรณีที่ output อันใดอันหนึ่งมีสถานะดังในรูป 3.6 ข กระแสไหลผ่าน output ที่มีสถานะ "0" (I_{OL}) ซึ่งมีค่าเท่ากับกระแสที่ไหลผ่าน R_L รวมกับกระแสจาก load (I_{IL}) จำนวน N ตัว ดังนั้นกระแสที่ผ่าน R_L มีค่าเท่ากับ

$$I_{RL} = I_{OL} - NI_{IL}$$

เมื่อ output อันหนึ่งมีสถานะ "0" voltage คร่อม output จะมีค่าเท่ากับ V_{OL} ดังนั้น voltage คร่อม R_L จะมีค่าเท่ากับ

$$V_{RL} = V_{cc} - V_{OL}$$

จะได้ค่า R_{Lmin} เมื่อ output อันหนึ่งมีสถานะ "0"

$$R_{Lmin} = \frac{V_{cc} - V_{OL}}{I_{OL} - NI_{IL}} \quad \text{.....(3.11)}^{18,1}$$

---

[16] Ibid.

[17] Morris,L Roberts and Miller,R John(editor). Designing with TTL Integrated Circuits. (Texas: McGraw-Hill Book Company) p. 48

[18] Ibid.

[19] Luecke, ibid.

จากสมการ 3.10 เราจะหาได้จำนวน output สูงสุดที่จะมาต่อร่วมกัน

$$n = \frac{V_{cc} - V_{OH} - NI_{IH}R_L}{I_{OH}R_L}$$

เมื่อ R_L มีค่าความต้านทานอยู่ในช่วง R_{Lmax} ถึง R_{Lmin} ค่า R_L ต่ำที่สุด ให้ค่า n มากที่สุด

เมื่อ n = จำนวน output ที่ต่อร่วมกัน

N = จำนวน input gate

V_{OH} = voltage ต่ำสุดของสถานะ "1"

V_{OL} = voltage สูงสุดของสถานะ "0"

I_{OH} = กระแส output สูงสุดที่สถานะ "1"

I_{OL} = กระแส output ต่ำสุดที่สถานะ "0"

I_{IH} = กระแส input สูงสุดที่สถานะ "1"

I_{IL} = กระแส input ต่ำสุดที่สถานะ "0"

ตามปกติจะมีปัญหาจาก dc fan-out เพราะการเปลี่ยนสถานะจาก "0" เป็น "1" หรือ "1" เป็น "0" ไม่สามารถทำได้ทันทีเนื่องจาก transition line ซึ่งเกิดจาก space charge หรือ capacitance ของทรานซิสเตอร์ ดังนั้นจึงใช้หลักของการ attenuators[20] เพื่อแก้ปัญหานี้ โดยใช้ capacitor coupling C_c ค่าความจุเท่ากับ

$$C_c = nC_0 + NC_i$$

C_0 = output capacitance

C_i = input capacitance

---

[20] Millman and Taub. Pulse,Digital and Switching Waveform, (Texas: McGraw-Hill , 1965) p. 50-54.

open collector output three-state output

รูปที่ 3.7 ac fan-out

ในรูปที่ 3.7 ความจุของ load ที่ต่อร่วมกันมีค่า nC_0 สำหรับ open collector คอนเดนเซอร์จะได้รับประจุจากวงจรจนเท่ากับ V_{cc} เมื่อ t = 0 voltage ครอมคอนเดนเซอร์จะมีค่าเท่ากับ V_{OL} ซึ่งน้อยมากเมื่อเทียบกับ V_{cc} แต่ถ้าคอนเดนเซอร์ได้รับประจุเดิม มี voltage เท่ากับ V_{cc} กระแสที่ได้รับระหว่างการเก็บประจุ เราคิดว่ากระแสที่เข้ามีค่าคงที่ ดังนั้น เวลา (D_t)ที่เก็บประจุของคอนเดนเซอร์ที่มีความจุ nC_0 กระแสคงที่ I จนมี voltage สุดท้ายเท่ากับ V_F มีดังสมการ 3.12

$$D_t = \frac{V_F - V_{OL}}{I} \cdot nC_0 \qquad \text{.....(3.12)}$$

$$I = \frac{V_{cc} - V_{OL}}{R_c} \qquad \text{.....(3.13)}$$

ดังนั้น $$D_t = R_L . nC_O . \frac{V_F - V_{OL}}{V_{cc} - V_{OL}} \quad \text{.....(3.14)}$$

จากสมการ 3.14 แสดงว่าเวลาเก็บประจุจะขึ้นกับความต้านทาน R_L และความจุ nC_O ซึ่งจะใช้ได้กับ open collector เท่านั้น สำหรับ three-state ไม่มี R_L จึงต้องหา D_t จากสมการ 3.12 เท่านั้น และโดยใช้สมการ 3.14 เราสามารถคำนวณย้อนกลับเพื่อหาขอบเขตของ ac response ได้ด้วย

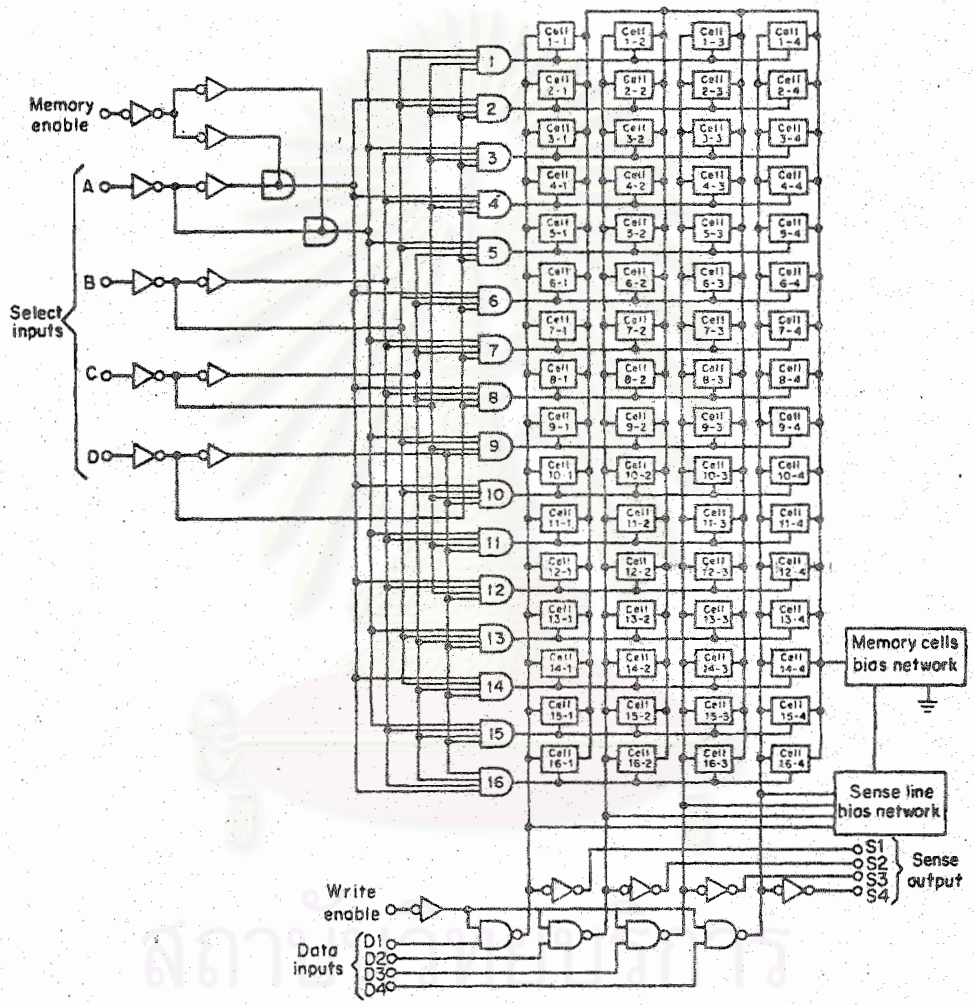
3.2 การออกแบบส่วนความจำสำหรับไมโครคอมพิวเตอร์โดยใช้ Bipolar RAM

ส่วนความจำของไมโครคอมพิวเตอร์เป็นส่วนความจำแบบ scratch-pad ขนาดเล็ก มีความจุ 64 word 8 bit/word และต้องการ cycle time ต่ำ ดังนั้น จำนวน word ในแต่ละ package ที่จะนำมาใช้ประกอบเป็นส่วนความจำจะต้องไม่เกิน 64 word จากการพิจารณาส่วนความจำที่มีผลิตออกจำหน่ายทราบว่า TTL bipolar RAM เบอร์ 7489 ซึ่งมีขนาดความจุ 64 bit มีความเหมาะสมที่สุด มีบริษัทหลายบริษัทผลิตออกจำหน่ายและใช้รหัสนำหน้าเบอร์ต่างกัน เช่น SN 7489 ของ Texas Instrument Incorparation DM 7489 ของ NS Corparation เป็นต้น.

ในการออกแบบส่วนความจำสำหรับไมโครคอมพิวเตอร์จะต้องพิจารณารายละเอียดดังต่อไปนี้

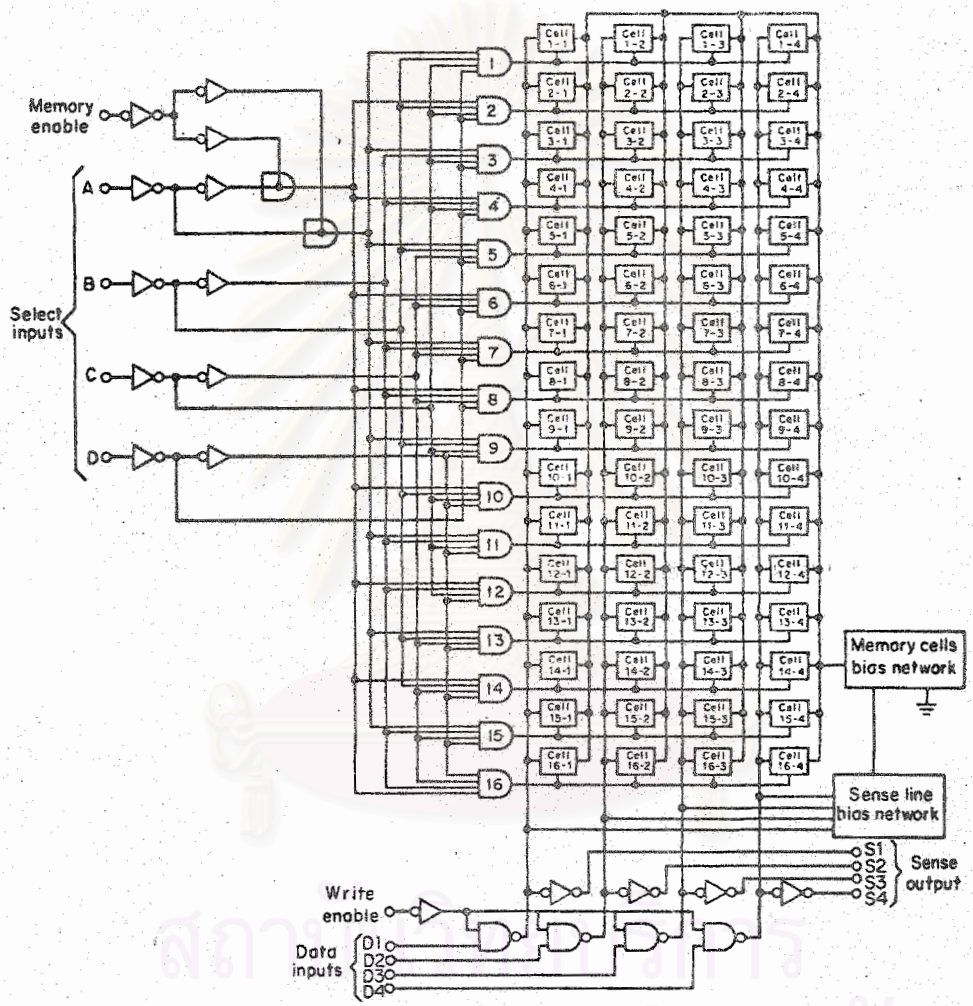
3.2.1 รายละเอียดและคุณสมบัติของ 64 Bit Bipolar RAM

64 bit bipolar RAM ที่มีจำหน่ายมากคือ SN 7489 และ DM 7489 ซึ่งมีคุณสมบัติส่วนใหญ่เหมือนกันและสามารถใช้แทนกันได้ดังแสดงในรูปที่ 3.8



รูปที่ 3.8 รายละเอียดของ DM 7489

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

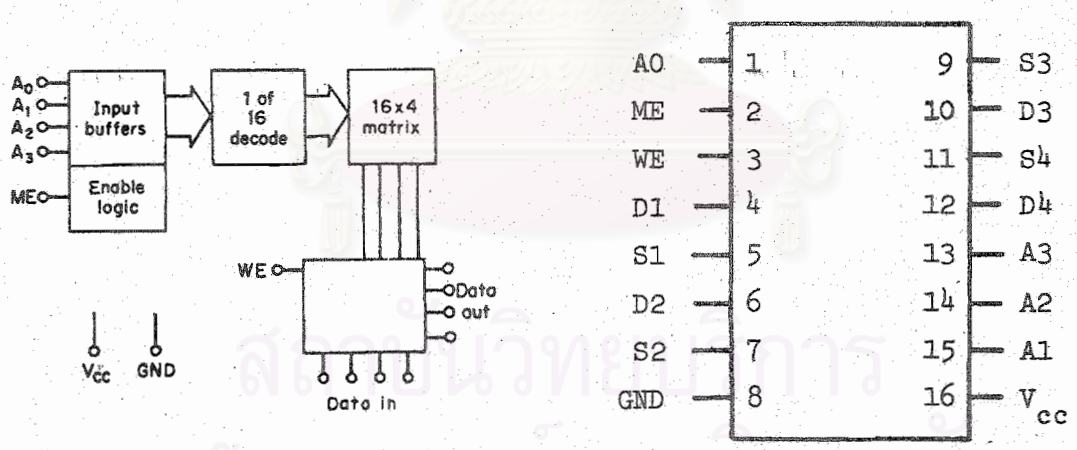


รูปที่ 3.8 รายละเอียดของ DM 7489

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

คุณสมบัติและรายละเอียดของ 64 bit bipolar RAM (DM 7489) ที่สำคัญมีดังนี้

Organization	16 word 4 bit/word with decoder
Output	open collector
Signal level	TTL logic level
Access time t_{pA}	60 ns
Access time t_{pAE}	50 ns
Power dissipation	375 mW / package
	5.85 mW / bit
ILF	1.6 mA



รูป 3.9 แผนผังและจุดต่อของ SN 7489 / DM 7489

สำหรับแผนผังของ SN 7489/ DM 7489 แสดงในรูปที่ 3.9 ในรูปที่ 3.9 แสดงรายละเอียดของจุดต่อใน package ซึ่งมี 16 จุด ประกอบด้วย

	address	4 จุด
	data in	4 จุด
	data out	4 จุด
	WE	1 จุด
	ME	1 จุด
	V_{cc}	1 จุด
และ	ground	1 จุด

ส่วนในรูปที่ 3.9 แสดงผังวงจรซึ่งมี input buffer มีจุด address 4 จุด นำสัญญาณ address เข้าและผ่านวงจร 1 : 16 decoder เพื่อเลือกตำแหน่งใน 16 x 4 matrix เพื่อเก็บข้อมูลที่ป้อนเข้าทาง data in หรืออ่านข้อมูลที่เก็บไว้ในตำแหน่งที่ต้องการออกทาง data out ทั้งนี้ขึ้นกับสัญญาณควบคุม WE และ ME ดังแสดงในตารางที่ 3.1

ME	WE	operation	output
L	L	WRITE	$\overline{\text{DATA IN}}$
L	H	READ	$\overline{\text{DATA STORE}}$
H	L	Inhibit store	$\overline{\text{DATA IN}}$
H	H	Do nothing	H

3.2.2 การคำนวณ Loading Factor ของ 64 word 8bit/word RAM

ส่วนความจำนี้ต้องการจำนวน word W_M 64 word

จำนวน bit B_N 8 bit/word

จำนวน word ใน DM 7489 W_I 16 word

bit B_I 4 bit/word

จากสมการ 3.1 - 3.5 สามารถหา loading factor ได้ดังต่อไปนี้

Load ของ address และ write enable line L_A ตามสมการ 3.1

$$L_A = \frac{64}{16} \cdot \frac{8}{4} \cdot ILF = 8\ ILF$$

จำนวน ME line S_L ตามสมการ 3.2

$$S_L = \frac{64}{16} = 4$$

Load ของ decode line L_D ตามสมการ 3.3

$$L_D = \frac{8}{4} \cdot ILF = 2\ ILF$$

Load ของ data in line L_{IN} ตามสมการ 3.4

$$L_{IN} = \frac{64}{16} \cdot ILF = 4\ ILF$$

และจำนวน output ที่ต่อร่วมกัน (n) ตามสมการ 3.5

$$n = \frac{64}{16} = 4$$

3.2.3 การคำนวณค่า R_L

จากการคำนวณหา n ซึ่งเป็นจำนวน output ที่นำมาต่อร่วมกันในข้อ 3.2.2 ได้ค่า n = 4 คือ จะต้องนำ output 4 package มาต่อร่วมกัน ดังนั้น ค่า R_L ที่ต้องการใช้เป็น pull up resistor จะหาได้จากสมการที่ 3.11 จะได้ค่า R_{Lmin} การใช้ R_{Lmin} เนื่องจากเวลาจะอ่านข้อมูล

หรือบันทึกลงในส่วนความจำเราใช้เพียง word เดียวใน package ใด package หนึ่งเท่านั้น และเพื่อให้ output ที่ต่อร่วมกันป้อนให้กับ gate เพียงอย่างเดียวเท่านั้น เพราะถ้านำไปป้อน gate อื่น ๆ ค่า R_L จะต้องเปลี่ยนตามค่า I_{IL} ด้วย ดังนั้น จึงให้ output ที่ได้ป้อนเข้า buffer ก่อน โดยใช้ NOT gate ใน DM 7404 / SN 7404 เป็น buffer ดังกล่าว ดังนั้นสำหรับ SN 7489 / DM 7489 และ buffer SN 7404/ DM 7404 จะได้

V_{cc}	5.0 volts
V_{OL}	0.4 volts
I_{OL}	12.0 mA
I_{IL}	1.6 mA
N	1

$$R_{Lmin} = \frac{V_{cc} - V_{OL}}{I_{OL} - NI_{IL}}$$

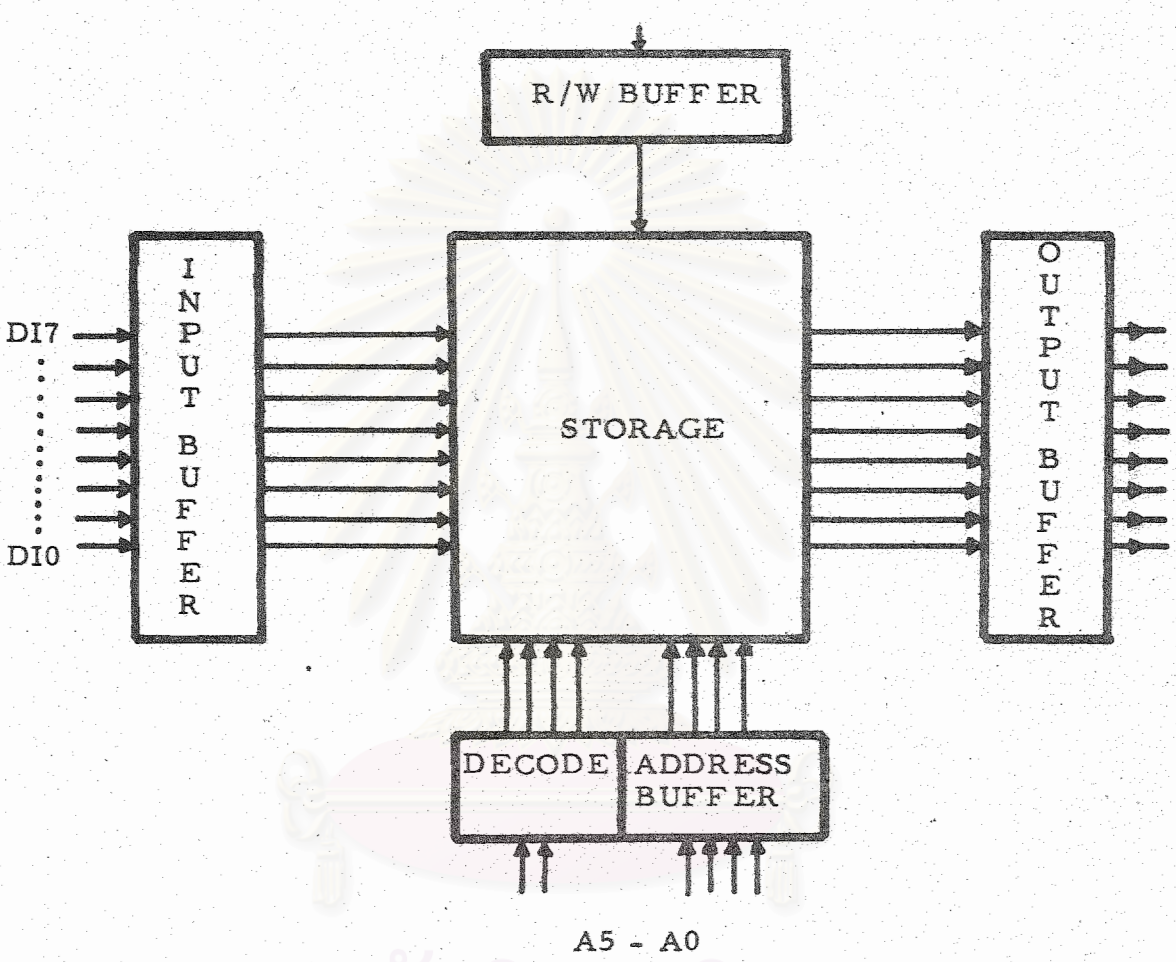
$$= \frac{5.0 - 0.4\ V}{0.012 - 0.0016\ A} = 442 \text{ ohms}$$

ดังนั้น จะได้ R_{Lmin} มีความต้านทาน 442 ohms

หมายเหตุ ในทางปฏิบัติไม่สามารถหาความต้านทาน 442 ohm ได้ จึงใช้ความต้านทาน 470 ohm แทน ซึ่งจะให้ผลเช่นเดียวกัน

3.3 วงจรของ 64 Word 8 Bit/Word RAM

จากการพิจารณา loading factor และ R_L ที่คำนวณได้ จะได้วงจรของ 64 word RAM ดังผังของวงจรในรูปที่ 3.10



รูปที่ 3.10 ผังวงจรของ 64 Word 8 Bit/Word RAM

วงจรของ 64 word 8 bit/word RAM จะประกอบด้วย data input buffer data output buffer R/W buffer address buffer decode-buffer และ storage

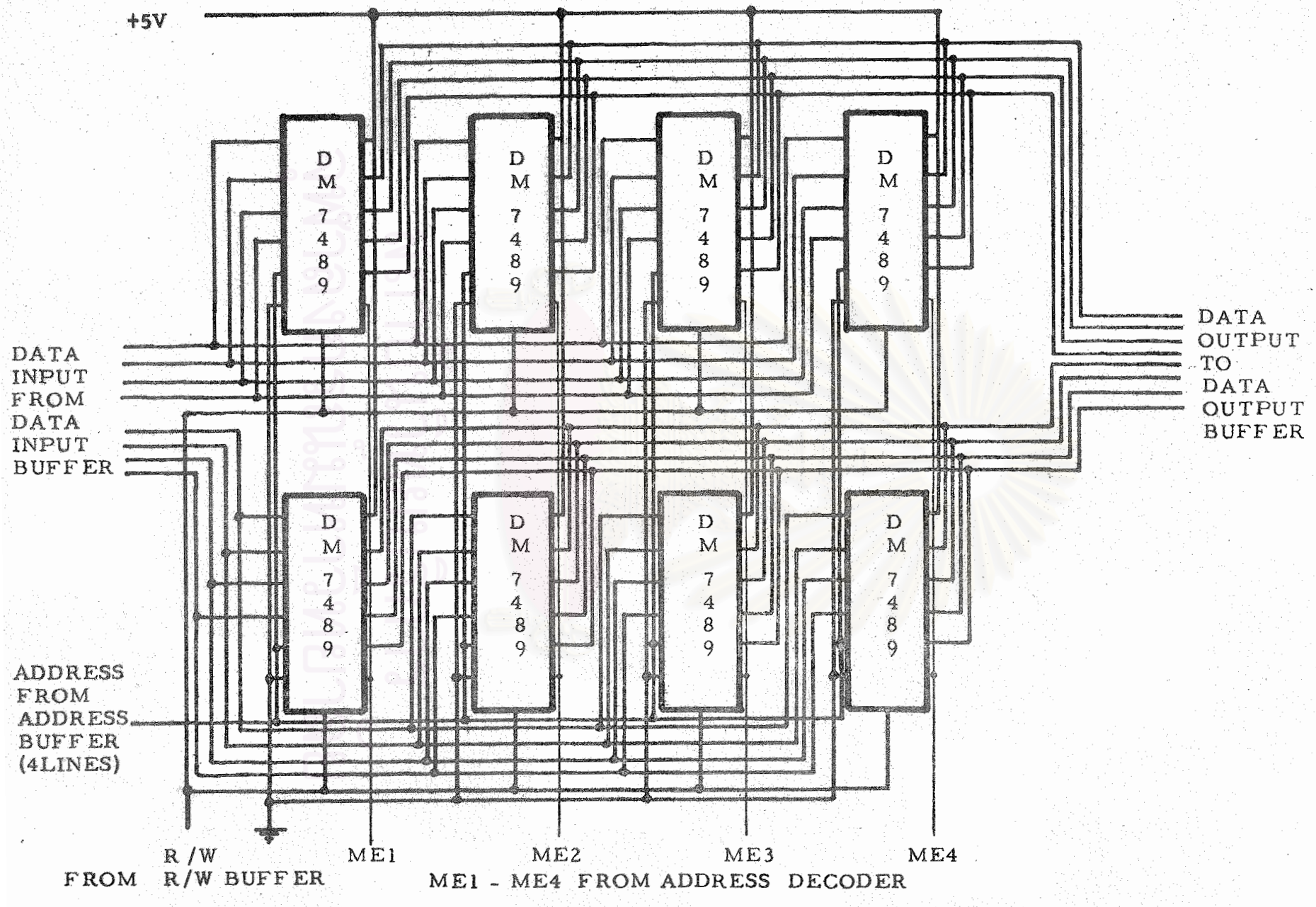
3.3.1 Storage

จากการคำนวณ loading factor จะต้องใช้ DM 7489

จำนวน 8 package ดังแสดงรายละเอียดการต่อวงจรในรูปที่ 3.11 โดยแบ่ง DM 7489 เป็น 2 ชุด ๆ ละ 4 package แต่ละชุดมี data input และ data output 4 bit รวม 2 ชุดเป็น 8 bit data input ของทุก package ได้รับสัญญาณจาก data input buffer สำหรับ data output ซึ่งเป็นแบบ open collector แต่ละ bit ของแต่ละ package ในแต่ละชุด จะต้องต่อรวมกันออกมา (wire - AND)

3.3.2 Address Decoder , Address Buffer และ Read/ Write Buffer

สำหรับการเลือก word ที่ต้องการใช้ read/write นั้น เนื่องจาก word ที่ต้องการเท่ากับ 64 word 8 bit/word แต่จำนวน word ใน package มีเพียง 16 word 4 bit/word จึงต้องใช้ DM 7489 8 package ดังกล่าวแล้ว เมื่อจะ read/w-ite ก็ทำทีละ package คือ word ที่ 1-16 ใช้ package คู่แรก word ที่ 17-32, 33-48 และ 49-64 ก็ใช้ package คู่ต่อมาตามลำดับ จำนวน address จะต้องมี 6 bit (2^6 word)แต่ address ของ DM 7489 แต่ละตัวมี 4 bit จะต้องป้อน address bit 2^0- 2^3 ให้กับทุก ๆ package จะทำให้สามารถเลือก word ใด word หนึ่งใน package ได้ แต่ยังไม่สามารถกำหนดว่า package ใด การกำหนดว่าจะเลือกword ใน - package ใดทำได้โดย ใช้ bit 2^4 และ 2^5 ผ่าน address decoder เพื่อไปเลือก package ที่ต้องการโดยเอาสัญญาณจาก output ของ address - decoder ไปป้อนให้ ME ของ package เพื่อควบคุมการเลือกว่าจะใช้ package ใด ถ้า ME ของ package ใด อยู่ในสถานะ "0" ก็จะใช้ package นั้น ขณะที่ package คู่อื่นมี ME สถานะ "1" จะไม่มีการ read หรือ write ดังตารางที่ 3.2 แสดงสถานะของ address bit 2^4- 2^5 ME ของแต่ละ package และ word ที่ใช้งาน

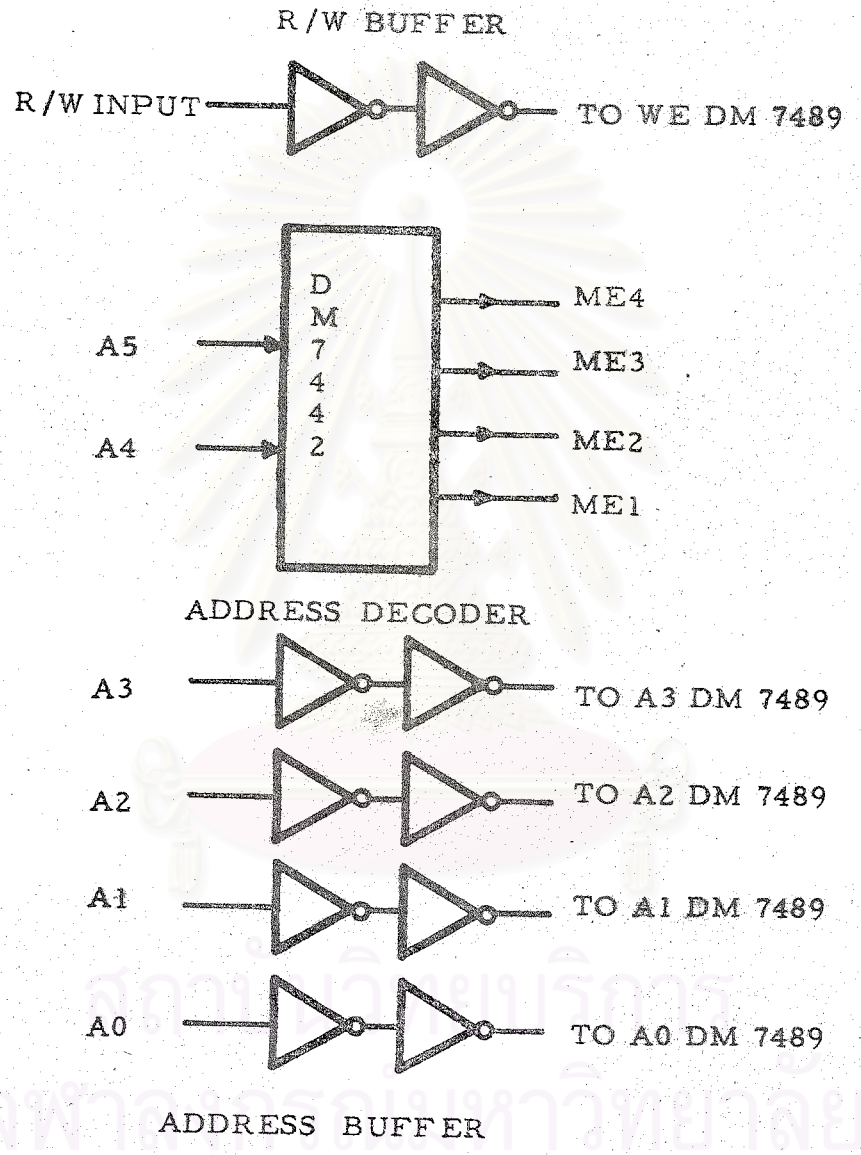


รูปที่ 3.11 รายละเอียดของ Storage ของ 64 Word 8 Bit/Word RAM

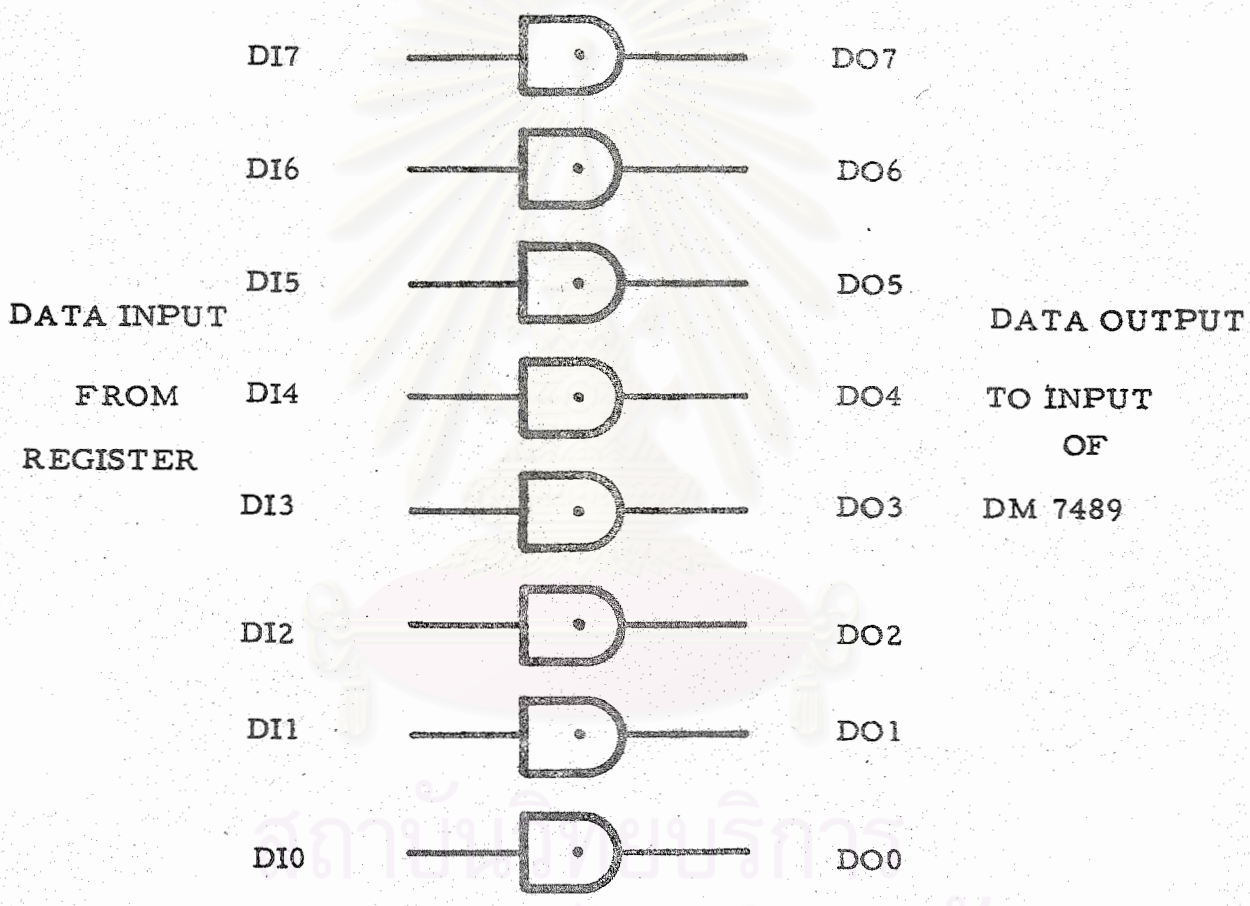
ตารางที่ 3.2

Address bit 2^5 2^4	ME state of package 1	2	3	4	Word	Address	package
0 0	0	1	1	1	1-16	000000 - 001111	1
0 1	1	0	1	1	17-32	010000 - 011111	2
1 0	1	1	0	1	33-48	100000 - 101111	3
1 1	1	1	1	0	49-64	110000 - 111111	4

วงจร address decoder ที่ใช้แสดงในรูปที่ 3.12 ซึ่งได้จากการใช้ truth table จากตารางที่ 3.2 แต่การจะนำ gate ต่าง ๆ มาต่อกันจะมีปัญหาในการต่อวงจรและเปลืองเนื้อที่มาก จึงใช้ binary to decimal decoder จาก DM 7442 ซึ่งมี input เป็น binary 4 bit แต่เราใช้เพียง 2 bit คือ bit A กับ B และต่อ bit C กับ D ลง ground จะได้ output 4 bit ตามตารางที่ 3.2 และนำไปป้อนให้ ME ของ DM 7489 แต่ละคู่ดังกล่าว และ - เนื่องจาก delay time ของ DM 7489 24 ns จึงต้องเพิ่ม buffer ของ address bit 2^0 - 2^3 เพื่อให้ delay time ที่เกิดขึ้นเท่ากัน จะได้ทำงานพร้อมกันโดยใช้ NOT gate จาก DM 7404 2 gate/bit ซึ่งมี delay time ตัวละ 12 ns รวม 2 gate เป็น 24 ns เช่นเดียวกับสัญญาณ read/write ที่จะป้อนให้กับ WE DM 7489 ทุกตัวจะต้องให้ผ่าน NOT gate 2 gate/bit จาก DM 7404 ทำหน้าที่เป็น R/W buffer ดังในรูป 3.13 แสดง address decoder address buffer และ R/W buffer

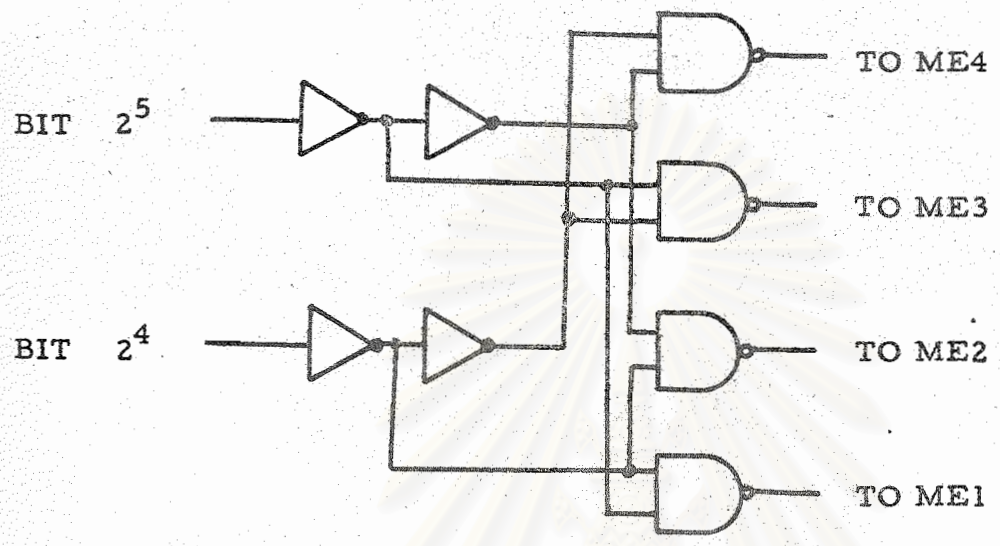


รูปที่ 3.13 วงจรของ Address Decoder, Address Buffer และ R/W Buffer



รูปที่ 3.14 Data input decoder

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 3.12 วงจร Address Decoder

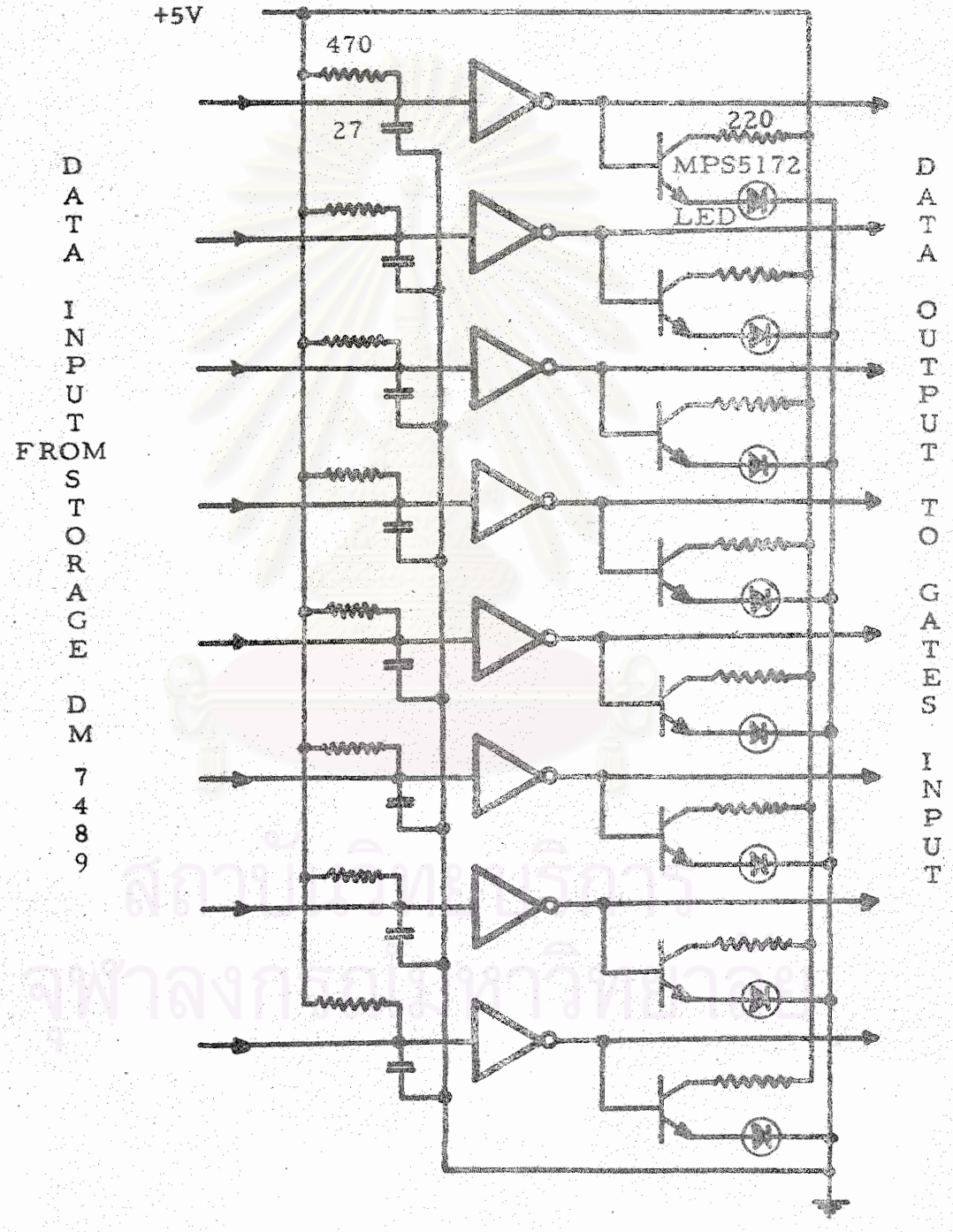
3.3.3 Data Input Buffer

Data input 8 bit ที่ป้อนให้กับ DM 7489 ทั้ง 8 ตัวนั้น จะต้องให้ผ่านเข้า DM 7489 พร้อมกับสัญญาณ R/W และ address จะต้องมี data input buffer โดยใช้ AND gate 1 gate/bit จาก DM 7408 เพื่อให้เกิด delay time เหมือนกัน ดังแสดงในรูปที่ 3.14

3.3.4 Data Output Buffer

Output ของ DM 7489 เป็นแบบ open collector ซึ่งต่อรวมกันแบบ wire - ANDออกมานั้น จะต้องมี R_L 470 ohm ต่อแบบ pull up อยู่ด้วย และนำข้อมูลมาใช้งานได้โดยแสดงข้อมูลของ DM 7489 เฉพาะ package ที่ ME มีสถานะ "0" เท่านั้น การหาค่า R_L จะต้องขึ้นกับ I_{IL} ของ gate ที่ต่อจาก output ซึ่งต้องการให้คงที่ดังกล่าวแล้ว และโดยที่การเก็บข้อมูลของ DM 7489 จะตรงข้ามกับข้อมูลที่ต้องการเก็บ ดังนั้น เพื่อให้ได้ข้อมูลตามที่ต้องการ

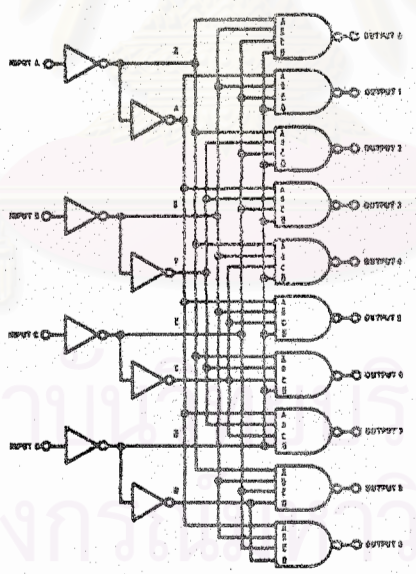
และ R_L คงที่ จึงให้ผ่าน output buffer ซึ่งใช้ NOT gate จาก DM 7404 1 gate/bit ดังแสดงในรูปที่ 3.15



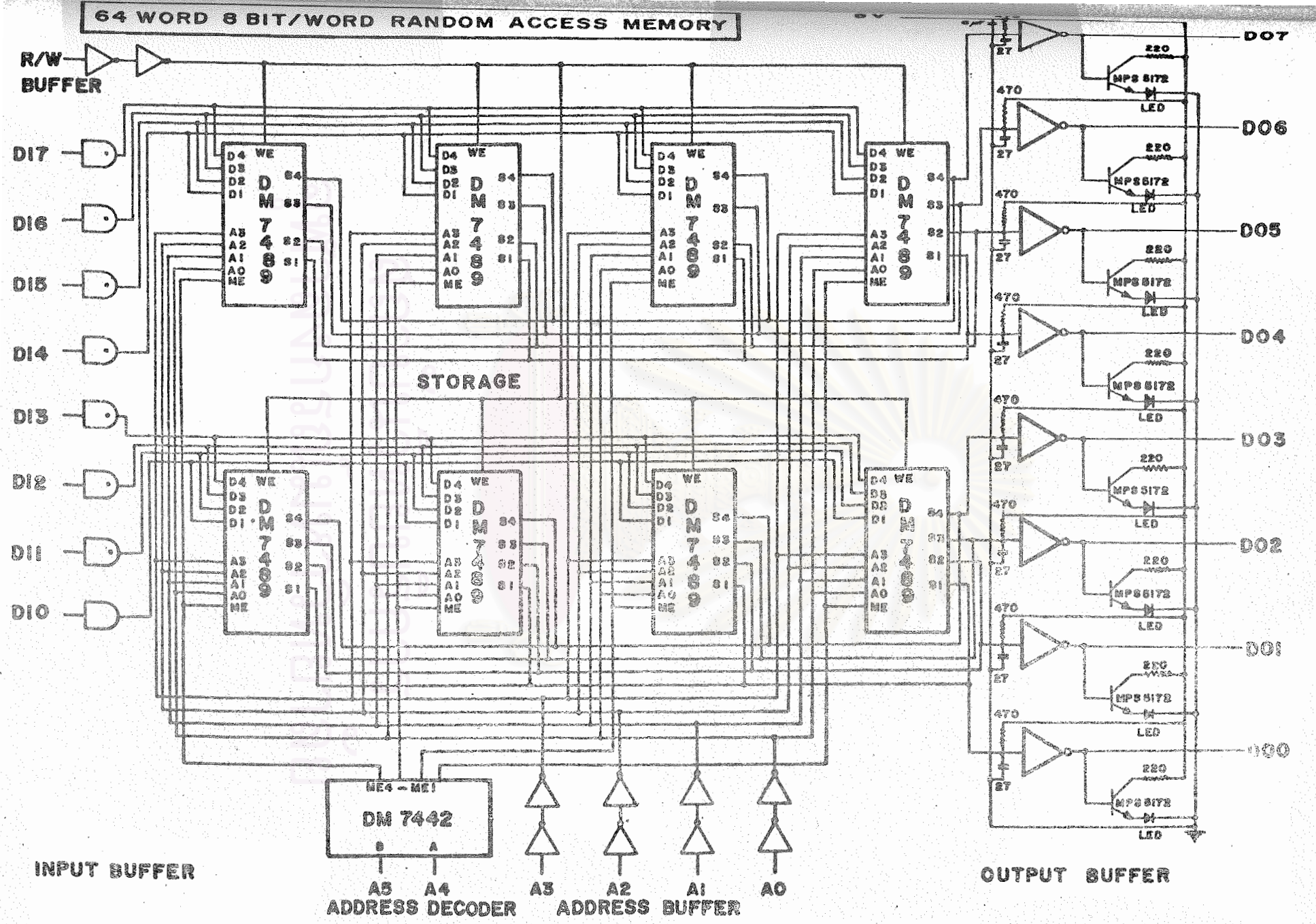
รูปที่ 3.15 วงจรของ Data Output Buffer

การแสดงสถานะของ output เพื่อให้ทราบว่าอยู่ในสถานะใดนั้น ใช้ light emitting diode (LED) สีแดง โดยนำเอา output ของ NOT gate ใน data output buffer ป้อนให้กับ base ของทรานซิสเตอร์ MPS 5172 ซึ่งจะทำหน้าที่เป็นสวิทช์เปิดปิด ดังแสดงในรูปที่ 3.15 โดยมีความต้านทาน 220 ohm ต่อระหว่าง collector กับ V_{cc} และ LED ต่อระหว่าง emitter และ ground ถ้า output มีสถานะ "1" LED จะติด ถ้ามีสถานะ "0" LED จะดับ และใช้คอนเดนเซอร์ 27 pF เป็น speed up capacitor

จากรูปที่ 3.12-3.15 เราสามารถเขียนรวมเป็นวงจรทั้งหมดของ 64 word 8 bit/word RAM ได้ ดังแสดงในรูปที่ 3.16 ข โดยมีรายละเอียด DM 7489 และ DM 7442 ในรูปที่ 3.8 และ 3.16 ก ตามลำดับ



รูปที่ 3.16 ก รายละเอียดของ DM 7442



รูปที่ 3.16 ข วงจร 64 Word 8 Bit/Word RAM

3.4 Access Time , Write Time & Cycle Time

จากข้อ 3.3 จะพบว่าวงจรของ 64 word 8 bit/word RAM นั้น สามารถคำนวณหา access time, write time และ cycle time ได้ โดยใช้สมการ 3.6-3.9

จากสมการ 3.6-3.7 system access time t_{pAT}

$$t_{pAT} = t_{pBA} + t_{pA}$$

$$t_{pAT} = t_{pME} + t_{pAE}$$

โดยมี

t_{pBA}	delay time	จาก	DM 7404	24 ns
t_{pA}	delay time	จาก	DM 7489	60 ns
t_{pME}	delay time	จาก	DM 7442	26 ns
t_{pAE}	delay time	จาก	DM 7489	50 ns
$t_w + t_{hold}$	pulse width ที่น้อยที่สุดของ WE			45 ns
t_{pBE}	delay time	จาก	DM 7404	24 ns

จากสมการ 3.6

$$t_{pAT} = 24 + 60 = 84 \text{ ns}$$

จากสมการ 3.7

$$t_{pAT} = 26 + 50 = 76 \text{ ns}$$

จากสมการ 3.8

$$t_{pE} = t_{pME} + t_w + t_{hold}$$
$$= 25 + 45 = 70 \text{ ns}$$

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

จากสมการ 3.9

$$t_{pE} = t_{pBE} + t_w + t_{hold}$$

$$= 24 + 45$$

$$= 69 \quad ns$$

แต่เนื่องจากวงจรที่ออกแบบขึ้นได้เพิ่ม output buffer โดยใช้ NOT gate ซึ่งมี delay time 12 ns ดังนั้นจะได้

access time	97	ns
write time	69	ns
cycle time	100	ns

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 4

การสร้างและทดลอง

วงจร 64 word 8 bit / word ที่ออกแบบสร้างขึ้น จะต้องใช้อุปกรณ์การตรวจ และลำดับขั้นการประกอบอย่างละเอียดดังต่อไปนี้

4.1 อุปกรณ์

อุปกรณ์ที่ใช้ประกอบด้วย integrated circuit ทรานซิสเตอร์ ความต้านทาน และอุปกรณ์อื่นๆ

Integrated Circuit

DM	7404	6 inverter (NOT gate)	4 ตัว
DM	7408	4 NAND gate	2 ตัว
DM	7442	Binary - Decimal Decoder	1 ตัว
DM	7489	16 x 4 bit RAM	8 ตัว

Transistor

MPS	5172	High Speed Switch	8 ตัว

Light Emitting Diode

LED	สีแดง	8 ตัว

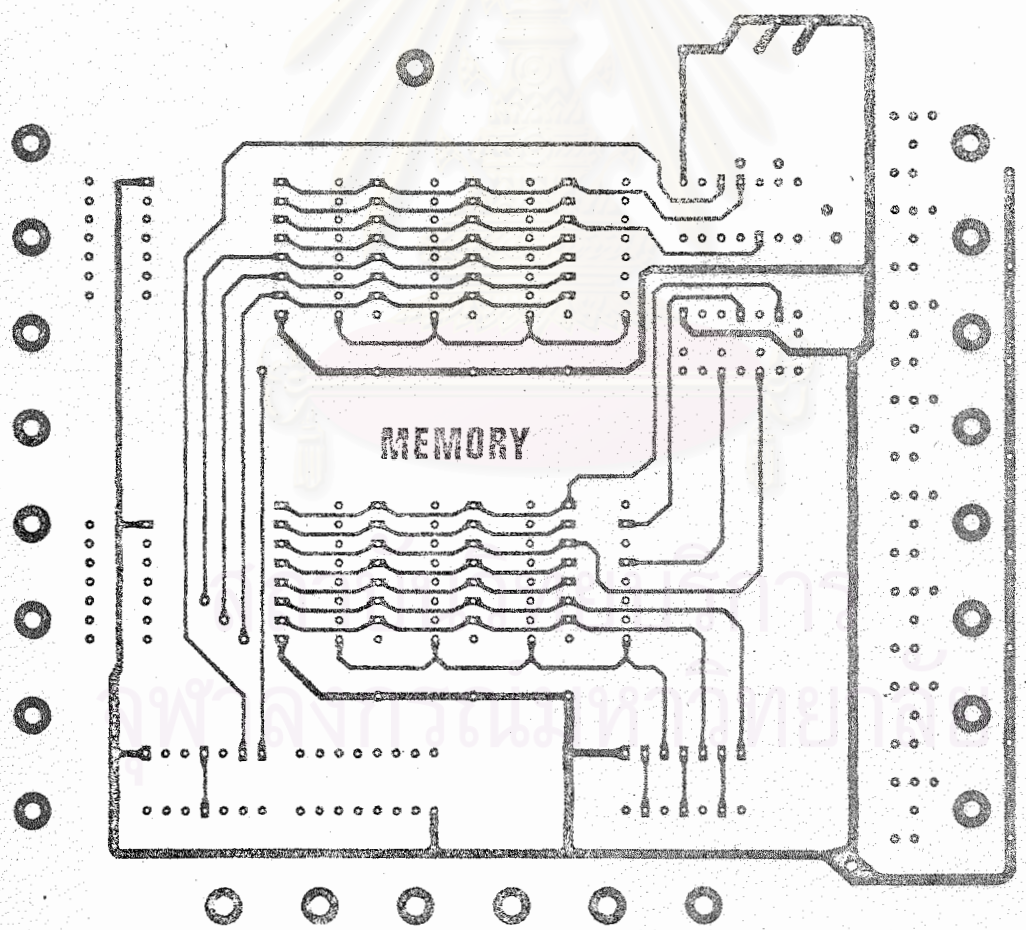
ความต้านทาน

220	ohms	8 ตัว
470	ohms	8 ตัว

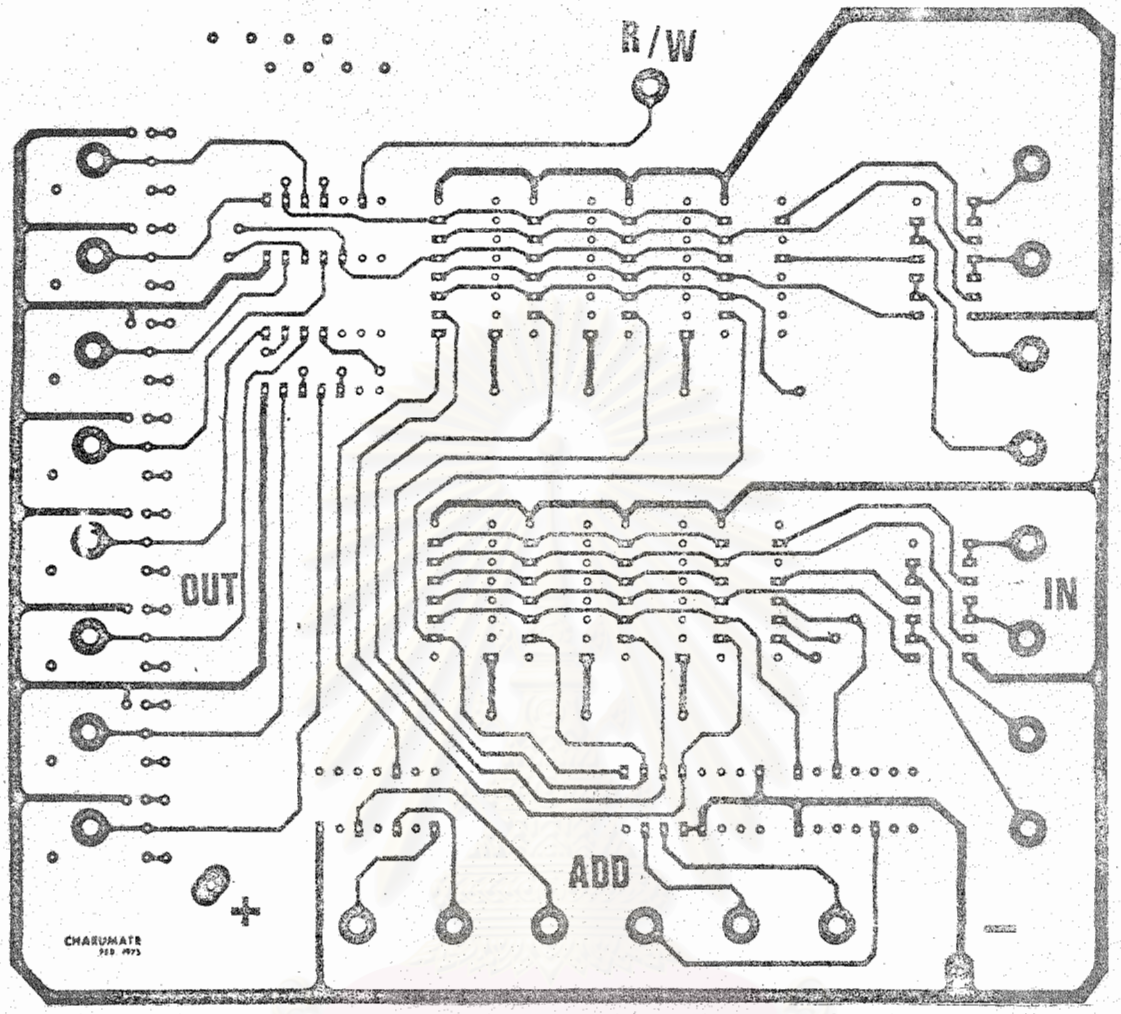
สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

Capacitor

6 uF Tantalum	1 ตัว
27 pF	8 ตัว
ตาไก่	23 ตัว
กล่องพลาสติค 2 x 15.5 x 14 ซม^3	1 กล่อง
Epoxy Printed Circuit	1 แผ่น



รูปที่ 4.1 ก แบบ printed circuit ด้านบน



รูปที่ 4.1 ข แบบ printed circuit ด้านล่าง

เนื่องจากวงจรดังกล่าวในรูปที่ 3.15 จะประกอบด้วยเส้นเชื่อมโยงและจุดต่อต่างๆ จำนวนมาก การทำ printed circuit จึงต้องใช้แบบ 2 หน้า ดังในรูปที่ 4.1แสดงรายละเอียดของ printed circuit ทั้ง 2 หน้า เนื่องจากต้องการความละเอียดของเส้นและจุดต่อต่างๆ จึงต้องออกแบบ printed circuit บนกระดาษเขียนแบบโดยขยาย 4 เท่าของแบบที่ต้องการและย่อจากแบบที่เขียนลงบนฟิล์มเพื่อทำ printed circuit โดยวิธีการ photoresist ซึ่งเหมาะสมกับ printed circuit 2 หน้า และให้ความละเอียดของเส้นมาก

4.2 การตรวจสอบอุปกรณ์

อุปกรณ์ที่ใช้ในการประกอบเป็น 64 word 8 bit/word RAM ตรวจสอบให้อยู่ในสภาพดี เพราะอุปกรณ์ทุกชิ้นจะเชื่อมติดกับ printed circuit ทันที โดยไม่ต้องใช้ socket ช่วย ถ้าอุปกรณ์ชิ้นใดเกิดชำรุดทำงานไม่ได้ การถอดออกจะทำได้ยาก อาจทำให้ printed circuit เสียหายได้ อุปกรณ์ที่ใช้ทั้งหมดจะทำการตรวจสอบก่อนการประกอบดังนี้

Integrated Circuit

DM 7404 เป็น integrated circuit ที่ประกอบด้วย NOT gate 6 gate การทดสอบทำโดยการป้อน power supply เข้าที่ขาที่ 14 (V_{cc}) และขาที่ 7 (ground) แล้วป้อนสัญญาณเข้าที่ input ของ gate โดยดูรายละเอียดการต่อจากคู่มือแล้วเทียบผลของ truth table ที่วัดได้กับ truth table ของ NOT gate ดังตารางที่ 4.1 ซึ่งถ้าเหมือนกันก็แสดงว่า DM 7404 นั้นอยู่ในสภาพดี

ตารางที่ 4.1

Input	Output
0	1
1	0

DM 7408 ประกอบด้วย AND gate 4 ตัว การตรวจทำได้โดยป้อน power supply 5 V ให้ขาที่ 14 และขาที่ 7 แล้วทำการตรวจสอบคุณสมบัติตาม truth table ในตารางที่ 4.2 ถ้าเหมือนกับ truth table ที่ได้ แสดงว่า DM 7408 ตัวนั้นอยู่ในสภาพดี

ตารางที่ 4.2

Input		Output
0	0	0
0	1	0
1	0	0
1	1	1

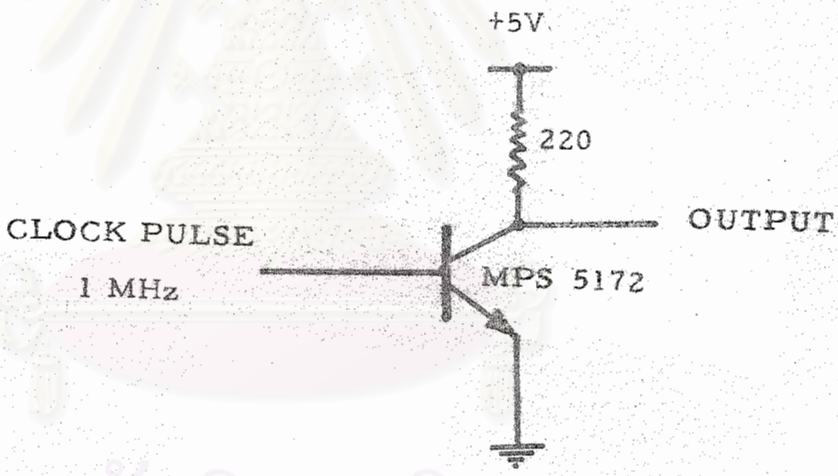
DM 7442 เป็น BCD to Decimal Decoder ขาที่ 12-15 เป็น input และขาที่ 1-6 กับ7-9 เป็น output การตรวจทำโดยป้อน power supply และตรวจสอบ truth table ที่ได้จะต้องเหมือนกับตารางที่ 4.3

ตารางที่ 4.3

Input				Output									
D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	0	0	0	0	1	1	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1	1	1
0	1	0	1	1	1	1	1	1	0	1	1	1	1
0	1	1	0	1	1	1	1	1	1	0	1	1	1
0	1	1	1	1	1	1	1	1	1	1	0	1	1
1	0	0	0	1	1	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0
1	0	1	0	1	1	1	1	1	1	1	1	1	1
1	0	1	1	1	1	1	1	1	1	1	1	1	1
1	1	0	0	1	1	1	1	1	1	1	1	1	1
1	1	0	1	1	1	1	1	1	1	1	1	1	1
1	1	1	0	1	1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1	1	1

DM 7489 เป็น 64 bit random access memory ที่มี 16 word 4 bit/word โดยมีรายละเอียดดังรูปที่ 3.8 การตรวจสอบทำโดย write ข้อมูล 0 และ 1 เข้าทาง input ทุก bit ทุก word และทำการ read ออกมา เพื่อดูว่าสามารถบันทึกและอ่านออกมาได้หรือไม่ เมื่อทดลองว่าสามารถบันทึกและอ่านได้ จะต้องทดสอบอีกขั้นโดยการ write ข้อมูลที่แตกต่างกันในแต่ละ word และ read ออกมาจะต้องเหมือนกับที่ต้องการบันทึกไม่สูญหายหรือเปลี่ยนแปลง

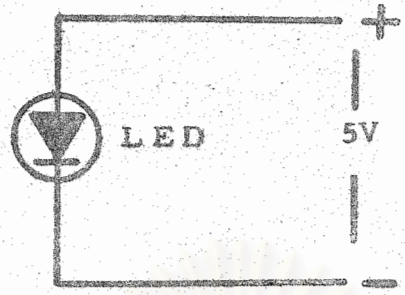
Transistor MPS 5172 ซึ่งเป็น high speed switch ทดลองโดยการป้อน clock pulse ให้กับ base โดยมีวงจรตามรูปที่ 4.2



รูปที่ 4.2 วงจรตรวจสอบ MPS 5172

แล้ววัด output ที่ได้จะต้องอยู่ในลักษณะเป็น clock pulse เช่นเดียวกัน

LED การทดสอบ LED ทำการทดสอบโดยการป้อน power supply ให้กับ anode และ cathode ในแบบ forward bias ดังแสดงในรูปที่ 4.3 แล้วดูแสงที่เปล่งออกมา ถ้าไม่ติดแสดงว่าเสีย หรือใช้ multi-meter ทำการตรวจสอบก็ได้



รูปที่ 4.3 วงจรตรวจสอบ LED

Printed circuit การทดสอบขั้นแรกทำโดยการป้อน power supply ที่จุดต่อ แล้วทำการตรวจสอบที่จุดต่อ power supply ให้กับ integrated circuit และ transistor ว่ามี voltage หรือไม่ ซึ่งจะต้องมีทุกจุดตามที่ออกแบบไว้ซึ่งจากการตรวจในขั้นแรกสามารถใช้ได้อย่างถูกต้อง

4.3 การประกอบและการตรวจสอบอุปกรณ์ระหว่างการประกอบ

ภายหลังที่ทำการตรวจสอบอุปกรณ์ในขั้นแรกแล้ว ก็จะทำการประกอบอุปกรณ์ต่าง ๆ ลงบน printed circuit ก่อนจะทำการประกอบจะต้องเจาะรูต่าง ๆ เพื่อประกอบอุปกรณ์ การเจาะจะต้องใช้ล่วานที่คนมากและมีความเร็วสูง เพื่อป้องกันไม่ให้แผ่นทองแดงฉีกได้ ก่อนการประกอบ integrated circuit ลงไปจะต้องทำการใส่ความต้านทานเสียก่อน คือ ความต้านทาน 220 ohm ที่เป็น collector resistor ของ MPS 5172 จำนวน 8 ตัว และ 470 ohm 8 ตัว เพื่อเป็น pull up resistor หลังจากนั้นจะเริ่มประกอบ integrated circuit transistor และ LED โดยประกอบทีละส่วนและตรวจสอบด้วย

Input Buffer

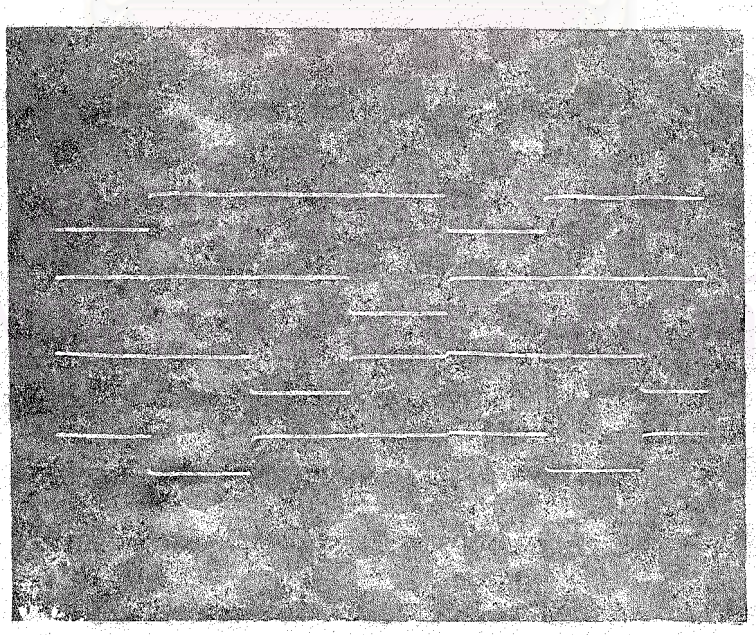
การประกอบ input buffer ซึ่งใช้ DM 7408 2 ตัว ใส่ลงบน printed circuit ตำแหน่งที่ 1 ดังแสดงในรูปที่ 4.1 ก แล้วทำการเชื่อมจุดต่าง ๆ ที่ต้องการทั้งหมด แล้วตรวจสอบโดยการป้อน input เข้าที่จุดต่อ แล้ววัดสัญญาณที่ออกมาโดยวัดที่ปลายของเส้นที่ป้อนให้ DM 7489 ทุกจุด ข้อมูลทุกจุดทาง output จะต้องเหมือนกับ input จากการตรวจสอบส่วนของ input buffer ได้ผลตาม

ที่ออกแบบไว้ทุกประการ

Address Buffer & Address Decoder

Address buffer ใช้ DM 7404 จำนวน 2 ตัว ประกอบลงบน printed circuit ที่ตำแหน่งที่ 2 ในรูปที่ 4.1 ก และ address decoder ใช้ DM 7442 1 ตัว ประกอบลงบนตำแหน่งที่ 3 ในรูปที่ 4.1 ก หลังจากเชื่อมจุดต่าง ๆ ในส่วนนี้แล้วทำการตรวจสอบ โดยป้อนสัญญาณเข้าที่ input ของ address buffer ทั้ง 4 bit แล้วตรวจสอบที่ output ด้านปลายเส้นที่ป้อนให้ address ของ DM 7489 ผลปรากฏข้อมูลที่ output เหมือนกันทุกประการ

สำหรับการตรวจสอบ address decoder ทำโดยการป้อนสัญญาณ address ทั้ง 6 bit เข้าที่ address input โดยให้สัญญาณตั้งแต่ 000000-111111 โดยใช้ clock pulse 1 MHz แล้วทำการตรวจสอบ output ของ DM 7442 ที่ต่อเข้า ME ของ DM 7489 ปรากฏว่าถูกต้องดังปรากฏในรูปที่ 4.4 (ถ่ายจาก oscilloscope Tektronix 5301 N) จะแสดงสัญญาณ ME ที่ได้จาก DM 7442 ซึ่งถูกต้องตามต้องการเช่นเดียวกับตารางที่ 3.2



รูปที่ 4.4 สัญญาณ ME จาก address decoder

Data Output Buffer

ใช้ DM 7404 จำนวน 2 ตัว ที่ตำแหน่งที่ 4 และประกอบ MPS 5172 รวมทั้ง LED จำนวน 8 ตัว ลงในตำแหน่งที่ 6 ของ printed circuit เมื่อเชื่อมจุดต่าง ๆ เรียบร้อยแล้ว ทำการตรวจสอบโดยการป้อนสัญญาณให้กับ input ของ DM 7404 ปรากฏว่าสัญญาณที่ได้ถูกต้องตามต้องการซึ่งแสดงให้ทราบทาง - LED ด้วย

R/W Buffer

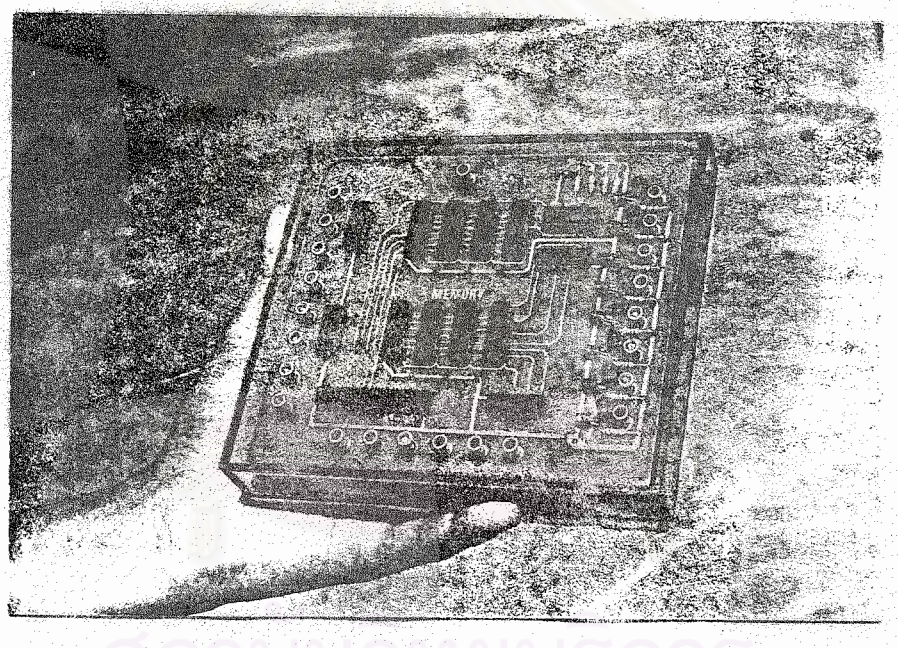
R/W buffer ซึ่งใช้ NOT gate 2 ตัวจาก DM 7404 ซึ่งอยู่ใน address buffer และ data output buffer จากการตรวจสัญญาณสามารถทำงานได้อย่างถูกต้อง

Storage

ใช้ DM 7489 จำนวน 8 ตัว นำไปใส่ลงบน printed circuit ในตำแหน่งที่ 5 แล้วทำการเชื่อมจุดต่าง ๆ ให้ครบ

หลังจากประกอบเรียบร้อยแล้วนำฝากล่องพลาสติคที่เจาะรูแล้วมาเชื่อมต่อกับ printed circuit โดยใช้ตาไก่ 23 ตัว ซึ่งเสียบจากแผ่นพลาสติคลงไปยัง printed circuit แล้วเชื่อมต่อกัน หลังจากนั้นต่อสาย power supply เข้ากับจุดต่อบน printed circuit โดยต่อจากฐานกล่องซึ่งมี jack ตัวผู้ขนาดเล็ก 2 ตัว ห่างกัน 3 นิ้ว เพื่อใช้เสียบนำ power supply จาก logic board ระหว่างสายต่อมายัง printed circuit จะเชื่อมต่อด้วย connecter ขนาดเล็ก เพื่อสะดวกในการถอดออกจากกล่องโดยไม่ใช้ความร้อน

ดังนั้นจะได้ 64 word 8 bit/word RAM ดังแสดงในรูปถ่าย รูปที่ 4.5



รูปที่ 4.5 64 word 8 bit/word RAM ที่ประกอบเรียบร้อย

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

4.4 การทดลอง

64 word 8 bit/word RAM ที่ออกแบบสร้างขึ้นและประกอบอุปกรณ์ต่าง ๆ เรียบร้อยดีแล้ว จะต้องทำการทดลองและทดสอบคุณสมบัติต่าง ๆ โดยจะทำการทดลองที่อุณหภูมิห้องประมาณ 27 - 30 °c

4.4.1 เครื่องมือที่ใช้ในการทดลอง

เครื่องมือที่ใช้ในการทดลองประกอบด้วย

Logic cubes ประกอบด้วย NOT gate AND gate NAND gate OR gate NOR gate J-K Flip-Flop และ Keyer Console

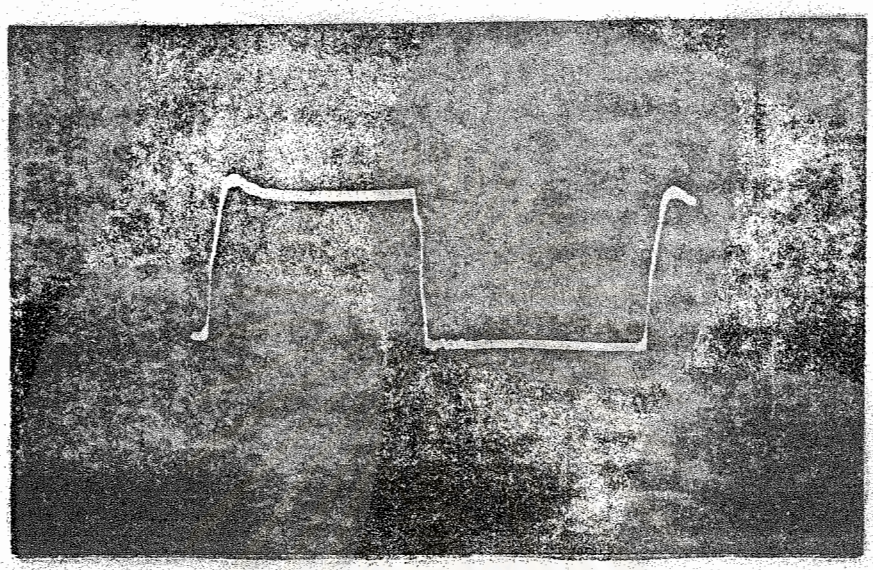
Logic Board model 801 ของ ADTECH Inc. ซึ่งใช้ power supply 5.0 V 15 A

Oscilloscope Oscilloscope ที่ใช้ในการทดลองคือ Telequipment D 83 และ Tektronix 5301 N

Clock pulse ที่ได้จาก clock ซึ่งควบคุมด้วย crystal ดังแสดงในรูปที่ 4.6 โดยถ่ายจาก oscilloscope Telequipment D 83 clock pulse ที่ให้มีคุณสมบัติดังนี้

Pulse shape	square wave
ความถี่	1 MHz
Pulse width	450 ns
High level voltage output	3.4 volts
Low level voltage output	0.2 volts

นอกจากนี้ยังใช้ connector ร่วมในการทดลองอีกด้วย



รูปที่ 4.6 Clock pulse 1 MHz

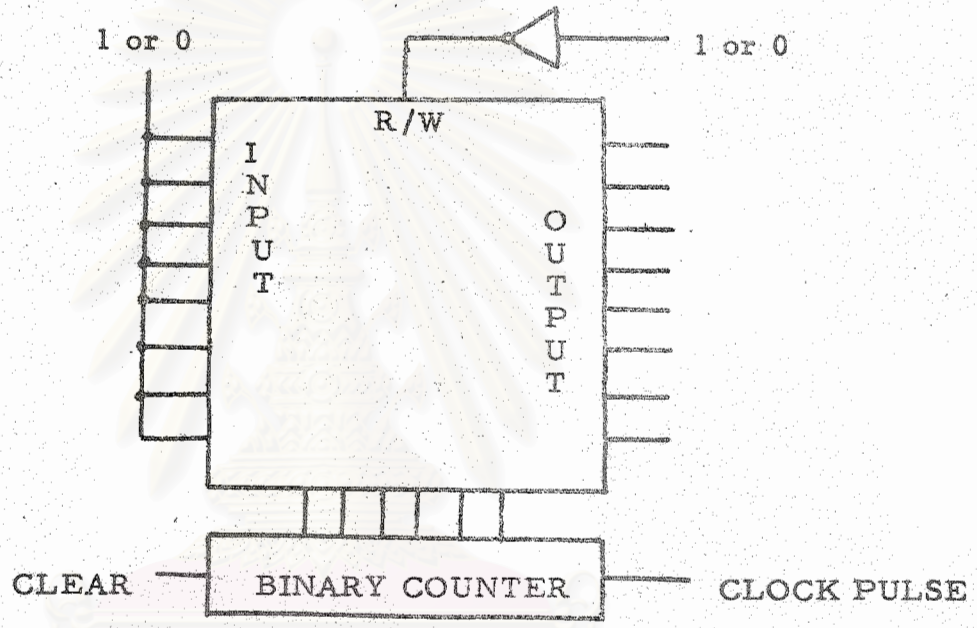
4.4.2 การทดลอง Read/Write ข้อมูล

การทดลอง read/write ข้อมูลเพื่อทำการตรวจสอบว่า memory ที่สร้างขึ้นสามารถทำการ read และ write ข้อมูลได้อย่างถูกต้อง

การ Read/Write ข้อมูล "0" ทุก bit ทุก word ทำโดยประกอบวงจรดังแสดงในรูปที่ 4.7

เมื่อต้องการ write ข้อมูล "0" ลงใน 64 word memory ทำโดยป้อนสัญญาณเพื่อให้ binary counter อยู่ที่ 000000 แล้วป้อนสัญญาณ "0" เข้าที่ input และให้สัญญาณ "1" ที่ input ของ NOT gate (สัญญาณ "0" ใช้สำหรับ write) หลังจากนั้นให้สัญญาณ clock pulse กับ binary counter ซึ่งจะเปลี่ยน address จาก 000000 จนถึง 111111 ข้อมูล "0" จะเข้าไปอยู่ใน 64 word memory ซึ่งทำการตรวจสอบดูโดย read ซึ่งทำโดยเป็นสัญญาณที่ป้อนให้ที่ NOT gate เป็น "1" (read) แล้วทำการ clear binary counter

แล้วเริ่มเปลี่ยน address จาก 000000 ถึง 111111 จะพบว่าข้อมูล "0" ที่ write เข้าไปสามารถเก็บได้อย่างถูกต้อง และสามารถ read ออกมาได้อย่างถูกต้อง



รูปที่ 4.7 วงจรทดลองการ read/write

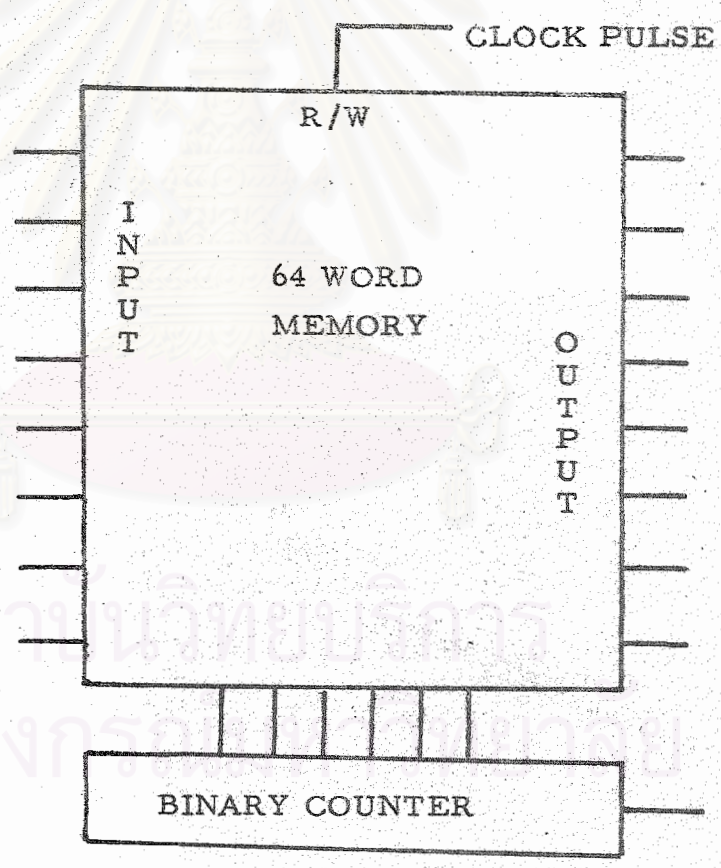
การ read/write ข้อมูล "1" ทุก bit ทุก word ทำเช่นเดียวกับข้อมูล "0" แต่ป้อนสัญญาณ "1" เข้าที่ input แทนสัญญาณ "0" ขณะ write จากการทดลองปรากฏว่าสามารถ write ข้อมูล "1" และ read ออกมาได้อย่างถูกต้อง

การ read/write ข้อมูลที่แตกต่างกันในแต่ละ word จากการทดลอง read/write ข้อมูล "0" และ "1" ได้อย่างถูกต้องนั้น จะต้องทดลองด้วยการ read/write ข้อมูลที่แตกต่างกันในแต่ละ word ด้วย จากการทดลอง read/write ด้วยข้อมูลที่แตกต่างกันในแต่ละ word ปรากฏว่าสามารถ read ได้อย่าง

ถูกต้องทุก word ไม่ว่าจะ write ข้อมูลอย่างไรลงไปใน 64 word memory

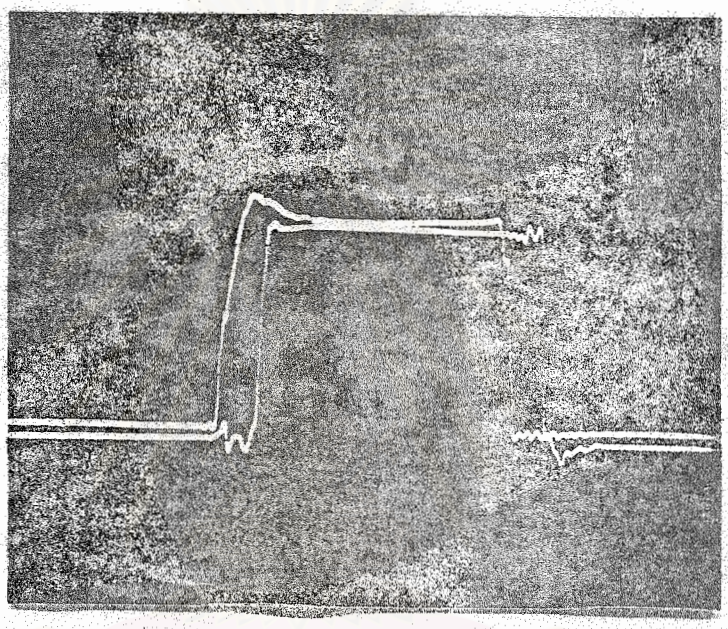
4.5 การหา propagation delay time propagation delay time ที่จะหามี 2 อย่างคือ propagation delay time จากสัญญาณ R/W และ propagation delay time จากสัญญาณ address

Propagation delay time จากสัญญาณ R/W หาโดยต่อวงจรดังในรูปที่ 4.8



รูปที่ 4.8 วงจรการหา propagation delay time จากสัญญาณ R/W

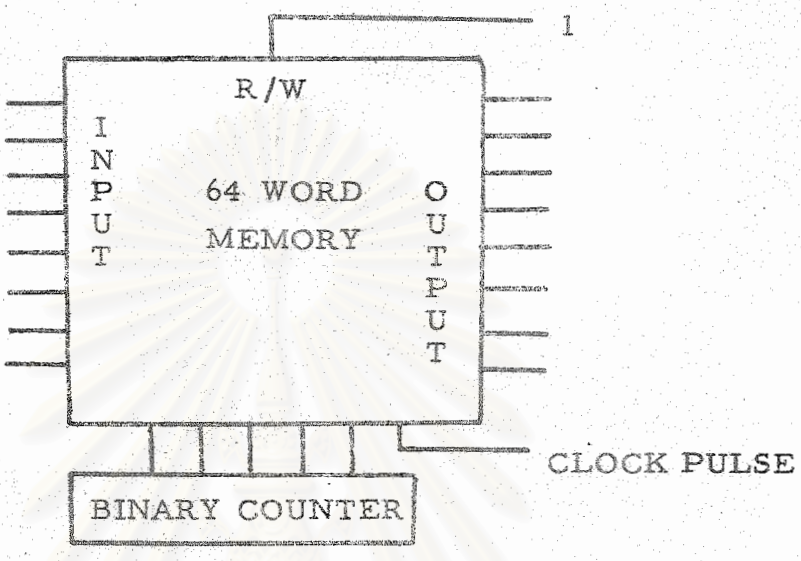
โดยการป้อน clock pulse 1MHz เข้าที่ R/W โดยให้มี address ที่คงที่ป้อนอยู่แล้ว ใช้ oscilloscope Telequipment D 83 วัดสัญญาณจาก output ดังแสดงในรูป 4.9



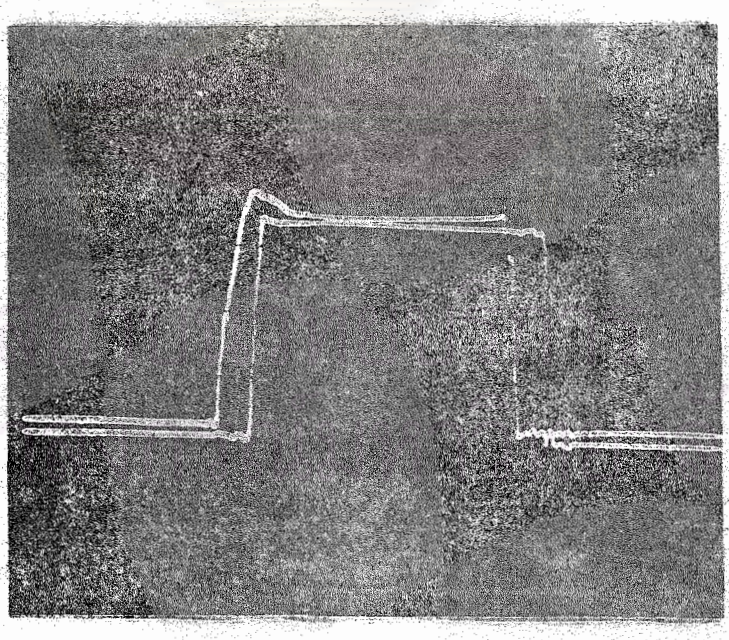
รูปที่ 4.9 สัญญาณ clock pulse และ output จาก R/W

การหา propagation delay time จากสัญญาณ address ทำได้โดยการป้อนสัญญาณ "1" ให้ที่ R/W และป้อน clock pulse เข้าที่ bit 2^0 ของ address ส่วน bit ที่ 2^1- 2^5 ให้คงที่อยู่ตลอดเวลา ดังแสดงในรูปที่ 4.10 หลังจากนั้นใช้ oscilloscope Telequipment D 83 วัดสัญญาณ output เทียบกับสัญญาณ address bit 2^0 จะได้ pulse ดังในรูปที่ 4.11

จากรูปที่ 4.9 และ 4.11 จะสามารถทราบคุณสมบัติต่าง ๆ ได้ดังแสดงในตารางที่ 4.4



รูปที่ 4.10 วงจรการหา propagation delay time จากสัญญาณ address



รูปที่ 4.11 clock pulse และ output จากสัญญาณ address

ตารางที่ 4.4

Characteristic	ค่าที่วัดได้	หมายเหตุ
Propagation delay time low to high level output from R/W	50 ns	oscilloscope 1 volt/div
Propagation delay time high to low level output from R/W	55 ns	0.1 microsec/div clock 1 MHz
Propagation delay time low to high level output from address	40 ns	V_{cc} 5.0 volts
Propagation delay time high to low level output from address	50 ns	
Pulse width	450 ns	
High level voltage output	3.3 V	
Low level voltage output	0.2 V	

4.6 การหา Access Time Write Time และ Cycle Time

สำหรับ access time write time และ cycle time ดังแสดงในตารางที่ 3. เป็นค่าที่ได้จากการคำนวณโดยคิดจากค่าสูงสุดของทุก ๆ ค่าที่ต้องการ ดังนั้นค่าดังกล่าวอาจจะเป็นค่าที่มากกว่าค่าจริง ๆ ที่เกิดขึ้นขณะทำงาน ซึ่งทั้งนี้ก็ต้องขึ้นกับความเร็วของ clock pulse ที่ใช้ทำงานด้วย

จากรูปที่ 4.8-4.11 เราจะพบว่า delay time ที่เกิดเมื่อป้อนสัญญาณ address เท่ากับ 50 ns และ delay time ที่เกิดเมื่อป้อนสัญญาณ

R/W เท่ากับ 55 ns สำหรับ delay time ที่เกิดจากสัญญาณ R/W นั้น ไม่ใช่ write cycle เพราะมี delay time จาก output buffer และ t_{SR} โดยที่ pulse width น้อยที่สุดของ write signal จะต้องเท่ากับ 40 ns รวมกับ t_{hold} 5 ns ดังนั้น write cycle จะเท่ากับ 60 ns

ตารางที่ 4.5 แสดงค่าของ access time write time & cycle time

ตารางที่ 4.5

Characteristic of 64 word RAM	Time - unit
Access time	50 ns
Write time	60 ns
Cycle time	105 ns

Delay time ทั้งหมดที่เกิดขึ้นเนื่องจากส่วนต่าง ๆ ของ memory อันได้แก่ input buffer output buffer R/W buffer address decoder address buffer และ storage

Fan-Out เนื่องจากมีผู้ทำการหา fan-out มาแล้ว โดยใช้ NOT gate จาก DM 7404 พบว่า fan-out ของ NOT gate จาก DM 7404 ที่มี - ทรานซิสเตอร์ทำหน้าที่ปิดเปิดหลอดไฟฟ้าหรือ LED มีค่าเท่ากับ 10^1 ดังนั้น fan-out ของ 64 word 8 bit/word RAM จะมีค่าเท่ากับ 10 หรือ สามารถต่อ output ป้อน gate ต่าง ๆ ซึ่งเป็น TTL 10 gate

---

[1] วิชาญ เลิศวิภาตระกูล, การออกแบบและพัฒนาลอจิกเกท, จุฬาลงกรณมหาวิทยาลัย, วิทยานิพนธ์ 2517, หน้า 66-69.

บทที่ 5

ข้อสรุปและเสนอแนะ

64 word 8 bit/word ที่ออกแบบสร้างขึ้น จุดประสงค์เพื่อใช้ร่วมกับไมโครคอมพิวเตอร์ แบบ 40 ของ ADTECH ก่อนที่จะออกแบบสร้างขึ้น ได้ศึกษาถึงส่วนความจำแบบต่าง ๆ คุณสมบัติ และเลือกส่วนความจำ bipolar RAM โดยศึกษาการออกแบบวงจร และสร้างขึ้นตามวงจรที่ออกแบบไว้ โดยใช้ integrated circuit แบบ TTL ทั้งหมด หลังจากประกอบวงจรเรียบร้อยแล้ว ได้ทำการทดสอบการทำงานหา propagation delay time, access time write cycle time และ fan-out

5.1 ปัญหาการวิจัย

ในการออกแบบสร้างส่วนความจำดังกล่าวมีปัญหาเกิดขึ้นขณะทำการวิจัยหลายระการ คือ

ปัญหาการออกแบบ

เนื่องจาก 64 word 8 bit/word RAM ที่ต้องการใช้ร่วมกับไมโครคอมพิวเตอร์นั้น จำเป็นต้องใช้อุปกรณ์ต่าง ๆ จำนวนมาก ดังนั้นปัญหาที่เกิดเมื่อออกแบบวงจรได้แล้ว ปัญหาสำคัญ การออกแบบ printed circuit ที่ใช้กับวงจรเป็นสิ่งสำคัญ การเชื่อมโยงระหว่างจุดต่าง ๆ มีจำนวนมาก ทำให้ไม่สามารถใช้ printed circuit ที่มีทองแดงหน้าเดียวได้ จึงต้องใช้ printed circuit นี้ โดยใช้วิธี photoresist เนื่องจากต้องใช้ printed circuit 2 หน้า จุดต่าง ๆ จะต้องพอดีกัน ดังนั้นจุดของแผ่นบนและล่างจะต้องทับกันพอดี การออกแบบจึงใช้วิธีซ่อนกระดาษไข 2 แผ่น แล้วออกแบบที่ละหน้าจึงจะได้แบบไม่เหลื่อมกัน และขยายจากของจริง 4 เท่าด้วย ซึ่งทำให้สามารถแก้ปัญหาในการออกแบบได้อย่างดี

ปัญหาการสร้างและประกอบวงจร

การสร้างและประกอบวงจรนั้น ปัญหาสำคัญที่เกิดขึ้น เนื่องจากไม่ต้องที่จะใช้ socket สำหรับเสียบ integrated circuit จึงเกิดปัญหาในกรณีที่เชื่อมขา integrated circuit แล้วต้องการถอดออกจะทำให้ printed circuit เสียหายได้ จึงต้องทำการตรวจสอบอุปกรณ์ทุกชิ้นให้อยู่ในสภาพดีก่อนและทำการประกอบพร้อมกับตรวจสอบไปทีละส่วน ปัญหาอีกประการหนึ่งของการประกอบคือ ตาไก่ ที่ใช้เสียบที่ต่อสายไม่ยาวพอ ทำให้อุปกรณ์ต่าง ๆ อยู่อัดกับแผ่น plastic เกินไป ทำให้มีเนื้อที่เหลือน้อยมากสำหรับการเชื่อม printed circuit กับฝาด้านบน แต่ก็สามารถใช้งานได้เช่นเดียวกันถ้ามีตาไก่ที่ดีกว่าจะช่วยให้การเชื่อม printed circuit กับตาไก่ง่ายขึ้น

การขยายส่วนความจำ

ในกรณีที่ต้องการให้ส่วนความจำมีความจุมากกว่าความจุที่มีในแต่ละ package จะต้องเลือกใช้ integrated semiconductor memory ที่มีความจุใน package สูง integrated semiconductor memory ที่มีจำหน่ายคือขนาดความจุ 64 bit, 256 bit, 1024 bit และ 4096 bit การที่จะเลือกใช้ - ความจุเท่าใด จะต้องพิจารณาถึงความจุในส่วนความจำที่เราต้องการ และเลือก package ที่มีความจุใกล้เคียงหรือเท่ากับความจุที่ต้องการ โดยจะไม่เลือก package ที่มีความจุมากหรือน้อยกว่ามาก ๆ เพราะจะทำให้สิ้นเปลืองและขนาดใหญ่ เช่น ถ้าต้องการส่วนความจำที่มีความจุ 512 word 8 bit/word จะไม่เลือกใช้ package ที่มีความจุ 64 bit หรือ 1024 bit แต่จะใช้ขนาดความจุ 256 bit ส่วนจำนวน package ที่ใช้หรือ output จะต่อรวมกันได้กี่ package นั้น จะต้องพิจารณาถึง loading, timing และ output fanout ซึ่งมีรายละเอียดของการออกแบบและคำนวณในบทที่ 3

ประโยชน์ที่ได้รับจากการวิจัย

การวิจัยครั้งนี้ส่วนความจำที่ออกแบบสร้างขึ้น สามารถนำมาใช้เป็นส่วนความจำของไมโครคอมพิวเตอร์แบบ 40 ของ ADTECH ได้อย่างดี เพราะ

ขณะทำการทดลองใช้ clock pulse 1 MHz มากกว่าที่ใช้ในไมโครคอมพิวเตอร์ ซึ่งใช้ clock pulse 0.5 MHz ส่วนความจำดังกล่าวยังสามารถนำไปใช้เก็บข้อมูลของเครื่องมืออื่นได้โดยเพิ่มวงจรควบคุมเข้าไป พื้นฐานการออกแบบและคำนวณดังกล่าวสามารถนำไปใช้ได้กับการขยายส่วนความจำได้เป็นอย่างดี.

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

เอกสารอ้างอิง

1. ADTECH Inc., 1972. The Model 40 Educational Microcomputer, Honolulu.
2. Ankrum, Paul D., 1971. Semiconductor Electronics, New Jersey: Prentice-Hall, Inc.
3. Delhom, Louis, 1968. Design and Application of Transistor Switching Circuits, New York: McGraw-Hill Book Co.Inc.
4. Don, Lancaster, 1974. What is a Ram? Radio Electronics, U.S.A.
5. Engineering staff, Motoral Inc., 1968 . Analysis and Design of Integrated Circuits, New York: McGraw-Hill Book Co.Inc.
6. Evans, David C, and Others, 1966. Computers and Computation, San Francisco: W.H Freeman and Company.
7. IC Applications Staff of Texas Instruments Incorporation, 1971. Designing with TTL Integrated Circuits, New York: McGraw-Hill Book Co.Inc.
8. Luecke, Mize and Carr, 1968. Semiconductor Memory Design and Application, New York: McGraw-Hill Book Co.,Inc.
9. Millman and Halkias, 1972. Integrated Electronics, Tokyo: McGraw-Hill Kogakusha, LTD.
10. Millman and Taub, 1965. Pulse, Digital and Switching Waveform, Tokyo: McGraw-Hill Kogakusha,LTD.
11. Nagle, Carroll and Irwin, 1975. An Introduction to Computer Logic New Jersey: Prentice-Hall, Inc.

12. National Semiconductor Corporation, 1974. Digital Integrated Circuits, U.S.A.

13. Peatman, John B, 1972. The Design of the Digital System, New York McGraw-Hill Book Co.,Inc.

14. Renwinch & Cole, 1971. Digital Storage System, 2nd edition, London: Chapman & Hall LTD.

15. Sevin Jr and Leonce J, 1965. Field Effect Transistor, New York: McGraw-Hill Book Co.,Inc.

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

ประวัติการศึกษา

นายจารุมาตร ปิ่นทอง จบปริญญาตรี ทางวิทยาศาสตร์ สาขาฟิสิกส์ จากจุฬาลงกรณมหาวิทยาลัย พ.ศ. 2516 ปัจจุบันรับราชการในตำแหน่งอาจารย์ตรี คูนย์คอมพิวเตอร์ศาสตร์ บัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย