การออกแบบตัวแปลงแอนะลอกเป็นดิจิทัลแบบไปป์ไลน์ขนาด 10 บิต ความเร็วสูง กำลังงานต่ำ แรงดันต่ำ

นาย อาทิตย์ ธรรมตระการ

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า ภาควิชาวิศวกรรมไฟฟ้า
คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย
ปีการศึกษา 2545

ISBN 974-17-1151-4

ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย

A DESIGN OF A 10-BIT HIGH-SPEED LOW-POWER LOW-VOLTAGE PIPELINED ANALOG-TO-DIGITAL CONVERTER

Mr. Atit Tamtrakarn

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

A Thesis Submitted in Partial Fulfillment of the Requirements
for the Degree of Master of Engineering in Electrical Engineering

Department of Electrical Engineering
Faculty of Engineering
Chulalongkorn University

Academic Year 2002

ISBN 974-17-1151-4

หัวข้อวิทยานิพนธ์	การออกแบบตัวแปลงแอนะลอกเป็นดิจิทัลแบบไปป์ไลน์ขนาด 10 บิต ความเร็วสูง กำลังงานต่ำ แรงดันต่ำ
โดย	นายอาทิตย์ ธรรมตระการ
สาขาวิชา	วิศวกรรมไฟฟ้า
อาจารย์ที่ปรึกษา	ผู้ช่วยศาสตราจารย์ ดร.นัยวุฒิ วงษ์โคเมท

คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย อนุมัติให้นับวิทยานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญามหาบัณฑิต

…….. คณบดีคณะวิศวกรรมศาสตร์
(ศาสตราจารย์ ดร.สมศักดิ์ ปัญญาแก้ว)

คณะกรรมการสอบวิทยานิพนธ์

…… ประธานกรรมการ
(รองศาสตราจารย์ ดร.เอกชัย ลีลารัศมี)

……... อาจารย์ที่ปรึกษา
(ผู้ช่วยศาสตราจารย์ ดร.นัยวุฒิ วงษ์โคเมท)

……กรรมการ
(นายมานพ ธรรมสิริอนันต์)

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

อาทิตย์ ธรรมตระการ : การออกแบบตัวแปลงแอนะลอกเป็นดิจิทัลแบบไปป์ไลน์ขนาด 10 บิต ความเร็วสูง กำลังงานต่ำ แรงดันต่ำ. (A DESIGN OF A 10-BIT HIGH-SPEED LOW-POWER LOW-VOLTAGE PIPELINED ANALOG-TO-DIGITAL CONVERTER) อ. ที่ปรึกษา : ผศ.ดร.นัยวุฒิ วงษ์โคเมท, 87 หน้า. ISBN 974-17-1151-4.

วิทยานิพนธ์นี้นำเสนอการออกแบบตัวแปลงแอนะลอกเป็นดิจิทัลแบบไปป์ไลน์ขนาด 10 บิตที่มีอัตราของการแปลงค่า 40 MS/s ทำงานที่แรงดันแหล่งจ่าย 2.5 โวลต์ โดยใช้เทคนิคการชักตัวอย่างสองเท่า สถาปัตยกรรมของตัวแปลงแอนะลอกเป็นดิจิทัลเป็นแบบไปป์ไลน์ที่มีการแยกชัด 1.5 บิตต่อขั้นตอนร่วมกับเทคนิคการแก้ไขความผิดพลาดแบบดิจิทัล ออปแอมป์ที่ใช้เป็นแบบสองขั้นตอน โดยขั้นตอนที่หนึ่งเป็นวงจรแคสโคดแบบพับร่วมกับการใช้โหลดไวงานที่ทำให้แรงดันโหมดร่วมเสถียร และเทคนิคการวางขั้ววงรอบปิด ตัวแปลงแอนะลอกเป็นดิจิทัลย่อยประกอบขึ้นจากตัวเปรียบเทียบแบบพลวัต และเกตดิจิทัล สวิตช์ชนิดมอสถูกขับด้วยวงจรบูตสแตรปเพื่อลดความต้านทานของสวิตช์ และทำให้แรงดันตกคร่อมขั้วของทรานซิสเตอร์มีขนาดคงที่และไม่ใหญ่จนเกินไป การออกแบบใช้เทคโนโลยีซีมอส 0.5 ไมครอน การจำลองการทำงานของวงจรรวมทดสอบที่เงื่อนไขการผลิตแบบปรกติ แบบช้า และแบบเร็ว โดยรวมผลกระทบของการไม่เข้าคู่ขนาด 3σ ของตัวเก็บประจุ และออฟเซตของตัวเปรียบเทียบ ขนาดความจุของตัวเก็บประจุเปลี่ยนจากค่าที่ออกแบบไป $\pm$10% และความผันผวนของอุณหภูมิตั้งแต่ 0-70 องศาเซลเซียส ผลการจำลองการทำงานพบว่าความไม่เป็นเชิงเส้นแบบผลต่างน้อยกว่า 0.5 LSB อัตราส่วนสัญญาณต่อสัญญาณรบกวนและความเพี้ยนเมื่อสัญญาณขาเข้าเป็นสัญญาณรูปไซน์ความถี่ 100 kHz และ 15.1 MHz เป็น 59.3 dB และ 55.1 dB ตามลำดับ การกินกำลังงานรวมคิดเป็น 34.8 mW

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

ภาควิชา วิศวกรรมไฟฟ้า ลายมือชื่อนิสิต .....

สาขาวิชา วิศวกรรมไฟฟ้า ลายมือชื่ออาจารย์ที่ปรึกษา .....

ปีการศึกษา 2545

4370622221 : MAJOR ELECTRICAL ENGINEERING

KEY WORD: ANALOG-TO-DIGITAL CONVERTER / DOUBLE SAMPLING / BOOTSTRAP / CLOSED-LOOP POLES PLACEMENT / DIGITAL ERROR CORRECTION

ATIT TAMTRAKARN : A DESIGN OF A 10-BIT HIGH-SPEED LOW-POWER LOW-VOLTAGE PIPELINED ANALOG-TO-DIGITAL CONVERTER. THESIS ADVISOR : ASST. PROF. NAIYAVUDHI WONGKOMET, Ph.D., 87 pp. ISBN 974-17-1151-4.

This thesis presents a 10-bit pipeline ADC using double sampling technique to achieve a conversion rate of 40 MS/s at 2.5-V supply. The ADC architecture is 1.5 bit/stage pipeline with digital error correction. The opamps in the ADC are folded-cascode two-stage. The first stage features techniques such as common-mode stabilized active load which is cross-coupled cascode connection, and close-loop pole placement. The sub-ADCs are constructed by dynamic comparators and digital logic gates. MOS switches are driven by bootstrapping circuits that do not subject the devices to large terminal voltages. The design is based on a 0.5-μm CMOS technology. Simulation results have been checked for all process corners including the effect of 3σ capacitor mismatches, comparator offset, $\pm$10% variation in poly-poly capacitor and temperature variation from 0^{o}C to 70^{o}C. The results show that the converter has DNL less than 0.5 LSB and achieves 59.3 dB SNDR for 100 kHz and 55.1 dB for 15.1 MHz sinusoidal inputs. Power consumption is estimated at 34.8 mW.

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

Department ELECTRICAL ENGINEERING Student's signature .....

Field of study ELECTRICAL ENGINEERING Advisor's signature .....

Academic year 2002

กิตติกรรมประกาศ

ข้าพเจ้าในฐานะผู้วิจัยขอขอบพระคุณ ผศ. ดร.นัยวุฒิ วงษ์โคเมท อาจารย์ที่ปรึกษาวิทยานิพนธ์ สำหรับข้อเสนอแนะ ความคิดเห็น และแนวทางแก้ปัญหาต่างๆ ที่เกิดขึ้นระหว่างการทำวิจัย ทำให้วิทยานิพนธ์เล่มนี้สำเร็จลุล่วงได้ด้วยดี และขอขอบพระคุณคุณมานพ ธรรมสิริอนันต์ สำหรับคำแนะนำต่างๆ เกี่ยวกับการวางแผนผังวงจรรวม ตลอดจนความคิดเห็นเกี่ยวกับการออกแบบวงจรในงานวิจัยชิ้นนี้

ข้าพเจ้าขอขอบคุณศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ (NECTEC) ที่ให้ทุนสนับสนุนค่าใช้จ่ายในการส่งวงจรรวมไปเจือสาร

ข้าพเจ้าขอขอบคุณคุณณพงศ์ ปณิธานธรรม สำหรับความช่วยเหลือในการตรวจออฟกริดของแผนผังวงจรรวมก่อนที่จะส่งไปเจือสารที่โรงงานผลิต รวมถึงคำปรึกษา และข้อแนะ-นำต่างๆ ในการออกแบบวงจร นอกจากนี้ยังขอขอบคุณ กานต์ ป๊อก สำหรับมุมมองต่างๆ ในการออกแบบวงจรแอนะลอก

สุดท้ายนี้ ข้าพเจ้าขอขอบคุณบิดา มารดา ญาติ พี่น้องทุกคนในครอบครัว ที่ให้กำลังใจ คอยช่วยเหลือ ส่งเสริมในทุกๆ ด้าน รวมถึงขอขอบคุณ เพื่อนๆ รุ่นพี่ และรุ่นน้องทุกคน สำหรับมิตรภาพที่ดีที่มีให้กันเสมอมา

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญ

บทคัดย่อภาษาไทย ..... ง
บทคัดย่อภาษาอังกฤษ ..... จ
กิตติกรรมประกาศ ..... ฉ
สารบัญ ..... ช
สารบัญตาราง ..... ญ
สารบัญภาพ ..... ฏ

บทที่ 1 บทนำ 1
1.1 ความเป็นมาและความสำคัญของปัญหา 1
1.2 วัตถุประสงค์ของการวิจัย 2
1.3 ขอบเขตของการวิจัย 2
1.4 ประโยชน์ที่คาดว่าจะได้รับ 2
1.5 วิธีดำเนินการวิจัย 3
1.6 ลำดับเนื้อหาในวิทยานิพนธ์ 3
บทที่ 2 สถาปัตยกรรมของตัวแปลงแอนะลอกเป็นดิจิทัลแบบไปป์ไลน์ 4
2.1 ตัวแปลงแอนะลอกเป็นดิจิทัลแบบไปป์ไลน์ 5
2.1.1 ตัวแปลงแอนะลอกเป็นดิจิทัลย่อย 6
2.1.2 วงจรชักตัวอย่างและคงค่าสัญญาณแบบต่างๆ 7
2.1.3 ตัวแปลงดิจิทัลเป็นแอนะลอกย่อย 11
2.2 การออปติไมซ์การกินกำลังงานในระดับสถาปัตยกรรม 11
2.2.1 การหาการแยกชัดของการแปลงแต่ละขั้นตอนให้เหมาะสมที่สุด 13
2.2.2 การย่อขนาดตัวเก็บประจุของแต่ละขั้นตอนให้เหมาะสมที่สุด 15
2.2.3 การแก้ไขความผิดพลาดแบบดิจิทัล (Digital Error Correction) 16
2.3 เทคนิคการเพิ่มความเร็วในการแปลงแอนะลอกเป็นดิจิทัล 19
2.4 สรุป 21
บทที่ 3 ความไม่เป็นอุดมคติทางวงจร และข้อกำหนดทางวงจรของแต่ละขั้นตอน 22
3.1 ผลของความไม่เป็นอุดมคติในทางวงจร 22
3.1.1 ผลของอัตราขยายไฟตรงที่มีค่าจำกัดของออปแอมป์ (Opamp DC Gain) 22
3.1.2 ผลของความผิดพลาดของการเข้าที่ (Settling error) 23
3.1.3 ผลของการไม่เข้าคู่ของตัวเก็บประจุ (Capacitor mismatch) 24
3.1.4 ค่าผิดพลาดอัตราของขยาย และความไม่เป็นเชิงเส้นของการแปลง 24

สารบัญ (ต่อ)

3.2 ข้อกำหนดทางวงจรของตัวแปลงแอนะลอกเป็นดิจิทัลขนาด 10 บิต 26
3.2.1 อัตราส่วนสัญญาณต่อสัญญาณรบกวน 27
3.2.2 ข้อกำหนดทางวงจรของออปแอมป์ในแต่ละขั้นตอน 28
3.3 สรุป.....30
บทที่ 4 เทคนิคการออกแบบวงจร.....31
4.1 เทคนิคการลดการกินกำลังงงาน 31
4.1.1 การออกแบบออปแอมป์.....31
4.1.2 การออกแบบตัวเปรียบเทียบ.....41
4.2 เทคนิคการออกแบบวงจรทำงานที่แรงดันต่ำ.....43
4.3 วงจรกำเนิดแรงดันอ้างอิง.....45
4.4 วงจรไบแอส.....47
4.5 วงจรดิจิทัล.....49
4.5.1 ตัวแปลงแอนะลอกเป็นดิจิทัลย่อย.....49
4.5.2 ตัวแปลงดิจิทัลเป็นแอนะลอกย่อย 1.5 บิต.....50
4.5.3 ตัวหน่วง (Delay unit).....51
4.5.4 ตัวบวกแก้ไขความผิดพลาดแบบดิจิทัล 52
4.5.5 วงจรกำเนิดสัญญาณนาฬิกา.....53
4.6 สรุป.....55
บทที่ 5 การจำลองการทำงาน และระบบการทดสอบวงจรรวม.....56
5.1 การวางแผนผังวงจรรวม 56
5.2 ผลการจำลองการทำงานของวงจรรวม.....58
5.2.1 ความเป็นเชิงเส้นเชิงสถิต 58
5.2.2 ความเป็นเชิงเส้นเชิงพลวัต และสัญญาณรบกวน 64
5.2.3 สรุปผลการจำลองการทำงาน 65
5.3 ระบบการทดสอบวงจรรวม 66
บทที่ 6 ข้อสรุป และข้อเสนอแนะ 70
6.1 ข้อสรุป.....70
6.2 ข้อเสนอแนะ 71
ภาคผนวก 76

สารบัญ (ต่อ)

ภาคผนวก ก. การวิเคราะห์สัญญาณรบกวนในวงจรสวิตช์ตัวเก็บประจุ.....77
ภาคผนวก ข. บทความที่ได้รับการตอบรับใน 2002 IEEE Asia-Pacific Conference on Circuit and system (APCCAS'02).....80
ประวัติผู้เขียนวิทยานิพนธ์.....87

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญตาราง

ตารางที่ 2.1 เปรียบเทียบคุณสมบัติของขั้นตอนขยาย กรณีการแปลงเป็น B บิตต่อขั้นตอน.....10
ตารางที่ 2.2 เปรียบเทียบคุณสมบัติขั้นตอนขยาย กรณีการแปลงเป็น 1 บิต และ 2 บิตต่อขั้นตอน ..10
ตารางที่ 3.1 ข้อกำหนดของออปแอมป์สำหรับขั้นตอนขยายที่ใช้สัญญาณนาฬิกาความถี่ 20 MHz.29
ตารางที่ 4.1 คุณลักษณะของออปแอมป์แต่ละโครงสร้าง 31
ตารางที่ 4.2 อัตราส่วน W/L ของทรานซิสเตอร์ของวงจรในรูปที่ 4.4 สำหรับขั้นตอนที่ 1 35
ตารางที่ 4.3 ผลการจำลองการทำงานของออปแอมป์ในแต่ละขั้นตอน.....41
ตารางที่ 4.4 ตารางค่าความจริงของการแปลงรหัสอุณหภูมิเป็นรหัสเลขฐานสอง 1.5 บิต.....49
ตารางที่ 4.5 ตารางค่าความจริงของการแปลงรหัสอุณหภูมิเป็นรหัสเลขฐานสอง 2 บิต.....50
ตารางที่ 4.6 ตารางค่าความจริงสำหรับตัวแปลงดิจิทัลเป็นแอนะลอก 1.5 บิต.....51
ตารางที่ 5.1 ค่า SNDR ที่เงื่อนไขการผลิตและใช้งานต่างๆ 65
ตารางที่ 5.2 สรุปผลการจำลองการทำงาน.....65

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญภาพ

รูปที่ 2.1 โครงสร้างการทำงานแบบไปป์ไลน์....4
รูปที่ 2.2 โครงสร้างภายในของแต่ละขั้นตอน....5
รูปที่ 2.3 ตัวแปลงแอนะลอกเป็นดิจิทัลที่ใช้สถาปัตยกรรมแบบวาบ....6
รูปที่ 2.4 วงจรขั้นตอนขยายแบบที่ 1....7
รูปที่ 2.5 วงจรขั้นตอนขยายแบบที่ 2....9
รูปที่ 2.6 วงจรสร้างแรงดัน V_{DAC} โดยใช้ชุดลำดับตัวเก็บประจุถ่วงน้ำหนักแบบเลขฐานสอง....12
รูปที่ 2.7 เปรียบเทียบการกินกำลังที่ความถี่การชักตัวอย่างต่างๆ เมื่อใช้วงจรขั้นตอนขยายแบบที่ 1 14
รูปที่ 2.8 เปรียบเทียบการกินกำลังที่ความถี่การชักตัวอย่างต่างๆ เมื่อใช้วงจรขั้นตอนขยายแบบที่ 2 14
รูปที่ 2.9 ลักษณะสมบัติการแปลงแอนะลอกเป็นดิจิทัลที่มีการแยกชัด 2 บิตต่อขั้นตอน....16
รูปที่ 2.10 ลักษณะสมบัติการแปลงในรูปที่ 2.9 ที่ลดอัตราขยายชดเชยลงครึ่งเท่า....17
รูปที่ 2.11 ลักษณะสมบัติของการแปลงแอนะลอกเป็นดิจิทัลที่มีการแยกชัด 1.5 บิตต่อขั้นตอน....18
รูปที่ 2.12 การหาผลลัพธ์ของการแปลงที่มีการแยกชัด B บิตต่อขั้นตอน....18
รูปที่ 2.13 การหาผลลัพธ์ของการแปลงที่มีการแยกชัด B+0.5 บิตต่อขั้นตอน....19
รูปที่ 2.14 วงจรขั้นตอนขยายที่ใช้เทคนิคการชักตัวอย่างสองเท่า....20
รูปที่ 3.1 แสดงขนาดของตัวเก็บประจุที่เหมาะสมที่สุดสำหรับแต่ละขั้นตอน....28
รูปที่ 4.1 โครงสร้างออปแอมป์แบบผสมระหว่างวงจรแคสโคดแบบพับ และวงจรขยาย 2 ขั้นตอน 32
รูปที่ 4.2 โครงสร้างออปแอมป์ที่เป็นการชดเชยเฟสแบบแคสโคด....33
รูปที่ 4.3 แหล่งกระแสแบบไขว้ที่มีการแคสโคด....34
รูปที่ 4.4 วงจรออปแอมป์ที่ใช้ในการออกแบบจริง....35
รูปที่ 4.5 วงจรป้อนกลับสัญญาณโหมดร่วมสำหรับวงจรที่ใช้เทคนิคการชักตัวอย่างสองเท่า....36
รูปที่ 4.6 แบบจำลองครึ่งวงจร(Half circuit) ของวงจรในรูปที่ 4.4....36
รูปที่ 4.7 แบบจำลองสัญญาณขนาดเล็กของวงจรในรูปที่ 4.6 เมื่อต่อป้อนกลับแล้ว....37
รูปที่ 4.8 ตำแหน่งขั้วและศูนย์วงรอบปิดของระบบ....38
รูปที่ 4.9 ผลตอบชั่วครู่ของออปแอมป์ในขั้นตอนที่ 1....40
รูปที่ 4.10 ภาพขยายของผลตอบชั่วครู่ขณะที่มีการเข้าที่แล้ว....40
รูปที่ 4.11 วงจรตัวเปรียบเทียบพลวัตที่เลือกใช้....41

สารบัญภาพ (ต่อ)

รูปที่ 4.12 วงจรตัวเปรียบเทียบที่ใช้พร้อมกับแสดงอัตราส่วน W/L ของทรานซิสเตอร์ 43
รูปที่ 4.13 วงจรบูตแสตรปที่ใช้ในการออกแบบ.....44
รูปที่ 4.14 วงจรขั้นตอนขยายที่มีการนำวงจรบูตสแตรปมาใช้กับสวิตช์บางตัว.....45
รูปที่ 4.15 วงจรกำเนิดแรงดันอ้างอิง.....46
รูปที่ 4.16 วงจรออปแอมป์ที่นำมาใช้ในวงจรบัฟเฟอร์.....47
รูปที่ 4.17 วิธีการแบ่งการไบแอสสำหรับออปแอมป์แต่ละขั้นตอน.....47
รูปที่ 4.18 วงจรไบแอสออปแอมป์สำหรับแต่ละขั้นตอน 48
รูปที่ 4.19 วงจรไบแอสสำหรับออปแอมป์ที่ใช้เป็นวงจรบัฟเฟอร์แรงดัน 48
รูปที่ 4.20 ตัวแปลงแอนะลอกเป็นดิจิทัลย่อย 1.5 บิต 49
รูปที่ 4.21 ตัวแปลงแอนะลอกเป็นดิจิทัลย่อยขนาด 2 บิต สำหรับขั้นตอนที่ 9.....50
รูปที่ 4.22 ตัวหน่วงที่เลือกใช้ในวิทยานิพนธ์.....51
รูปที่ 4.23 การบวกแก้ไขความผิดพลาดแบบดิจิทัล 10 บิต.....52
รูปที่ 4.24 แผนผังทางเวลาของสัญญาณนาฬิกาที่ต้องการ 53
รูปที่ 4.25 วงจรกำเนิดสัญญาณนาฬิกา.....54
รูปที่ 4.26 แผนผังแสดงสัดส่วนการกินกำลังงานของวงจรแต่ละส่วน 55
รูปที่ 5.1 รูปแบบการวางแผนผังวงจรรวมทั้งแต่ละขั้นตอน 56
รูปที่ 5.2 รูปแบบการวางชีลด์สำหรับแยกวงจรแอนะลอกและวงจรดิจิทัลออกจากกัน 57
รูปที่ 5.3 การวางชั้นโลหะของสัญญาณที่จำเป็นต้องมีการลากไขว้กัน.....57
รูปที่ 5.4 แผนผังวงจรรวมของตัวแปลงแอนะลอกเป็นดิจิทัลที่ออกแบบในวิทยานิพนธ์นี้ 58
รูปที่ 5.5 ความไม่เป็นเชิงเส้นแบบผลต่างเทียบกับที่แรงดันขาเข้า ณ เงื่อนไขต่างๆ (ต่อ).....61
รูปที่ 5.6 ความไม่เป็นเชิงเส้นแบบผลรวมเทียบกับที่แรงดันขาเข้า ณ เงื่อนไขต่างๆ (ต่อ).....64
รูปที่ 5.7 ระบบทดสอบวงจรรวม 66
รูปที่ 5.8 วงจรกำเนิดสัญญาณไซน์ความถี่สูง 67
รูปที่ 5.9 วงจรกรองผ่านต่ำอันดับ 4 ที่ใช้ลดสัญญาณรบกวน และความเพี้ยนที่ความถี่สูง.....67
รูปที่ 5.10 วงจรแปลงจากสัญญาณปลายเดียวเป็นสัญญาณแบบผลต่าง.....68
รูปที่ 5.11 วงจรสร้างแรงดันอ้างอิง.....68
รูปที่ 5.12 วงจรสร้างแหล่งกระแสอ้างอิง 69
รูปที่ 6.1 อัตราส่วนการกินกำลังงานต่อความถี่การชักตัวอย่างสัญญาณของงานวิจัยที่ผ่านมา.....71
รูปที่ ก.1 วงจรสมมูลของสัญญาณรบกวนในช่วงเวลาชักตัวอย่างสัญญาณ.....77

สารบัญภาพ (ต่อ)

รูปที่ ก.2 วงจรสมมูลของสัญญาณรบกวนในช่วงเวลาประเมินผล.....78

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

อุตสาหกรรมอิเล็กทรอนิกส์ในปัจจุบันมีแนวโน้มการผลิตเครื่องมือเครื่องใช้ให้มีขนาดเล็กสำหรับพกพา ซึ่งโดยทั่วไปจะใช้งานด้วยแรงดันแหล่งจ่ายจากแบตเตอรี่แห้ง และไม่ต้องการเปลี่ยนแบตเตอรี่บ่อย เครื่องมือแบบพกพาจึงต้องออกแบบให้มีการกินกำลังงานต่ำ ทำให้อุปกรณ์ต่างๆ รวมถึงวงจรรวมที่ใช้ในเครื่องมือแบบพกพาจำเป็นต้องกินกำลังงานต่ำด้วย

นอกจากนี้เทคโนโลยีกรรมวิธีสัญญาณดิจิทัล (Digital Signal Processing) ถูกนำมาใช้ในกระบวนการจัดการ และวิเคราะห์สัญญาณอย่างแพร่หลาย เนื่องจากการประมวลผลสัญญาณในเชิงดิจิทัลมีความถูกต้อง แม่นยำสูง แต่ในความเป็นจริงแล้วสัญญาณต่างๆ ตามธรรมชาติเป็นสัญญาณแอนะลอก ดังนั้นต้องมีการแปลงสัญญาณแอนะลอกเป็นสัญญาณดิจิทัลเสียก่อนจึงจะทำการวิเคราะห์สัญญาณด้วยกรรมวิธีสัญญาณดิจิทัลได้ ซึ่งความละเอียดในการแปลงของตัวแปลงแอนะลอกเป็นดิจิทัลขึ้นอยู่กับการใช้งาน เช่นการวิเคราะห์สัญญาณเสียงตัวแปลงควรจะมีการแยกชัด (Resolution) ระดับ 16 บิต ส่วนการวิเคราะห์สัญญาณรูปภาพตัวแปลงควรจะมีการแยกชัดระดับ 8-10 บิต เป็นต้น ประกอบกับเทคโนโลยีการสื่อสารต่างๆ ในปัจจุบันมีความเร็วสูงขึ้นกว่าในอดีตมาก การประมวลผลสัญญาณจึงต้องทำได้ด้วยความเร็วสูงด้วย ทำให้ต้องพัฒนาความเร็วของการแปลงสัญญาณแอนะลอกเป็นดิจิทัลให้สูงขึ้นตามไปด้วย

ผลการสำรวจงานวิจัยที่ผ่านมาพบว่ามีงานวิจัยที่เสนอการออกแบบตัวแปลงแอนะลอกเป็นดิจิทัลแบบไปป์ไลน์อยู่หลายชิ้น อาทิเช่น การออกแบบตัวแปลงแอนะลอกเป็นดิจิทัลความเร็วสูงที่ใช้เทคนิคการแก้ไขความผิดพลาดแบบดิจิทัล[1]-[16] เทคนิคการชักตัวอย่างสองเท่า[9] การออกแบบตัวแปลงแอนะลอกเป็นดิจิทัลในงานวิจัยที่ผ่านมาทำงานมีการเสนอวิธีออกแบบวงจรให้ทำงานที่แรงดันแหล่งจ่ายค่าต่างๆ ตั้งแต่ 1.5 V[1]-[3] 2.5V[6]-[7] 3.0V[8]-[9] จนถึง 3.3V[10]-[13] ซึ่งการออกแบบวงจรแอนะลอกให้ทำงานที่แรงดันแหล่งจ่ายค่าต่ำจะทำให้สัญญาณในวงจรมีขนาดเล็กลง และจะถูกรบกวนจากสัญญาณรบกวนต่างๆ ได้ง่าย จึงต้องจ่ายกระแสจำนวนมากขึ้นเพื่อลดขนาดของสัญญาณรบกวนในวงจร ทำให้การกินกำลังงานในวงจรรวมเพิ่มขึ้นตามไปด้วย ดังนั้นการออกแบบวงจรรวมแอนะลอกที่ทำงานที่แรงดันแหล่งจ่ายค่าต่ำและมีการกินกำลังงานต่ำด้วยนั้นจึงทำได้ยาก และต้องใช้เทคนิคหลายอย่างเข้ามาช่วยในการออกแบบ

วิทยานิพนธ์นี้เสนอวิธีการออกแบบตัวแปลงแอนะลอกเป็นดิจิทัลแบบไปป์ไลน์ ซึ่งสามารถทำงานได้ที่ความเร็วสูง และกินกำลังงานต่ำ ที่แรงดันแหล่งจ่ายระดับต่ำ เพื่อให้สอดคล้องกับแนวโน้มการพัฒนาของเทคโนโลยี และอุตสาหกรรมในปัจจุบัน โดยออกแบบตัวแปลงแอนะลอกเป็นดิจิทัลที่มีการแยกชัดในระดับ 10 บิต สำหรับการประยุกต์ใช้ในงานวิเคราะห์สัญญาณรูปภาพ และการประยุกต์ใช้ในวงจรรวมขนาดใหญ่อื่นๆ เช่นวงจรทรานส์ซีฟเวอร์ วงจรรวมประมวลผลสัญญาณภาพ เป็นต้น

1.2 วัตถุประสงค์ของการวิจัย

1. ออกแบบตัวแปลงแอนะลอกเป็นดิจิทัลความเร็วสูงที่มีการแยกชัด 10 บิต สำหรับการประยุกต์ใช้ในงานวิเคราะห์สัญญาณรูปภาพที่ต้องการความเร็วสูง
2. ออกแบบตัวแปลงแอนะลอกเป็นดิจิทัลที่กินกำลังงานต่ำ โดยใช้แรงดันแหล่งจ่ายระดับต่ำ สำหรับการประยุกต์ใช้ในเครื่องมือแบบพกพา

1.3 ขอบเขตของการวิจัย

ออกแบบตัวแปลงแอนะลอกเป็นดิจิทัลสำหรับกรรมวิธีรูปภาพดิจิทัลโดยใช้เทคโนโลยีซีมอส 0.5 ไมครอนของบริษัท อัลคาเทล โดยมีข้อกำหนดดังนี้

- แรงดันแหล่งจ่าย 2.5 โวลต์
- ความถี่การสุ่มสัญญาณ > 15 เมกะเฮิรตซ์
- แรงดันขาเข้าเป็นแบบผลต่าง มีขนาด ± 1 โวลต์
- การแยกชัดของข้อมูลดิจิทัลขาออก 10 บิต
- โครงสร้างของตัวแปลงแอนะลอกเป็นดิจิทัลเป็นแบบไปป์ไลน์

1.4 ประโยชน์ที่คาดว่าจะได้รับ

1. ต้นแบบตัวแปลงแอนะลอกเป็นดิจิทัลสำหรับใช้ในงานวิจัยเกี่ยวกับสัญญาณภาพโทรทัศน์ เช่น การส่ง และการจัดเก็บภาพ การประมวลผลสัญญาณภาพ เป็นต้น
2. วงจรแปลงแอนะลอกเป็นดิจิทัลซึ่งสามารถนำไปใส่เป็นส่วนหนึ่งของวงจรรวมขนาดใหญ่ เช่น วงจรประมวลสัญญาณภาพ เป็นต้น
3. ความเชี่ยวชาญด้านการออกแบบตัวแปลงแอนะลอกเป็นดิจิทัลซึ่งสามารถนำไปใช้เป็นพื้นฐานในการพัฒนาตัวแปลงแอนะลอกเป็นดิจิทัลอื่นๆ ต่อไป
4. ต้นแบบตัวแปลงแอนะลอกเป็นดิจิทัลที่สามารถพัฒนาต่อเนื่องเพื่อผลิตเป็นสินค้าอุตสาหกรรมได้

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

1.5 วิธีดำเนินการวิจัย

1. ศึกษาการประยุกต์ใช้งานและกำหนดข้อกำหนดทั้งหมดของตัวแปลงแอนะลอกเป็นดิจิทัลที่จะออกแบบ
2. พิจารณาโครงสร้างที่จะใช้ในการออกแบบ และแบ่งโครงสร้างออกเป็นส่วนประกอบย่อยๆ ได้แก่ วงจรขั้นตอนขยาย ออปแอมป์ ตัวแปลงแอนะลอกเป็นดิจิทัลที่มีการแยกชัด 1.5 บิต ตัวเปรียบเทียบ ตัวแปลงดิจิทัลเป็นแอนะลอกที่มีการแยกชัด 1.5 บิต
3. กำหนดคุณสมบัติของส่วนประกอบย่อยต่างๆ
4. ออกแบบวงจรในแต่ละส่วนประกอบย่อย
5. จำลองผลการทำงานของวงจรที่ออกแบบทั้งหมด หลังจากประกอบเป็นตัวแปลงสัญญาณแอนะลอกเป็นดิจิทัล โดยใช้สถาปัตยกรรมแบบไปป์ไลน์
6. วางแผนผังวงจรรวม และส่งไปเจือสาร
7. สรุปผลการทดสอบและเขียนวิทยานิพนธ์

1.6 ลำดับเนื้อหาในวิทยานิพนธ์

วิทยานิพนธ์นี้แบ่งเนื้อหาการนำเสนอออกเป็นการพิจารณาในระดับสถาปัตยกรรม และการพิจารณาในระดับวงจร รวมถึงความไม่เป็นอุดมคติต่างๆ

บทที่ 2 กล่าวถึงสถาปัตยกรรมแบบไปป์ไลน์ ส่วนประกอบแต่ละส่วนในแต่ละขั้นตอนของสถาปัตยกรรมแบบไปป์ไลน์ และกล่าวถึงเทคนิคการออปติไมซ์กำลังงานในระดับสถาปัตยกรรม

บทที่ 3 จะแสดงการพิจารณาความไม่เป็นอุดมคติทางวงจรหลายๆ ส่วน และข้อกำหนดทางวงจรของการออกแบบตัวแปลงแอนะลอกเป็นดิจิทัลขนาด 10 บิต

บทที่ 4 อธิบายถึงรายละเอียดทั้งหมดในการออกแบบวงจรแต่ละส่วน รวมถึงผลการจำลองการทำงานของการออกแบบวงจรแต่ละส่วน จากนั้นบทที่ 5 จะแสดงผลการจำลองการทำงานของตัวแปลงแอนะลอกเป็นดิจิทัล 10 บิตที่ใช้วงจรที่ออกแบบในบทที่ 4 พร้อมทั้งอธิบายระบบการทดสอบวงจรรวมทั้งหมด

บทสุดท้ายจะกล่าวสรุปผลที่ได้จากงานวิจัย และข้อเสนอแนะสำหรับพัฒนางานวิจัยต่อไป

บทที่ 2

สถาปัตยกรรมของตัวแปลงแอนะลอกเป็นดิจิทัลแบบไปป์ไลน์

การทำงานของระบบที่ออกแบบด้วยสถาปัตยกรรมแบบไปป์ไลน์ อาศัยหลักการพื้นฐาน คือการแบ่งปัญหาขนาดใหญ่ที่แก้ไขได้ยากและใช้เวลาแก้ปัญหานานออกเป็นปัญหาขนาดเล็กที่สามารถแก้ไขได้ง่ายและใช้เวลาน้อย จากนั้นจึงแก้ปัญหาขนาดเล็กเหล่านั้นไปพร้อมๆ กัน ดังรูปที่ 2.1

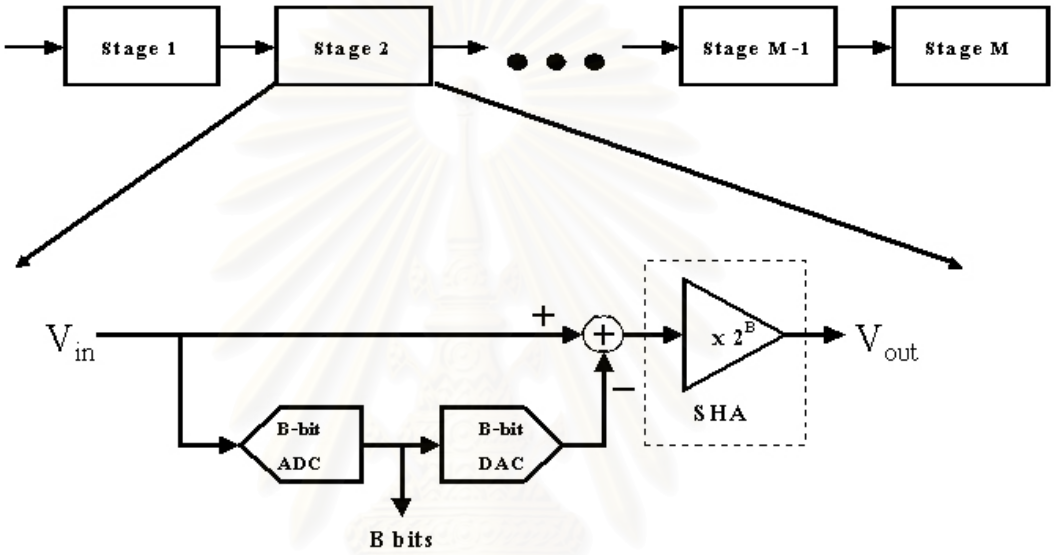
รูปที่ 2.1 โครงสร้างการทำงานแบบไปป์ไลน์

โครงสร้างการทำงานแบบไปป์ไลน์จึงสามารถแก้ปัญหาที่มีขนาดใหญ่และซับซ้อนได้ด้วยเวลาเพียงเล็กน้อย หากนำหลักการดังกล่าวมาใช้ในการออกแบบตัวแปลงแอนะลอกเป็นดิจิทัล ก็สามารถทำได้โดยการแบ่งการแปลงแอนะลอกเป็นดิจิทัลออกเป็นขั้นตอนหลายๆ ขั้นตอน โดยแต่ละขั้นตอนจะทำการแปลงสัญญาณแอนะลอกเป็นดิจิทัลที่มีการแยกชัดต่ำ แต่ได้ความถูกต้องตามข้อกำหนดของการแปลง และออกแบบให้ทุกขั้นตอนทำการแปลงสัญญาณไปพร้อมๆ กัน ตัวอย่างเช่น การออกแบบตัวแปลงแอนะลอกเป็นดิจิทัลขนาด 10 บิต โดยใช้สถาปัตยกรรมแบบไปป์ไลน์ อาจแบ่งการแปลงออกเป็น 10 ขั้นตอน โดยขั้นตอนที่ 1 จะแปลงสัญญาณแอนะลอกเป็นดิจิทัลที่มีการแยกชัดเพียง 1 บิต แต่ได้ความถูกต้อง 10 บิต ส่วนขั้นตอนที่ 2 ก็แปลงสัญญาณที่มีการแยกชัด 1 บิต แต่ได้ความถูกต้อง 9 บิต และทำแบบเดียวกันในขั้นตอนต่อๆ ไปจนครบทุกขั้นตอน ซึ่งการแบ่งเช่นนี้จะทำให้การแปลงแอนะลอกเป็นดิจิทัลมีความรวดเร็วมากขึ้น เพราะการแปลงที่มีการแยกชัด 1 บิตสามารถทำได้ง่าย รวดเร็ว และประหยัดการกินกำลังงาน นอกจากนี้แต่ละขั้นตอนยังสามารถทำงานไปพร้อมๆ กันได้อีกด้วย

เนื้อหาในบทนี้จะกล่าวถึงระบบภายในของตัวแปลงแอนะลอกเป็นดิจิทัลแบบไปป์ไลน์ในหัวข้อที่ 2.1 เทคนิคการออปติไมซ์การกินกำลังงานระดับสถาปัตยกรรมในหัวข้อที่ 2.2 และเทคนิคการเพิ่มความเร็วของการแปลงแอนะลอกเป็นดิจิทัลจะกล่าวไว้ในหัวข้อที่ 2.3

2.1 ตัวแปลงแอนะลอกเป็นดิจิทัลแบบไปป์ไลน์

สำหรับการออกแบบตัวแปลงแอนะลอกเป็นดิจิทัลแบบไปป์ไลน์ จะต้องเริ่มจากการพิจารณาโครงสร้างภายในแต่ละขั้นตอนว่าประกอบด้วยอะไรบ้าง ดังที่ได้แสดงไว้ในรูปที่ 2.2 ซึ่งจะเห็นว่าประกอบไปด้วย วงจรชักตัวอย่างและคงค่าสัญญาณ วงจรแปลงแอนะลอกเป็นดิจิทัลย่อยวงจรแปลงดิจิทัลเป็นแอนะลอกย่อย

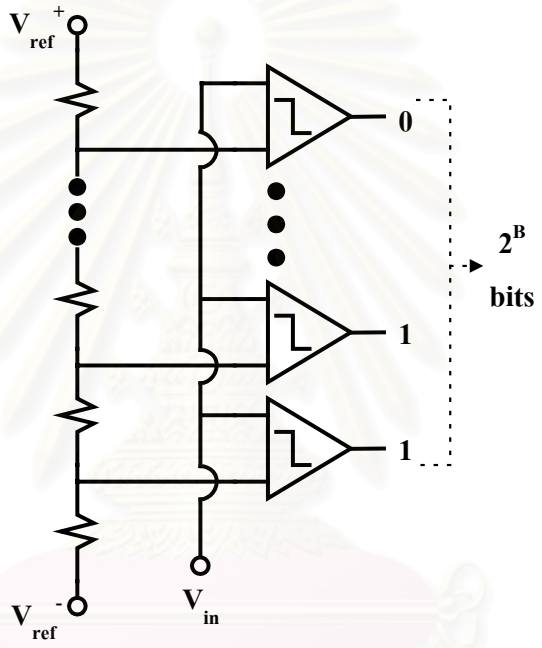


รูปที่ 2.2 โครงสร้างภายในของแต่ละขั้นตอน

หลักการทำงานของแต่ละขั้นตอนคือสัญญาณขาเข้าจะถูกชักตัวอย่างด้วยวงจรชักตัวอย่างและคงค่าสัญญาณ(SHA) ในขณะเดียวกันสัญญาณขาเข้าจะถูกส่งให้ตัวแปลงแอนะลอกเป็นดิจิทัลย่อย(Sub ADC) แปลงค่าแอนะลอกให้เป็นค่าดิจิทัล จากนั้นค่าดิจิทัลจะถูกแปลงกลับเป็นค่าแอนะลอก เพื่อไปหักลบกับสัญญาณเข้าที่ถูกชักตัวอย่างมา เพราะการแปลงค่าจากแอนะลอกเป็นดิจิทัลในแต่ละขั้นตอนจะได้ค่าบิตสำคัญที่สุดออกมา ทำให้สัญญาณส่วนหนึ่งได้รับการแปลงไปแล้ว จึงต้องนำสัญญาณขาเข้าลบค่าที่ถูกแปลงไปแล้วออก เพื่อให้ค่าที่ส่งให้ขั้นตอนถัดไปเป็นค่าที่ยังไม่ได้รับการแปลงจริงๆ แต่การทำเช่นนี้ จะทำให้ขั้นตอนถัดไปเห็นค่าเต็มสเกลลดลง จึงต้องมีการปรับค่าเต็มสเกลใหม่โดยคูณอัตราขยายค่าหนึ่งให้กับผลลบเพื่อให้ขั้นตอนถัดไปเห็นค่าเต็มสเกลเท่าเดิม ค่าแรงดันขาออกที่ส่งให้ขั้นตอนถัดไปเรียกว่าค่าคงเหลือจากการแปลง (Residue)

2.1.1 ตัวแปลงแอนะลอกเป็นดิจิทัลย่อย

ตัวแปลงแอนะลอกเป็นดิจิทัลย่อย(Sub DAC) ที่แสดงในรูปที่ 2.2 โดยทั่วไปจะมีการแยกชัดต่ำ และใช้สถาปัตยกรรมที่ทำงานได้เร็ว ดังนั้นสถาปัตยกรรมที่เหมาะสมที่สุดคือสถาปัตยกรรมแบบวาบ (Flash architecture) เนื่องจากสถาปัตยกรรมแบบนี้เป็นแบบที่ทำการแปลงได้เร็วที่สุด และหากนำมาใช้ออกแบบตัวแปลงแอนะลอกเป็นดิจิทัลที่มีการแยกชัดต่ำจะกินกำลังงานต่ำมาก นอกจากนี้โครงสร้างของสถาปัตยกรรมแบบนี้ยังออกแบบได้ง่ายอีกด้วย ตัวอย่างของตัวแปลงแอนะลอกเป็นดิจิทัลโดยใช้สถาปัตยกรรมแบบวาบแสดงไว้ดังรูปที่ 2.3



รูปที่ 2.3 ตัวแปลงแอนะลอกเป็นดิจิทัลที่ใช้สถาปัตยกรรมแบบวาบ

ตัวแปลงแอนะลอกเป็นดิจิทัลที่ใช้สถาปัตยกรรมแบบวาบนี้จะรับสัญญาณเข้ามาเปรียบเทียบกับระดับสัญญาณอ้างอิง ถ้าหากสัญญาณเข้ามีระดับสูงกว่าระดับอ้างอิง ตัวเปรียบเทียบจะให้ค่าดิจิทัลเป็น 1 และตัวเปรียบเทียบที่อยู่สูงขึ้นจะเปรียบเทียบสัญญาณกับระดับอ้างอิงที่สูงขึ้นจนกระทั่งสัญญาณเข้ามีระดับต่ำกว่าระดับอ้างอิง ที่ตัวเปรียบเทียบตัวใดก็จะให้ค่าดิจิทัลเป็น 0 ผลลัพธ์ที่ได้จากตัวเปรียบเทียบนี้เรียกว่า รหัสอุณหภูมิ (Thermometer code) ซึ่งจะต้องนำรหัสอุณหภูมินี้มาผ่านตัวเข้ารหัสเพื่อแปลงจากรหัสอุณหภูมิเป็นรหัสเลขฐานสอง (Binary code) แต่สถาปัตยกรรมแบบนี้ก็ยังคงเร็วกว่าแบบอื่นๆ เพราะตัวเปรียบเทียบสามารถทำงานและให้ผลลัพธ์ได้พร้อมกัน

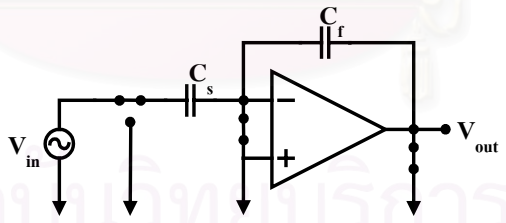
จำนวนของตัวเปรียบเทียบที่นำมาใช้จะขึ้นกับการแยกชัดของการแปลงแอนะลอกเป็นดิจิทัลภายในขั้นตอนนั้นๆ โดยจะต้องใช้ตัวเปรียบเทียบสำหรับการแปลง B บิต จำนวน 2^B-1 ตัว ดังนั้นถ้าการแปลงในแต่ละขั้นตอนมีการแยกชัดเป็น 1 และ 2 บิต จะต้องใช้ตัวเปรียบเทียบจำนวน 1 ตัว และ 3 ตัว ตามลำดับ

2.1.2 วงจรชักตัวอย่างและคงค่าสัญญาณแบบต่างๆ

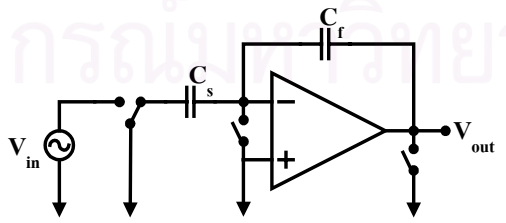
วงจรชักตัวอย่างและคงค่าสัญญาณ เป็นองค์ประกอบที่สำคัญภายในแต่ละขั้นตอนของตัวแปลงแอนะลอกเป็นดิจิทัลแบบไปป์ไลน์ เนื่องจากขณะที่สัญญาณขาเข้าถูกป้อนให้ตัวแปลงแอนะลอกเป็นดิจิทัล จะต้องมีการชักตัวอย่างสัญญาณขาเข้า เพื่อนำค่าที่ได้ไปทำการแปลงเป็นสัญญาณดิจิทัลตามขอบของสัญญาณนาฬิกา และเมื่อสัญญาณถูกแปลงในขั้นตอนที่ 1 แล้วจะต้องส่งค่าคงเหลือจากการแปลงของขั้นตอนที่ 1 ไปยังขั้นตอนที่ 2 โดยจะต้องคูณอัตราขยายเพื่อปรับค่าเต็มสเกลของขั้นตอนถัดไปให้เท่ากับขั้นตอนที่ 1

ดังนั้น การนำวงจรที่สามารถทำหน้าที่ชักตัวอย่างและคงค่าสัญญาณพร้อมกับคูณอัตราขยายได้พร้อมกันมาใช้จะช่วยลดความยุ่งยากในการออกแบบ และลดความซับซ้อนของวงจรลงด้วย วงจรดังกล่าวเรียกว่า ขั้นตอนขยาย (Gain stage)

ในหัวข้อนี้จะเปรียบเทียบวงจรขั้นตอนขยาย 2 แบบหลักๆ ที่นิยมใช้ ขั้นตอนขยายแบบที่ 1 แสดงไว้ในรูปที่ 2.4



(ก) การต่อขั้นตอนขยายในช่วงเวลาชักตัวอย่าง



(ข) การต่อขั้นตอนขยายในช่วงเวลาประเมินผล

รูปที่ 2.4 วงจรขั้นตอนขยายแบบที่ 1

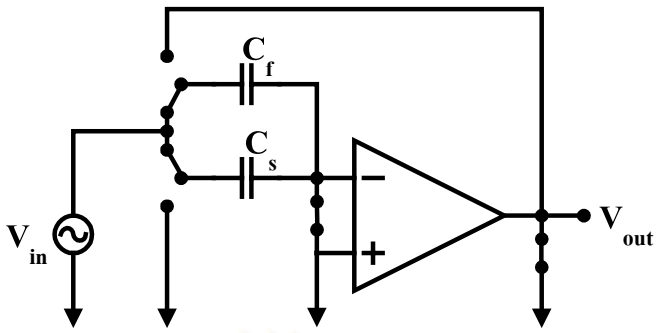
การทำงานของวงจรขั้นตอนขยายในรูปที่ 2.4 จะเริ่มจากรูปที่ 2.4 (ก) ช่วงเวลานี้สัญญาณแรงดันขาเข้า V_{in} จะถูกเก็บไว้ในตัวเก็บประจุ C_s ในขณะที่ขั้วขาเข้า และขาออกของออปแอมป์ถูกต่อลงดิน ทำให้ตัวเก็บประจุ C_f มีแรงดันตกคร่อมเป็นศูนย์ ช่วงเวลานี้เรียกว่า ช่วงเวลาชักตัวอย่าง (Sampling phase)

หลังจากช่วงเวลาชักตัวอย่างผ่านไป วงจรจะสับสวิตช์ใหม่เป็นรูปที่ 2.4 (ข) ซึ่งในช่วงเวลานี้ปลายข้างหนึ่งของตัวเก็บประจุ C_s จะต่อลงดิน และปลายอีกข้างหนึ่งจะต่อเข้าขาลบของออปแอมป์ซึ่งทำหน้าที่เป็นปมเสมือนดิน (Virtual ground node) ดังนั้นแรงดันตกคร่อมตัวเก็บประจุ C_s จะถูกบังคับให้เป็นศูนย์ และประจุที่สะสมในตัวเก็บประจุ C_s จะถ่ายไปให้ตัวเก็บประจุ C_f ทำให้แรงดันที่ขาออกของออปแอมป์ (V_{out}) มีค่าเป็น $V_{out} = \frac{C_s V_{in}}{C_f}$ ช่วงเวลานี้เรียกว่าช่วงเวลาประเมินผล (Evaluation phase)

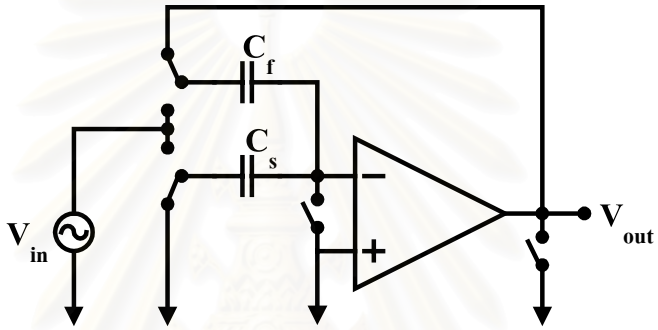
วงจรในรูปที่ 2.4 เมื่อทำการวิเคราะห์ปมหาฟังก์ชันโอนย้าย จะพบว่า ตัวประกอบการป้อนกลับของออปแอมป์ (β) ในช่วงเวลาประเมินผลมีค่าเป็น $\beta = \frac{C_f}{C_s + C_f}$ ดังนั้นถ้าการแปลงแอนะลอกเป็นดิจิทัลภายในแต่ละขั้นตอนมีการแยกชัด B บิต จะได้ว่าอัตราขยายที่ต้องคูณชดเชยต้องมีค่าเป็น 2^B เพราะฉะนั้นต้องออกแบบให้ตัวเก็บประจุ $C_s = 2^B C_f$ ทำให้ตัวประกอบการป้อนกลับของออปแอมป์มีค่าเป็น $\beta = \frac{1}{1+2^B}$

สำหรับวงจรขั้นตอนขยายแบบที่ 2 ซึ่งได้แสดงไว้ในรูปที่ 2.5 มีการทำงานแบ่งออกเป็น 2 ช่วงเวลาเช่นเดียวกับวงจรขั้นตอนขยายแบบที่ 1 ในช่วงเวลาชักตัวอย่างสัญญาณ วงจรจะต่อตามรูปที่ 2.5 (ก) ซึ่งสัญญาณแรงดัน ขาเข้าจะถูกเก็บไว้ในตัวเก็บประจุ 2 ตัวคือ C_s และ C_f ในขณะที่ขาเข้าและขาออกของออปแอมป์ถูกต่อลงดินทั้งหมด

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



(ก) การต่อขั้นตอนขยายในช่วงเวลาชักตัวอย่าง



(ข) การต่อขั้นตอนขยายในช่วงเวลาประเมินผล

รูปที่ 2.5 วงจรขั้นตอนขยายแบบที่ 2

สำหรับช่วงเวลาประเมินผล วงจรขั้นตอนขยายแบบนี้จะต่อตามรูปที่ 2.5 (ข) ตัวเก็บประจุ C_f จะต่อกับออปแอมป์ในลักษณะป้อนกลับแบบลบ และตัวเก็บประจุ C_s จะต่อปลายข้างหนึ่งลงดิน ส่วนปลายอีกข้างหนึ่งต่อกับขาลบของออปแอมป์ซึ่งเป็นปมเสมือนดิน ดังนั้นแรงดันคร่อมตัวเก็บประจุ C_s จะมีค่าเป็นศูนย์ ทำให้ประจุทั้งหมดถูกถ่ายเทจากตัวเก็บประจุ C_s ไปยังตัวเก็บประจุ C_f ผลที่ได้คือแรงดันขาออก (V_{out}) จะมีค่าเป็น $V_{out} = \frac{C_s + C_f}{C_f} V_{in}$ และเมื่อทำการวิเคราะห์ปมจะพบว่าตัวประกอบการป้อนกลับของวงจรขั้นตอนขยายแบบนี้คือ $\beta = \frac{C_f}{C_s + C_f}$ เหมือนกับวงจรในรูปที่ 2.4 แต่เมื่อออกแบบให้อัตราขยายเป็น 2^B เท่ากับขั้นตอนขยายแบบที่ 1 จะได้ค่าตัวเก็บประจุ $C_s = (2^B\text{-}1)C_f$ ทำให้ค่าตัวประกอบการป้อนกลับมีค่าเป็น $\beta = \frac{1}{2^B}$

การเปรียบเทียบขั้นตอนขยายทั้งสองแบบสามารถสรุปค่าได้ดังตารางที่ 2.1 และตารางที่ 2.2

ตารางที่ 2.1 เปรียบเทียบคุณสมบัติของขั้นตอนขยาย กรณีการแปลงเป็น B บิตต่อขั้นตอน

คุณสมบัติของ วงจรขั้นตอนขยาย	วงจรขั้นตอนขยายแบบที่ 1	วงจรขั้นตอนขยายแบบที่ 2
อัตราขยาย (G = $\frac{V_{out}}{V_{in}}$)	$\frac{V_{out}}{V_{in}} = \frac{C_s}{C_f}$	$\frac{V_{out}}{V_{in}} = \frac{C_s + C_f}{C_f}$
อัตราส่วน $\frac{C_s}{C_f}$	2^B	$2^B - 1$
ตัวประกอบการป้อนกลับ	$\beta = \frac{C_f}{C_s + C_f} = \frac{1}{1 + 2^B}$	$\beta = \frac{C_f}{C_s + C_f} = \frac{1}{2^B}$

ตารางที่ 2.2 เปรียบเทียบคุณสมบัติขั้นตอนขยาย กรณีการแปลงเป็น 1 บิต และ 2 บิตต่อขั้นตอน

คุณสมบัติของวงจร ขั้นตอนขยาย	B = 1		B = 2	
	ขั้นตอนขยาย แบบที่ 1	ขั้นตอนขยาย แบบที่ 2	ขั้นตอนขยาย แบบที่ 1	ขั้นตอนขยาย แบบที่ 2
อัตราขยาย (G = $\frac{V_{out}}{V_{in}}$)	2	2	4	4
อัตราส่วน $\frac{C_s}{C_f}$	2	1	4	3
ตัวประกอบ การป้อนกลับ	$\frac{1}{3}$	$\frac{1}{2}$	$\frac{1}{5}$	$\frac{1}{4}$

เมื่อเปรียบเทียบคุณสมบัติของขั้นตอนขยายทั้งสองแบบแล้วจะเห็นว่าขั้นตอนขยายแบบที่ 2 จะมีตัวประกอบการป้อนกลับสูงกว่าแบบแรก ดังนั้นเมื่อใช้ออปแอมป์ที่มีแบนด์วิดธ์เท่ากันจะพบว่าขั้นตอนขยายแบบที่ 2 มีความเร็วสูงกว่าขั้นตอนขยายแบบแรก เนื่องจากตัวประกอบการป้อนกลับมีค่าสูงกว่า การออกแบบในวิทยานิพนธ์นี้จึงเลือกใช้ขั้นตอนขยายแบบที่ 2

2.1.3 ตัวแปลงดิจิทัลเป็นแอนะลอกย่อย

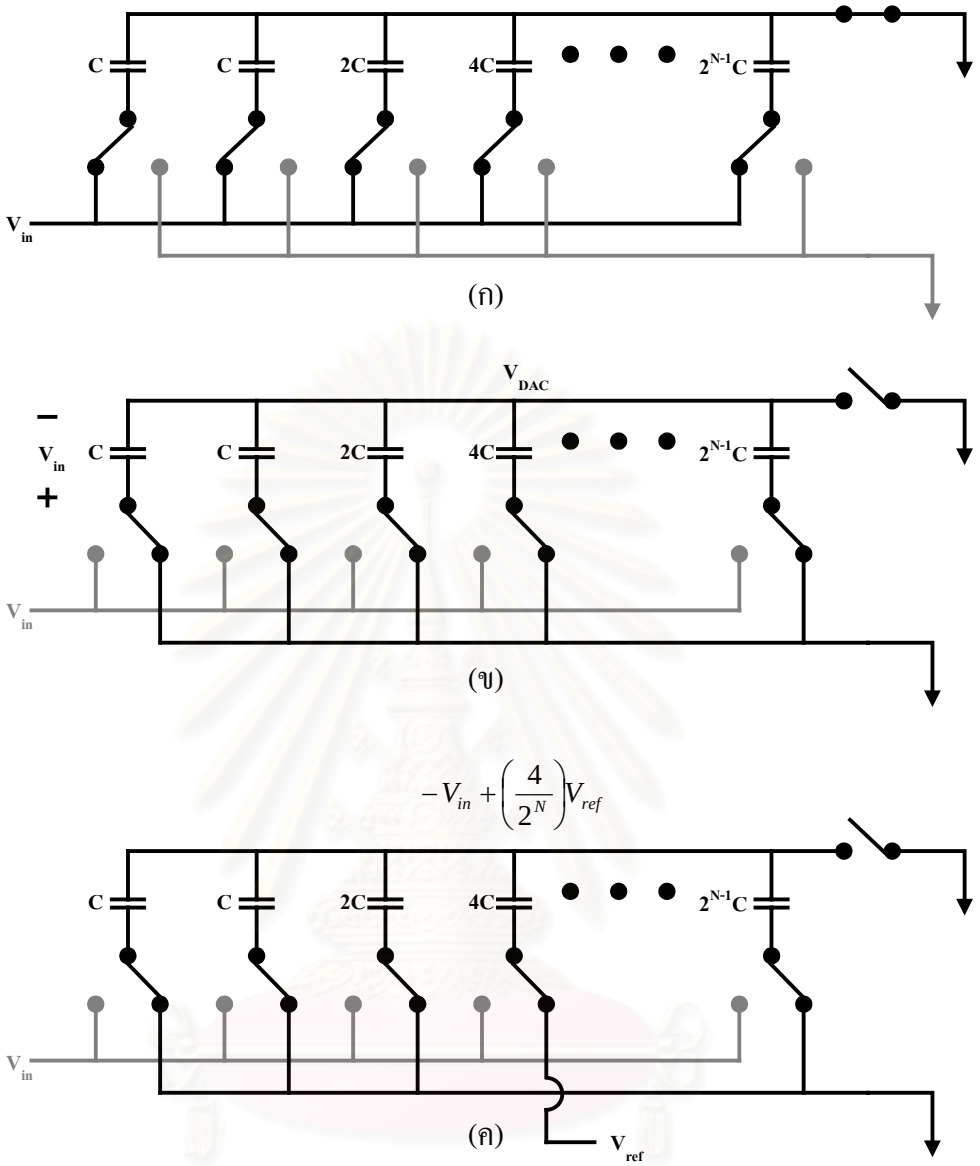
จากรูปที่ 2.2 จะเห็นว่าสัญญาณแรงดันขาเข้าจะต้องนำมาหักลบกับสัญญาณแรงดันแอนะลอกที่ได้จากตัวแปลงดิจิทัลเป็นแอนะลอก เพื่อหักลบสัญญาณส่วนที่ได้รับการแปลงเสร็จแล้วออกก่อนจะส่งให้ขั้นตอนถัดไป เมื่อพิจารณาการต่อวงจรในช่วงเวลาประเมินผลในรูปที่ 2.4 (ข) และรูปที่ 2.5 (ข) ซึ่งปลายข้างหนึ่งของตัวเก็บประจุ C_s ต่อลงดิน หากเปลี่ยนเป็นนำมาต่อกับแรงดันจากตัวแปลงดิจิทัลเป็นแอนะลอกย่อย (V_{DAC}) แทน จะทำให้แรงดันขาออกของขั้นตอนขยายในรูปที่ 2.4 และรูปที่ 2.5 เปลี่ยนเป็น $\frac{C_s}{C_f}V_{in} - V_{DAC}$ และ $\frac{C_s + C_f}{C_f}V_{in} - V_{DAC}$ ตามลำดับ สำหรับการสร้างแรงดัน V_{DAC} จากสัญญาณดิจิทัล B บิต ทำได้โดยใช้ชุดลำดับตัวเก็บประจุถ่วงน้ำหนักแบบเลขฐานสอง (Binary weighted capacitor array) ต่อ วงจรในลักษณะตามรูปที่ 2.6

รูปที่ 2.6 (ก) ตัวเก็บประจุทุกตัวจะถูกต่อเข้ากับแรงดันขาเข้า(V_{in}) และปลายอีกข้างหนึ่งจะต่อลงดิน เมื่อแรงดันคร่อมตัวเก็บประจุทุกตัวเท่ากับแรงดันขาเข้าแล้ว ให้เปิดสวิตช์ปลายข้างที่ต่อลงดิน และสับสวิตช์ให้ปลายอีกข้างที่ต่อตัวเก็บประจุกับแรงดันขาเข้าให้ต่อลงดินแทน ดังแสดงในรูปที่ 2.6 (ข) ซึ่งจะได้แรงดัน $V_{DAC} = -V_{in}$ จากนั้นนำสัญญาณดิจิทัลจากตัวแปลงแอนะลอกเป็น ดิจิทัลย่อยมาควบคุมการต่อสวิตช์ โดยเลือกตัวเก็บประจุที่เหมาะสมมาต่อกับแรงดันอ้างอิง (V_{ref}) ก็จะได้แรงดันแอนะลอกตามสัญญาณดิจิทัลที่เข้ามา ตัวอย่างเช่นในรูปที่ 2.6 (ค) จะเห็นว่าถ้าการแปลงแอนะลอกเป็นดิจิทัลในแต่ละขั้นตอนเป็น 2 บิต จะได้ค่า B = 2 ดังนั้นกรณีนี้แรงดันจากตัวแปลงดิจิทัลเป็นแอนะลอกย่อยก็จะได้เป็น $V_{DAC} = -V_{in}+V_{ref}$ เป็นต้น

2.2 การออปติไมซ์การกินกำลังงานในระดับสถาปัตยกรรม

ตัวแปลงแอนะลอกเป็นดิจิทัลแบบไปป์ไลน์มีข้อกำหนดของการแปลงในแต่ละขั้นตอนไม่เท่ากัน เนื่องจากสัญญาณขาเข้าที่ถูกแปลงในขั้นตอนช่วงแรกจะได้บิตสำคัญออกมา

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 2.6 วงจรสร้างแรงดัน V_{DAC} โดยใช้ชุดลำดับตัวเก็บประจุถ่วงน้ำหนักแบบเลขฐานสอง

และเมื่อส่งให้ขั้นตอนช่วงหลังบิตที่ได้จะเป็นบิตที่สำคัญน้อยกว่าบิตที่ได้จากขั้นตอนช่วงแรก ตัวอย่างเช่น การแปลงแอนะลอกเป็นดิจิทัล N บิต โดยมีการแปลงแต่ละขั้นตอนเป็น B บิต เมื่อสัญญาณขาเข้าส่งผ่านขั้นตอนที่ 1 จะได้ค่าดิจิทัลออกมา B บิต เป็นบิตสำคัญที่สุด จากนั้นจะส่งค่าคงเหลือ (Residue) ให้กับขั้นตอนที่ 2 ซึ่งเหลือข้อมูลที่ต้องการแปลงเพียง N-B บิตเท่านั้น ข้อกำหนดทางวงจรจึงลดลงจากข้อกำหนด N บิต เหลือ N-B บิต ดังนั้นการออกแบบให้แต่ละขั้นตอนผ่านข้อกำหนดเท่าที่จำเป็นจะทำให้ประหยัดการกินกำลังงานลงได้มาก ซึ่งการออปติไมซ์การกินกำลังงานในระดับสถาปัตยกรรมทำได้โดยการกำหนดการแยกชัดของการแปลงแต่ละขั้นตอนให้เหมาะสมที่สุด (Optimum per-stage resolution) และการย่อขนาดตัวเก็บประจุให้เหมาะสมที่สุด

(Optimum capacitor scaling) นอกจากนี้ยังสามารถนำเทคนิคการแก้ไขความผิดพลาดแบบดิจิทัล (Digital Error Correction) มาใช้ เพื่อช่วยให้ข้อกำหนดในการออกแบบมีความยุ่งยากลดลงด้วย [10]-[12]

2.2.1 การหาการแยกชัดของการแปลงแต่ละขั้นตอนให้เหมาะสมที่สุด

การพิจารณาการแยกชัดของการแปลงแต่ละขั้นตอนให้เหมาะสมที่สุดก็คือการหาจำนวนบิตที่ทำการแปลงในแต่ละขั้นตอนให้มีการกินกำลังงานรวมต่ำที่สุด ซึ่งการกำหนดจำนวนบิตต่อขั้นตอน (Bit per stage) มากๆ ทำให้จำนวนขั้นตอนน้อย แต่ภายในแต่ละขั้นตอนจะมีการกินกำลังงานมาก ในทำนองเดียวกัน การกำหนดจำนวนบิตต่อขั้นตอนน้อยๆ ทำให้การกินกำลังงานในแต่ละขั้นตอนน้อย แต่จำนวนขั้นตอนก็จะมาก ดังนั้นการออกแบบในวิทยานิพนธ์นี้จึงได้ใช้โปรแกรม MATLAB จำลองการกินกำลังงานของตัวแปลงแอนะลอกเป็นดิจิทัลแบบไปป์ไลน์ขนาด N บิต ที่มีการแปลง B บิตต่อขั้นตอน อัตราการแปลง f_s และมีการปรับข้อกำหนดของแต่ละขั้นตอนให้เหมาะสมกับขนาดของการ-แปลงในแต่ละขั้นตอน ออปแอมป์เป็นส่วนประกอบหลักที่กินกำลังงานมากดังนั้นการกินกำลังงานจะพิจารณาจากการกินกำลังงานของออปแอมป์โดยตั้งสมมติฐานว่าออปแอมป์เป็นวงจรซอร์สร่วมที่มีทรานซิสเตอร์ชนิดมอสตัวเดียว และมีค่าทรานส์คอนดักแตนซ์เป็น g_m จะได้ว่าออปแอมป์ใน แต่ละขั้นตอนจะกินกำลังงานดังสมการที่ 2.1

$$Power = \frac{V_{dd}(V_{GS} - V_{Th})g_m}{2} \tag{2.1}$$

ความเร็วของการแปลงขึ้นอยู่กับแบนด์วิดท์วงรอบปิดของออปแอมป์($\beta\omega_U$) ซึ่งกำหนดจากค่า ทรานส์คอนดักแตนซ์ และโหลดตัวเก็บประจุของออปแอมป์(C_{LT}) ดังนั้นออปแอมป์สำหรับขั้นตอนที่หนึ่งจะมีแบนด์วิดท์ดังสมการที่ 2.2 [15]

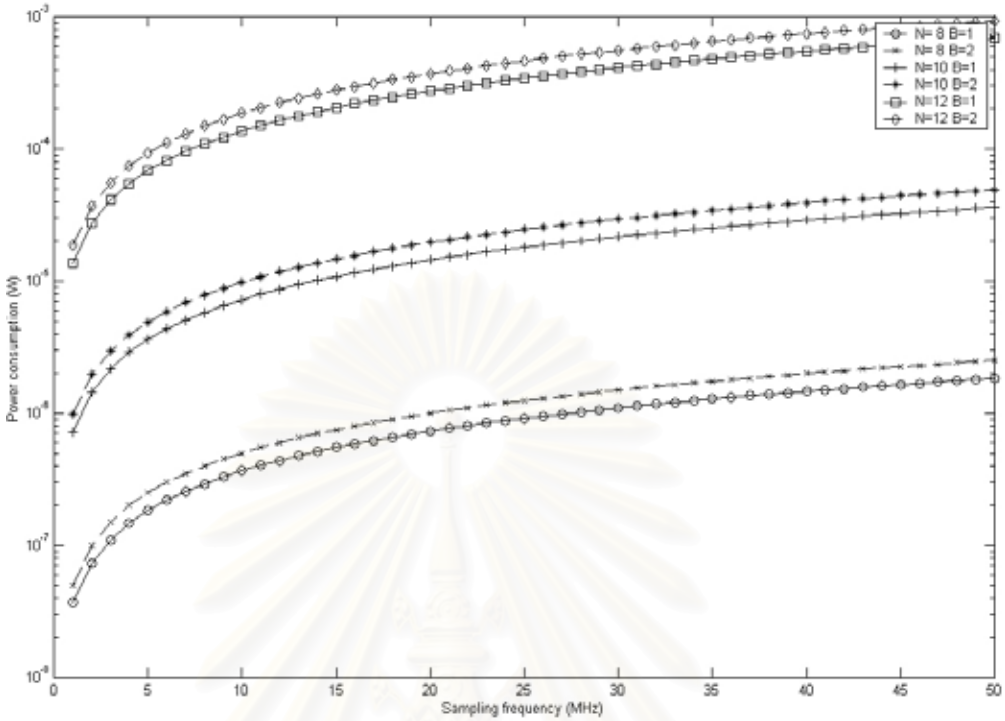
$$\beta\omega_U = \frac{\beta g_m}{C_{LT}} = 2 f_s N \ln(2) \tag{2.2}$$

จากสมการที่ 2.2 ออปแอมป์ขั้นตอนที่ i จะมีค่าทรานส์คอนดักแตนซ์ดังนี้

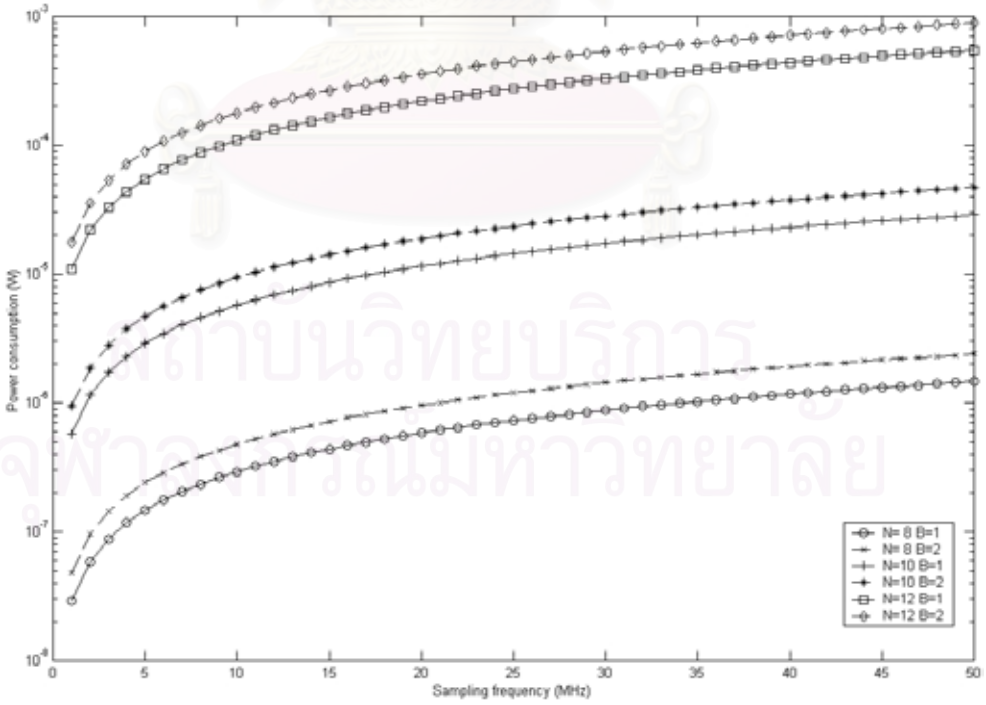
$$g_{m,i} = \frac{2C_{LT} f_s (N - (i-1)B)\ln(2)}{\beta} \tag{2.3}$$

เมื่อนำสมการที่ 2.3 แทนลงในสมการที่ 2.1 จะได้ค่าการกินกำลังงานของขั้นตอนที่ i จากนั้นหาผลรวมการกินกำลังงานจากทุกขั้นตอนจะได้การกินกำลังงานรวมเป็นดังสมการที่ 2.4

$$Power = \sum_{i=1}^{N/B}\left(\frac{V_{dd} f_s (N - (i-1)B) C_{LT}(V_{GS} - V_{Th})(\ln 2)}{\beta}\right) \tag{2.4}$$



รูปที่ 2.7 เปรียบเทียบการกินกำลังที่ความถี่การชักตัวอย่างต่างๆ เมื่อใช้วงจรขั้นตอนขยายแบบที่ 1



รูปที่ 2.8 เปรียบเทียบการกินกำลังที่ความถี่การชักตัวอย่างต่างๆ เมื่อใช้วงจรขั้นตอนขยายแบบที่ 2

จากรูปที่ 2.7 และรูปที่ 2.8 จะเห็นว่าการออกแบบให้การแปลงแอนะลอกเป็นดิจิทัลภายในแต่ละขั้นตอนมีการแยกชัด 1 บิตต่อขั้นตอนจะกินกำลังงานน้อยกว่าการออกแบบให้มีการแยกชัด 2 บิตต่อขั้นตอนในช่วงความถี่ที่พิจารณา(1 เมกะเฮิรตซ์ถึง 50 เมกะเฮิรตซ์) ทุกกรณี และเมื่อพิจารณาที่การแยกชัดมากกว่า 2 บิตต่อขั้นตอน จะพบว่าเมื่อออกแบบตัวแปลงให้มีความถี่การชักตัวอย่างสูงๆ การออกแบบออปแอมป์ให้มีความเร็วเพียงพอจะต้องกินกำลังมาก เนื่องจากตัวประกอบการป้อนกลับจะมีค่าลดลงเร็วมากในลักษณะฟังก์ชันเอกซ์โปเนนเชียล (ประมาณ 2^{-B}) ดังนั้นจึงพิจารณาเพียงการแยกชัดต่อขั้นตอนเป็น 1 บิต และ 2 บิตเท่านั้น

2.2.2 การย่อขนาดตัวเก็บประจุของแต่ละขั้นตอนให้เหมาะสมที่สุด

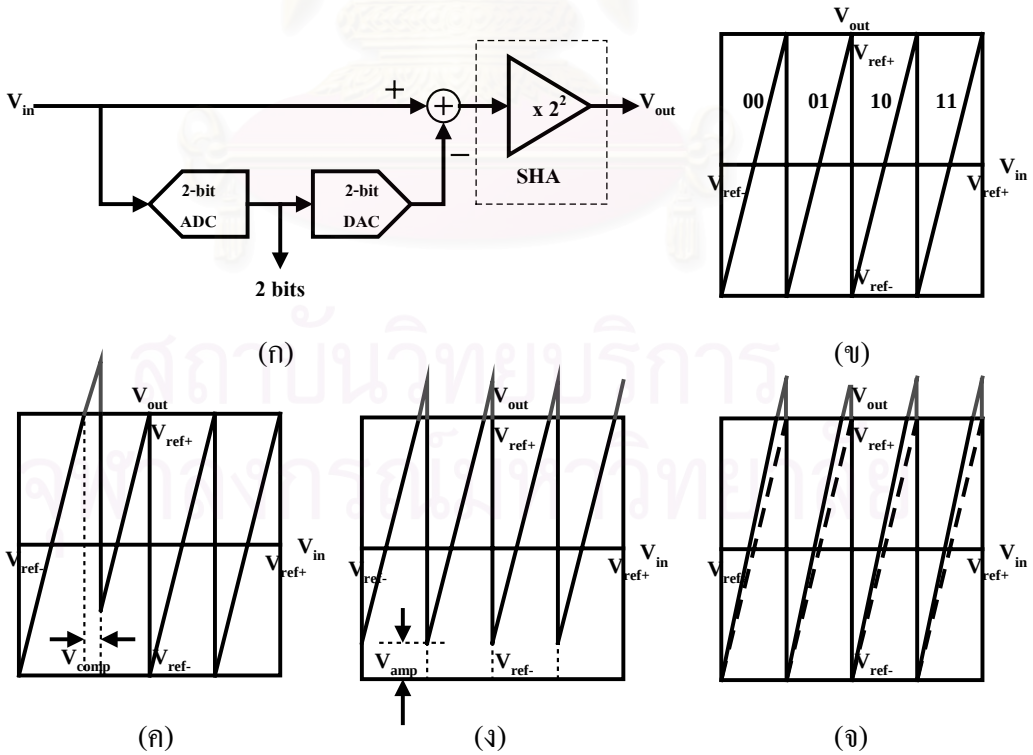
ขนาดของตัวเก็บประจุที่ใช้ในวงจรขั้นตอนขยายถูกกำหนดด้วยปัจจัย 2 ประการ คือสัญญาณรบกวน และความถี่การชักตัวอย่างของการแปลงแอนะลอกเป็นดิจิทัล ซึ่งตัวแปลงแอนะลอกเป็นดิจิทัลแบบไปป์ไลน์มีข้อกำหนดของการแปลงในขั้นตอนช่วงแรกเข้มงวด แต่จะผ่อนลงในขั้นตอนช่วงหลัง ดังนั้นการแปลงในขั้นตอนแรกสุดจะต้องผ่านข้อกำหนดของตัวแปลงแอนะลอกเป็นดิจิทัลทั้งหมด ทำให้ขนาดของตัวเก็บประจุที่ใช้ในขั้นตอนที่ 1 นั้นจะถูกกำหนดมาจากค่ากำลังงานของสัญญาณรบกวนที่ยอมรับได้ ซึ่งสัญญาณรบกวนที่เก็บสะสมไว้ในตัวเก็บประจุ C ที่อุณหภูมิ T เคลวิน มีกำลังงานของสัญญาณรบกวนเป็น $\frac{k_B T}{C}$ เมื่อ k_B คือค่าคงตัวโบลต์ซมันน์ จะเห็นว่าการใช้ตัวเก็บประจุที่มีขนาดใหญ่จะทำให้กำลังงานของสัญญาณรบกวนต่ำ แต่ออปแอมป์จะต้องขับโหลดที่มีขนาดใหญ่ซึ่งต้องกินกำลังงานมาก เพราะฉะนั้นการออกแบบจึงไม่ควรใช้ตัวเก็บประจุที่มีขนาดใหญ่เกินความจำเป็น และเมื่อพิจารณาข้อกำหนดของแต่ละขั้นตอนก็พบว่าข้อกำหนดของขั้นตอนช่วงหลังจะหย่อนลงเรื่อยๆ จึงสามารถใช้ตัวเก็บประจุที่มีขนาดเล็กลงได้ ซึ่งจะทำให้ออปแอมป์ขับโหลดขนาดเล็กลง การกินกำลังงานก็จะลดลง

อย่างไรก็ตาม ในขั้นตอนช่วงหลังสัญญาณรบกวนไม่ใช่ข้อกำหนดที่สำคัญในการกำหนดขนาดตัวเก็บประจุ เพราะในขั้นตอนช่วงหลังจะยอมให้มีสัญญาณรบกวนได้มาก ทำให้สามารถใช้ตัวเก็บประจุขนาดเล็กมากๆ ได้ แต่เมื่อขนาดตัวเก็บประจุเล็กจนถึงระดับหนึ่ง ตัวเก็บประจุปรสิตก็จะไม่สามารถละเลยได้อีก ทำให้การออกแบบออปแอมป์ในขั้นตอนช่วงหลังจึงต้องออกแบบออปแอมป์ให้สามารถขับตัวเก็บประจุปรสิตเหล่านี้ได้แทนการออกแบบออปแอมป์ให้ขับตัวเก็บประจุที่ทำหน้าที่ชักตัวอย่างสัญญาณ ส่วนการหาค่าตัวเก็บประจุที่เหมาะสมของแต่ละขั้นตอนจะกล่าวต่อไปภายหลัง

2.2.3 การแก้ไขความผิดพลาดแบบดิจิทัล (Digital Error Correction)

จากที่ได้กล่าวมาแล้วว่าขั้นตอนช่วงแรกของตัวแปลงแอนะลอกเป็นดิจิทัลแบบไปป์ไลน์มีข้อกำหนดที่เข้มงวด เช่นการออกแบบตัวแปลงแอนะลอกเป็นดิจิทัลขนาด 10 บิต ทุกองค์ประกอบภายในขั้นตอนที่ 1 จะต้องผ่านข้อกำหนด 10 บิต ดังนั้นการออกแบบตัวเปรียบเทียบที่ใช้ในตัวแปลงแอนะลอกเป็นดิจิทัลย่อยต้องสามารถเปรียบเทียบสัญญาณที่ละเอียดในระดับ 10 บิตได้ ถึงแม้ว่าการแยกชัดของการแปลงในขั้นตอนนี้จะมีเพียง 1 บิตหรือ 2 บิตก็ตาม แต่การออกแบบวงจรตัวเปรียบให้สามารถแยกแยะสัญญาณที่ละเอียดในระดับ 10 บิตได้มีความซับซ้อนและวงจรมีการกินกำลังงานสูง ดังนั้นจึงได้มีการนำเทคนิคการแก้ไขความผิดพลาดแบบดิจิทัลมาใช้ซึ่งจะทำให้สถาปัตยกรรมแบบไปป์ไลน์สามารถทนออฟเซตเนื่องจากตัวเปรียบเทียบได้เพิ่มขึ้น [10]-[12]

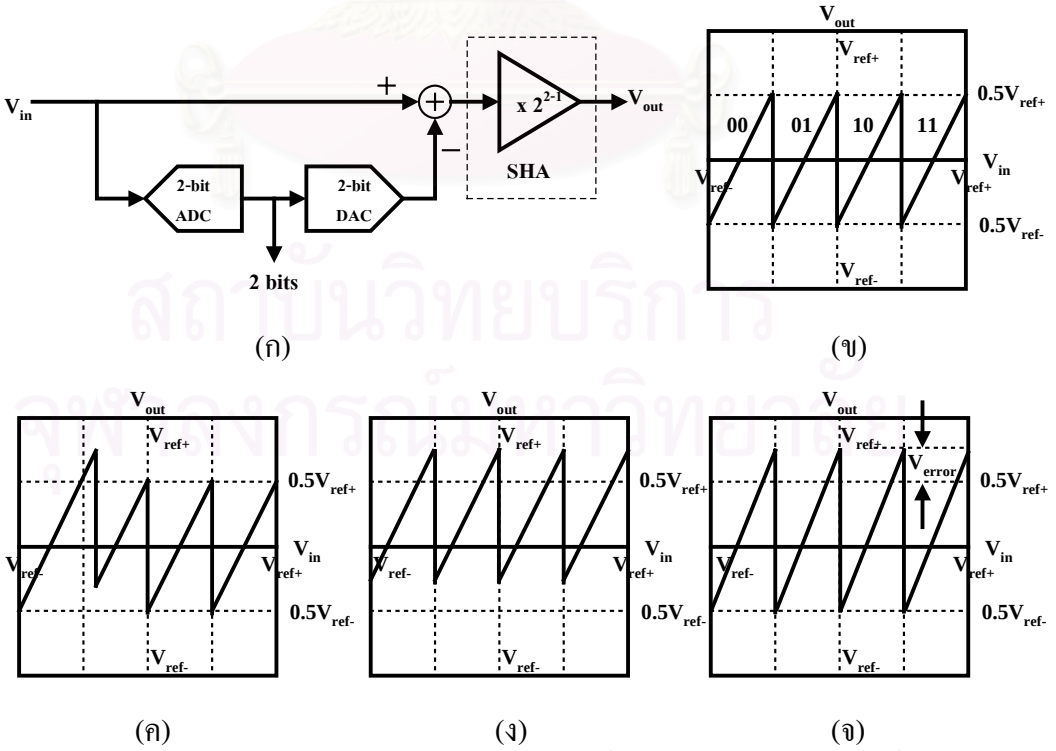
ในหัวข้อนี้จะแสดงตัวอย่างการนำเทคนิคการแก้ไขความผิดพลาดแบบดิจิทัลมาใช้ เริ่มจากสมมติให้การแยกชัดต่อขั้นตอนเป็น 2 บิต จะได้ลักษณะสมบัติของการแปลงแอนะลอกเป็นดิจิทัลภายใน 1 ขั้นตอนดังรูปที่ 2.9 ซึ่งจะเห็นว่าเมื่อตัวเปรียบเทียบเกิดออฟเซต (V_{comp}) ขั้นตอน-ขยายเกิดออฟเซต (V_{amp}) หรือขั้นตอนขยายมีอัตราขยายเพี้ยนไปจากค่าที่ออกแบบจะได้ลักษณะสมบัติของการแปลงจะเปลี่ยนจากรูปที่ 2.9 (ข) เป็นรูปที่ 2.9 (ค) รูปที่ 2.9 (ง) และ รูปที่ 2.9 (จ) ตามลำดับ



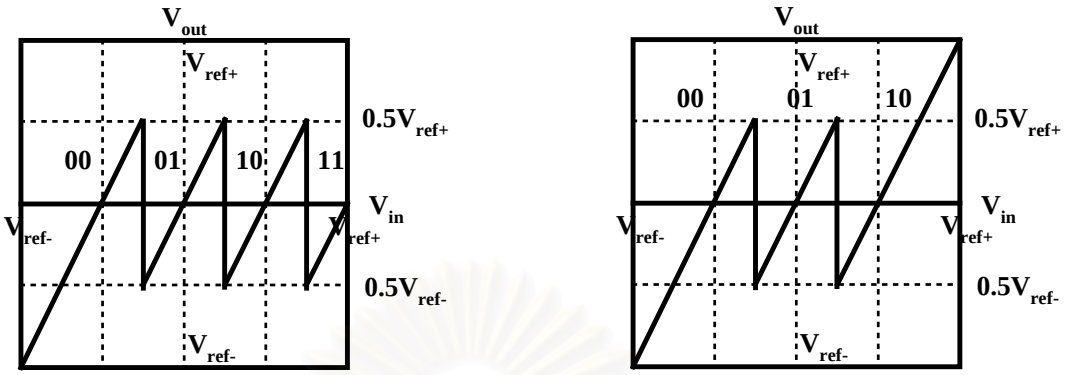
รูปที่ 2.9 ลักษณะสมบัติการแปลงแอนะลอกเป็นดิจิทัลที่มีการแยกชัด 2 บิตต่อขั้นตอน

ลักษณะสมบัติของการแปลงในรูปที่ 2.9 (ค) รูปที่ 2.9 (ง) และรูปที่ 2.9 (จ) แสดงให้เห็นว่าถ้ามีความไม่เป็นอุดมคติเกิดขึ้นแรงดันขาออกของแต่ละขั้นตอนก็จะผิดจากค่าที่ควรจะเป็นเนื่องจากวงจรเกิดการอิ่มตัว ดังจะเห็นได้จากเส้นสีเทาซึ่งแสดงว่าแรงดันเกินช่วงแรงดันอ้างอิง การแก้ปัญหาการอิ่มตัวทำได้โดยเปลี่ยนค่าอัตราขยายของขั้นตอนขยายลดลง 0.5 เท่าจากค่าเดิม จะได้ลักษณะสมบัติของการแปลงเป็นดังรูปที่ 2.10

เมื่อพิจารณาจากรูปที่ 2.10 จะพบว่าหากตัวเปรียบเทียบ หรือขั้นตอนขยายมีออฟเซตไม่เกิน $\frac{V_{ref+}-V_{ref-}}{4}$ วงจรก็ไม่อิ่มตัว[10]-[12] ส่วนในกรณีที่ขั้นตอนขยายมีอัตราขยายเพี้ยนไปจากที่ออกแบบ ถึงแม้วงจรจะไม่อิ่มตัวแต่แรงดันขาออกที่เพี้ยนไป(V_{error}) ต้องน้อยกว่าครึ่งหนึ่งของบิตสำคัญน้อยที่สุดของขั้นตอนถัดไปจึงจะทำให้การแปลงยังได้ผลลัพธ์ที่ถูกต้อง[2] การแก้ปัญหาด้วยวิธีในรูปที่ 2.10 นี้จะทำให้ขั้นตอน ถัดไปเห็นค่าเต็มสเกลลดลงจาก $V_{ref} = V_{ref+}-V_{ref-}$ เป็น $0.5V_{ref}$ ซึ่งไม่สะดวกในการออกแบบ ดังนั้นจึงแก้ปัญหาต่อไปด้วยการเลื่อนระดับการเปรียบเทียบไปอีก $\frac{V_{ref}}{4}$ ซึ่งลักษณะสมบัติของการแปลงจะได้เป็นดังรูปที่ 2.11 (ก) จากนั้นก็เอาตัวเปรียบเทียบตัวบนสุดออก จะได้ลักษณะสมบัติของการแปลงเป็นดังรูปที่ 2.11 (ข) ซึ่งลักษณะสมบัติการแปลงแบบนี้คือการแปลงที่มีการแยกชัด 1.5 บิตต่อขั้นตอน จะเห็นว่าค่าเต็มสเกลของแรงดันขาออกยังคงมีค่าเป็น V_{ref} เช่นเดียวกับขั้นตอนปัจจุบัน



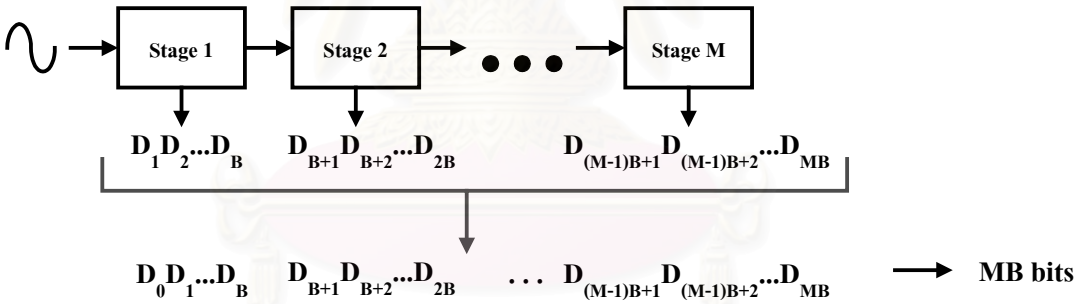
รูปที่ 2.10 ลักษณะสมบัติการแปลงในรูปที่ 2.9 ที่ลดอัตราขยายชดเชยลงครึ่งเท่า



(ก) (ข)

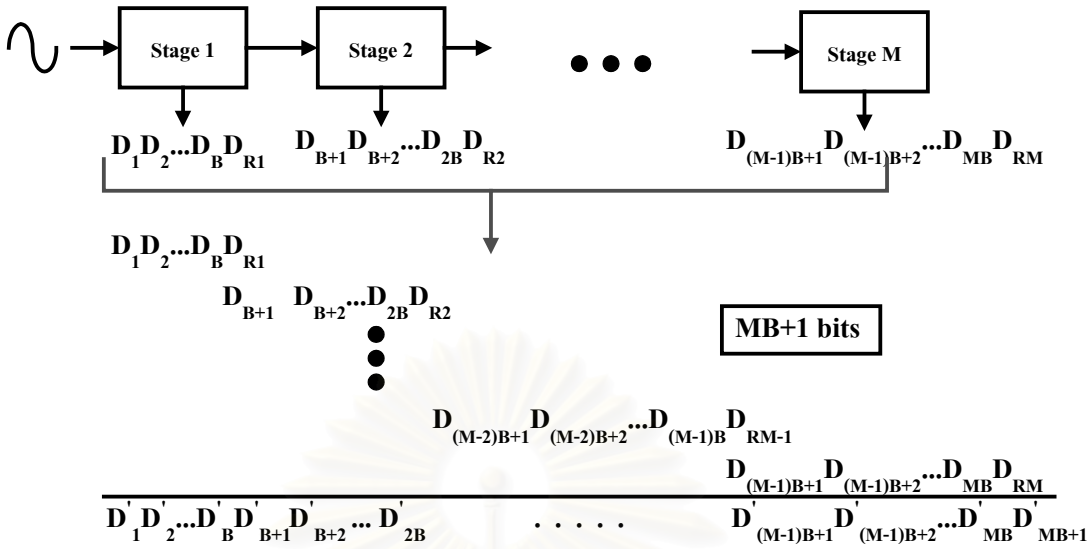
รูปที่ 2.11 ลักษณะสมบัติของการแปลงแอนะลอกเป็นดิจิทัลที่มีการแยกชัด 1.5 บิตต่อขั้นตอน

สัญญาณแรงดันขาเข้าที่ผ่านการแปลงแอนะลอกเป็นดิจิทัลที่มีการแยกชัด 1.5 บิตต่อขั้นตอนครบทุกขั้นตอนแล้ว จะต้องนำค่าดิจิทัลที่ได้มารวมกลับเพื่อให้ได้ผลลัพธ์ตามต้องการ และการลดจำนวนบิตที่แปลงได้จาก 2 บิตเป็น 1.5 บิตจะทำให้ต้องใช้จำนวนขั้นตอนเพิ่มขึ้นเพื่อให้จำนวนบิตทั้งหมดเท่าเดิม



รูปที่ 2.12 การหาผลลัพธ์ของการแปลงที่มีการแยกชัด B บิตต่อขั้นตอน

รูปที่ 2.12 แสดงให้เห็นว่าการแปลงแอนะลอกเป็นดิจิทัลที่มีการแยกชัด B บิตต่อขั้นตอน จำนวน M ขั้นตอน (M และ B เป็นจำนวนเต็ม) สามารถนำค่าดิจิทัลที่ได้จากการแปลงแต่ละขั้นตอนมาวางต่อกันได้เลย ซึ่งวิธีนี้จะได้ผลลัพธ์สุดท้ายเป็นค่าดิจิทัลจำนวน MB บิต แต่การแปลงแอนะลอกเป็นดิจิทัลที่มี การแยกชัด B+0.5 บิตต่อขั้นตอน จะใช้วิธีการรวมผลลัพธ์จากแต่ละขั้นตอนตามที่แสดงในรูปที่ 2.13



รูปที่ 2.13 การหาผลลัพธ์ของการแปลงที่มีการแยกชัด B+0.5 บิตต่อขั้นตอน

ค่าดิจิทัลจากแต่ละขั้นตอนจะเหลื่อมกัน 1 บิต การรวมผลลัพธ์วิธีนี้จะต้องนำบิตสำคัญน้อยที่สุดของขั้นตอนปัจจุบันรวมกับบิตสำคัญที่สุดของขั้นตอนถัดไป และทำเช่นนี้ไปเรื่อยๆ จนครบทุกขั้นตอน ซึ่งการแปลง B+0.5 บิตต่อขั้นตอน ที่มีจำนวน M ขั้นตอนจะได้ค่าดิจิทัลสุดท้ายเป็น MB+1 บิต

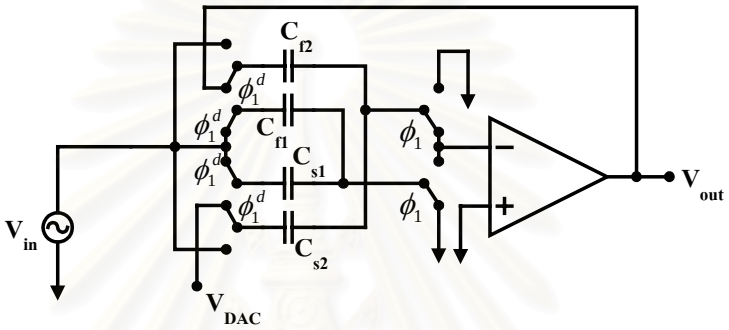
วิธีการรวมค่าดิจิทัลในรูปที่ 2.13 มีสิ่งที่ต้องระวังคือขั้นตอนสุดท้ายของการแปลงจะเป็น B+0.5 บิตไม่ได้ เพราะจะทำให้บิตสำคัญน้อยที่สุดของขั้นตอนสุดท้ายมีนัยสำคัญเพียงครึ่งบิต ดังนั้นขั้นตอนสุดท้ายจะต้องมีการแยกชัดของการแปลงเป็น B+1 บิตเพื่อทำให้บิตสำคัญน้อยที่สุดของขั้นตอนสุดท้ายมีนัยสำคัญเท่ากับบิตสำคัญน้อยที่สุดของตัวแปลงแอนะลอกเป็นดิจิทัลทั้งหมด ซึ่งการออกแบบในขั้นตอนสุดท้ายก็สามารถทำได้ง่ายเพราะข้อมูลที่ต้องการแปลงเหลือการแยกชัดเพียง B+1 เท่านั้น ตัวอย่างเช่นการออกแบบตัวแปลงที่มีการแยกชัด 1.5 บิตต่อขั้นตอน (B=1) จะได้ว่าขั้นตอนสุดท้ายมีการแยกชัดเป็น 2 บิต ซึ่งทำการออกแบบวงจรในขั้นตอนนี้ให้ผ่านข้อกำหนดเพียง 2 บิตเท่านั้น ดังนั้นการออกแบบตัวเปรียบเทียบสามารถออกแบบให้มีออฟเซตได้สูงถึง $\frac{V_{ref}}{4}$ และยังไม่ต้องมีวงจรขั้นตอนขยายอีกด้วย เพราะไม่จำเป็นต้องส่งค่าคงเหลือไปยังขั้นตอนถัดไปอีกแล้ว

2.3 เทคนิคการเพิ่มความเร็วในการแปลงแอนะลอกเป็นดิจิทัล

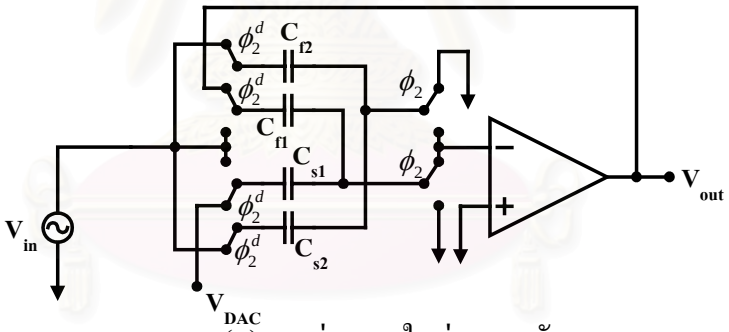
วงจรสวิตช์ตัวเก็บประจุโดยปกติแล้วจะใช้เวลาครึ่งคาบสัญญาณนาฬิกาในการตั้งใหม่(Reset) และใช้เวลาอีกครึ่งคาบสัญญาณนาฬิกาในการทำงาน ซึ่งจะเห็นว่าต้องเสียเวลาครึ่ง

คาบสัญญาณนาฬิกาไปโดยไม่มีการทำงานใดๆ เกิดขึ้น ทำให้กินกำลังงานไปโดยเปล่าประโยชน์ ดังนั้นในวิทยานิพนธ์นี้จึงได้เสนอวิธีการนำครึ่งคาบสัญญาณนาฬิกาที่ต้องใช้ในการรีเซ็ตมาใช้งานให้เป็นประโยชน์ด้วย วิธีการดังกล่าวเรียกว่าเทคนิคการชักตัวอย่างสองเท่า (Double sampling technique) [21]

วิธีการนำช่วงเวลารีเซ็ตมาทำการชักตัวอย่างสัญญาณด้วยทำได้โดยนำอุปกรณ์ที่ใช้ชักตัวอย่างสัญญาณมาใช้เพิ่มอีกหนึ่งชุด ได้แก่ สวิตช์ และตัวเก็บประจุ จะทำให้วงจรขั้นตอนขยายมีโครงสร้างที่ยุ่งยากขึ้น จะได้วงจรขั้นตอนขยายเปลี่ยนจากรูปที่ 2.5 เป็นรูปที่ 2.14



(ก) การต่อวงจรในช่วงเวลาที่หนึ่ง



(ข) การต่อวงจรในช่วงเวลาถัดมา

รูปที่ 2.14 วงจรขั้นตอนขยายที่ใช้เทคนิคการชักตัวอย่างสองเท่า

โครงสร้างการต่อวงจรจะเป็นดังรูปที่ 2.14(ก) และรูปที่ 2.14(ข) สลับกันไปทุกๆ ครึ่งคาบสัญญาณนาฬิกา คือในขณะที่ตัวเก็บประจุ C_{s1} และ C_{f1} ทำการชักตัวอย่างสัญญาณ ตัวเก็บประจุ C_{s2} และ C_{f2} จะถูกรีเซ็ต จากนั้นในครึ่งคาบสัญญาณนาฬิกาถัดมาตัวเก็บประจุทั้งสองชุดก็จะทำงานสลับหน้าที่กัน เมื่อเปรียบเทียบกับรูปที่ 2.5 จะเห็นว่าวงจรในรูปที่ 2.14 ไม่มีช่วงเวลาที่ทำการ รีเซ็ตโดยไม่ชักตัวอย่างสัญญาณ ซึ่งจะทำให้วงจรขั้นตอนขยายทำงานได้เร็วขึ้น 2 เท่าของสัญญาณนาฬิกาที่ป้อนให้วงจรขั้นตอนขยาย โดยไม่จำเป็นต้องกินกำลังงานเพิ่มเติม แต่การนำเทคนิคการชักตัวอย่างสัญญาณ 2 เท่ามาใช้มีข้อควรระวังคือการไม่เข้าคู่ระหว่างตัวเก็บประจุในสองช่วงเวลาคือ C_{s1},C_{f1} และ C_{s2},C_{f2} เพราะจะทำให้อัตราขยายในแต่ละช่วงเวลาเปลี่ยนไปเกิดเป็นความ

เพี้ยนที่ความถี่ครึ่งหนึ่งของความถี่การชักตัวอย่างสัญญาณ ดังนั้นการออกแบบจะต้องกำหนดขนาดตัวเก็บประจุให้ใหญ่พอที่จะทำให้อัตราขยายที่ผิดพลาดส่งผลไม่เกิน 0.5LSB ของขั้นตอนถัดไป

2.4 สรุป

การออกแบบตัวแปลงแอนะลอกเป็นดิจิทัลที่ใช้สถาปัตยกรรมแบบไปป์ไลน์สามารถนำเทคนิคต่างๆ มาร่วมในการออกแบบ ได้แก่ การออปติไมซ์จำนวนบิตต่อขั้นตอน การย่อขนาดตัวเก็บประจุตามข้อกำหนดในแต่ละขั้นตอน และเทคนิคการแก้ไขความผิดพลาดแบบดิจิทัล ทำให้การกินกำลังงานของตัวแปลงแอนะลอกเป็นดิจิทัลมีค่าต่ำ นอกจากนี้การนำเทคนิคการชักตัวอย่างสองเท่ามาร่วมในการออกแบบก็ทำให้ตัวแปลงแอนะลอกเป็นดิจิทัลมีความเร็วเพิ่มขึ้นเป็นสองเท่าโดยไม่กินกำลังงานเพิ่มขึ้นด้วย

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 3

ความไม่เป็นอุดมคติทางวงจร และข้อกำหนดทางวงจรของแต่ละขั้นตอน

เนื้อหาในบทนี้จะกล่าวถึงการพิจารณาความไม่เป็นอุดมคติ และข้อจำกัดต่างๆ ในทางปฏิบัติที่จำเป็นต้องคำนึงถึงในการออกแบบ รวมถึงการตั้งข้อกำหนดของการออกแบบวงจรในแต่ละขั้นตอนให้เหมาะสม เพื่อทำให้ตัวแปลงมีการกินกำลังงานต่ำที่สุด

3.1 ผลของความไม่เป็นอุดมคติในทางวงจร

ในบทที่แล้วได้กล่าวถึงส่วนประกอบต่างๆ ภายในตัวแปลงแอนะลอกเป็นดิจิทัลแบบไปป์ไลน์โดยยังไม่ได้คำนึงถึงผลของความไม่เป็นอุดมคติต่างๆ ได้แก่ การเข้าคู่ของตัวเก็บประจุ อัตราขยายของออปแอมป์ที่มีค่าจำกัด ค่าผิดพลาดเข้าที่ของแรงดันขาออกของออปแอมป์ สิ่งเหล่านี้ล้วนแต่ทำให้อัตราขยายของขั้นตอนขยายมีค่าผิดไปจากค่าที่ต้องการ ซึ่งในหัวข้อนี้จะแยกพิจารณาผลของความไม่เป็นอุดมคติเหล่านั้นทีละส่วน

จากที่ได้กล่าวมาในบทที่แล้วว่าขั้นตอนขยายแบบที่ 2 ในรูปที่ 2.5 เหมาะที่จะนำมาใช้ในการออกแบบตัวแปลงแอนะลอกเป็นดิจิทัลมากกว่าแบบที่ 1 ในรูปที่ 2.4 เพราะมีการกินกำลังงานต่ำกว่า ดังนั้นการวิเคราะห์ต่อจากนี้จะพิจารณาเฉพาะขั้นตอนขยายแบบที่ 2 เท่านั้น

กรณีอุดมคติ สัญญาณขาออกของแต่ละขั้นตอนจะมีค่าเป็น

$$V_{out} = \left(\frac{C_s + C_f}{C_f} \right) V_{in} - \frac{C_s}{C_f} V_{DAC} \tag{3.1}$$

และเมื่อคิดผลของความไม่เป็นอุดมคติแต่ละแบบจะได้ดังนี้

3.1.1 ผลของอัตราขยายไฟตรงที่มีค่าจำกัดของออปแอมป์ (Opamp DC Gain)

สมการที่ 3.1 เป็นสมการที่ได้มาจากการวิเคราะห์วงจรในรูปที่ 2.5 (ข) โดยคิดว่าออปแอมป์มีอัตราขยายไฟตรงเป็นอนันต์ ซึ่งเมื่อกำหนดค่าอัตราขยายไฟตรงของออปแอมป์เป็น A_{DC} แล้วทำการวิเคราะห์วงจรอีกครั้งจะได้ว่าแรงดันที่ขั้วเข้าลบ (V^-) ของออปแอมป์มีค่าไม่เท่ากับแรงดันที่ขั้วเข้าบวก (V^+) แต่จะมีค่าเป็นแรงดันขาออก (V_{out}) หารด้วยอัตราขยายไฟตรงของออปแอมป์ดังสมการที่ 3.2

$$V^- = -\frac{1}{A_{DC}} V_{out} \tag{3.2}$$

การวิเคราะห์วงจรในรูปที่ 2.5 (ข) โดยใช้ผลของสมการที่ 3.2 ทำให้พบว่าแรงดันขาออกของออปแอมป์หลังจากป้อนกลับด้วยตัวประกอบการป้อนกลับ β จะได้ผลดังสมการที่ 3.3

$$V_{out} = \left(\frac{1}{1+\frac{1}{A_{DC}\beta}}\right)\left[\left(\frac{C_s+C_f}{C_f}\right)V_{in} - \left(\frac{C_s}{C_f}\right)V_{DAC}\right]$$

$$\approx \left(1-\frac{1}{A_{DC}\beta}\right)\left[\left(\frac{C_s+C_f}{C_f}\right)V_{in} - \left(\frac{C_s}{C_f}\right)V_{DAC}\right] \qquad (3.3)$$

ตัวประกอบการป้อนกลับที่วิเคราะห์ในบทที่แล้วไม่ได้รวมผลของตัวเก็บประจุปรสิตที่ปมขาเข้าขั้วลบของออปแอมป์ ดังนั้นในบทนี้จึงได้กำหนดให้ปมขาเข้าขั้วลบของออปแอมป์มีตัวเก็บประจุปรสิตเป็น C_{opamp} แล้วทำการวิเคราะห์วงจรในรูปที่ 2.5 (ข) อีกครั้งจะได้ว่าตัวประกอบการป้อนกลับมีค่าเป็น $\beta = \frac{C_f}{C_s + C_f + C_{opamp}}$

3.1.2 ผลของความผิดพลาดของการเข้าที่ (Settling error)

แรงดันขาออกของออปแอมป์ในสมการที่ 3.3 เป็นแรงดันที่เกิดขึ้นเมื่อปล่อยให้ออปแอมป์ทำงานจนแรงดันขาออกเข้าที่ที่เวลาอนันต์ ($V_{out,\infty}$) แล้ว แต่ในความเป็นจริงไม่สามารถรอให้ ออปแอมป์ทำงานจนเข้าที่ที่เวลาอนันต์ได้ และเมื่อกำหนดให้ออปแอมป์เป็นวงจรขยายที่มีหนึ่งขั้ว และค่าคงตัวเวลาเป็น τ ปล่อยให้เข้าที่เป็นเวลา t_s ก็จะได้ว่าแรงดันขาออกที่เวลา $t=t_s$ มีค่าเป็นดังสมการที่ 3.4

$$V_{out} = \left(1-e^{-\frac{t_s}{\tau}}\right)V_{out,\infty} \qquad (3.4)$$

ดังนั้น แรงดันขาออกของออปแอมป์ที่รวมผลของออปแอมป์มีอัตราขยายไฟตรง ค่าจำกัดและความผิดพลาดของการเข้าที่เข้าด้วยกัน จะทำให้แรงดันขาออกของออปแอมป์เป็นดังสมการที่ 3.5

$$V_{out} \approx \left(1-e^{-\frac{t_s}{\tau}}\right)\left(1-\frac{1}{A_{DC}\beta}\right)\left[\left(\frac{C_s+C_f}{C_f}\right)V_{in} - \left(\frac{C_s}{C_f}\right)V_{DAC}\right] \qquad (3.5)$$

3.1.3 ผลของการไม่เข้าคู่ของตัวเก็บประจุ (Capacitor mismatch)

สำหรับตัวแปลงแอนะลอกเป็นดิจิทัลแบบไปป์ไลน์ N บิตที่มีการแยกชัดต่อขั้นตอนเป็น B บิต จะได้ว่าต้องใช้อัตราส่วนตัวเก็บประจุ $C_s = (2^B - 1)C_f$ แต่เมื่อตัวเก็บประจุทั้งสองมีการไม่เข้าคู่เกิดขึ้นทำให้ $C_s = (2^B - 1)(C_f + \Delta C)$ เมื่อ ΔC เป็นค่าความจุไฟฟ้าของตัวเก็บประจุที่เปลี่ยนไปเนื่องจากการไม่เข้าคู่ ดังนั้นสมการที่ 3.5 จะเปลี่ยนเป็นสมการที่ 3.6

$$V_{out} \approx \left(1 - e^{-\frac{t_s}{\tau}}\right)\left(1 - \frac{1}{A_{DC}\beta}\right)\left[\left(2^B + (2^B - 1)\frac{\Delta C}{C_f}\right)V_{in} - \left((2^B - 1) + (2^B - 1)\frac{\Delta C}{C_f}\right)V_{DAC}\right]$$

$$\approx \left(1 - e^{-\frac{t_s}{\tau}}\right)\left(1 - \frac{1}{A_{DC}\beta}\right)\left[2^B\left(1 + (1 - 2^{-B})\frac{\Delta C}{C_f}\right)V_{in} - (2^B - 1)\left(1 + \frac{\Delta C}{C_f}\right)V_{DAC}\right]$$

…(3.6)

3.1.4 ค่าผิดพลาดอัตราของขยาย และความไม่เป็นเชิงเส้นของการแปลง

สิ่งสำคัญที่ต้องพิจารณาอีกอย่างหนึ่งคือค่าผิดพลาดอัตราขยายของขั้นตอนขยายที่ทำหน้าที่คูณอัตราขยายเพื่อปรับค่าเต็สเกลของขั้นตอนถัดไปให้เท่ากับขั้นตอนปัจจุบัน การที่อัตราขยายมีค่าผิดจากที่ต้องการทำให้เกิดความเพี้ยนในการแปลงแอนะลอกเป็นดิจิทัล การออกแบบตัวแปลงขนาด 10 บิตโดยคิดผลของความไม่เป็นอุดมคติเข้าไปด้วยต้องพิจารณาประกอบกับสมการที่ 3.6 ซึ่งแสดงค่าแรงดันคงเหลือของขั้นตอนปัจจุบันที่มีการแปลง B บิตต่อขั้นตอน จากรูปที่ 2.8 พบว่าตัวแปลง 10 บิตออกแบบให้ B=1 จะกินกำลังงานต่ำกว่า B=2 และเมื่อนำเทคนิคการแก้ไขความผิดพลาดแบบดิจิทัลมาใช้ออกแบบด้วย จะได้ว่าควรออกแบบตัวแปลงแอนะลอกเป็นดิจิทัลให้มีการแยกชัด 1.5 บิตต่อขั้นตอน (B=1) จึงจะมีการกินกำลังงานต่ำที่สุด ดังนั้นเมื่อแทนค่า B=1 ในสมการที่ 3.6 จะได้ค่าแรงดันคงเหลือจากของแต่ละขั้นตอนเป็นดังสมการที่ 3.7

$$V_{out} \approx \left(1 - e^{-\frac{t_s}{\tau}}\right)\left(1 - \frac{1}{A_{DC}\beta}\right)\left[\left(2 + \frac{\Delta C}{C_f}\right)V_{in} - \left(1 + \frac{\Delta C}{C_f}\right)V_{DAC}\right] \qquad (3.7)$$

แรงดัน V_{DAC} เป็นแรงดันที่เปลี่ยนตามค่าสัญญาณดิจิทัลที่ขั้นตอนนั้นๆ แปลงมีค่าขึ้นอยู่กับแรงดันขาเข้า V_{in} ดังแสดงไว้ในสมการที่ 3.8

$$V_{DAC} = \begin{cases} V_{ref} & ;\frac{V_{ref+}}{4} < V_{in} \le V_{ref+} \\ 0 & ;\frac{V_{ref-}}{4} < V_{in} < \frac{V_{ref+}}{4} \\ -V_{ref} & ;V_{ref-} \le V_{in} < \frac{V_{ref-}}{4} \end{cases} \quad (3.8)$$

เมื่อนำสมการที่ 3.7 และสมการที่ 3.8 มาทำการวิเคราะห์ร่วมกับโปรแกรม MATLAB พบว่ากรณีที่แรงดันขาเข้ามีค่าเป็น $\frac{V_{ref+}}{4}$ และ $\frac{V_{ref-}}{4}$ จะทำให้ค่าแรงดันคงเหลือ(V_{out}) มีค่าเพี้ยนไปจากกรณีอุดมคติมากที่สุด ซึ่งก็แสดงว่าที่แรงดันขาเข้าดังกล่าวทำให้การแปลงแอนะลอกเป็นดิจิทัลมีความเพี้ยนสูงที่สุดด้วย ซึ่งจะได้ค่าแรงดันคงเหลือที่ผิดไปจากค่าที่ต้องการเป็น ΔV_{out} ในสมการที่ 3.9

$$\Delta V_{out} \approx \left(\frac{1}{2}\left|\frac{1}{A_{DC}\beta}\right| + \frac{1}{2}\left|e^{-\frac{t_s}{\tau}}\right| + \frac{3}{4}\left|\frac{\Delta C}{C}\right| \right) V_{ref} \quad (3.9)$$

การนำเทคนิคการแก้ไขความผิดพลาดแบบดิจิทัลมาใช้ ทำให้แก้ปัญหาวงจรเกิดการอิ่มตัวเมื่อเกิดออฟเซตหรืออัตราขยายผิดจากที่ต้องการได้ แต่ทั้งนี้ต้องได้แรงดันขาออกเพี้ยนไปน้อยกว่าครึ่งหนึ่งของขนาดขั้นของขั้นตอนถัดไปจึงจะทำให้ความไม่เป็นเชิงเส้นของตัวแปลงแอนะลอกเป็นดิจิทัลแบบผลต่าง (Differential Non-Linearity หรือ DNL) น้อยกว่า 0.5 เท่าของบิตสำคัญน้อยที่สุด (0.5 LSB) [2]-[3]

ดังนั้นสำหรับขั้นตอนที่ i ของตัวแปลงแอนะลอกเป็นดิจิทัลขนาด N บิตได้ข้อกำหนดดังนี้

$$\frac{1}{2}\left|\frac{1}{A_{DC}\beta}\right|_i + \frac{1}{2}\left|e^{-\frac{t_s}{\tau}}\right|_i + \frac{3}{4}\left|\frac{\Delta C}{C}\right|_i \le 0.5V_{LSB,i+1} = 2^{i-N} \quad (3.10)$$

จากสมการที่ 3.10 สามารถแสดงการหาข้อกำหนดทางวงจรของออปแอมป์ขั้นตอนที่หนึ่ง(i=1) สำหรับตัวแปลงแอนะลอกเป็นดิจิทัลขนาด 10 บิต (N=10) ต่อวงจรออปแอมป์ให้มีตัวประกอบการป้อนกลับเป็น 0.5 จะได้ตัวอย่างการออกแบบดังนี้ ความผิดพลาดที่เกิดจากอัตราขยายไฟตรงยอมให้มีไม่เกิน 0.05% ความผิดพลาดจากการเข้าที่ยอมให้มีไม่เกิน 0.05% ความผิดพลาดจากการไม่เข้าคู่ของตัวเก็บประจุที่เกิดจากกระบวนการผลิตยอมให้มีไม่เกิน 0.054%[33] เมื่อรวมผลของความผิดพลาดเหล่านี้ได้เท่ากับ 1.405×10^{-3} จะเห็นว่ายังมีค่าน้อยกว่า 2^{-9} แสดงว่าความผิดพลาดจากแต่ละส่วนที่กำหนดไว้ยังยอมรับได้ ดังนั้นจะได้ว่าออปแอมป์ขั้นตอนที่ 1 ต้องมี

อัตราขยายไฟตรงมากกว่า 4000 ค่าผิดพลาดจากการเข้าที่ไม่เกิน 0.05% และขนาดตัวเก็บประจุต้องใหญ่พอที่จะมีความไม่เข้าคู่ต่ำกว่า 0.054%

ตัวอย่างที่กล่าวมานี้เป็นเพียงวิธีการนำสมการที่ 3.10 มาใช้ออกแบบ แต่ในการออกแบบจริงในวิทยานิพนธ์นี้ มีหลายปัจจัยประกอบทำให้ข้อกำหนดของออปแอมป์ไม่ได้เป็นตามตัวอย่าง อาทิเช่น ตัวประกอบการป้อนกลับไม่เท่ากับ 0.5 เนื่องจากในการต่อวงจรมีผลของตัวเก็บ-ประจุปรสิตทำให้ตัวประกอบการป้อนกลับมีค่าเล็กลง

$$\frac{1}{2}\left|\frac{1}{A_{DC}\beta}\right|_1+\frac{1}{2}\left|e^{-\frac{t_s}{\tau}}\right|_1+\frac{3}{4}\left|\frac{\Delta C}{C}\right|_1 \le 0.5V_{LSB,2}=2^{1-10}=2^{-9}=1.953x10^{-3}$$

$$0.05\% \quad 0.05\% \quad 0.054\% < 1.953 \times 10^{-3}$$

$$1.405 \times 10^{-3} < 1.953 \times 10^{-3}$$

$\frac{\Delta C}{C}$ แสดงการไม่เข้าคู่ของตัวเก็บประจุ C_s และ C_f ซึ่งขึ้นอยู่กับขนาดของตัวเก็บประจุที่นำมาใช้ และขึ้นอยู่กับเทคโนโลยีการผลิตของโรงงานที่รับเจือสาร

สมการที่ 3.10 เพียงสมการเดียวไม่สามารถยืนยันได้ว่าความไม่เป็นเชิงเส้นแบบผลรวม (Integral Non-Linearity หรือ INL) จะมีค่าน้อยกว่า 0.5 เท่าของบิตสำคัญน้อยที่สุด ต้องพิจารณาจากเงื่อนไขที่เพียงพอที่จะแสดงว่าค่าของ INL จะมีค่าไม่เกินค่าๆ หนึ่งดังสมการที่ 3.11 [3]

$$INL \le \sum_{i=1}^{N-2}\left(\frac{1}{2^{i+1}}\right)\left(\frac{1}{2A_{DC}\beta}+\frac{e^{-\frac{t_s}{\tau}}}{2}+\frac{3\Delta C}{4C}\right)_i \qquad (3.11)$$

สมการที่ 3.10 มีความสำคัญต่อความเป็นเชิงเส้นของสัญญาณขนาดเล็ก ในขณะที่สมการที่ 3.11 มีความสำคัญต่อความเป็นเชิงเส้นของสัญญาณขนาดใหญ่ การออกแบบจะต้องผ่านข้อกำหนดของสมการทั้งสองจึงจะเชื่อถือได้ว่าตัวแปลงแอนะลอกเป็นดิจิทัลมีความเป็นเชิงเส้นดีในระดับ 10 บิต [3]

3.2 ข้อกำหนดทางวงจรของตัวแปลงแอนะลอกเป็นดิจิทัลขนาด 10 บิต

ขั้นตอนแรกของตัวแปลงแอนะลอกเป็นดิจิทัลขนาด 10 บิตต้องผ่านข้อกำหนดทางวงจรระดับ 10 บิต ได้แก่ สัญญาณรบกวน และความเป็นเชิงเส้นของตัวแปลงแอนะลอกเป็น

ดิจิทัลซึ่งความเป็นเชิงเส้นขึ้นอยู่กับ 3 ปัจจัยคือ อัตราขยายไฟตรงของออปแอมป์ ค่าผิดพลาดของการเข้าที่ และการไม่เข้าคู่ของตัวเก็บประจุ ดังที่ได้กล่าวไว้ในหัวข้อที่แล้ว

3.2.1 อัตราส่วนสัญญาณต่อสัญญาณรบกวน

กรณีวงจรไม่กำเนิดสัญญาณรบกวนใดๆ ตัวแปลงแอนะลอกเป็นดิจิทัลขนาด N บิต ซึ่งมีขนาดขั้นของการแปลงเป็น Δ จะมีสัญญาณรบกวนจากการควอนไตซ์ (Quantization noise) ทำให้ค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวน (Signal-to-Noise Ratio หรือ SNR) เป็นดังสมการที่ 3.12 เมื่อกำหนดให้สัญญาณรบกวนจากการควอนไตซ์เป็น v_{nq} สัญญาณที่ทำการแปลงเป็น v_{sig} และมีค่าเท่ากับค่าเต็มสเกล (V_{FS})

$$SNR_{MAX,ideal} = \frac{v_{sig}^2}{v_{nq}^2} = \frac{V_{FS}^2}{2\left(\frac{\Delta^2}{12}\right)} \approx 6.02N + 1.76 \quad \text{dB} \tag{3.12}$$

จากสมการที่ 3.12 ตัวแปลงแอนะลอกเป็นดิจิทัลอุดมคติขนาด 10 บิตต้องมี SNR $\approx$ 62 dB แต่ในความเป็นจริงตัวแปลงแอนะลอกเป็นดิจิทัลก็ให้กำเนิดสัญญาณรบกวนด้วย สัญญาณรบกวนจากตัวแปลงแอนะลอกเป็นดิจิทัลนี้เป็นสัญญาณรบกวนที่เกิดจากวงจรอิเล็กทรอนิกส์ อาทิเช่น สัญญาณรบกวนจากทรานซิสเตอร์ สัญญาณรบกวนจากตัวต้านทาน เป็นต้น ทำให้อัตราส่วนสัญญาณต่อสัญญาณรบกวนมีค่าลดลงต่ำกว่า 62 dB สำหรับการออกแบบตัวแปลงแอนะลอกเป็นดิจิทัลแบบไปป์ไลน์โดยทั่วไปยอมให้วงจรกำเนิดสัญญาณรบกวนได้ไม่เกิน 2 dB ดังนั้นกำลังงานของสัญญาณรบกวนจากวงจร (v_{ni}) ต้องมีค่าน้อยกว่า 1/6 เท่าของขนาดขั้นของการแปลง[2]-[3] และต้องคิดจากทุกขั้นตอนของตัวแปลงเทียบกลับมาที่ขาเข้าดังสมการที่ 3.13

$$v_{ni}^2 = v_{ni1}^2 + \frac{v_{ni2}^2}{2^2} + \frac{v_{ni3}^2}{2^4} + \frac{v_{ni4}^2}{2^6} + \ldots + \frac{v_{niN}^2}{2^{2N}} \le \left(\frac{\Delta}{6}\right)^2 = \left(\frac{V_{FS}}{3 \cdot 2^{N+1}}\right)^2 \tag{3.13}$$

$$SNR_{MAX,actual} = \left(\frac{v_{sig}^2}{v_{nq}^2 + v_{ni}^2}\right) = \frac{1}{2}\left(\frac{1}{\frac{1}{12}\left(\frac{2}{2^N}\right)^2 + \left(\frac{2}{3 \cdot 2^{N+1}}\right)^2}\right) \tag{3.14}$$

จากสมการที่ 3.14 จะได้ว่าสำหรับตัวแปลงแอนะลอกเป็นดิจิทัลขนาด 10 บิตที่ยอมให้วงจรกำเนิดสัญญาณรบกวนได้ไม่เกิน 2 dB ต้องมีค่า $SNR_{MAX,actual}$ = 60.72 dB ซึ่งคิดเป็นกำลังงานของสัญญาณรบกวนที่เกิดจากวงจรจะต้องไม่เกิน (325.5 μV)^2

3.2.2 ข้อกำหนดทางวงจรของออปแอมป์ในแต่ละขั้นตอน

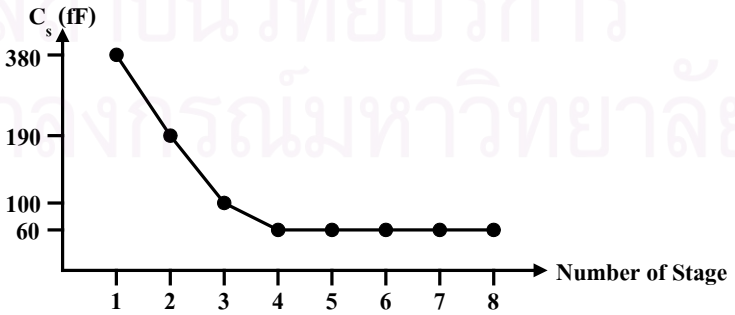
เมื่อนำผลการวิเคราะห์ตั้งแต่สมการที่ 3.10 ถึงสมการที่ 3.14 มาวิเคราะห์ร่วมกับสมการสัญญาณรบกวนอ้างอิงด้านขาเข้าของขั้นตอนขยายในสมการที่ 3.15 (แสดงการวิเคราะห์ไว้ในภาคผนวก ก.) และสมการแบนด์วิดธ์ของออปแอมป์ในสมการที่ 3.16 จะสามารถหาขนาดของตัวเก็บประจุ C_s และ C_f ที่ต้องใช้ในขั้นตอนขยาย และข้อกำหนดต่างๆ ของแต่ละขั้นตอนสำหรับตัวแปลงแอนะลอกเป็นดิจิทัลขนาด 10 บิตได้

$$v_{ni}^{\ 2} = \left(\frac{C_s}{C_s + C_f}\right)^2 \left(\frac{k_B T}{\beta C_f} + 2k_B T R_{on} n_\tau f_s + \frac{8k_B T \omega_U}{3g_m \beta}\right) \tag{3.15}$$

$$\frac{1}{\tau} = \beta\omega_U = 2n_\tau f_s \tag{3.16}$$

ค่า τ , ω_U , f_s และ n_τ ในสมการที่ 3.16 คือค่าคงตัวเวลา ความถี่อัตราขยายหนึ่งความถี่การชักตัวอย่างสัญญาณ และอัตราส่วนของเวลาเข้าที่ (settling time) ต่อค่าคงตัวเวลาตามลำดับ

จากรูปที่ 3.1 จะเห็นว่าตัวเก็บประจุที่ใช้ในขั้นตอนที่หนึ่งจะมีค่าใหญ่เนื่องจากต้องการให้มีการเข้าคู่ที่ดี และสัญญาณรบกวนต่ำ จากนั้นจึงใช้ตัวเก็บประจุที่มีขนาดเล็กลงในขั้นตอนถัดไป เพราะข้อกำหนดด้านการเข้าคู่ และสัญญาณรบกวนในขั้นตอนถัดไปหย่อนลงกว่าข้อกำหนดในขั้นตอนแรก ทำให้ออปแอมป์ในขั้นตอนถัดไปขับโหลดลดลง การออกแบบออปแอมป์ก็จะประหยัดการกินกำลังงานมากขึ้น และเมื่อลดขนาดตัวเก็บประจุลงไปจนถึงขั้นตอนที่สี่จะไม่สามารถลดขนาดลงได้อีก เนื่องจากตัวเก็บประจุปรสิตจะส่งผลมากขึ้นและการออกแบบออปแอมป์ในขั้นตอนถัดจากนี้ จะเป็นการออกแบบเพื่อให้สามารถขับตัวเก็บประจุปรสิตเหล่านี้มากกว่าการออกแบบเพื่อขับตัวเก็บประจุ C_s และ C_f



รูปที่ 3.1 แสดงขนาดของตัวเก็บประจุที่เหมาะสมที่สุดสำหรับแต่ละขั้นตอน

ข้อกำหนดที่สำคัญที่ต้องพิจารณาในการออกแบบได้แก่ อัตราขยายไฟตรงของออปแอมป์(A_{DC}) ค่าผิดพลาดของการเข้าที่($e^{-\frac{t_s}{\tau}}$) สัญญาณรบกวนที่กำเนิดจากออปแอมป์($v_{ni,opamp}^2$) ขนาดของโหลดตัวเก็บประจุที่ออปแอมป์สามารถขับได้(C_L) และเวลาเข้าที่ของออปแอมป์ (t_s)

สำหรับข้อกำหนดเกี่ยวกับเวลาเข้าที่ของออปแอมป์จะพิจารณาจากความถี่ของการชักตัวอย่างสัญญาณของตัวแปลงแอนะลอกเป็นดิจิทัล ในวิทยานิพนธ์นี้กำหนดความถี่การชักตัวอย่างสัญญาณไว้ที่ 40 MHz และเนื่องจากการนำเทคนิคการชักตัวอย่างสองเท่ามาใช้ทำให้ขั้นตอนขยายต้องการสัญญาณนาฬิกาเพียง 20 MHz ดังนั้นเวลาในครึ่งคาบสัญญาณนาฬิกา 20 MHz มีอยู่ 25 ns ซึ่งภายในช่วงเวลานี้ตัวแปลงแอนะลอกเป็นดิจิทัลย่อย และตัวแปลงดิจิทัลเป็นแอนะลอกย่อยจะต้องทำการแปลงให้เสร็จแล้วจึงส่งผลการแปลงให้ขั้นตอนขยายทำการคำนวณค่าแรงดันขาออกให้เสร็จสิ้นภายใน 25 ns นี้ ในวิทยานิพนธ์นี้จึงแบ่งเวลาให้แต่ละส่วนดังนี้

- ขอบขาขึ้นและขาลงของสัญญาณนาฬิการวมทั้งสิ้น 3 ns
- ตัวแปลงแอนะลอกเป็นดิจิทัลย่อย 2 ns
- ตัวแปลงดิจิทัลเป็นแอนะลอกย่อย 2 ns

จากการจัดแบ่งเวลาข้างต้นจะเห็นว่าขั้นตอนขยายเหลือเวลาสำหรับทำการคำนวณแรงดันขาออกเพียง 25 – 7 = 18 ns ดังนั้นเวลาเข้าที่ของออปแอมป์จะต้องน้อยกว่า 18 ns

ตารางที่ 3.1 ข้อกำหนดของออปแอมป์สำหรับขั้นตอนขยายที่ใช้สัญญาณนาฬิกาความถี่ 20 MHz

ขั้นตอน	C_s, C_f (fF)	A_{DC}	$e^{-\frac{t_s}{\tau}}$ (%)	t_s (ns)	n_τ	$v_{ni,opamp}^2$ (μV)^2	C_L (pF)
1	380	5325	0.05	< 18	7.62	69.2	2.0
2	190	2663	0.10	< 18	6.93	97.7	1.5
3	100	1332	0.20	< 18	6.23	138	1.2
4	60	726	0.39	< 18	5.55	181	1.0
5	60	363	0.78	< 18	4.85	256	1.0
6	60	182	1.56	< 18	4.16	362	1.0
7	60	91	3.02	< 18	3.5	512	1.0
8	60	45	6.08	< 18	2.8	724	1.0

ข้อกำหนดต่างๆ ของออปแอมป์ที่คำนวณได้จากสมการก่อนหน้าที่กล่าวมาแล้ว สามารถสรุปได้ดังตารางที่ 3.1 จะเห็นว่าข้อกำหนดในขั้นตอนแรกๆ จะเข้มงวด และหย่อนลงในขั้นตอนถัดไป เช่นเดียวกับหลักการลดขนาดของตัวเก็บประจุ C_s และ C_f ตามที่ได้กล่าวมาแล้ว

3.3 สรุป

ในบทนี้ได้กล่าวถึงการพิจารณาข้อกำหนดทางปฏิบัติทางวงจรทั้งหมดได้แก่ อัตราขยายไฟตรงของออปแอมป์ ค่าผิดพลาดของการเข้าที่ การไม่เข้าคู่ของตัวเก็บประจุ และสัญญาณรบกวนของวงจรขั้นตอนขยาย ทำให้สามารถระบุข้อกำหนดทางวงจรของแต่ละขั้นตอนได้โดยขั้นตอนที่หนึ่งมีข้อกำหนดเข้มงวดในระดับ 10 บิตและผ่อนลงเรื่อยๆ ในขั้นตอนถัดไป ทำให้ตัวแปลงแอนะลอกเป็นดิจิทัลมีการกินกำลังงานต่ำ และการออกแบบวงจรก็ทำได้ง่ายขึ้นด้วย

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 4

เทคนิคการออกแบบวงจร

บทที่แล้วได้กล่าวถึงข้อกำหนดต่างๆ ในการออกแบบตัวแปลงแอนะลอกเป็นดิจิทัลขนาด 10 บิตมาแล้ว ในบทนี้จะกล่าวถึงเทคนิคการออกแบบวงจรที่สามารถทำงานได้ตามข้อกำหนดที่ตั้งไว้ ได้แก่ การออกแบบออปแอมป์ให้มีกำลังงานต่ำ เทคนิคการออกแบบวงจรที่ทำงานที่แรงดันต่ำ การออกแบบวงจรไบแอส การออกแบบวงจรกำเนิดแรงดันอ้างอิง และการออกแบบวงจรดิจิทัล

4.1 เทคนิคการลดการกินกำลังงงาน

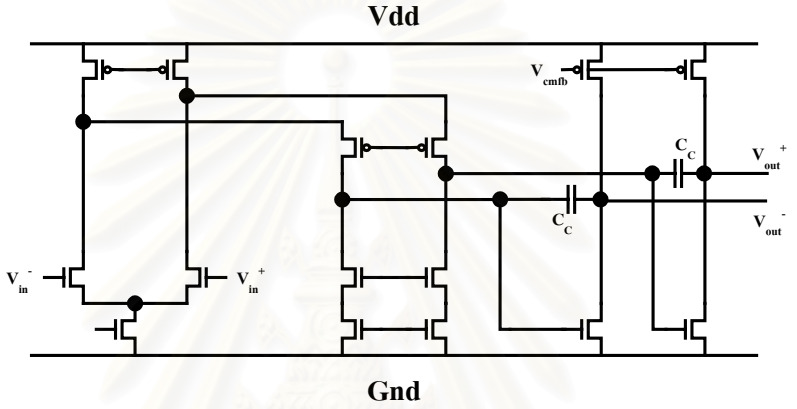
4.1.1 การออกแบบออปแอมป์

วงจรออปแอมป์ที่ใช้ต้องทำงานที่ระดับแรงดันแหล่งจ่ายค่าต่ำทำให้โครงสร้างของออปแอมป์ที่เลือกใช้ต้องมีช่วงแกว่งตัวของแรงดันขาออกที่กว้าง และต้องรับแรงดันขาเข้าโหมดร่วมได้กว้างด้วย นอกจากนี้ตารางที่ 3.1 แสดงให้เห็นว่าออปแอมป์ขั้นตอนที่ 1 ต้องการอัตราขยายไฟตรงสูงกว่า 5300 (ประมาณ 74.5 dB) ซึ่งเมื่อพิจารณาออปแอมป์แต่ละโครงสร้างพบว่ามีคุณลักษณะดังตารางที่ 4.1

ตารางที่ 4.1 คุณลักษณะของออปแอมป์แต่ละโครงสร้าง

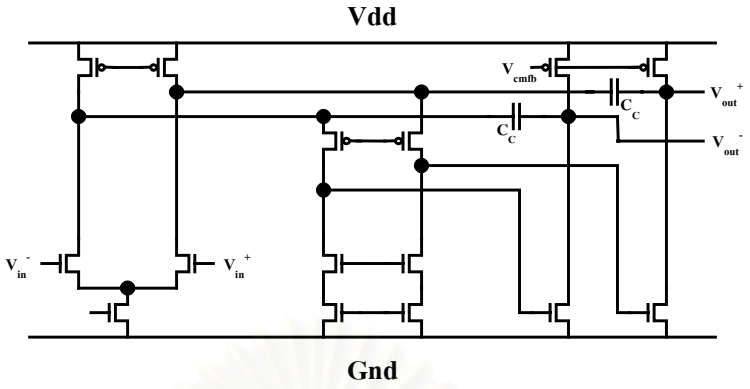
โครงสร้างของออปแอมป์	ช่วงแกว่งตัวของแรงดันขาออก	ช่วงแรงดัน-โหมดร่วมขาเข้า	อัตราขยายไฟตรง
วงจรคู่ผลต่าง (Differential pair)	กว้าง	กว้าง	ต่ำ
วงจรขยาย 2 ขั้นตอน (2-stage opamp)	กว้าง	กว้าง	ประมาณ 60 dB
วงจรแคสโคดแบบพับ (Folded-cascode opamp)	แคบ	กว้าง	ประมาณ 60 dB
วงจรแบบเทเลสโคปิก (Telescopic opamp)	แคบ	แคบ	ประมาณ 60 dB

จากตารางที่ 4.1 โครงสร้างของออปแอมป์ทั้ง 4 แบบไม่สามารถนำมาใช้ได้ เนื่องจากอัตราขยายไฟตรงไม่สูงพอ ดังนั้นจึงเลือกออปแอมป์ที่มีโครงสร้างผสมระหว่างแคสโคดแบบพับและวงจรขยายแบบ 2 ขั้นตอน โดยเลือกขั้นตอนขยายที่ 1 เป็นแบบแคสโคดแบบพับ เนื่องจากสามารถรับช่วงแรงดันโหมดร่วมขาเข้าได้กว้าง และให้อัตราขยายสูงกว่าวงจรคู่ผลต่างมาก ส่วนขั้นตอนขยายที่ 2 เลือกเป็นวงจรขยายแบบซอร์สร่วม เพราะจะทำให้ออปแอมป์มีช่วงแกว่งตัวของสัญญาณขาออกกว้าง ซึ่งโครงสร้างดังกล่าวได้แสดงไว้ในรูปที่ 4.1 นอกจากนี้โครงสร้างแบบนี้ยังสามารถออกแบบให้มีอัตราขยายสูงกว่า 80 dB ได้โดยง่ายอีกด้วย



รูปที่ 4.1 โครงสร้างออปแอมป์แบบผสมระหว่างวงจรแคสโคดแบบพับ และวงจรขยาย 2 ขั้นตอน

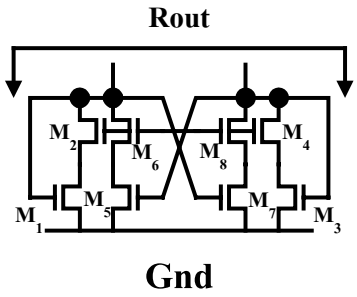
วงจรขยายที่มีขั้นตอนขยาย 2 ขั้นมีปัญหาด้านเสถียรภาพเมื่อมีการป้อนกลับ ดังนั้นจำเป็นต้องมีการชดเชยเฟสโดยการเติมตัวเก็บประจุคร่อมระหว่างปมขาออกของขั้นตอนที่ 1 และปมขาออกของขั้นตอนที่ 2 (ดังที่แสดงในรูปที่ 4.1) แต่การชดเชยเฟสลักษณะนี้มีข้อเสียคือตัวเก็บประจุ C_C จะทำให้เกิดศูนย์ขึ้นในระบบ และตำแหน่งของศูนย์ตัวนี้ขึ้นกับค่าทรานส์คอนดักแตนซ์ของกิ่งขาออกของออปแอมป์ทำให้ต้องไบแอสกระแสจำนวนมากที่กิ่งขาออกของออปแอมป์เพื่อทำให้ศูนย์ของออปแอมป์ไปอยู่ที่ความถี่สูงจะได้ไม่ส่งผลกระทบต่อย่านความถี่ที่ทำงานของออปแอมป์ การชดเชยเฟสลักษณะนี้จึงไม่เหมาะที่จะนำมาใช้ในการออกแบบตัวแปลงแอนะลอกเป็นดิจิทัลที่ต้องการการกินกำลังงานต่ำ ดังนั้นจึงปรับวิธีการชดเชยเฟสใหม่เป็นดังรูปที่ 4.2 เรียกวิธีการชดเชยเฟสแบบนี้ว่า การชดเชยแบบแคสโคด (Cascode compensation) [23]



รูปที่ 4.2 โครงสร้างออปแอมป์ที่เป็นการชดเชยเฟสแบบแคสโคด

การชดเชยเฟสของวงจรในรูปที่ 4.2 นี้จะทำให้ระบบของออปแอมป์กลายเป็นระบบที่มีสามขั้ว สองศูนย์ ซึ่งออกแบบยาก แต่สามารถออกแบบให้ผ่านข้อกำหนดเดียวกันโดยไม่จำเป็นต้องไบแอสกระแสจำนวนมากที่กิ่งขาออกของออปแอมป์เพื่อย้ายศูนย์ไปที่ความถี่สูงเหมือนกับวงจรในรูปที่ 4.1 ดังนั้นในวิทยานิพนธ์นี้จึงเลือกใช้โครงสร้างออปแอมป์ที่มีการชดเชยเฟสแบบแคสโคด

วงจรออปแอมป์ที่ออกแบบเลือกใช้เป็นแบบฟูลลีดิฟเฟอเรนเชียล เนื่องจากจะได้ช่วงแกว่งตัวของแรงดันขาออกสูงขึ้น และแรงดันขาออกยังมีความผิดพลาดต่างๆ ลดลง เนื่องจากความผิดพลาดของแรงดันขาออกแต่ละข้างที่เหมือนกันจะถูกหักล้างกันไป ออปแอมป์ที่เป็นแบบฟูลลีดิฟเฟอเรนเชียลต้องมีวงจรป้อนกลับสัญญาณโหมดร่วม และการป้อนกลับสัญญาณโหมดร่วมของวงจรขยายแบบ 2 ขั้นตอนต้องป้อนกลับไปที่วงจรขยายขั้นตอนที่ 1 แต่สัญญาณแรงดันขาออกของวงจรขยายแบบ 2 ขั้นตอนมีเฟสตรงกับสัญญาณแรงดันขาเข้าทำให้การป้อนกลับเป็นการป้อนกลับแบบบวก ซึ่งจะทำให้การป้อนกลับแรงดันโหมดร่วมไม่มีเสถียรภาพ ดังนั้นการป้อนกลับสัญญาณโหมดร่วมจึงต้องมีวงจรขยายสำหรับทำหน้าที่กลับเฟสสัญญาณขาออกก่อนทำการป้อนกลับไปที่วงจรขยายในขั้นตอนที่ 1 และวงจรขยายสำหรับทำหน้าที่กลับเฟสสัญญาณนี้ต้องมีความเร็วเทียบเท่ากับความเร็วของออปแอมป์ การออกแบบวงจรส่วนนี้จึงกิน กำลังงานมาก ดังนั้นจึงเปลี่ยนโหลดของขั้นตอนที่ 1 จากแหล่งกระแสที่มีการแคสโคดเป็นแหล่งกระแสแบบไขว้ที่มีการแคสโคดดังรูปที่ 4.3 [20]



รูปที่ 4.3 แหล่งกระแสแบบไขว้ที่มีการแคสโคด

แหล่งกระแสที่มีการไขว้แบบนี้ ถ้าออกแบบให้ทรานซิสเตอร์ทุกตัวมีค่าทรานส์-คอนดักแตนซ์ (g_m) และความต้านทานขาออก (r_o) เท่ากันหมด แล้วทำการวิเคราะห์แบบจำลองสำหรับสัญญาณขนาดเล็ก (small-signal model) จะพบว่าความต้านทานขาออกในด้านโหมดร่วม ($R_{o,cm}$) ของแหล่งกระแสจะมีค่าต่ำ ทำให้แรงดันโหมดร่วมในขั้นตอนที่ 1 มีค่าคงที่ ขณะที่ในโหมดผลต่าง ($R_{o,dm}$) ทรานซิสเตอร์ M_1-M_4 ซึ่งทำหน้าที่เป็นโหลดที่มีความนำเป็นบวกและทรานซิสเตอร์ M_5-M_8 ซึ่งทำหน้าที่เป็นโหลดที่มีความนำเป็นลบ จะหักล้างกันทำให้ความต้านทานขาออกมีค่าสูง ดังนั้นอัตราขยายในโหมดผลต่างก็จะมีค่าสูง ซึ่งผลการวิเคราะห์จะได้ดังสมการที่ 4.1 และ สมการที่ 4.2

$$R_{o,cm} \approx \frac{1}{2g_m} \tag{4.1}$$

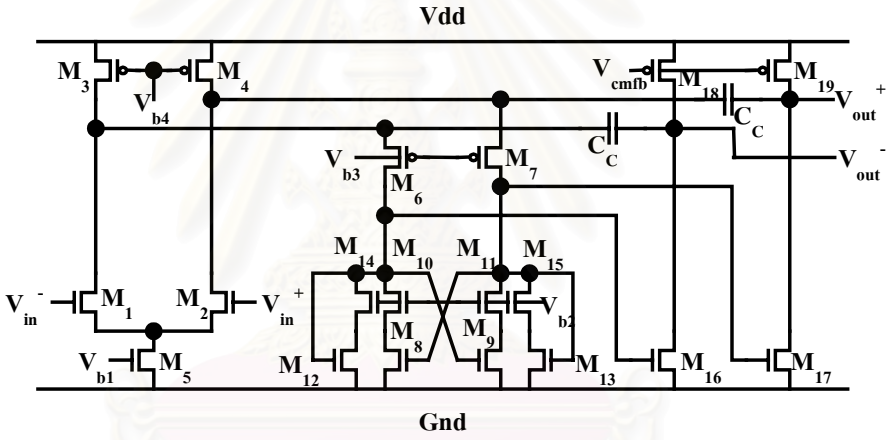
$$R_{o,dm} = \frac{r_o(2+g_m r_o)}{2} \approx \frac{g_m r_o^2}{2} \tag{4.2}$$

ในกรณีที่ทรานซิสเตอร์มีค่าทรานส์คอนดักแตนซ์ไม่เข้าคู่กัน จะทำให้สมการที่ 4.1 และสมการที่ 4.2 เปลี่ยนไป ซึ่งการวิเคราะห์จะละเลยการไม่เข้าคู่ของทรานซิสเตอร์ที่ทำหน้าที่แคสโคดเนื่องจากมีผลกระทบน้อย ผลของการวิเคราะห์แยกได้ 2 กรณี กรณีแรกคือทรานซิสเตอร์ M_1 และ M_3 มีทรานส์คอนดักแตนซ์สูงกว่าทรานซิสเตอร์ M_5 และ M_7 ซึ่งกรณีนี้ความต้านทานขาออกโหมดร่วมจะเปลี่ยนเป็นดังสมการที่ 4.3 ซึ่งยังมีค่าต่ำอยู่ และความต้านทาน ขาออกโหมดผลต่างจะมีค่าลดลงจากสมการที่ 4.2 จะส่งผลให้อัตราขยายโหมดผลต่างลดลง แต่ ออปแอมป์ที่ออกแบบนี้มีอัตราขยายสูงกว่าข้อกำหนดมาก ดังนั้นการไม่เข้าคู่กรณีนี้จึงไม่มีผลต่อการทำงานรวมของวงจร การไม่เข้าคู่ของทรานส์คอนดักแตนซ์อีกลักษณะหนึ่งคือทรานซิสเตอร์ M_5 และ M_7 มีทรานส์คอนดักแตนซ์สูงกว่าทรานซิสเตอร์ M_1 และ M_3 กรณีนี้ค่าความต้านทานขาออกโหมดร่วมจะยังคงเป็นดังสมการที่ 4.3 แต่ความต้านทานขาออกโหมดผลต่างจะเปลี่ยนเป็นดังสมการที่ 4.4

$$R_{o,dm} \approx \frac{1}{2(g_m + \Delta g_m)} \tag{4.3}$$

$$R'_{o,dm} \approx \frac{r_o(g_m r_o + 2)\left((g_m + \Delta g_m) r_o + 2\right)}{2(g_m r_o + 2) - r_o \Delta g_m (g_m r_o)^2} \tag{4.4}$$

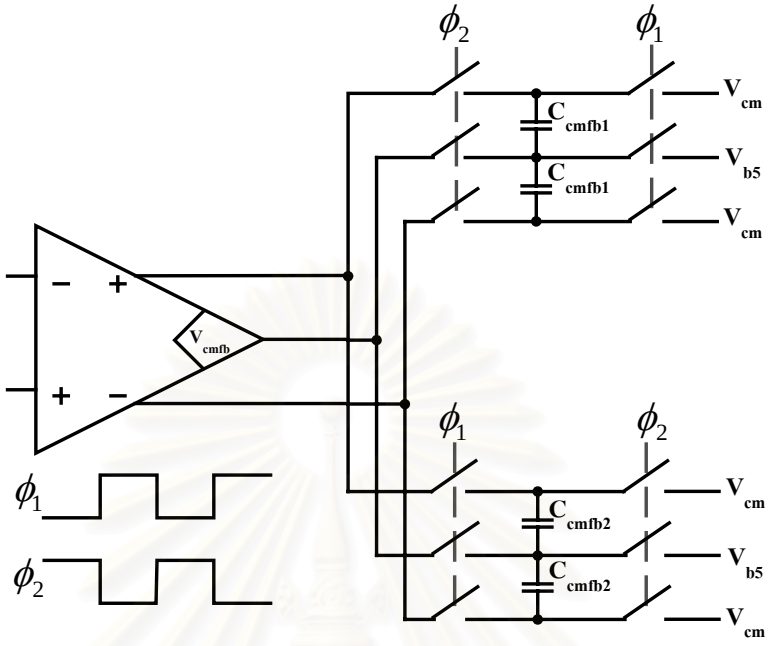
เมื่อนำวงจรในรูปที่ 4.3 มาใช้แทนโหลดไวงาน(active load) ที่มีการแคสโคดแบบปกติ วงจรในรูปที่ 4.2 จึงกลายมาเป็นวงจรในรูปที่ 4.4 ซึ่งวงจรในรูปนี้จะมีแรงดันโหมดร่วมในขั้นตอนที่ 1 คงที่โดยที่ไม่จำเป็นต้องมีการป้อนกลับสัญญาณโหมดร่วม การป้อนกลับสัญญาณโหมดร่วมจึงทำภายในขั้นตอนที่ 2 เท่านั้น ทำให้ไม่จำเป็นต้องมีวงจรขยายสำหรับกลับเฟสสัญญาณอีกต่อไป วงจรป้อนกลับสัญญาณโหมดร่วมจึงเลือกใช้แบบสวิตช์ตัวเก็บประจุเพราะไม่มีการกินกำลังงานไฟฟ้ากระแสตรง แต่ต้องมีชุดป้อนกลับสองชุดเนื่องจากการใช้เทคนิคการชักตัวอย่างสองเท่า วงจรป้อนกลับสัญญาณโหมดร่วมที่ใช้แสดงในรูปที่ 4.5



รูปที่ 4.4 วงจรออปแอมป์ที่ใช้ในการออกแบบจริง

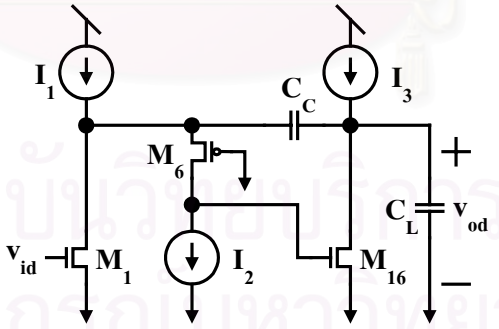
ตารางที่ 4.2 อัตราส่วน W/L ของทรานซิสเตอร์ของวงจรในรูปที่ 4.4 สำหรับขั้นตอนที่ 1

ทรานซิสเตอร์	W/L	ทรานซิสเตอร์	W/L	ทรานซิสเตอร์	W/L
M_1	30/0.5	M_8	20/1	M_{14}	20/1
M_2	30/0.5	M_9	20/1	M_{15}	20/1
M_3	60/0.5	M_{10}	20/1	M_{16}	70/0.8
M_4	60/0.5	M_{11}	20/1	M_{17}	70/0.8
M_5	60/1	M_{12}	20/1	M_{18}	300/1
M_6	80/0.5	M_{13}	20/1	M_{19}	300/1
M_7	80/0.5				



รูปที่ 4.5 วงจรป้อนกลับสัญญาณโหมดร่วมสำหรับวงจรที่ใช้เทคนิคการชักตัวอย่างสองเท่า

วงจรในรูปที่ 4.5 อาศัยตัวเก็บประจุ 2 ชุดทำงานสลับเฟสกัน ขณะที่ C_{cmfb1} ทำการรีเซ็ตค่าแรงดัน C_{cmfb2} จะทำการเฉลี่ยแรงดันขาออกและป้อนกลับเข้าไปที่กิ่งขาออกของออปแอมป์ และเมื่อ C_{cmfb1} ทำการป้อนกลับ C_{cmfb2} ก็จะทำการรีเซ็ตค่าแรงดันแทน โดยแรงดันที่ทำการรีเซ็ตคือแรงดันโหมดร่วมขาออกที่ต้องการ (V_{cmo}) และแรงดันไบแอส V_{b5} จากวงจรไบแอส

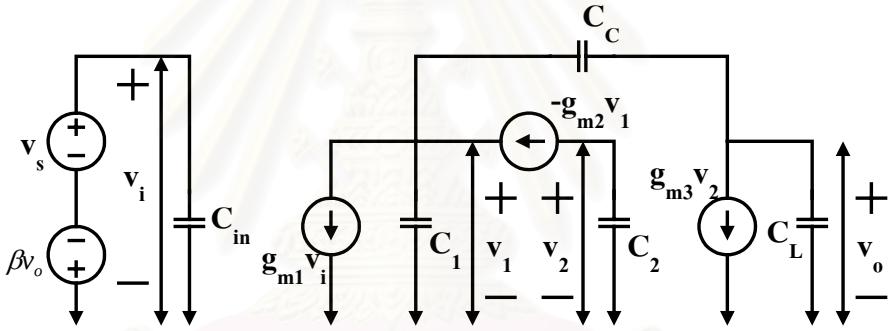


รูปที่ 4.6 แบบจำลองครึ่งวงจร(Half circuit) ของวงจรในรูปที่ 4.4

วงจรในรูปที่ 4.4 สามารถลดความซับซ้อนลงได้ด้วยเทคนิคครึ่งวงจรจะได้ผลการวิเคราะห์เป็นระบบที่มี 3 ขั้ว 2 ศูนย์ โดยมีขั้วหลักเป็นขั้วจริง ขั้วที่สองและสามเป็นขั้วเชิงซ้อน และศูนย์ทั้งสองเป็นศูนย์จริงที่มีความถี่เท่ากันแต่อยู่คนละด้านของแกนจินตภาพ ซึ่งจะกล่าวรายละเอียดต่อไป

การออกแบบระบบที่มี 3 ขั้ว ด้วยวิธีการประมาณระบบให้เป็นระบบที่มี 1 ขั้วตามวิธีปกตินั้นมีความผิดพลาดสูง และต้องใช้กำลังงานมากในการออกแบบให้ขั้วที่ 2 และ 3 ออกไปไกลจนไม่ส่งผลกระทบต่อระบบทั้งหมด ดังนั้นการออกแบบในวิทยานิพนธ์นี้จึงใช้วิธีกำหนดตำแหน่งของขั้ววงปิด(Closed-loop poles placement) แล้วจึงคำนวณค่าพารามิเตอร์ต่างๆ ของวงจร[24] ซึ่งวิธีนี้มีข้อดีคือมีการนำขั้วที่สองและสามเข้ามาช่วยให้ผลตอบเร็วขึ้นได้อีกด้วย ดังนั้นออปแอมป์จึงสามารถออกแบบให้มีแบนด์วิดธ์น้อยกว่าวิธีออกแบบปกติได้

วิธีการออกแบบดังกล่าวทำได้โดยนำวงจรออปแอมป์มาป้อนกลับด้วยตัวประกอบการป้อนกลับ β แล้วทำการวิเคราะห์หาแบบจำลองสัญญาณขนาดเล็กหลังจากทำการป้อนกลับโดยละเลยความต้านทานขาออกของทรานซิสเตอร์(ถ้าหากไม่ละเลยความต้านทานขาออกของทรานซิสเตอร์จะพบว่าแบนด์วิดธ์ของออปแอมปจะเปลี่ยนไปเพียงเล็กน้อย [24]) ซึ่งจะได้วงจรดังรูปที่ 4.7 และฟังก์ชันโอนย้ายวงรอบปิดดังสมการที่ 4.5



รูปที่ 4.7 แบบจำลองสัญญาณขนาดเล็กของวงจรในรูปที่ 4.6 เมื่อต่อป้อนกลับแล้ว

$$\frac{V_o(s)}{V_s(s)} = \frac{\frac{g_{m1}}{C_2C_T^2}(g_{m2}g_{m3} - C_2C_Cs^2)}{s^3 + \left[\frac{g_{m2}(C_L + C_C) - \beta g_{m1}C_C}{C_T^2}\right]s^2 + \frac{g_{m2}g_{m3}C_C}{C_2C_T^2}s + \frac{\beta g_{m1}g_{m2}g_{m3}}{C_2C_T^2}} \quad (4.5)$$

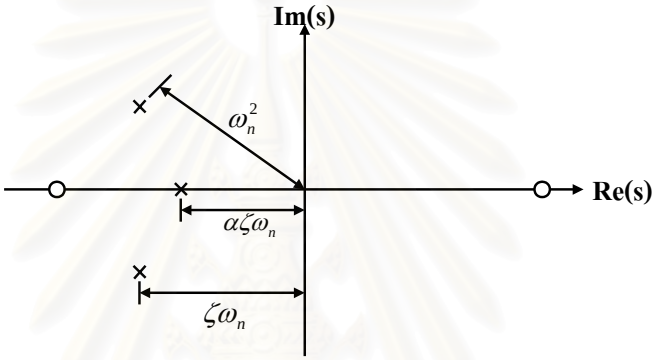
โดยที่ $C_T = C_1C_L + C_1C_C + C_LC_C$

จากหลักการป้อนกลับจะพบว่าตำแหน่งของศูนย์จะไม่เปลี่ยนแปลงทั้งในกรณีระบบวงรอบเปิดและระบบวงรอบปิด ดังนั้นตำแหน่งของศูนย์ของระบบ (ω_Z) จะได้ดังสมการที่ 4.6 ซึ่งจะพบว่าตำแหน่งของศูนย์ทั้ง 2 ตัวอยู่ที่ความถี่เดียวกันแต่ตัวหนึ่งอยู่ด้านซ้ายของแกนจินตภาพ และอีกตัวหนึ่งอยู่ด้านขวาของแกนจินตภาพ ทำให้ศูนย์ทั้ง 2 ตัวไม่ส่งผลต่อขอบของเฟส (phase margin) ของระบบ

$$\omega_Z = \pm\sqrt{\frac{g_{m2}g_{m3}}{C_2C_C}} \tag{4.6}$$

สิ่งสำคัญที่ส่งผลต่อการทำงานของระบบก็คือขั้วทั้งสาม การออกแบบจะเริ่มด้วยการวางตำแหน่งของขั้ววงรอบปิดตามรูปที่ 4.8 จะได้ว่าตำแหน่งของขั้วทั้ง 3 ขั้วขึ้นอยู่กับพารามิเตอร์ 3 ค่าคือ α, ζ, ω_n ดังนั้นการกำหนดตำแหน่งของขั้ววงรอบปิดจะสามารถทำได้โดยกำหนดจากพารามิเตอร์ทั้ง 3 ค่านี้ เมื่อพิจารณาตัวหารของสมการที่ 4.5 (กำหนดให้เป็น D(s)) จะพบว่าสามารถแยกตัวประกอบได้ดังสมการที่ 4.7

$$D(s) = (s + \alpha\zeta\omega_n)(s^2 + 2\zeta\omega_n s + \omega_n^2) \tag{4.7}$$



รูปที่ 4.8 ตำแหน่งขั้วและศูนย์วงรอบปิดของระบบ

เมื่อนำสมการที่ 4.5 และ 4.5 มาพิจารณาร่วมกันจะสามารถหาความสัมพันธ์ระหว่างค่าพารามิเตอร์ทั้ง 3 ค่านี้กับทรานส์คอนดักแตนซ์ของทรานซิสเตอร์แต่ละตัวได้ดังนี้

$$(2 + \alpha)\zeta\omega_n = \frac{g_{m2}(C_L + C_C) - \beta g_{m1}C_C}{C_T^2} \tag{4.8}$$

$$(1 + 2\alpha\zeta^2)\omega_n^2 = \frac{g_{m2}g_{m3}C_C}{C_2C_T^2} \tag{4.9}$$

$$\alpha\zeta\omega_n^3 = \frac{\beta g_{m1}g_{m2}g_{m3}}{C_2C_T^2} \tag{4.10}$$

การกำหนดตำแหน่งของขั้ววงรอบปิดทั้ง 3 ขั้วนี้ต้องขึ้นอยู่กับข้อกำหนดด้านความเร็ว ซึ่งจะพิจารณาได้จากผลตอบต่อสัญญาณขั้น(step response) และค่าผิดพลาดของการเข้าที่ ดังนั้นรูปแบบสัญญาณที่เป็นผลตอบต่อสัญญาณขั้นก็จะขึ้นอยู่กับพารามิเตอร์ α, ζ, ω_n ด้วย ดังสมการที่ 4.11

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

$$v_o(t) = A_{cl}\left[1 - \frac{e^{-\alpha\zeta\omega_n t}}{(1-2\alpha\zeta^2+\alpha^2\zeta^2)} - \frac{\alpha\zeta e^{-\zeta\omega_n t}}{(1-2\alpha\zeta^2+\alpha^2\zeta^2)}\left((-2+\alpha)\zeta\cos\gamma + \frac{(1-2\zeta^2+\alpha\zeta^2)}{\sqrt{1-\zeta^2}}\sin\gamma\right)\right] \quad (4.11)$$

โดยกำหนดให้ A_{cl} คืออัตราขยายวงรอบปิด และ $\gamma = \omega_n t\sqrt{1-\zeta^2}$

ค่าผิดพลาดของการเข้าที่ที่เวลา t ใดๆ ถูกกำหนดจากสมการที่ 4.12

$$e_{ss}(t) = \frac{v_o(t=\infty) - v_o(t=t_s)}{v_o(t=\infty)} \quad (4.12)$$

เมื่อนำสมการที่ 4.11 แทนลงไปในสมการที่ 4.12 แล้วนำสมการที่ 4.8 ถึงสมการที่ 4.12 มาทำการออปติไมซ์ด้วยคอมพิวเตอร์ โดยการทดลองเปลี่ยนค่าพารามิเตอร์ทั้งสามให้ได้ค่าผิดพลาดของการเข้าที่ที่ต้องการ (e_{ss}) คือ 0.05% ภายในเวลา 18 ns (จากข้อกำหนดของออปแอมป์ในขั้นตอนที่ 1 ซึ่งกล่าวไว้ในบทที่ 3) แล้วจึงนำไปคำนวณการกินกำลังงานโดยพิจารณาจากสมการที่ 4.8 ถึงสมการที่ 4.10 จนได้ค่าพารามิเตอร์ที่ทำให้การกินกำลังงานมีค่าต่ำที่สุดคือ $\alpha = 0.9$, $\zeta = 0.85$ และ $\omega_n t = 11.2$ rad ดังนั้นที่ $t = t_s = 18$ ns จะได้ $\frac{\omega_n}{2\pi} = 99.0$ MHz แต่การออกแบบจะเผื่อเวลาไว้สำหรับความผันผวนของกระบวนการผลิตด้วย จึงออกแบบไว้ที่ $t = t_s = 14$ ns ได้ $\frac{\omega_n}{2\pi} = 127.3$ MHz และเมื่อคิดแบนด์วิดธ์วงรอบปิด (close-loop bandwidth) สำหรับออปแอมป์ในขั้นตอนที่ 1 จะได้ $\beta\omega_U = \alpha\zeta\omega_n = 2\pi(97.4MHz)$

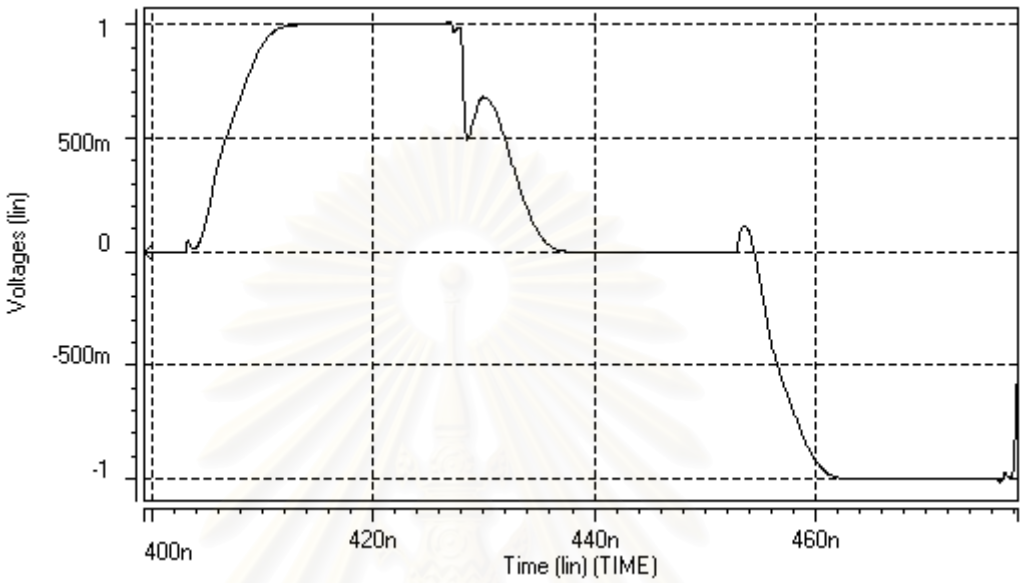
ภายหลังจากการทำออปติไมซ์แล้ว จะใช้สมการที่ 4.6, 4.11, 4.12 และ 4.13[23] ในการออกแบบออปแอมป์หลัก ซึ่งจากรูปที่ 4.8 พบว่าขั้วที่ 2 และ 3 (ω_{P_2,P_3}) จะเป็นขั้วสังยุคเชิงซ้อนกัน (complex conjugate poles) สามารถหาได้จากสมการที่ 4.14 และขั้วทั้งสองนี้มีตัวประกอบคุณภาพ (Quality factor : Q_P) เป็นดังสมการที่ 4.15

$$\omega_U \approx \frac{g_{m1}}{C_C} \quad (4.13)$$

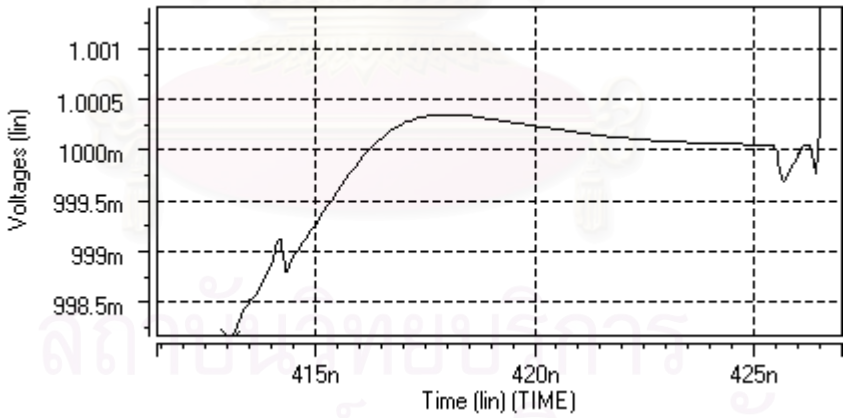
$$\omega_{P_2,P_3} \approx \sqrt{\frac{g_{m2}g_{m3}}{C_2 C_L}} \quad (4.14)$$

$$Q_P \approx \frac{C_C}{C_C + C_L}\sqrt{\frac{g_{m3}C_L}{g_{m2}C_2}} \quad (4.15)$$

การออกแบบได้ผลการจำลองผลตอบชั่วครู่สำหรับออปแอมป์ในขั้นตอนที่ 1 เป็นดังรูปที่ 4.9 และ



รูปที่ 4.9 ผลตอบชั่วครู่ของออปแอมป์ในขั้นตอนที่ 1



รูปที่ 4.10 ภาพขยายของผลตอบชั่วครู่ขณะที่มีการเข้าที่แล้ว

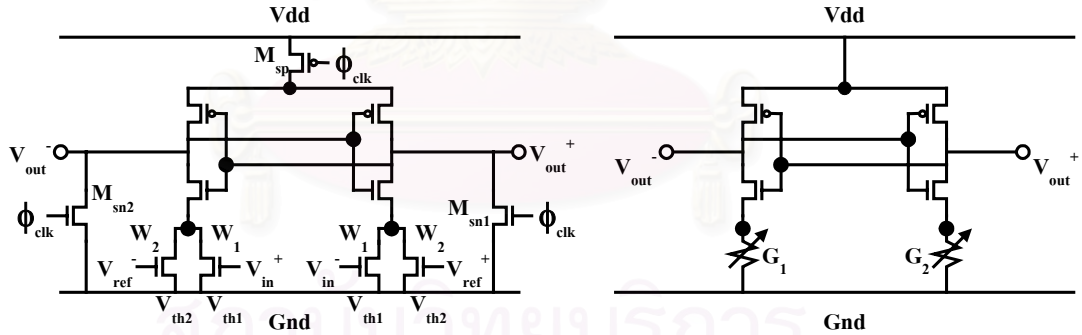
จากรูปที่ 3.1 จะเห็นว่าขั้นตอนที่ 4 ถึงขั้นตอนที่ 8 ออปแอมป์ต้องขับโหลดตัวเก็บประจุขนาดเท่ากันหมด ดังนั้นจึงย่อขนาดออปแอมป์ถึงขั้นตอนที่ 4 เท่านั้น ผลการจำลองการทำงานของออปแอมป์ในแต่ละขั้นตอนที่กระบวนการผลิต และเงื่อนไขการใช้งานต่างๆ สรุปได้ดังตารางที่ 4.3 การกินกำลังงานรวมของออปแอมป์ทุกตัวเท่ากับ 11.5 mW

ตารางที่ 4.3 ผลการจำลองการทำงานของออปแอมป์ในแต่ละขั้นตอน

Stage	Typical		Slow		Fast		Power (mw)
	DC Gain (dB)	Settling time (ns)	DC Gain (dB)	Settling time (ns)	DC Gain (dB)	Settling time (ns)	
1	91.3	13.1	98.1	14.1	88.0	12.0	3.0
2	97.2	14.9	95.4	16.6	92.9	13.4	2.0
3	98.5	15.7	97.0	16.9	94.3	14.6	1.5
4 - 8	98.5	15.7	97.4	17.6	93.7	14.4	1.0

4.1.2 การออกแบบตัวเปรียบเทียบ

ตัวเปรียบเทียบที่ใช้ในตัวแปลงแอนะลอกเป็นดิจิทัลแบบไปป์ไลน์ที่มีการแก้ไขความผิดพลาดแบบดิจิทัลสามารถทนออฟเซตเนื่องจากตัวเปรียบเทียบได้ถึง $\pm\frac{V_{ref}}{4}$ ดังนั้นการออกแบบตัวเปรียบเทียบจึงเลือกโครงสร้างแบบที่มีการกินกำลังงานต่ำที่สุด ซึ่งก็คือตัวเปรียบเทียบแบบพลวัต (dynamic comparator) รูปที่ 4.11(ก) แสดงวงจรตัวเปรียบเทียบพลวัตที่เลือกใช้ในวิทยานิพนธ์นี้ ซึ่งได้ดัดแปลงมาจากงานวิจัยก่อนหน้า[10]-[12] แต่ยังคงใช้หลักการเดิม



(ก) (ข)

รูปที่ 4.11 วงจรตัวเปรียบเทียบพลวัตที่เลือกใช้

หลักการทำงานของตัวเปรียบเทียบแบบนี้แบ่งออกเป็น 2 ช่วงเวลาคือช่วงเวลารีเซ็ต(reset phase) และช่วงเวลาแลตช์ (latch phase) วงจรจะเข้าช่วงเวลารีเซ็ตเมื่อ ϕ = High สวิตช์ M_{sp} จะเปิดวงจร และสวิตช์ M_{sn1}, M_{sn2} จะปิดวงจร ทำให้วงจรส่วนที่ต่อกับแรงดันแหล่งจ่ายถูกเปิดออก และปมขาออกของตัวเปรียบเทียบจะถูกต่อลงดิน วงจรจะเข้าสู่ช่วงเวลาแลตช์เมื่อ ϕ = Low สวิตช์ M_{sp} จะปิดวงจร และสวิตช์ M_{sn1}, M_{sn2} จะเปิดวงจร ทำให้วงจรต่อในลักษณะเดียวกับรูปที่ 4.11(ข) ซึ่งในช่วงเวลานี้ทรานซิสเตอร์ที่ทำหน้าที่รับสัญญาณขาเข้าจะทำงานในย่านไตรโอด ข้างที่

มีความนำรวมสูงกว่าจะถูกดึงลงดินเร็วกว่าจากนั้นตัวแลตช์ที่อยู่ด้านบนซึ่งต่อในลักษณะของการป้อนกลับแบบบวกจะดึงสัญญาณที่ปมขาออกให้ต่างกันมากขึ้นเรื่อยๆ จนกระทั่งข้างหนึ่งมีแรงดันเท่ากับแรงดันแหล่งจ่าย และอีกข้างมีแรงดันเท่ากับดิน

แรงดันขีดเริ่มเปลี่ยนของตัวเปรียบเทียบ คือแรงดันขาเข้าที่ทำให้ความนำทั้งสองข้างของตัวเปรียบเทียบมีค่าเท่ากัน ซึ่งก็คือแรงดันขาเข้าที่ทำให้ $G_1=G_2$ นั่นเอง และค่าความนำทั้งสองมีค่าดังสมการต่อไปนี้

$$G_1 = k_n\left[\frac{W_1}{L}(V_{in}^{+} - V_{th}) + \frac{W_2}{L}(V_{ref}^{-} - V_{th})\right] \tag{4.15}$$

$$G_2 = k_n\left[\frac{W_1}{L}(V_{in}^{-} - V_{th}) + \frac{W_2}{L}(V_{ref}^{+} - V_{th})\right] \tag{4.16}$$

จากสมการที่ 4.15 และ 4.14 พบว่า $G_1 = G_2$ ก็ต่อเมื่อแรงดันขาเข้าตัวเปรียบเทียบมีค่าเท่ากับ $V_{in|th}$ ในสมการที่ 4.17 โดยที่ $V_{ref} = V_{ref}^{+} - V_{ref}^{-}$

$$V_{in|th} = \frac{W_2}{W_1}V_{ref} \tag{4.17}$$

เนื่องจากการออกแบบตัวแปลงแอนะลอกเป็นดิจิทัลย่อยในวิทยานิพนธ์นี้มีการแยกชัด 1.5 บิตต่อขั้นตอน ดังนั้นระดับแรงดันขีดเริ่มเปลี่ยนของตัวเปรียบเทียบจะอยู่ที่ $\pm\frac{V_{ref}}{4}$ การออกแบบจึงกำหนดให้ $W_1 = 4W_2$

ออฟเซตของตัวเปรียบเทียบในรูปที่ 4.11 เกิดจากความไม่เข้าคู่กันของทรานซิสเตอร์ขาเข้าแยกออกเป็นการไม่เข้าคู่ของขนาดทรานซิสเตอร์ 2 ขนาด ($\frac{\Delta W_1}{W_1}$, $\frac{\Delta W_2}{W_1}$) และการไม่เข้าคู่ของแรงดันขีดเริ่มเปลี่ยน (threshold voltage) ของทรานซิสเตอร์ 2 ขนาด (ΔV_{th1}, ΔV_{th2}) และเมื่อคิดผลของความไม่เข้าคู่ทั้งหมดนี้ จะทำให้สมการที่ 4.17 เปลี่ยนไปเป็นสมการที่ 4.18

$$V_{in|th} \approx \frac{W_2}{W_1}V_{ref} + \frac{\Delta W_2}{W_1}\left(V_{ref}^{+} - V_{th1}\right) - \frac{W_2}{W_1}\Delta V_{th1} - \Delta V_{th2} - \frac{\Delta W_1}{W_1}\left(V_{th2} - V_{in}^{-}\right) \tag{4.18}$$

ดังนั้นแรงดันออฟเซต (V_{offset}) จะเป็นดังสมการที่ 4.19 ซึ่งจะเห็นว่าออฟเซตของตัวเปรียบเทียบสามารถจำแนกได้เป็น 2 แบบได้แก่ ออฟเซตแบบคงตัว (Static offset) คือออฟเซตที่

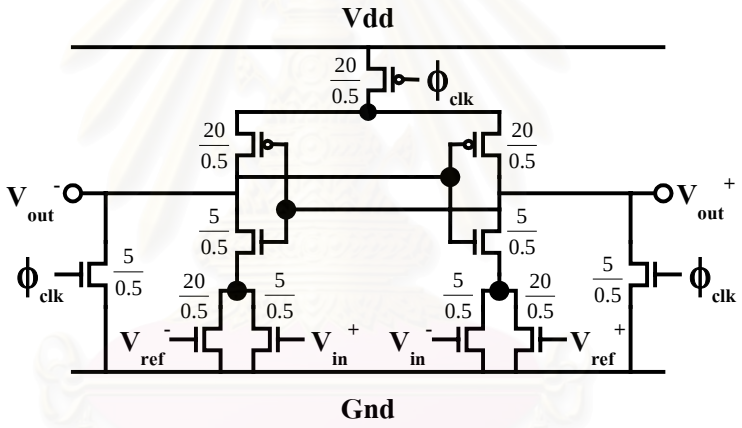
เกิดขึ้นและมีค่าคงที่ไม่ขึ้นกับสัญญาณขาเข้า และออฟเซตแบบพลวัต (Dynamic offset) คือออฟเซตที่เปลี่ยนแปลงค่าได้ขึ้นกับสัญญาณขาเข้า ดังจะเห็นได้ในพจน์สุดท้ายของสมการที่ 4.19

$$V_{offset} \approx \frac{\Delta W_2}{W_1}\left(V_{ref}^{+} - V_{th1}\right) - \frac{W_2}{W_1}\Delta V_{th1} - \Delta V_{th2} - \frac{\Delta W_1}{W_1}\left(V_{th2} - V_{in}^{-}\right) \qquad (4.19)$$

ความไม่เข้าคู่เหล่านี้เกิดจากกระบวนการผลิตวงจรรวมซึ่งเป็นการกระจายตัวแบบสุ่ม ดังนั้นจึงต้องเผื่อความไม่แน่นอนเหล่านี้โดยหากรณีที่เกิดออฟเซตสูงสุด ($V_{offset|max}$) ซึ่งเกิดเมื่อ $V_{in}^{-} = V_{ref}^{+}$ และสมมติให้การไม่เข้าคู่ทั้งหมดส่งผลให้เกิดออฟเซตในทิศทางเดียวกันจะพบว่าออฟเซตสูงสุดเป็นดังสมการที่ 4.20

$$V_{offset|\max} \approx \left|\frac{\Delta W_2}{W_1}\left(V_{ref}^{+} - V_{th1}\right)\right| + \left|\frac{W_2}{W_1}\Delta V_{th1}\right| + \left|\Delta V_{th2}\right| + \left|\frac{\Delta W_1}{W_1}\left(V_{th2} - V_{ref}^{+}\right)\right| \qquad (4.20)$$

อัตราส่วน W/L ของทรานซิสเตอร์ในวงจรตัวเปรียบเทียบแสดงได้ดังรูปที่ 4.12



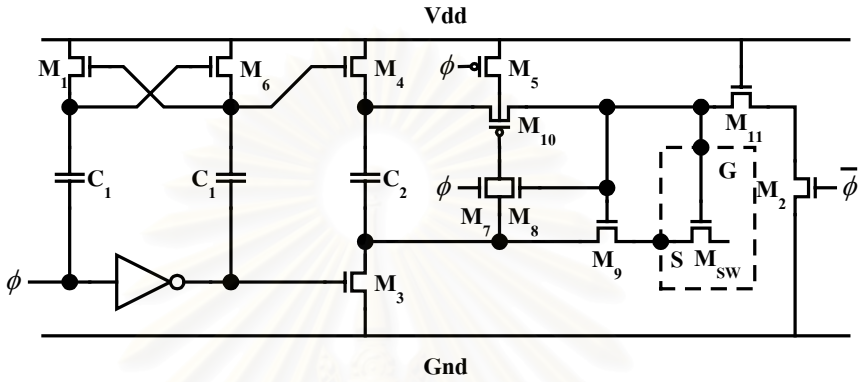
รูปที่ 4.12 วงจรตัวเปรียบเทียบที่ใช้พร้อมกับแสดงอัตราส่วน W/L ของทรานซิสเตอร์

จากการจำลองการทำงานพบว่าตัวเปรียบเทียบที่ออกแบบในวิทยานิพนธ์นี้มีออฟเซตต่ำกว่า 206 mV ด้วยความเชื่อมั่นทางสถิติ 99.87% (3σ) การกินกำลังงานเฉลี่ยของตัวเปรียบเทียบทั้งหมด 19 ตัวประมาณ 1.4 mW ช่วงเวลาขึ้น (rise time) และช่วงเวลาลง (fall time) ต่ำกว่า 2 ns

4.2 เทคนิคการออกแบบวงจรทำงานที่แรงดันต่ำ

วงจรที่ทำงานที่แรงดันแหล่งจ่ายค่าต่ำโดยเฉพาะวงจรประเภทสวิตช์ตัวเก็บประจุจะพบปัญหาแรงดันแหล่งจ่ายไม่สูงพอที่จะทำให้สวิตช์ต่อวงจรได้ และในกรณีที่สวิตช์สามารถต่อวงจรได้ก็จะมีความต้านทานสูงเกินไปจนใช้ไม่ได้ ปัญหาที่พบในวิทยานิพนธ์นี้คือความต้านทาน

ของสวิตช์มีค่าสูงเกินไปจนไม่สามารถใช้ได้กับตัวแปลง 10 บิต วิธีแก้ปัญหาคือนำวงจรบูตสแตรปมาใช้เปิดสวิตช์แทนการใช้แรงดันแหล่งจ่ายต่อกับเกตของสวิตช์โดยลำพัง ซึ่งวงจรบูตสแตรปที่ใช้ในวิทยานิพนธ์นี้คือวงจรในรูปที่ 4.13[2]-[3] วงจรนี้มีข้อดีคือแรงดันคร่อมขั้วต่างๆ ของทรานซิสเตอร์จะมีค่าไม่เกินแรงดันแหล่งจ่ายเสมอ ทำให้วงจรทำงานมีความเชื่อถือได้(Reliability)ที่ดี



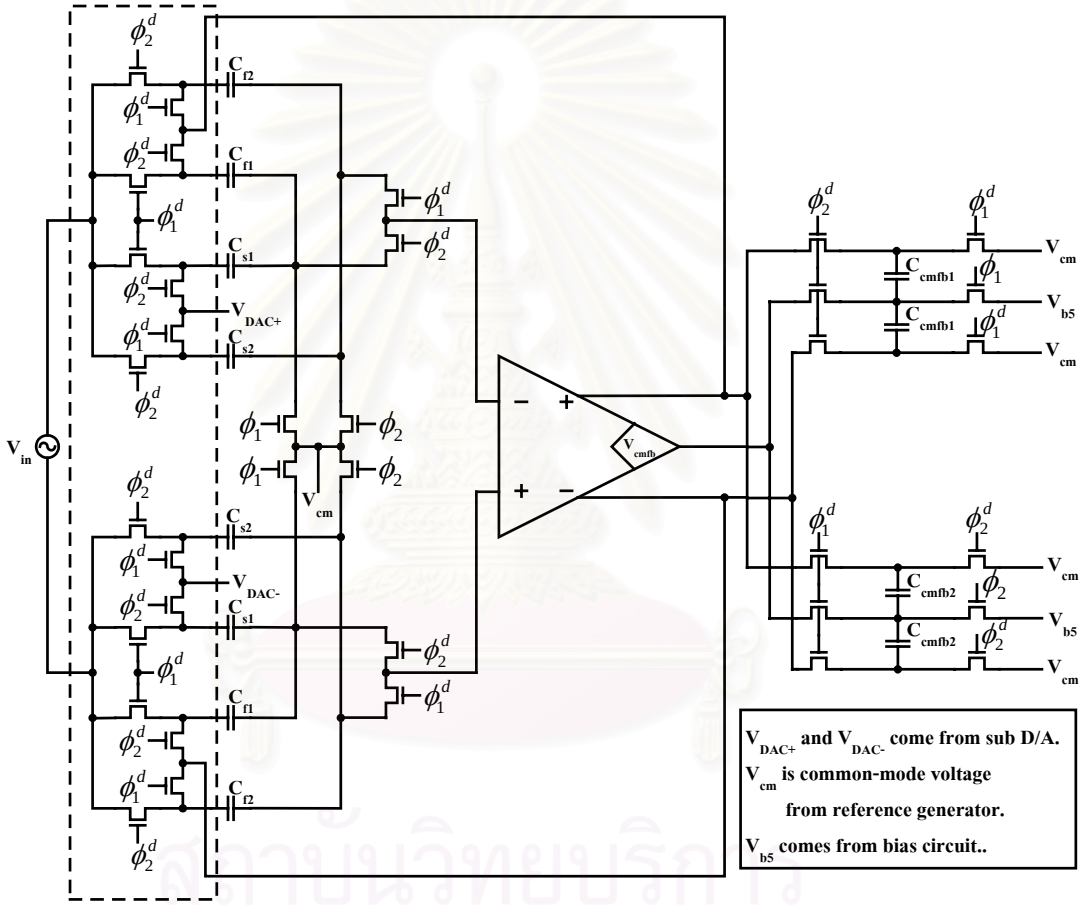
รูปที่ 4.13 วงจรบูตแสตรปที่ใช้ในการออกแบบ

การทำงานของวงจรบูตสแตรปในวิทยานิพนธ์นี้ เริ่มจากกำหนดให้ ϕ เป็นสถานะสูงจะได้ว่า M_1 M_2 M_3 M_4 M_5 และ M_{11} ต่อวงจร ดังนั้น C_2 จะถูกต่อเข้ากับแรงดันแหล่งจ่าย (V_{dd}) เพื่อสะสมประจุสร้างแรงดันที่เท่ากับแรงดันแหล่งจ่ายเก็บไว้ และเกตของสวิตช์ (M_{SW}) จะถูกต่อลงดิน ดังนั้นสวิตช์จะถูกปิด และเมื่อ ϕ เป็นสถานะต่ำจะได้ว่า M_6 M_7 M_8 M_9 M_{10} ต่อวงจรทำให้ C_2 ถูกนำมาต่อคร่อมเกต-ซอร์สของสวิตช์ ซึ่งแรงดันคร่อม C_2 ในขณะนี้มีค่าเท่ากับแรงดันแหล่งจ่าย ทำให้แรงดันคร่อมเกต-ซอร์สของสวิตช์ ($V_{GS,SW}$) เท่ากับแรงดันแหล่งจ่ายด้วย ดังนั้นสวิตช์จะถูกเปิดและต่อ วงจรได้ด้วยความต้านทานที่ต่ำพอจะใช้งานได้ แต่ถึงแม้ว่าในทางทฤษฎีแรงดันคร่อม C_2 จะมีค่าเท่ากับแรงดันแหล่งจ่าย แต่ในทางปฏิบัติที่เกต และซอร์สของสวิตช์ก็มีตัวเก็บประจุปรสิต (C_{par}) ต่ออยู่จำนวนหนึ่ง ซึ่งตัวเก็บประจุเหล่านี้จะทำให้มีประจุรั่วออกจาก C_2 ดังนั้นแรงดันคร่อมตัวเก็บประจุ C_2 จะมีค่าลดลงจากแรงดันแหล่งจ่ายกลายเป็นดังสมการที่ 4.21 ในวิทยานิพนธ์นี้เลือกค่าตัวเก็บประจุ C_1 เท่ากับ 50 fF และตัวเก็บประจุ C_2 เท่ากับ 700 fF

$$V_{GS,SW} = \frac{C_2 V_{dd}}{C_2 + C_{par}} \tag{4.21}$$

จากการจำลองผลการทำงานพบว่า วงจรบูตสแตรปหนึ่งวงจรที่ทำงานที่ความถี่ 40 MHz มีการกินกำลังงาน 44 μW ดังนั้นหากใช้วงจรบูตสแตรปกับสวิตช์ทุกตัวในวงจรก็จะทำให้การกินกำลังงานรวมของวงจรเพิ่มขึ้นสูงมาก จึงเลือกใช้วงจรบูตสแตรปกับสวิตช์บางตัวเท่านั้น สวิตช์ที่ต่อกับสัญญาณขาเข้าจะมีแรงดันคร่อมเกต-ซอร์สเปลี่ยนไปเรื่อยๆ ทำให้ความต้านทานของ

สวิตช์มีค่าสูงมากในกรณีที่แรงดันขาเข้ามีค่าสูง นอกจากนั้นสวิตช์เหล่านี้ไม่ควรมีขนาดใหญ่เกินไป เพราะจะทำให้มีประจุฉีดจากสวิตช์ในขณะปิดสวิตช์จำนวนมาก ดังนั้นจึงลดความต้านทานโดยนำวงจรบูตสแตรปมาใช้กับสวิตช์เหล่านี้ วงจรขั้นตอนขยายที่มีการนำวงจรบูตสแตรปมาใช้แสดงไว้ดังรูปที่ 4.14 โดยสวิตช์ที่มีการใช้วงจรบูตสแตรปจะอยู่ในกรอบเส้นประจะเห็นว่าในหนึ่งขั้นตอนต้องใช้วงจรบูตสแตรปทั้งสิ้น 22 วงจร (มาจากขั้นตอนขยาย 16 วงจร และมาจาก ตัวแปลงดิจิทัลเป็นแอนะลอกย่อยอีก 6 วงจร) ทำให้การกินกำลังงานของวงจรบูตสแตรปทั้งหมด 22 x 8 = 176 วงจร คิดเป็น 7.74 mW

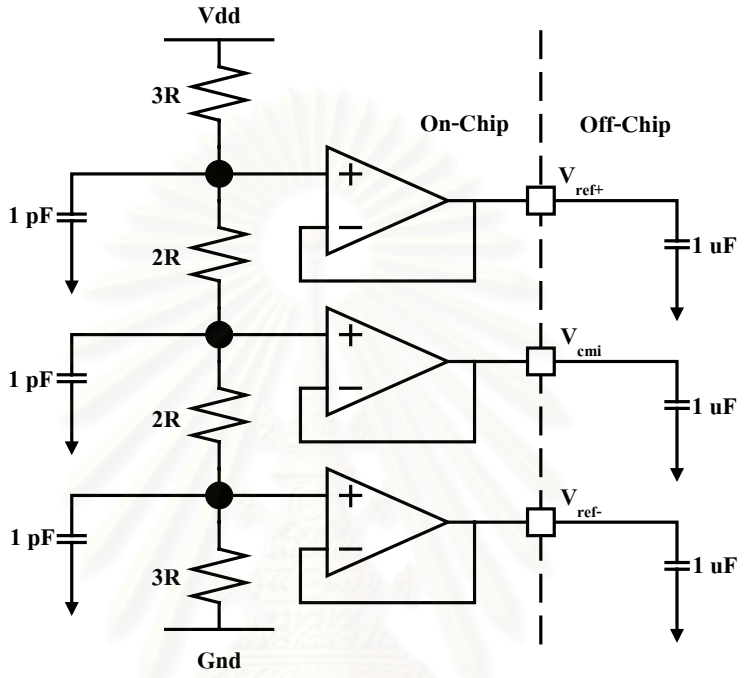


รูปที่ 4.14 วงจรขั้นตอนขยายที่มีการนำวงจรบูตสแตรปมาใช้กับสวิตช์บางตัว

4.3 วงจรกำเนิดแรงดันอ้างอิง

ตัวแปลงแอนะลอกเป็นดิจิทัลที่ออกแบบในวิทยานิพนธ์นี้ รับสัญญาณขาเข้าเป็นแบบผลต่าง ± 1V และทำงานที่แรงดันแหล่งจ่าย 2.5V ดังนั้นแรงดันอ้างอิงที่ต้องการมีอยู่ด้วยกัน 3 ค่าคือ V_{ref}^{+} =1.75 V, V_{ref}^{-} =0.75 V และแรงดันโหมดร่วม V_{cm} = 1.25 V การสร้างแรงดันอ้างอิงจะใช้ตัวต้านทานค่าใหญ่แบ่งแรงดันจากแหล่งจ่ายแรงดันเพื่อให้วงจรส่วนนี้มีการกินกำลังงานต่ำ จากนั้นนำแรงดันที่แบ่งได้ต่อเข้ากับวงจรบัฟเฟอร์แรงดันแล้วจึงนำไปจ่ายให้กับวงจรส่วนอื่นๆ แต่

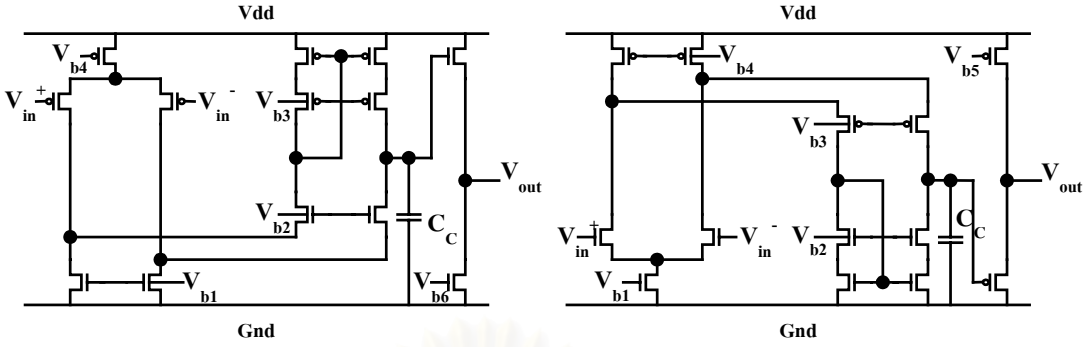
เนื่องจากการใช้ตัวต้านทานค่าใหญ่แบ่งแรงดันจะทำให้แรงดันอ้างอิงถูกรบกวนจากวงจรส่วนอื่นได้ง่ายโดยเฉพาะเวลาที่เกิดการสวิตช์ จึงจำเป็นต้องต่อตัวเก็บประจุลดผลของการรบกวน (Decoupling capacitor) เข้าไปด้วยดังแสดงในรูปที่ 4.15 และเนื่องจากตัวเก็บประจุภายในวงจรรวมมีขนาดจำกัดดังนั้นจึงต้องต่อตัวเก็บประจุเพิ่มจากภายนอกด้วย



รูปที่ 4.15 วงจรกำเนิดแรงดันอ้างอิง

วงจรบัฟเฟอร์แรงดันออกแบบด้วยออปแอมป์ต่อในลักษณะป้อนกลับอัตราขยายหนึ่ง (Unity-gain feedback) ซึ่งภาครับสัญญาณเข้าของออปแอมป์เป็นแบบคู่ผลต่าง แต่วงจรภาครับสัญญาณแบบคู่ผลต่างที่ทรานซิสเตอร์คู่รับสัญญาณเป็นทรานซิสเตอร์ชนิดพีไม่สามารถทำงานได้ที่สัญญาณแรงดันโหมดร่วมขาเข้า 1.75V ในขณะที่วงจรคู่ผลต่างที่ทรานซิสเตอร์คู่รับสัญญาณเป็นทรานซิสเตอร์ชนิดเอ็นไม่สามารถทำงานที่สัญญาณแรงดันโหมดร่วมขาเข้า 0.75V ได้ จึงต้องออกแบบออปแอมป์ที่นำมาใช้ในวงจรบัฟเฟอร์เป็น 2 แบบคือแบบที่รับสัญญาณแรงดัน 1.75V และแบบที่รับสัญญาณแรงดัน 1.25V กับ 0.75 V ดังที่แสดงในรูปที่ 4.16

ผลการจำลองการทำงานได้ออปแอมป์ทั้งสองแบบมีอัตราขยายไฟตรงประมาณ 2000 และความถี่อัตราขยายหนึ่งประมาณ 50 MHz ระดับสัญญาณรบกวนต่ำกว่า –70 dB วงจรบัฟเฟอร์แรงดัน 3 วงจรกินกำลังงานรวมทั้งหมดประมาณ 3 mW



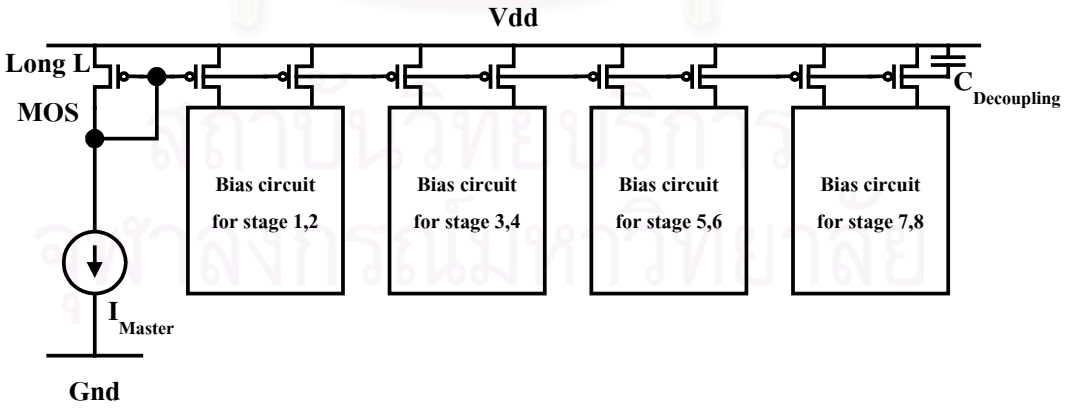
รูปที่ 4.16 วงจรออปแอมป์ที่นำมาใช้ในวงจรบัฟเฟอร์

(ก) วงจรออปแอมป์สำหรับแรงดัน 1.25V และ 0.75V

(ข) วงจรออปแอมป์สำหรับแรงดัน 1.75 V

4.4 วงจรไบแอส

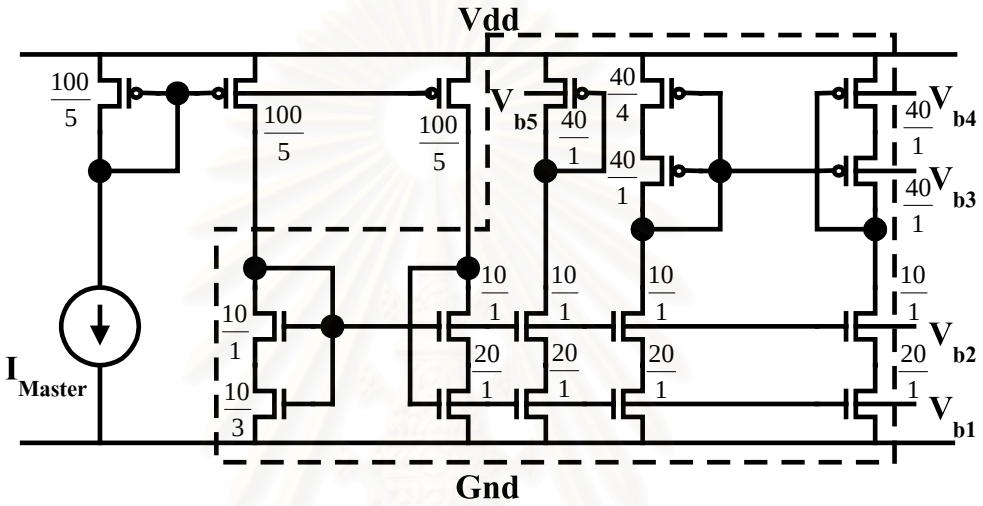
วงจรไบแอสแบ่งออกเป็นวงจรไบแอสออปแอมป์ในขั้นตอนขยาย และวงจรไบแอสออปแอมป์ในวงจรบัฟเฟอร์แรงดัน วงจรไบแอสทั้งสองแบบต่อในลักษณะไบแอสแบบแคสโคดแกว่งตัวช่วงกว้าง (Wide swing cascode bias) โดยแบ่งการไบแอสเป็น 2 ขั้นตอนต่อวงจรไบแอส 1 วงจรดังแสดงในรูปที่ 4.17 การไบแอสวงจรใช้แหล่งกระแสจากภายนอกขนาด 40 μA แล้วจึงใช้ทรานซิสเตอร์ที่มีความยาวช่องนำกระแสยาวมาสะท้อนกระแสป้อนให้วงจรไบแอสอื่นๆ การใช้ทรานซิสเตอร์ที่มีความยาวช่องนำกระแสยาวเพื่อให้ความต้านทานขาออกของตัวสะท้อนกระแสมีค่าสูงใกล้เคียงกับแหล่งกระแสในอุดมคติ



รูปที่ 4.17 วิธีการแบ่งการไบแอสสำหรับออปแอมป์แต่ละขั้นตอน

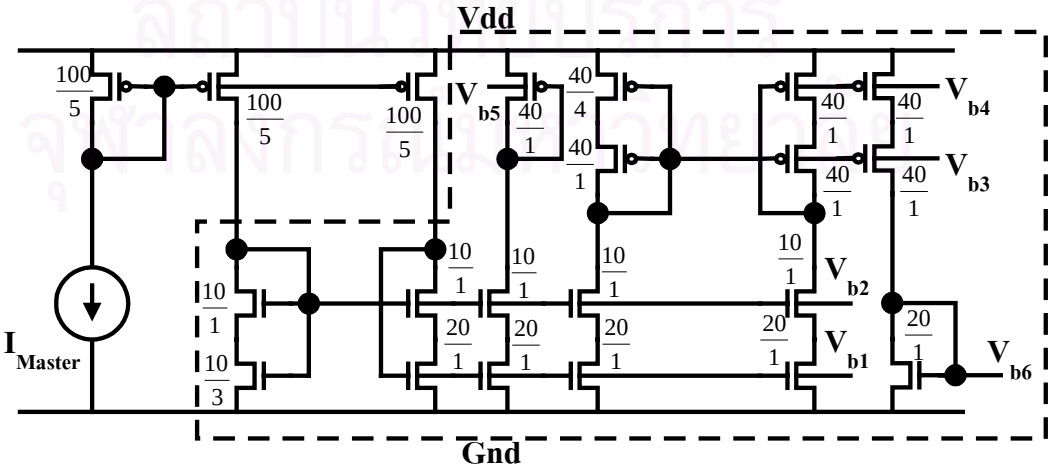
วงจรไบแอสแต่ละวงจรใช้โครงสร้างแบบเดียวกัน(ในกรอบเส้นประของรูปที่ 4.18) กระแสในแต่ละกิ่งออกแบบให้มีขนาดเท่ากับ 40 μA ยกเว้นวงจรไบแอสสำหรับขั้นตอนที่ 1

จะออกแบบให้กระแสที่ไหลผ่านกิ่งที่ไบแอส V_{b5} มีค่าเป็น 80 μA เนื่องจากแรงดัน V_{b5} เป็นแรงดันที่ใช้ไบแอสกิ่งขาออกของออปแอมป์ขั้นตอนที่ 1 ซึ่งมีการดึงกระแสประมาณ 300 μA แต่หลักการออกแบบโดยทั่วไปกิ่งที่ทำหน้าที่ไบแอสไม่ควรมีกระแสต่ำกว่ากิ่งที่ใช้งานเกิน 4 เท่า เพราะหากกระแสในกิ่งไบแอสต่างจากกิ่งที่ใช้งานเกิน 4 เท่า เมื่อเกิดความผิดพลาดในการผลิตวงจรรวม กระแสในกิ่งที่ใช้งานและกิ่งไบแอสจะไม่เป็นสัดส่วนกันตามที่ออกแบบ ดังนั้นจึงต้องออกแบบให้กระแสในกิ่งไบแอสและกิ่งที่ใช้งานมีขนาดต่างกันไม่เกิน 4 เท่า



รูปที่ 4.18 วงจรไบแอสออปแอมป์สำหรับแต่ละขั้นตอน

วงจรไบแอสสำหรับวงจรบัฟเฟอร์แรงดันจะใช้โครงสร้างในรูปที่ 4.19 ซึ่งมีลักษณะเดียวกันกับในรูปที่ 4.18 แต่เพิ่มกิ่งไบแอสแรงดัน V_{b6} มาอีก 1 กิ่งใช้ไบแอสวงจรในรูปที่ 4.16(ก) และกระแสในแต่ละกิ่งออกแบบให้มีขนาด 40 μA ทุกกิ่ง ผลการจำลองการทำงานในส่วนของวงจรไบแอสทั้งหมดพบว่ากินกำลังงานรวม 2.8 mW



รูปที่ 4.19 วงจรไบแอสสำหรับออปแอมป์ที่ใช้เป็นวงจรบัฟเฟอร์แรงดัน

4.5 วงจรดิจิทัล

เนื้อหาในส่วนนี้จะกล่าวถึงการออกแบบวงจรดิจิทัลทั้งหมดตั้งแต่ส่วนตัวแปลงแอนะลอกเป็นดิจิทัลย่อยจนถึงตัวบวกแก้ไขความผิดพลาดแบบดิจิทัล (Digital Error Correction Adder)

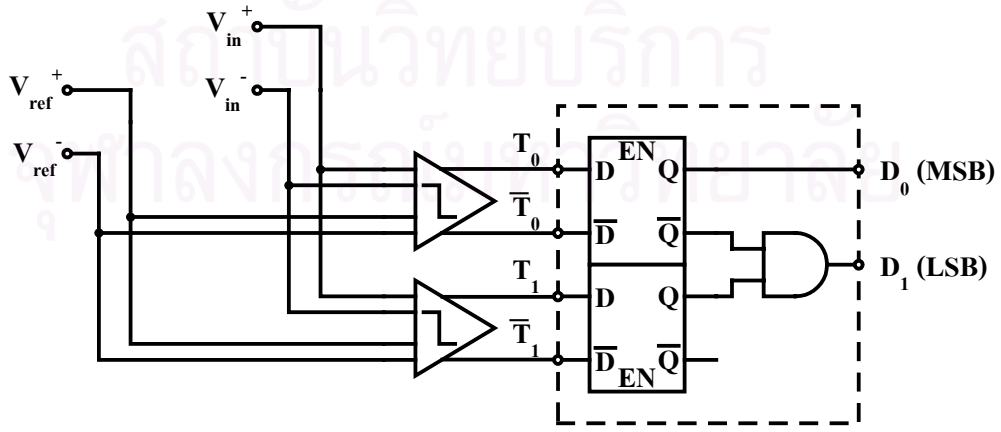
4.5.1 ตัวแปลงแอนะลอกเป็นดิจิทัลย่อย

ตัวแปลงแอนะลอกเป็นดิจิทัลย่อยในแต่ละขั้นตอนมีการแยกชัด 1.5 บิตและใช้สถาปัตยกรรมแบบวาบ จึงต้องใช้ตัวเปรียบเทียบ 2 ตัว และเนื่องจากสถาปัตยกรรมแบบวาบให้ผลลัพธ์จากการแปลงเป็นรหัสอุณหภูมิทำให้ต้องมีตัวแปลงรหัสจากรหัสอุณหภูมิเป็นรหัสเลขฐานสอง

การออกแบบตัวแปลงรหัสอุณหภูมิเป็นรหัสเลขฐานสองเริ่มต้นพิจารณาจากค่าความจริงตามตารางที่ 4.4 จะได้ว่ารหัสเลขฐานสองแต่ละบิตมีค่า $D_0 = T_0$ และ $D_1 = \overline{T_0}T_1$ ดังนั้นจะได้วงจรตัวแปลงแอนะลอกเป็นดิจิทัลย่อย 1.5 บิตเป็นดังรูปที่ 4.20

ตารางที่ 4.4 ตารางค่าความจริงของการแปลงรหัสอุณหภูมิเป็นรหัสเลขฐานสอง 1.5 บิต

รหัสอุณหภูมิ (T)		รหัสเลขฐานสอง (D)	
T_0 (MSB)	T_1 (LSB)	D_0 (MSB)	D_1 (LSB)
0	0	0	0
0	1	0	1
1	1	1	0



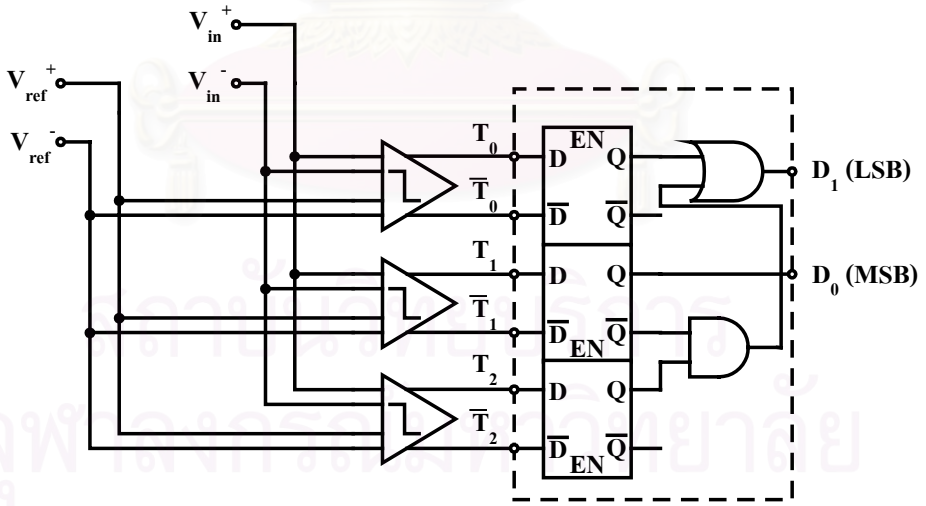
รูปที่ 4.20 ตัวแปลงแอนะลอกเป็นดิจิทัลย่อย 1.5 บิต

ตัวแปลงแอนะลอกเป็นดิจิทัลย่อย 1.5 บิตใช้สำหรับขั้นตอนที่ 1 ถึง 8 เท่านั้น แต่ในขั้นตอนที่ 9 ซึ่งเป็นขั้นตอนสุดท้าย ตัวแปลงแอนะลอกเป็นดิจิทัลย่อยต้องมีการแยกชัด 2 บิต ดังนั้นในขั้นตอนนี้ต้องมีตัวเปรียบเทียบ 3 ตัวและตัวแปลงรหัสอุณหภูมิเป็นรหัสเลขฐานสองสำหรับ 2 บิตอีกชุดหนึ่ง ซึ่งการออกแบบต้องพิจารณาค่าความจริงจากตารางที่ 4.5 จากนั้นจะพบว่าค่ารหัสเลขฐานสองแต่ละบิตมีค่าเป็น $D_0 = T_1$ และ $D_1 = \overline{T_1}T_2 + T_0$ ดังนั้นตัวแปลงแอนะลอกเป็นดิจิทัลย่อยขนาด 2 บิตที่ใช้ในขั้นตอนสุดท้ายจะได้ดังรูปที่ 4.21

ตัวแปลงรหัสอุณหภูมิเป็นรหัสเลขฐานสองทั้ง 9 ขั้นตอนทำงานที่ความถี่ 40 MHz กินกำลังงานประมาณ 1.7 mW

ตารางที่ 4.5 ตารางค่าความจริงของการแปลงรหัสอุณหภูมิเป็นรหัสเลขฐานสอง 2 บิต

รหัสอุณหภูมิ (T)			รหัสเลขฐานสอง (D)	
T_0 (MSB)	T_1	T_2 (LSB)	D_0 (MSB)	D_1 (LSB)
0	0	0	0	0
0	0	1	0	1
0	1	1	1	0
1	1	1	1	1



รูปที่ 4.21 ตัวแปลงแอนะลอกเป็นดิจิทัลย่อยขนาด 2 บิต สำหรับขั้นตอนที่ 9

4.5.2 ตัวแปลงดิจิทัลเป็นแอนะลอกย่อย 1.5 บิต

ตัวแปลงแอนะลอกเป็นดิจิทัลย่อย 1.5 บิตสามารถออกแบบได้ด้วยสวิตช์ และควบคุมการเปิดปิดสวิตช์ด้วยค่าดิจิทัลตามตารางค่าความจริงในตารางที่ 4.6

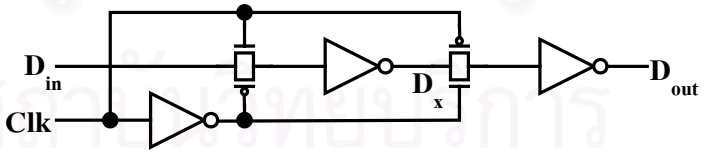
ตารางที่ 4.6 ตารางค่าความจริงสำหรับตัวแปลงดิจิทัลเป็นแอนะลอก 1.5 บิต

ค่าดิจิทัล		แรงดันแอนะลอก (V_{DAC})
D_0 (MSB)	D_1 (LSB)	
0	0	$-V_{ref}$
0	1	0
1	0	V_{ref}

4.5.3 ตัวหน่วง (Delay unit)

ผลการแปลงแอนะลอกเป็นดิจิทัลจากแต่ละขั้นตอนจะต้องถูกนำมาบวกแก้ไขความผิดพลาดแบบดิจิทัล แต่การแปลงจากขั้นตอนที่ 1 ถึงขั้นตอนที่ 9 ต้องใช้เวลาทั้งหมด 9 คาบสัญญาณนาฬิกา ดังนั้นผลการแปลงในขั้นตอนที่ 1 จึงจำเป็นต้องมีการหน่วงเวลา 8 คาบสัญญาณนาฬิกา ขั้นตอนที่ 2 จำเป็นต้องหน่วงเวลาไป 7 คาบสัญญาณนาฬิกา เป็นเช่นนี้ไปจนถึงขั้นตอนที่ 8 จะหน่วงเพียง 1 คาบสัญญาณนาฬิกา จึงจะสามารถนำผลจากการแปลงในขั้นตอนที่ 1 ไปแก้ไขความผิดพลาดแบบดิจิทัลกับผลการแปลงจากขั้นตอนถัดมาจนถึงขั้นตอนที่ 9 ได้ ซึ่งการหน่วงผลการแปลงจากแต่ละขั้นตอนมี 2 บิต ดังนั้นจำนวนตัวหน่วงทั้งหมดที่ใช้คิดเป็น 2 x (8+7+6+5+4+3+2+1) = 144 ตัว

ตัวหน่วงที่ใช้มีจำนวนมากจึงต้องออกแบบตัวหน่วงให้มีขนาดเล็กและประหยัดพลังงานให้มากที่สุด ซึ่งในวิทยานิพนธ์นี้ใช้วงจรตัวหน่วงในรูปที่ 4.22 จะเห็นว่าการกินกำลังงานของตัวหน่วงเท่ากับอินเวอร์เตอร์เพียง 3 ตัวเท่านั้น ซึ่งคิดเป็น 0.4025 μW /MHz/unit



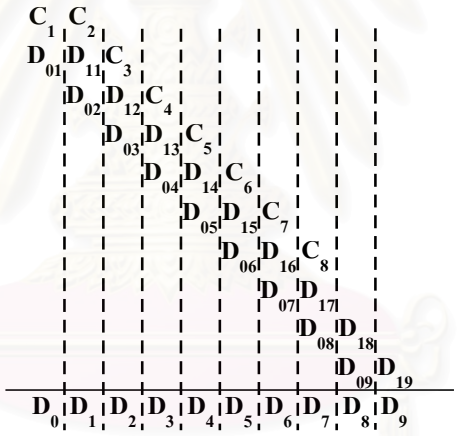
รูปที่ 4.22 ตัวหน่วงที่เลือกใช้ในวิทยานิพนธ์

การทำงานของตัวหน่วงแบบนี้ อาศัยสวิตช์แบบซีมอสเป็นตัวตัดเส้นทางข้อมูล (Data path) ตามสัญญาณนาฬิกา clk คือ เมื่อ clk มีสถานะสูงสัญญาณขาเข้า D_{in} จะส่งผ่านไปยังอินเวอร์เตอร์ได้สัญญาณ $D_x = \overline{D_{in}}$ และเมื่อ clk มีสถานะต่ำสัญญาณ D_x จะถูกส่งออกไปยังอินเวอร์เตอร์ที่ขาออกได้สัญญาณขาออก D_{out} ซึ่งมีค่าเท่ากับ D_{in} ในตอนแรก

ในช่วงเวลานี้สัญญาณขาเข้า D_{in} จะถูกตัดออกส่งไปหา D_x ไม่ได้ ดังนั้นการเปลี่ยนค่า D_{in} จะไม่มีผลต่อค่าของ D_{out} หลักการทำงานแบบนี้เป็นหลักการทำงานแบบเดียวกับฟลิปฟลอบแบบดี (D-Flip Flop) แต่ตัวหน่วงแบบนี้ประหยัดกำลังงานมากกว่าและใช้พื้นที่บนวงจรรวมน้อยกว่า แต่ได้ความเร็วและการทำงานเหมือนกัน ผลการจำลองการทำงานที่การสวิตช์เกิดขึ้นกับตัวหน่วงพร้อมกันทุกตัว ณ ความถี่ 40 MHz พบว่าตัวหน่วงทั้งหมดกินกำลังงาน 2.32 mW

4.5.4 ตัวบวกแก้ไขความผิดพลาดแบบดิจิทัล

ตัวบวกแก้ไขความผิดพลาดแบบดิจิทัลใช้เซลล์มาตราฐานจากโรงงานผู้ผลิตเพื่อลดเวลาในการออกแบบวงจรส่วนนี้ การบวกจะนำผลลัพธ์จากการแปลงของแต่ละขั้นตอนมาวางเหลื่อมกัน 1 บิต เช่นถ้าต้องการหาค่าดิจิทัลบิตที่ i-1 (ถ้ากำหนดให้บิตที่ 0 เป็น MSB) จะได้จากการบวกบิต D_{0i} (MSB ของขั้นตอนที่ i) กับ $D_{1(i-1)}$ (LSB ของขั้นตอนที่ i-1) และบวกกับบิตทด(Carry bit) จากการบวกในบิตที่ i (C_i) ซึ่งสามารถแสดงการบวกทั้งหมดได้ดังรูปที่ 4.23



รูปที่ 4.23 การบวกแก้ไขความผิดพลาดแบบดิจิทัล 10 บิต

จากรูปที่ 4.23 จะได้ค่าดิจิทัลที่บิตต่างๆเป็นดังนี้

$D_9 = D_{19}$ (LSB ของขั้นตอนที่ 9)

$D_8 = D_{09} \oplus D_{18}$

$C_8 = D_{09}D_{18}$

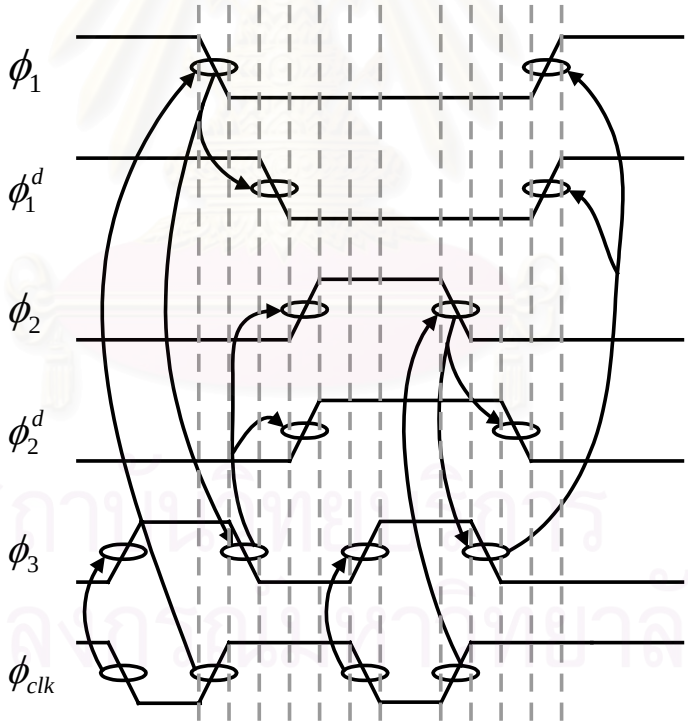
$D_7\ D_6\ D_5\ D_4\ D_3\ D_2\ D_1$ ได้มาจากผลการบวกของตัวบวกที่เป็นเซลล์มาตราฐาน

$D_0 = D_{01} \oplus C_1$

เกตทั้งหมดที่ใช้ในวงจรส่วนนี้มาจากเซลล์มาตราฐานทั้งสิ้น ผลการจำลองการทำงานพบว่าสามารถหาผลลัพธ์จากการบวกทั้งหมดได้เสร็จสิ้นภายใน 19 ns และกินกำลังงาน 1.18 mW ที่ความถี่สัญญาณนาฬิกา 40 MHz

4.5.5 วงจรกำเนิดสัญญาณนาฬิกา

ตัวแปลงแอนะลอกเป็นดิจิทัลที่ออกแบบในวิทยานิพนธ์นี้ทำการชักตัวอย่างสัญญาณด้วยวงจรขั้นตอนขยายที่ใช้เทคนิคการชักตัวอย่างสองเท่า ดังนั้นความถี่ของการชักตัวอย่างจะเป็นสองเท่าของความถี่สัญญาณนาฬิกาที่ป้อนให้ แต่ตัวเปรียบเทียบทำงานที่ความถี่เท่ากับความถี่สัญญาณนาฬิกาที่ป้อนให้ เพราะฉะนั้นความถี่สัญญาณนาฬิกาที่ป้อนให้ตัวเปรียบเทียบจะต้องเป็นสองเท่าของความถี่สัญญาณนาฬิกาที่ป้อนให้ขั้นตอนขยาย แผนผังทางเวลาของสัญญาณนาฬิกาที่ต้องการได้แสดงไว้ในรูปที่ 4.24 โดย ϕ_{clk} เป็นสัญญาณนาฬิกาจากภายนอกวงจร ϕ_3 เป็นสัญญาณนาฬิกาสำหรับป้อนให้ตัวเปรียบเทียบ และสัญญาณนาฬิกาที่เหลือเป็นสัญญาณนาฬิกาสำหรับควบคุมการเปิดปิดสวิตช์ของวงจรขั้นตอนขยายในรูปที่ 2.14

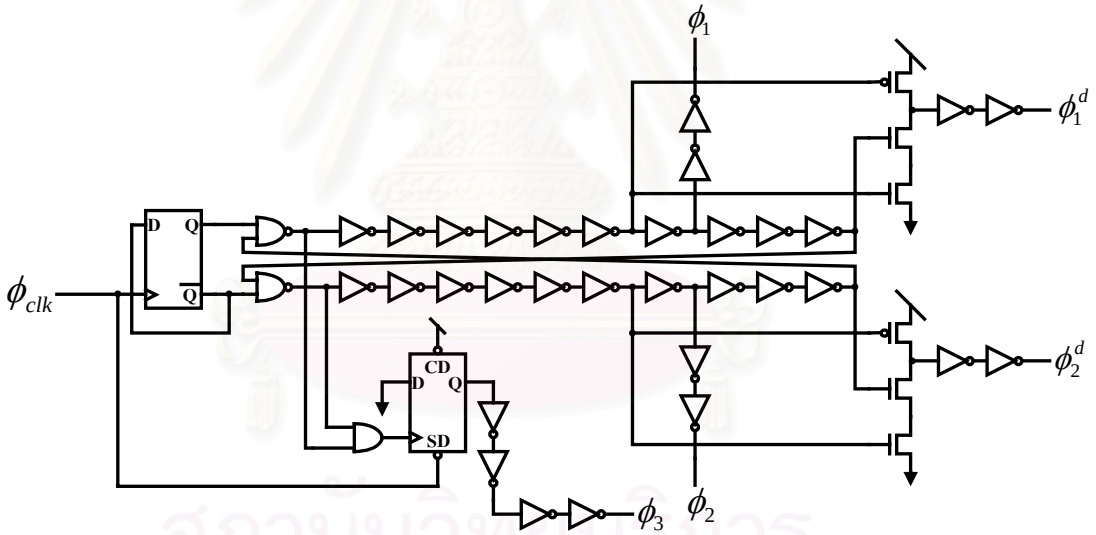


รูปที่ 4.24 แผนผังทางเวลาของสัญญาณนาฬิกาที่ต้องการ

จากแผนผังทางเวลาจะเห็นว่า $\phi_1, \phi_1^d, \phi_2, \phi_2^d$ มีความถี่เป็นครึ่งหนึ่งของ ϕ_{clk} สัญญาณนาฬิกาขาเข้า ϕ_{clk} เมื่อนำมาหารความถี่ลงครึ่งหนึ่งจะได้ความถี่เท่ากับความถี่ที่วงจรขั้นตอนขยายต้องการ ส่วน ϕ_3 ซึ่งเป็นสัญญาณนาฬิกาที่ป้อนให้ตัวเปรียบเทียบมีความถี่เท่ากับ

ϕ_{clk} แต่การ ควบคุม ϕ_3 จะต้องสอดคล้องกับการทำงานของขั้นตอนขยาย คือขั้นตอนขยายจะเริ่มชักตัวอย่างสัญญาณที่ขอบขาลงของ ϕ_1, ϕ_2 ส่วนตัวเปรียบเทียบก็จะเริ่มทำงานที่ขอบขาลงของ ϕ_3 ดังนั้นจะใช้ขอบขาลงของ ϕ_1, ϕ_2 เป็นตัวกำหนดขอบขาลงของ ϕ_3 แต่ตัวเปรียบเทียบต้องการช่วงเวลารีเซ็ตก่อนที่จะทำการเปรียบเทียบสัญญาณในคาบถัดไป จึงต้องใช้ขอบขาลงของ ϕ_{clk} ควบคุมขอบขาขึ้นของ ϕ_3 ดังที่ได้แสดงไว้ในรูปที่ 4.24

การออกแบบวงจรที่กำเนิดสัญญาณนาฬิกาเพื่อให้ได้ตามแผนผังเวลาที่ต้องการจะใช้วงจรในรูปที่ 4.25 ซึ่งดัดแปลงมาจากวงจรกำเนิดสัญญาณนาฬิกาแบบไม่เหลื่อมกัน 2 เฟส[32] หลักการทำงานคือนำสัญญาณ ϕ_{clk} มาหารความถี่ลงครึ่งหนึ่งจะได้สัญญาณนาฬิกาที่มีวงรอบหน้าที่ (Duty cycle) 50 เปอร์เซ็นต์ และความถี่ครึ่งหนึ่งของ ϕ_{clk} จากนั้นป้อนเข้าวงจรกำเนิดสัญญาณนาฬิกา 2 เฟสแบบไม่เหลื่อมกัน (Non-overlapping 2 phase clocks) ส่วนสัญญาณนาฬิกา ϕ_3 สร้างจากวงจรฟลิปฟลอบชนิดดีแบบอะซิงโครนัส โดย ϕ_3 จะกลายเป็นสถานะสูงทุกครั้งที่ ϕ_{clk} มีสถานะต่ำ และมีสถานะต่ำทุกครั้งที่เจอขอบขาลงของ ϕ_1 หรือ ϕ_2

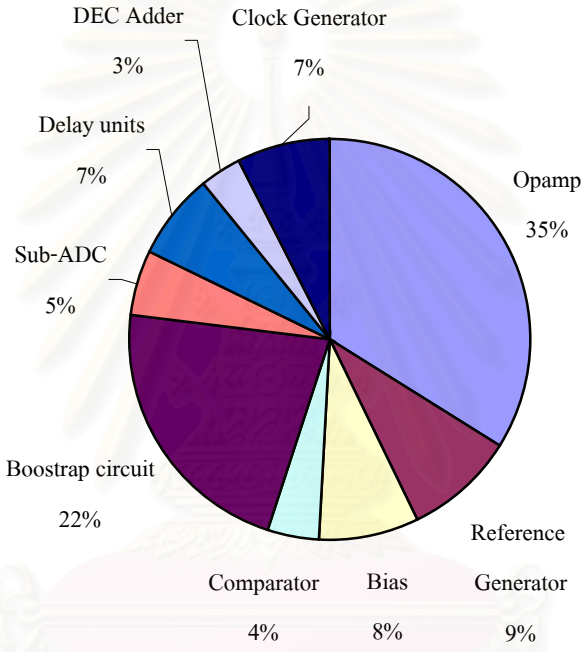


รูปที่ 4.25 วงจรกำเนิดสัญญาณนาฬิกา

จากการจำลองผลการทำงานพบว่าวงจรกำเนิดสัญญาณนาฬิกานี้ เมื่อทำงานที่ความถี่ 40 MHz จะมีการกินกำลังงานประมาณ 2.6 mW และมีช่วงเวลาขึ้น (rise time) และช่วงเวลาตก (fall time) น้อยกว่า 0.5 ns

4.6 สรุป

การกินกำลังงานของตัวแปลงแอนะลอกเป็นดิจิทัลขึ้นอยู่กับการกินกำลังงานของวงจรแต่ละส่วน ในบทนี้ได้กล่าวถึงเทคนิคการออกแบบวงจรในแต่ละส่วนรวมถึงเทคนิคที่ใช้ออกแบบเพื่อให้ได้การกินกำลังงานรวมต่ำที่สุด การกินกำลังงานของวงจรส่วนต่างๆ สามารถจำแนกออกมาได้ดังรูปที่ 4.26



รูปที่ 4.26 แผนผังแสดงสัดส่วนการกินกำลังงานของวงจรแต่ละส่วน

จากรูปที่ 4.26 จะเห็นว่าการกินกำลังงานส่วนมากมาจากส่วนของวงจรแอนะลอก ดังนั้นการออกแบบในวิทยานิพนธ์นี้จึงเน้นไปที่การลดการกินกำลังงานในวงจรแอนะลอก ตัวแปลงแอนะลอกเป็นดิจิทัลที่ออกแบบจึงมีการกินกำลังงานต่ำกว่างานวิจัยที่ผ่านมาซึ่งจะแสดงการเปรียบเทียบในบทสุดท้ายของวิทยานิพนธ์เล่มนี้

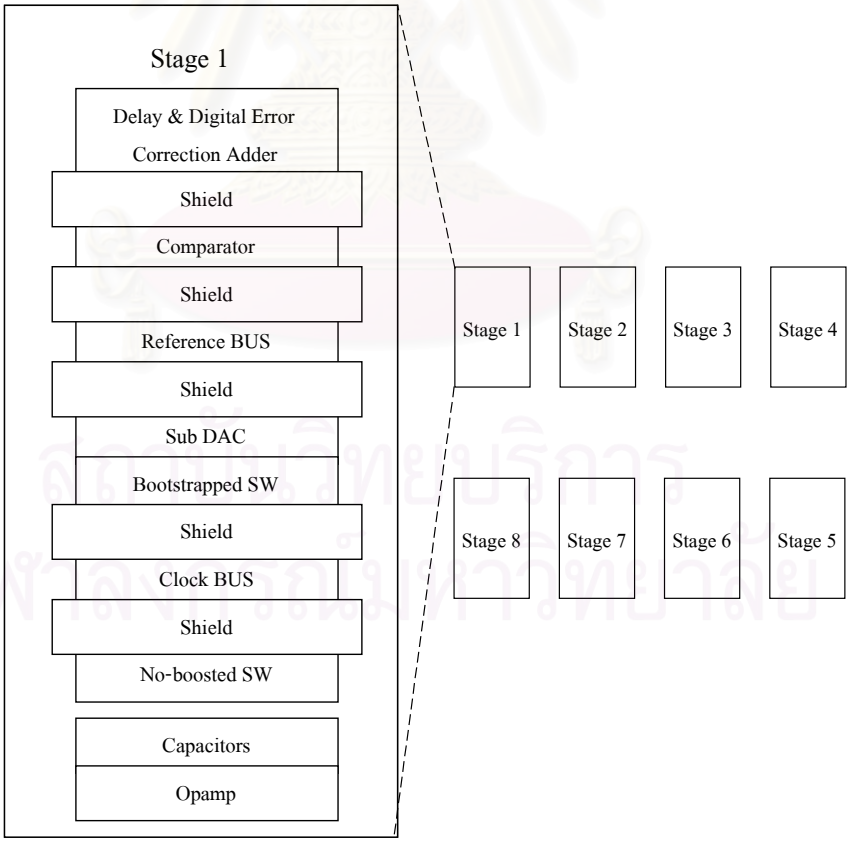
บทที่ 5

การวางแผนผังวงจรรวม การจำลองผลการทำงาน และระบบการทดสอบวงจรรวม

เนื้อหาในบทนี้จะกล่าวถึงหลักการวางแผนผังวงจรรวม ผลการจำลองการทำงานของตัวแปลงแอนะลอกเป็นดิจิทัลที่ได้ออกแบบไว้ และระบบการทดสอบวงจรรวมจริง

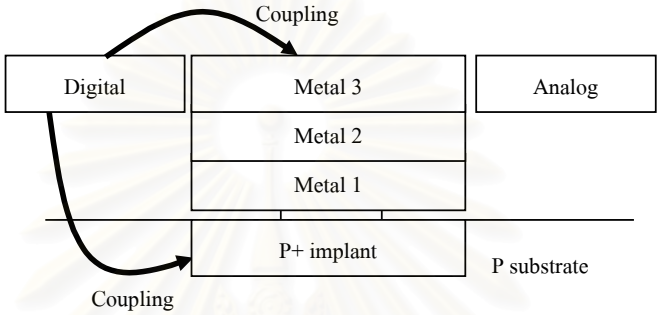
5.1 การวางแผนผังวงจรรวม

วงจรที่ออกแบบไว้ในบทก่อนจะสามารถนำไปผลิตจริงได้หลังจากนำวงจรมาวางแผนผังวงจรรวม(IC Layout) แล้วจึงส่งไปเจือสาร การวางแผนผังวงจรรวมจึงมีความสำคัญมากจะต้องพิจารณาว่าวงจรส่วนใดควรวางไว้ใกล้กัน วงจรส่วนใดควรวางให้ห่างกัน รวมถึงต้องพิจารณาการป้องกันวงจรแอนะลอกไม่ให้ถูกรบกวนจากวงจรดิจิทัล การวางวงจรแต่ละส่วนจะอาศัยหลักการว่าวงจรแอนะลอกต้องวางไว้ในบริเวณเดียวกัน และวางให้ห่างจากวงจรดิจิทัล นอกจากนี้ยังต้องวางชีลด์ระหว่างส่วนของวงจรแอนะลอกกับดิจิทัลป้องกันการรบกวนกันอีกชั้นหนึ่งด้วย



รูปที่ 5.1 รูปแบบการวางแผนผังวงจรรวมทั้งแปดขั้นตอน

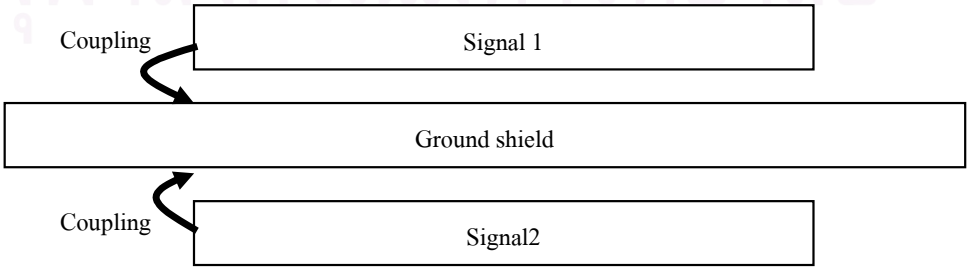
ตัวแปลงแอนะลอกเป็นดิจิทัลที่ออกแบบมีขั้นตอนที่โครงสร้างเหมือนกันอยู่แปดขั้นตอน ดังนั้นจะวางตำแหน่งของวงจรต่างๆ ในแต่ละขั้นตอนดังรูปที่ 5.1 การวางวงจรขั้นตอนที่หนึ่งถึงขั้นตอนที่สี่ และขั้นตอนที่ห้าถึงขั้นตอนที่แปดจะวางตามตำแหน่งในรูปที่ 5.1 โดยจะหันส่วนแอนะลอกเข้าหากัน และหันส่วนดิจิทัลออกไปด้านนอกดังรูปที่ 5.4 เพื่อให้ส่วนแอนะลอกอยู่ด้วยกันตรงส่วนกลางของวงจรรวม เนื่องจากวงจรบริเวณตรงกลางของวงจรรวมจะมีการเข้าคู่ดีกว่าบริเวณขอบของวงจรรวม



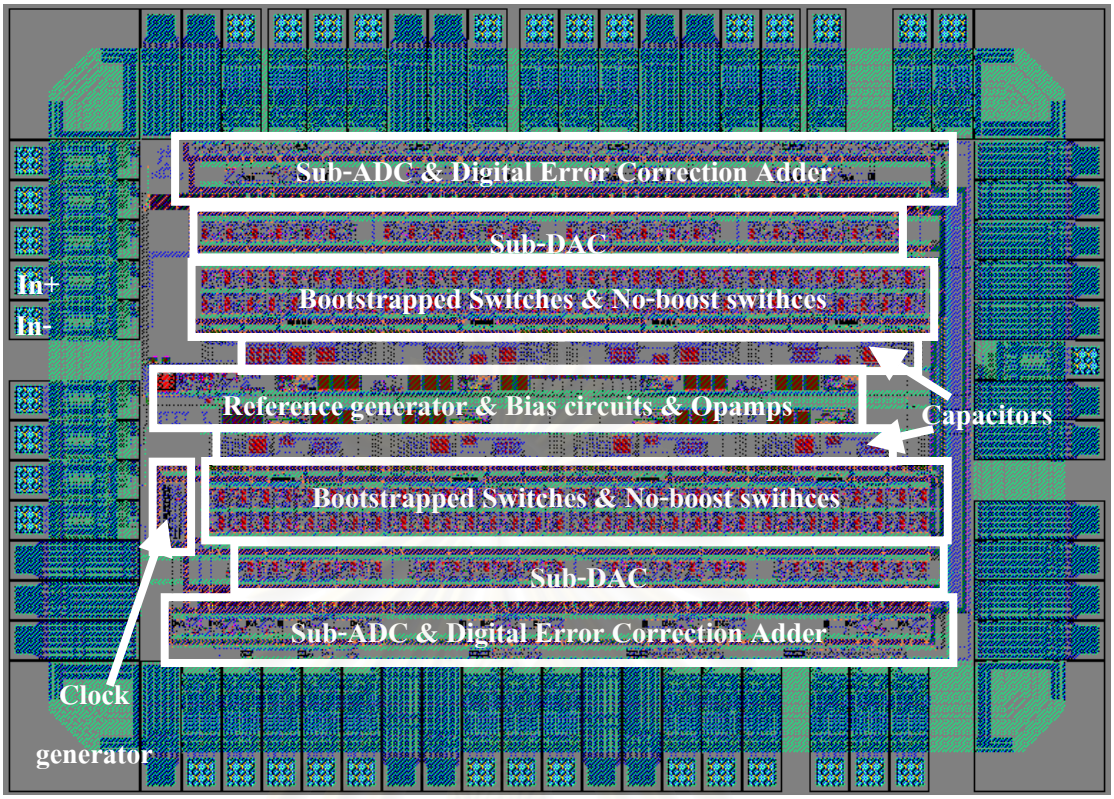
รูปที่ 5.2 รูปแบบการวางชีลด์สำหรับแยกวงจรแอนะลอกและวงจรดิจิทัลออกจากกัน

การวางชีลด์จะวางชั้นสารชนิดพีเข้มข้นไว้ชั้นล่างสุด แล้วจึงวางชั้นโลหะที่หนึ่ง ชั้นโลหะที่สอง และชั้นโลหะที่สามไว้ซ้อนกันดังรูปที่ 5.2 จากนั้นต่อชั้นสารและโลหะทั้งหมดเข้าด้วยกันแล้วต่อออกขาดินของวงจรรวม เพื่อให้การรบกวนจากวงจรดิจิทัลทั้งหมดส่งผ่านไปที่ดินก่อนจะไปถึงวงจรแอนะลอก

การวางแผนผังวงจรรวมบางครั้งจำเป็นต้องมีการลากโลหะไขว้กัน ซึ่งจะทำให้เกิดตัวเก็บประจุปรสิตต่อคร่อมระหว่างโลหะที่ไขว้กันนี้ ดังนั้นทุกๆ ครั้งที่มีการไขว้กันจะใช้ชั้นโลหะที่หนึ่ง และชั้นโลหะที่สามต่อกับสัญญาณที่จำเป็นต้องลากไขว้กัน แล้วใช้ชั้นโลหะที่สองวางกั้นระหว่างชั้นโลหะที่ไขว้กัน จากนั้นต่อชั้นโลหะที่สองลงดิน วิธีนี้จะทำให้ตัวเก็บประจุปรสิตไม่ต่อคร่อมสายสัญญาณทั้งสอง แต่จะต่อลงดินแทน ทำให้ลดการรบกวนสัญญาณที่จำเป็นต้องลากไขว้กันได้ดังรูปที่ 5.3



รูปที่ 5.3 การวางชั้นโลหะของสัญญาณที่จำเป็นต้องมีการลากไขว้กัน



รูปที่ 5.4 แผนผังวงจรรวมของตัวแปลงแอนะลอกเป็นดิจิทัลที่ออกแบบในวิทยานิพนธ์นี้

จากหลักการพิจารณาทั้งหมดนำมาวางแผนผังวงจรรวมทั้งหมดได้ดังรูปที่ 5.4 จากนั้นนำแผนผังวงจรรวมมาสกัดออกเป็นวงจรอีกครั้ง แล้วจึงนำไปจำลองผลการทำงานทำให้ผลการจำลองการทำงานรวมผลกระทบของตัวเก็บประจุปรสิตทั้งหมดไว้ด้วย ซึ่งผลการจำลองการทำงานจะกล่าวไว้ในหัวข้อถัดไป

5.2 ผลการจำลองการทำงานของวงจรรวม

การวัดความสามารถของตัวแปลงแอนะลอกเป็นดิจิทัลแบ่งออกเป็น 2 ชนิดได้แก่ ความเป็นเชิงเส้นเชิงสถิต (Static linearity) และความเป็นเชิงเส้นเชิงพลวัต (Dynamic linearity)

5.2.1 ความเป็นเชิงเส้นเชิงสถิต

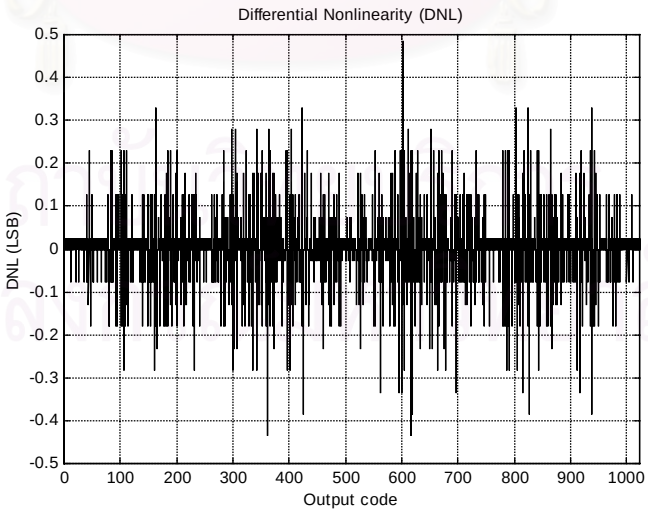
ความเป็นเชิงเส้นเชิงสถิตจะแสดงถึงลักษณะสมบัติโอนย้ายไฟตรง (DC transfer characteristic) ของตัวแปลงแอนะลอกเป็นดิจิทัล วิธีการวัดจะป้อนสัญญาณขาเข้าเริ่มจากแรงดัน $-V_{ref}$ แล้วเพิ่มแรงดันขึ้นเรื่อยๆ จนกระทั่งถึงแรงดัน V_{ref} แล้วจึงวัดค่าที่ได้จากการแปลงมาสร้างลักษณะสมบัติโอนย้ายไฟตรงของตัวแปลงแอนะลอกเป็นดิจิทัล ซึ่งตัวแปลงในอุดมคติจะมีลักษณะสมบัติโอนย้ายไฟตรงเป็นเส้นตรงความชันเท่ากับหนึ่งผ่านจุดกำเนิด แต่ในทางปฏิบัติการ

ออกแบบวงจรมีความไม่อุดมคติอยู่หลายจุด เช่นอัตราขยายไฟตรงของออปแอมป์มีค่าจำกัด ตัวเก็บประจุที่ทำหน้าที่ชักตัวอย่างสัญญาณไม่เข้าคู่กัน เป็นต้น ดังนั้นการวัดความเป็นเชิงเส้นเชิงสถิตจะวัดออกมา 2 รูปแบบคือความไม่เป็นเชิงเส้นแบบผลต่าง (Differential Non-Linearity : DNL) และความไม่เป็นเชิงเส้นแบบผลรวม (Integral Non-Linearity : INL)

ความไม่เป็นเชิงเส้นแบบผลต่าง คือขนาดของแรงดันขาเข้าที่ทำให้มีการเปลี่ยนค่าดิจิทัลขาออกไปหนึ่งขั้นหักลบด้วยขนาดแรงดัน 1 LSB ในทางอุดมคติหากแรงดันขาเข้าเปลี่ยนไป 1 LSB ค่าดิจิทัลขาออกก็จะเปลี่ยนระดับไปหนึ่งขั้นและเมื่อนำไปลบกับขนาดแรงดัน 1 LSB ค่าความไม่เป็นเชิงเส้นแบบผลต่างก็คือศูนย์ แต่เมื่อวงจรไม่เป็นอุดมคติ ขนาดแรงดันขาเข้าที่ทำให้ค่าดิจิทัลขาออกเปลี่ยนไปหนึ่งขั้นก็จะมีค่าผิดไปจากขนาดแรงดัน 1 LSB ความไม่เป็นเชิงเส้นแบบนี้จึงมีความสำคัญมากต่อสัญญาณขนาดเล็ก [29]

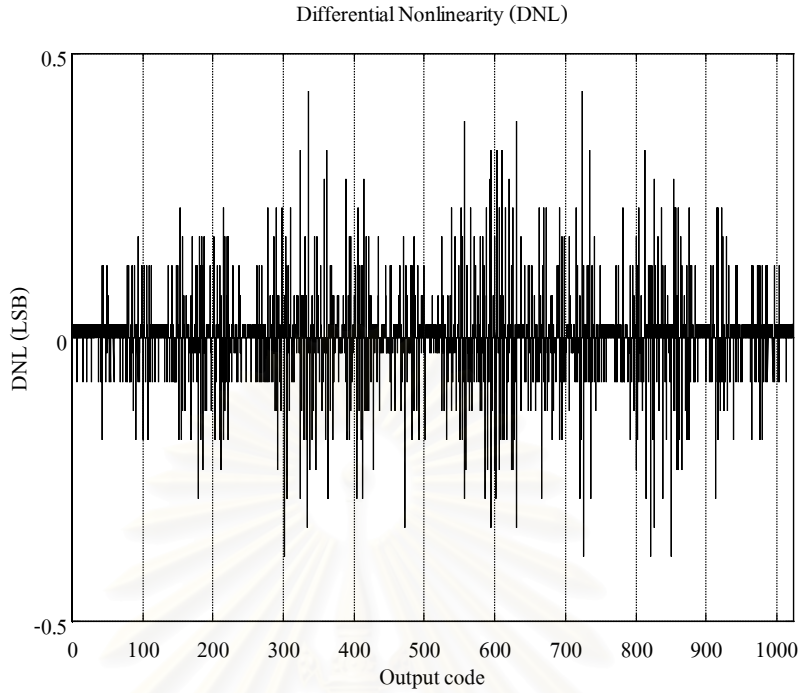
ความไม่เป็นเชิงเส้นแบบผลรวม คือความเบี่ยงเบนที่มากที่สุดออกจากลักษณะโอนย้ายไฟตรงของตัวแปลงในอุดมคติ ซึ่งความไม่เป็นเชิงเส้นแบบนี้มีความสำคัญในแง่ของความเป็นเชิงเส้นของสัญญาณขนาดใหญ่ [29]

จากผลการจำลองการทำงานพบว่าความไม่เป็นเชิงเส้นแบบผลต่าง และความไม่-เป็นเชิงเส้นแบบผลรวมของตัวแปลงแอนะลอกเป็นดิจิทัลที่ออกแบบในวิทยานิพนธ์นี้ได้ผลเป็นดังรูปที่ 5.5 และรูปที่ 5.6 ตามลำดับ จะเห็นว่าความไม่เป็นเชิงเส้นทั้งสองแบบมีค่าน้อยกว่า 1 LSB ทุกกรณีแสดงว่าผลการแปลงที่ได้มีความเป็นเชิงเส้นที่เชื่อถือได้ในระดับ 10 บิต

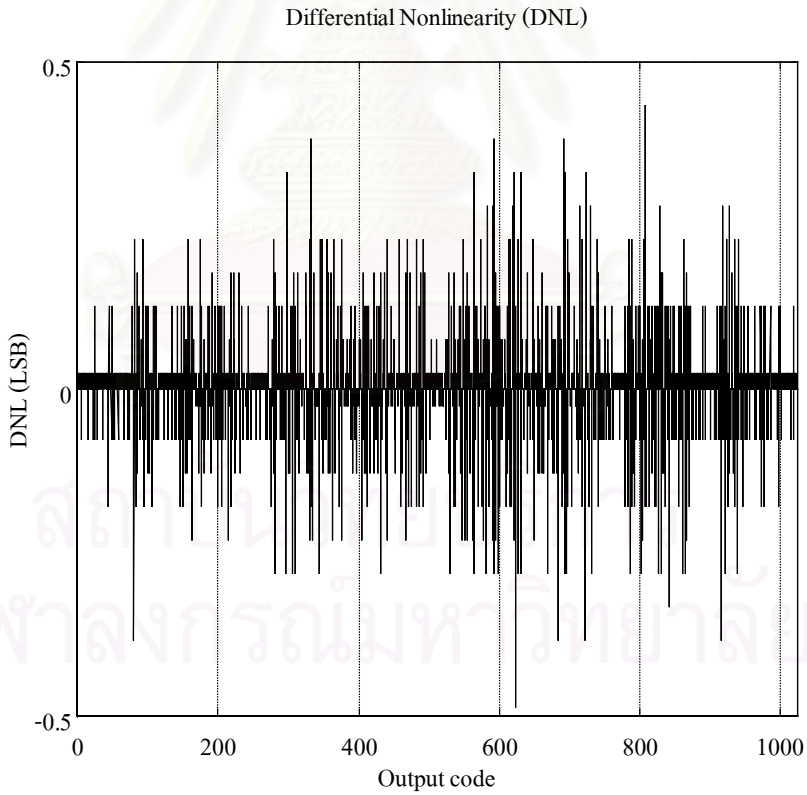


(ก) ความเพี้ยนแบบผลต่างที่เงื่อนไขการผลิตแบบปรกติ ใช้งานที่อุณหภูมิ 30°C

รูปที่ 5.5 ความไม่เป็นเชิงเส้นแบบผลต่างเทียบกับที่แรงดันขาเข้า ณ เงื่อนไขต่างๆ

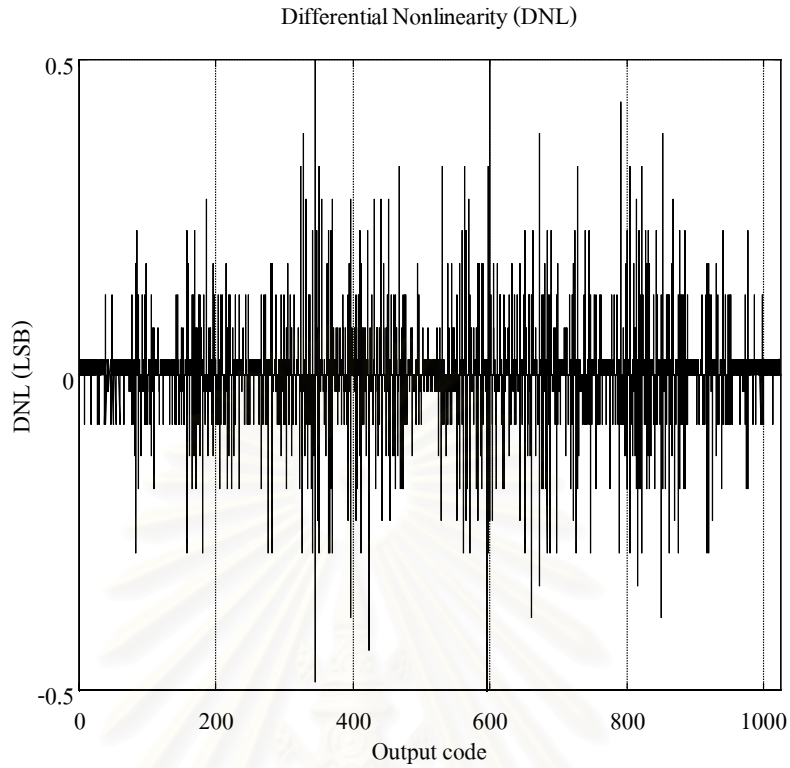


(ข) ความเพี้ยนแบบผลต่างที่เงื่อนไขการผลิตแบบช้า อุณหภูมิ 70°C แรงดันแหล่งจ่าย 2.25 โวลต์

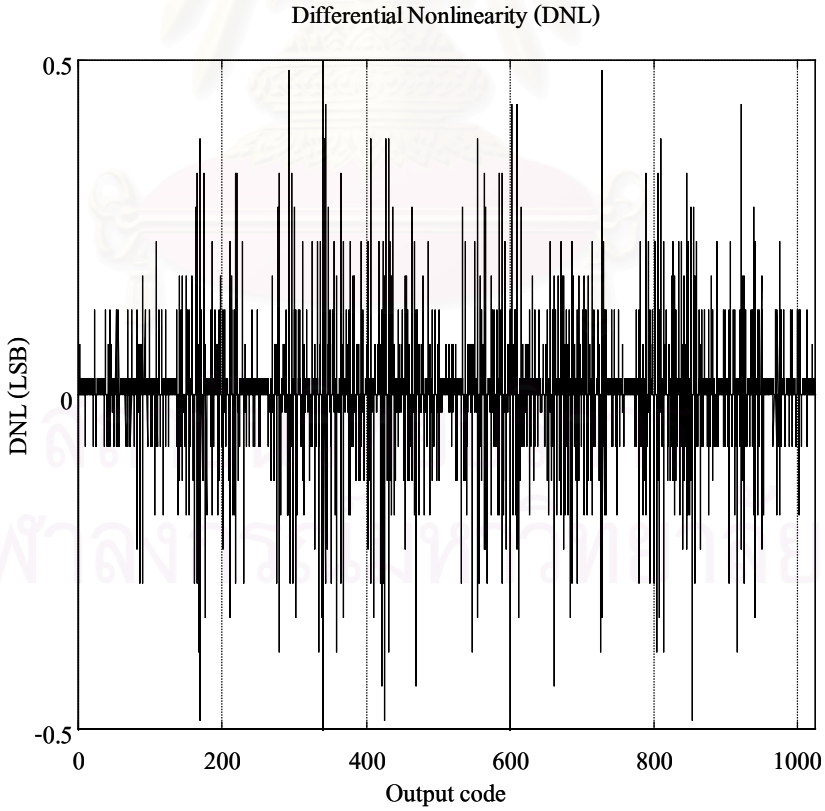


(ค) ความเพี้ยนแบบผลต่างที่เงื่อนไขการผลิตแบบเร็ว อุณหภูมิ 0°C แรงดันแหล่งจ่าย 2.75 โวลต์

รูปที่ 5.5 ความไม่เป็นเชิงเส้นแบบผลต่างเทียบกับที่แรงดันขาเข้า ณ เงื่อนไขต่างๆ (ต่อ)

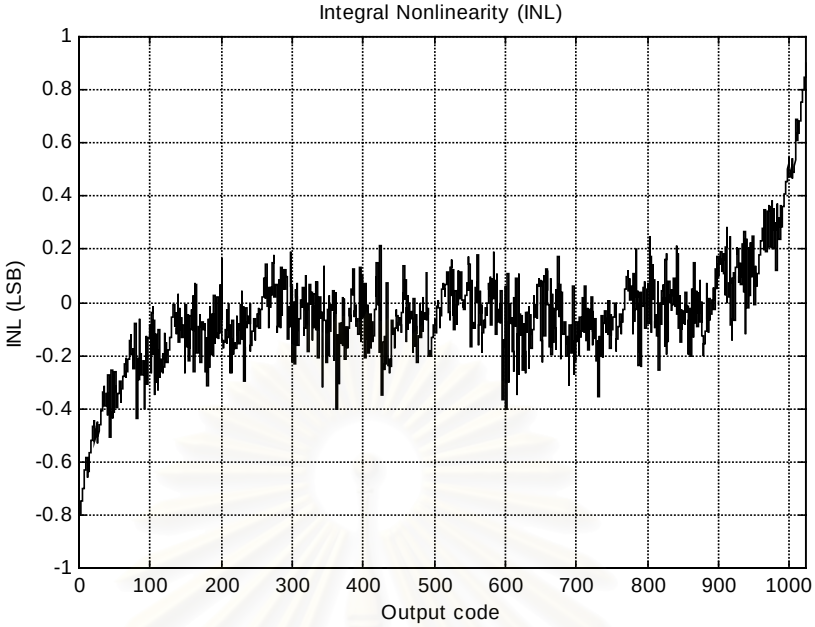


(ง) ความเพี้ยนแบบผลต่างในกรณีที่ขนาดความจุของตัวเก็บประจุผันผวนเพิ่มขึ้น 10%

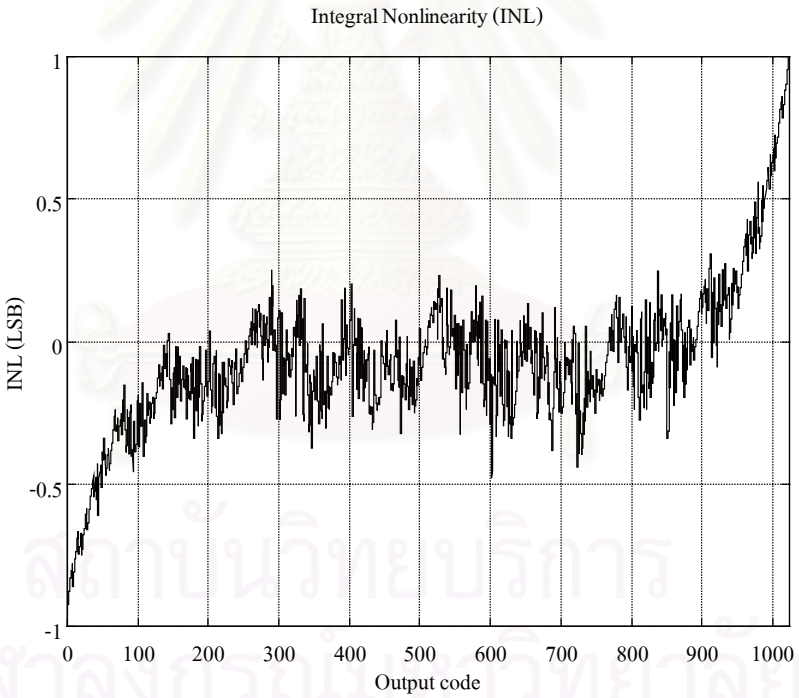


(จ) ความเพี้ยนแบบผลต่างในกรณีที่ขนาดความจุของตัวเก็บประจุผันผวนลดลง 10%

รูปที่ 5.5 ความไม่เป็นเชิงเส้นแบบผลต่างเทียบกับที่แรงดันขาเข้า ณ เงื่อนไขต่างๆ (ต่อ)

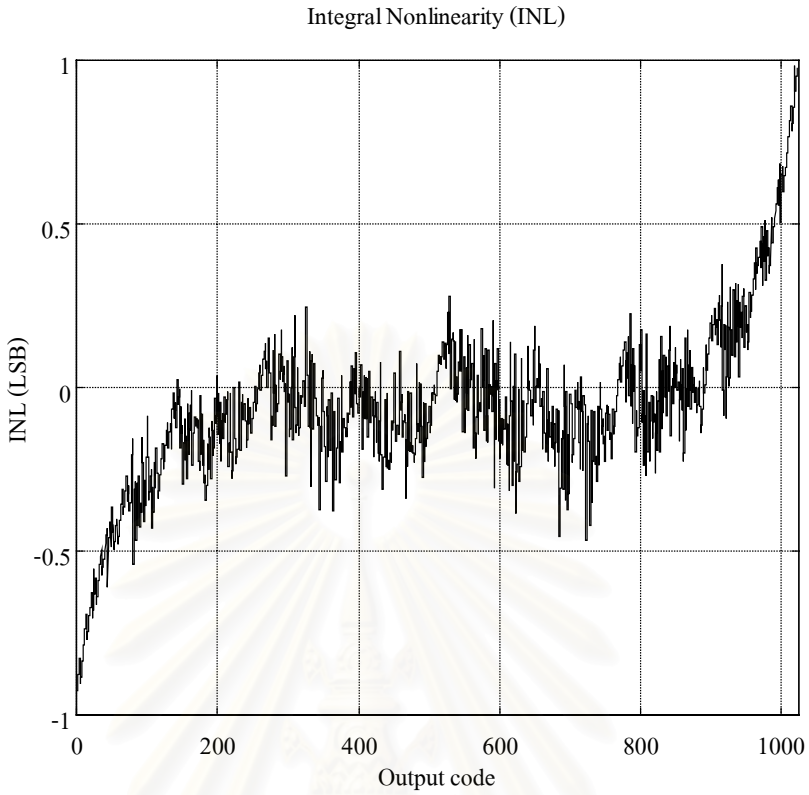


(ก) ความเพี้ยนแบบผลรวมที่เงื่อนไขการผลิตแบบปรกติ ใช้งานที่อุณหภูมิ 30°C

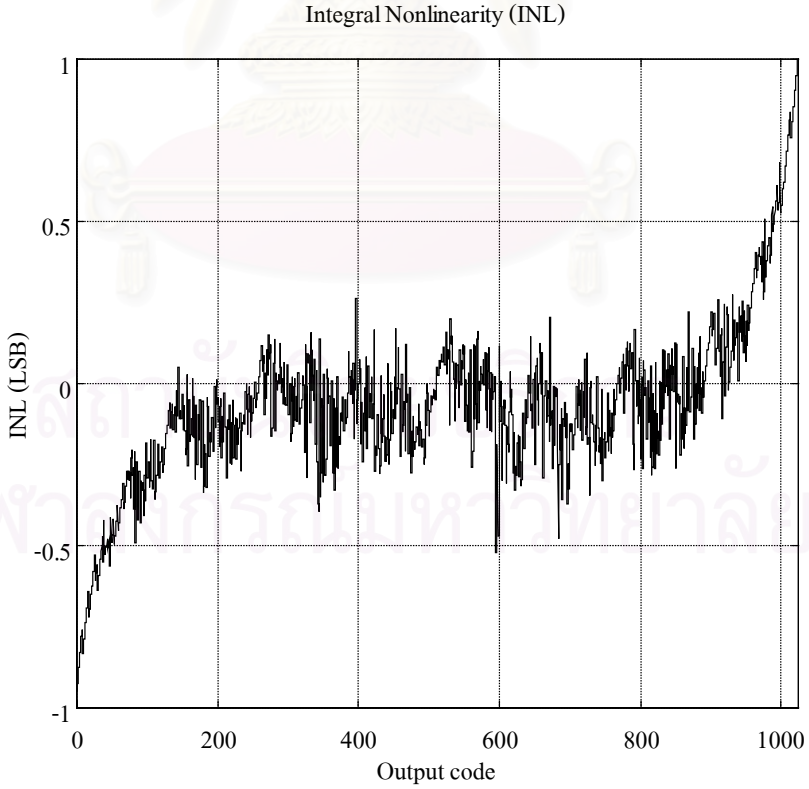


(ข) ความเพี้ยนแบบผลรวมที่เงื่อนไขการผลิตแบบช้า อุณหภูมิ 70°C แรงดันแหล่งจ่าย 2.25 โวลต์

รูปที่ 5.6 ความไม่เป็นเชิงเส้นแบบผลรวมเทียบกับที่แรงดันขาเข้า ณ เงื่อนไขต่างๆ

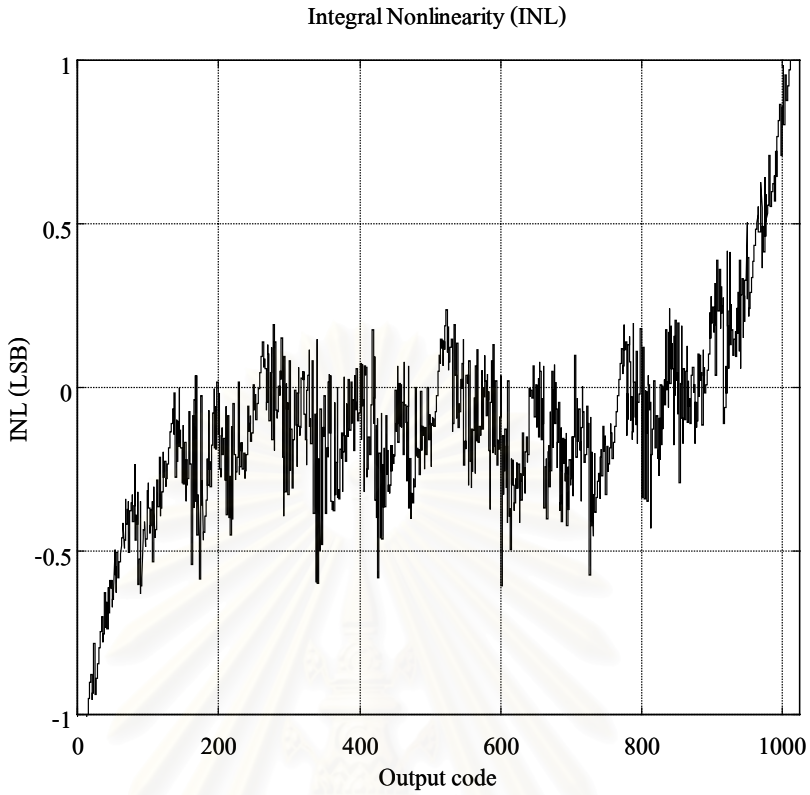


(ค) ความเพี้ยนแบบผลรวมที่เงื่อนไขการผลิตแบบเร็ว อุณหภูมิ 0°C แรงดันแหล่งจ่าย 2.75 โวลต์



(ง) ความเพี้ยนแบบผลรวมในกรณีที่ขนาดความจุของตัวเก็บประจุผันผวนเพิ่มขึ้น 10%

รูปที่ 5.6 ความไม่เป็นเชิงเส้นแบบผลรวมเทียบกับที่แรงดันขาเข้า ณ เงื่อนไขต่างๆ (ต่อ)



(จ) ความเพี้ยนแบบผลต่างในกรณีที่ขนาดความจุของตัวเก็บประจุผันผวนลดลง 10%

รูปที่ 5.6 ความไม่เป็นเชิงเส้นแบบผลรวมเทียบกับที่แรงดันขาเข้า ณ เงื่อนไขต่างๆ (ต่อ)

5.2.2 ความเป็นเชิงเส้นเชิงพลวัต และสัญญาณรบกวน

ความเป็นเชิงเส้นเชิงพลวัตและสัญญาณรบกวนจะวัดออกมาในรูปของอัตราส่วนสัญญาณต่อสัญญาณรบกวนและความเพี้ยน (Signal-to-Noise-plus-Distortion Ratio : SNDR) ซึ่งสำหรับตัวแปลงแอนะลอกเป็นดิจิทัลขนาด N บิต เมื่อป้อนสัญญาณขาเข้าเต็มสเกลจะต้องมีค่า SNDR > 6.02(N-1)+1.76 dB ดังนั้นสำหรับตัวแปลงแอนะลอกเป็นดิจิทัลขนาด 10 บิต จะต้องมีค่า SNDR > 56 dB

จากผลการจำลองการทำงาน เมื่อป้อนสัญญาณแรงดันขาเข้าขนาดเต็มสเกลที่ความถี่ 100 kHz และที่ความถี่ 15.1 MHz เข้าไปในตัวแปลงแอนะลอกเป็นดิจิทัลที่ออกแบบได้ค่า SNDR ที่เงื่อนไขการผลิตและใช้งานต่างๆ ดังตารางที่ 5.1 ซึ่งจะเห็นว่าค่า SNDR ที่ความถี่ใกล้เคียงความถี่ไนควิสต์มีค่าต่ำกว่า 56 dB เพียงเล็กน้อย เมื่อเปรียบเทียบกับงานวิจัยที่ผ่านมาซึ่ง SNDR ที่ความถี่ไนควิสต์มีค่าต่ำกว่า 56 dB มาก แสดงให้เห็นว่าตัวแปลงแอนะลอกเป็นดิจิทัลในวิทยานิพนธ์นี้มีผลการทำงานดีขึ้นกว่างานวิจัยหลายชิ้นที่ผ่านมา

ตารางที่ 5.1 ค่า SNDR ที่เงื่อนไขการผลิตและใช้งานต่างๆ

เงื่อนไขการผลิต และใช้งานต่างๆ	ค่า SNDR เมื่อสัญญาณเข้าเป็นรูปไซน์ความถี่ต่างๆ	
	สัญญาณเข้ารูปไซน์ ความถี่ 100 kHz	สัญญาณเข้ารูปไซน์ ความถี่ 15.1 MHz
แบบปรกติ ใช้งานที่ 30°C	60.1 dB	57.2 dB
แบบช้า ใช้งานที่ 70°C แรงดันแหล่งจ่าย 2.25 โวลต์	59.4 dB	56.6 dB
แบบเร็ว ใช้งานที่ 0°C แรงดันแหล่งจ่าย 2.75 โวลต์	59.6 dB	55.4 dB
แบบปรกติ ตัวเก็บประจุ ผันผวนเพิ่มขึ้น 10%	59.6 dB	55.7 dB
แบบปรกติ ตัวเก็บประจุ ผันผวนลดลง 10%	59.3 dB	55.1 dB

5.2.3 สรุปผลการจำลองการทำงาน

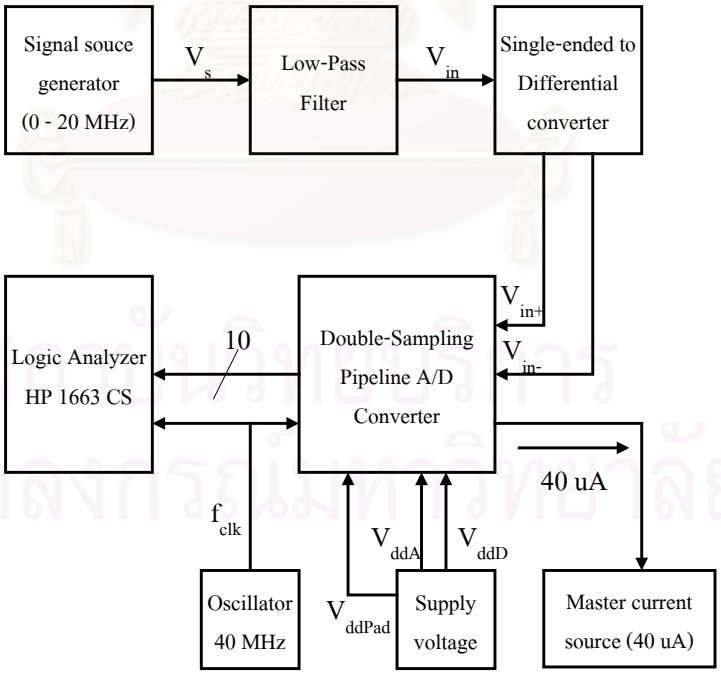
ผลการจำลองการทำงานสามารถสรุปได้ดังตารางที่ 5.2

ตารางที่ 5.2 สรุปผลการจำลองการทำงาน

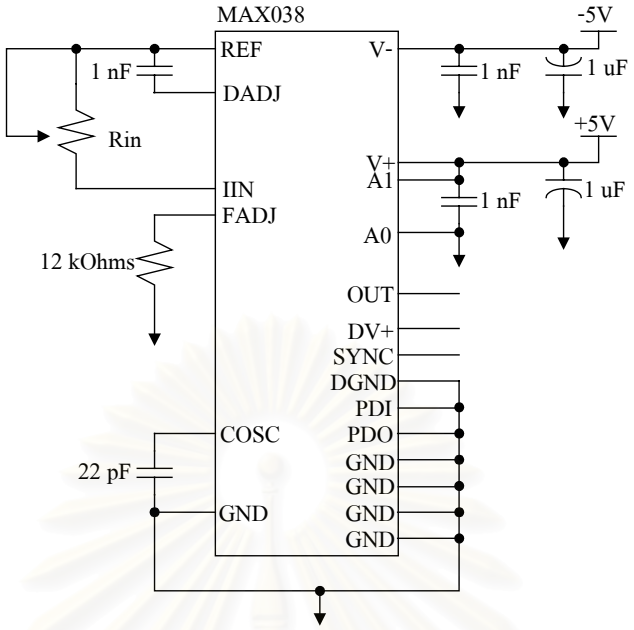
	สมรรถนะของตัวแปลงแอนะลอกเป็นดิจิทัล
การแยกชัด (Resolution)	10 บิต
ความถี่การชักตัวอย่างสัญญาณ	40 MHz
แรงดันแหล่งจ่าย	2.5 V
ช่วงรับสัญญาณขาเข้าแบบผลต่าง	$\pm$ 1 V
SNDR ที่ความถี่สัญญาณขาเข้า 100 kHz	> 59.3 dB
SNDR ที่ความถี่สัญญาณขาเข้า 15.1 MHz	> 55.1 dB
ความไม่เป็นเชิงเส้นแบบผลต่าง (DNL)	< 0.5 LSB
ความไม่เป็นเชิงเส้นแบบผลรวม (INL)	< 1.0 LSB
การกินกำลังงาน (Power consumption)	34.8 mW
พื้นที่ทั้งหมดของวงจรรวม	12.1 mm^2
เทคโนโลยีที่ใช้ในการเจือสารวงจรรวม	0.5 μm

5.3 ระบบการทดสอบวงจรรวม

การทดสอบวงจรรวมสามารถทำได้โดยตั้งระบบตามรูปที่ 5.7 แหล่งกำเนิดสัญญาณขาเข้าใช้วงจรรวมเบอร์ MAX038 ของบริษัท Maxim (ต่อวงจรตามรูปที่ 5.8) ซึ่งเป็นวงจรรวมทำหน้าที่กำเนิดสัญญาณความถี่สูง วงจรรวมเบอร์นี้มีระดับสัญญาณรบกวนประมาณ –80dB ซึ่งเพียงพอสำหรับการทดสอบตัวแปลงแอนะลอกเป็นดิจิทัลความละเอียด 10 บิต แต่ผลรวมความเพี้ยนทั้งหมดประมาณ –42.5 dB ซึ่งไม่เพียงพอสำหรับความละเอียด 10 บิตจึงต้องนำสัญญาณที่ได้ไปผ่านวงจรกรองผ่านต่ำเพื่อลดสัญญาณรบกวน และความเพี้ยนที่ความถี่สูงออกโดยวงจรกรองผ่านต่ำใช้ออปแอมป์เบอร์ OPA642 ของบริษัท Texas Instrument ต่อเป็นวงจรกรองผ่านต่ำชนิดบัตเตอร์เวิร์ธอันดับ 4 (รูปที่ 5.9) สัญญาณขาออกที่ได้นำไปแปลงเป็นสัญญาณแบบฟูลลีดิฟเฟอเรนเชียล โดยต่อวงจรตามรูปที่ 5.10 จากนั้นจึงนำไปป้อนเข้าตัวแปลงแอนะลอกเป็นดิจิทัล ส่วนผลลัพธ์จากการแปลงใช้เครื่องมือวิเคราะห์ตรรกะ (Logic Analyzer) ของบริษัท Hewlett-Packard รุ่น HP1663CS ทำการเก็บข้อมูล แล้วจึงส่งเข้าไปประมวลผลในคอมพิวเตอร์

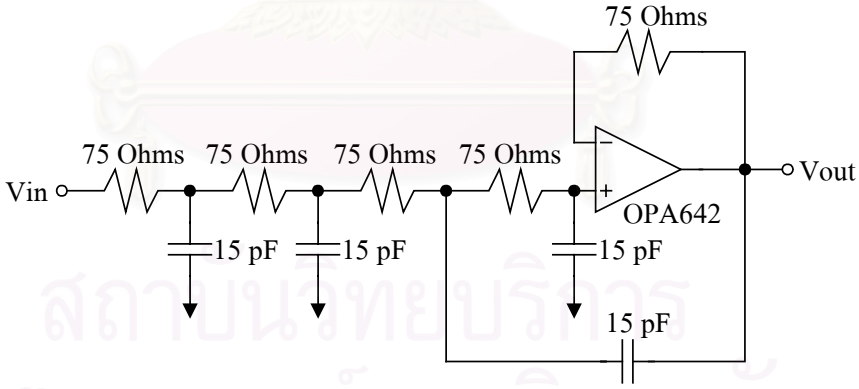


รูปที่ 5.7 ระบบทดสอบวงจรรวม



รูปที่ 5.8 วงจรกำเนิดสัญญาณไซน์ความถี่สูง

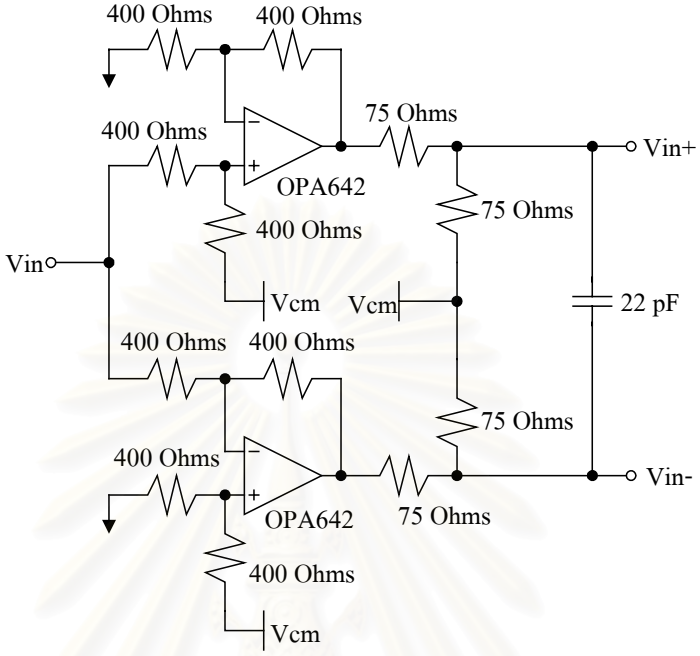
วงจรกรองผ่านต่ำชนิดบัตเตอร์เวิร์ธอันดับ 4 สร้างจากวงจรกรองผ่านต่ำแบบ RC 2 ชุดต่อกันแล้วจึงนำมาต่อกับวงจรกรองอันดับ 2 ที่ใช้ออปแอมป์เบอร์ OPA642 อีกชุดหนึ่ง โดยกำหนดความถี่ตัดไว้ที่ 18 MHz



รูปที่ 5.9 วงจรกรองผ่านต่ำอันดับ 4 ที่ใช้ลดสัญญาณรบกวน และความเพี้ยนที่ความถี่สูง

วงจรในรูปที่ 5.10 มีหลักการทำงานคือ สัญญาณขาเข้าที่ต้องการแปลงจะผ่านวงจรขยายอัตราขยาย 0.5 โดยวงจรหนึ่งกลับเฟส 180 องศา และอีกวงจรหนึ่งไม่กลับเฟส สัญญาณขาออกจากวงจรขยายทั้งสองจะเป็นสัญญาณเดียวกันกลับเฟสกัน 180 องศา เมื่อนำสัญญาณมาลบกันจะได้สัญญาณรูปเดียวกับสัญญาณขาเข้าที่เป็นแบบปลายเดียว ส่วนแรงดันโหมดร่วมของวงจรจะไม่ถูกขยายแต่อย่างใด เนื่องจากโครงสร้างของวงจรในรูปนี้มีอัตราขยายโหมดร่วมเป็นหนึ่ง ทำ

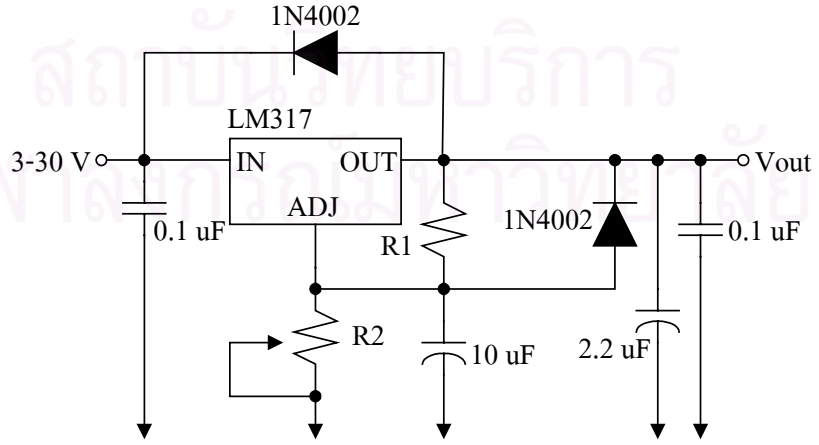
ให้สามารถแปลงสัญญาณเป็นแบบผลต่างได้ และยังสามารถกำหนดระดับแรงดันโหมดร่วมที่ต้องการได้อีกด้วย



รูปที่ 5.10 วงจรแปลงจากสัญญาณปลายเดียวเป็นสัญญาณแบบผลต่าง

สัญญาณนาฬิกาที่ใช้ได้มาจากออสซิลเลเตอร์ความถี่ 40 MHz และแรงดันอ้างอิง รวมถึงแรงดันแหล่งจ่ายทั้งหมดใช้วงจรรวมคงค่าแรงดันแบบโปรแกรมได้เบอร์ LM317T ต่อตามรูปที่ 5.11 แรงดันขาออกที่ได้เป็นดังสมการที่ 5.1

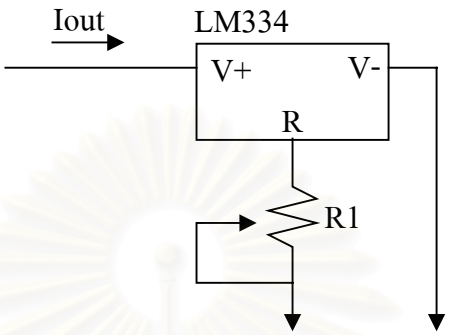
$$V_{out} = 1.25\left(1 + \frac{R_2}{R_1}\right) \tag{5.1}$$



รูปที่ 5.11 วงจรสร้างแรงดันอ้างอิง

แหล่งกระแสอ้างอิง 40 μA ได้มาจากวงจรรวมเบอร์ LM334 ต่อตามรูปที่ 5.12 โดยมีกระแสขาออกเป็นดังสมการที่ 5.2

$$I_{out} \approx \frac{67.7mV}{R_1} \tag{5.2}$$



รูปที่ 5.12 วงจรสร้างแหล่งกระแสอ้างอิง

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 6

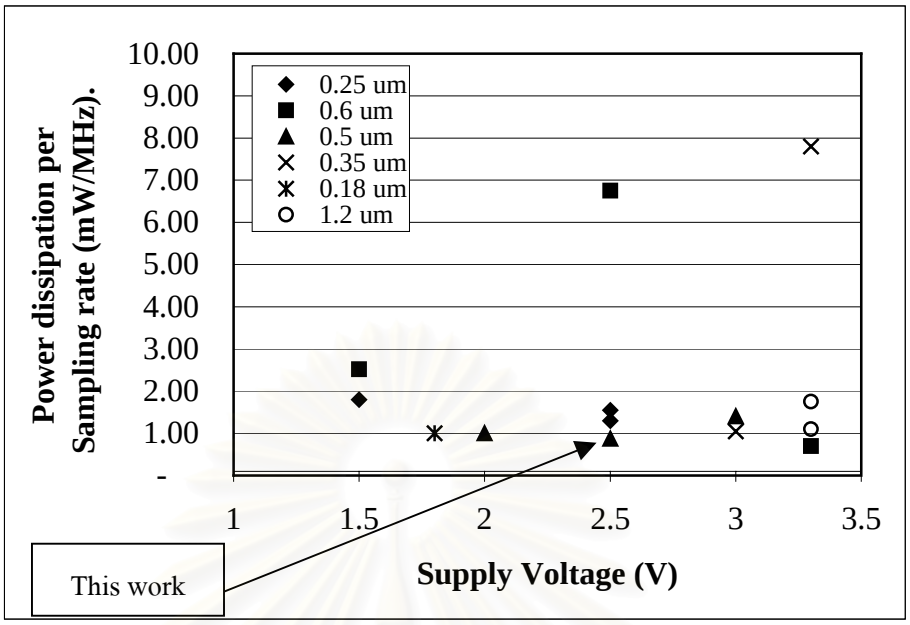
ข้อสรุป และข้อเสนอแนะ

6.1 ข้อสรุป

งานวิจัยในวิทยานิพนธ์นี้ศึกษาการออกแบบตัวแปลงแอนะลอกเป็นดิจิทัลแบบไปป์ไลน์ขนาด 10 บิต โดยใช้เทคนิคการชักตัวอย่างสัญญาณสองเท่าร่วมกับโครงสร้างออปแอมป์แบบสองขั้นตอนโดยโหลดของขั้นตอนแรกเป็นโหลดแบบแอคทีฟที่มีแรงดันโหมดร่วมเสถียร และเทคนิคการออกแบบด้วยวิธีวางตำแหน่งขั้ววงรอบปิด

การจำลองการทำงานด้วยโปรแกรม HSpice ทดสอบที่เงื่อนไขการผลิตแบบปรกติ แบบช้า และแบบเร็ว ที่เงื่อนไขการใช้งานตั้งแต่อุณหภูมิ 0 องศาเซลเซียสถึง 70 องศาเซลเซียส ผลการจำลองการทำงานที่ได้คือตัวแปลงแอนะลอกเป็นดิจิทัลที่ออกแบบมีความไม่เป็นเชิงเส้นแบบผลรวม และความไม่เป็นเชิงเส้นแบบผลต่างน้อยกว่า 1 LSB รวมถึงมีอัตราส่วนสัญญาณต่อสัญญาณรบกวนและความเพี้ยนสูงกว่า 56 dB แสดงให้เห็นว่าวงจรรวมที่ออกแบบมีความเชื่อถือได้ในระดับ 10 บิตจริง ที่ความถี่การชักตัวอย่างสัญญาณ 40 MHz พื้นที่ทั้งหมดของวงจรรวมที่ออกแบบคือ 12.1 mm^2 และการกินกำลังงานรวมทั้งหมด คิดเป็น 34.8 mW คิดเป็นอัตราส่วนการกินกำลังงานต่อความถี่การชักตัวอย่างสัญญาณคือ 0.87 mW/MHz เมื่อเปรียบเทียบกับงานวิจัยอื่นที่ผ่านมาดังแสดงในรูปที่ 6.1 จะพบว่างานวิจัยในวิทยานิพนธ์นี้มีอัตราส่วนการกินกำลังงานต่อความถี่การชัก-ตัวอย่างสัญญาณต่ำกว่างานวิจัยที่เคยมีมา[1]-[17]

ตัวแปลงแอนะลอกเป็นดิจิทัลที่ออกแบบในวิทยานิพนธ์นี้จึงสามารถนำไปประยุกต์ใช้งานกับเครื่องมือ หรืออุปกรณ์แบบพกพาทางด้านการประมวลผลสัญญาณภาพและวิดีโอที่ใช้แหล่งพลังงานจากแบตเตอรี่ได้ ซึ่งจะมีประโยชน์ในการนำงานวิจัยนี้ไปใช้พัฒนาต่อในงานวิจัยอื่นๆ ได้อีกด้วย



รูปที่ 6.1 อัตราส่วนการกินกำลังงานต่อความถี่การชักตัวอย่างสัญญาณของงานวิจัยที่ผ่านมา

6.2 ข้อเสนอแนะ

ข้อเสนอแนะสำหรับปรับปรุงตัวแปลงแอนะลอกเป็นดิจิทัลต่อไปมีดังนี้

1. ปรับปรุงโครงสร้างของตัวเปรียบเทียบให้มีการกินกำลังงานลดลง
2. ปรับปรุงวิธีการวางแผนผังวงจรรวมให้การใช้พื้นที่มีประสิทธิภาพดีขึ้น
3. พัฒนาโครงสร้างวงจรบูตสแตรปให้มีการกินกำลังงานลดลง และใช้พื้นที่บนวงจรรวมน้อยลง
4. ลดจำนวนวงจรบูตสแตรปลงเพื่อลดการกินกำลังงาน และพื้นที่ของวงจรรวม ซึ่งทำได้โดยพิจารณาจากข้อกำหนดในขั้นตอนท้ายๆ ของตัวแปลงแอนะลอกเป็นดิจิทัลแบบไปป์ไลน์ ซึ่งมีข้อกำหนดไม่เข้มงวด สวิตช์บางตัวอาจไม่จำเป็นต้องใช้วงจรบูตสแตรปเพื่อลดความต้านทาน หรืออาจใช้สวิตช์แบบซีมอสเพื่อลดความต้านทานแทนการใช้วงจรบูตสแตรปก็ได้
5. เปลี่ยนวิธีชดเชยเฟสของออปแอมป์โดยเลือกวิธีที่ทำให้ออปแอมป์กินกำลังงานน้อยกว่าวิธีชดเชยเฟสแบบแคสโคด

6. เพิ่มวงจรปรับเทียบ(Calibration circuit) สำหรับตัวเก็บประจุในขั้นตอนช่วง-ต้นเพื่อให้มีการเข้าคู่ดีขึ้น จะทำให้ตัวแปลงมีการแยกชัดสูงขึ้น

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

รายการอ้างอิง

[1] Hee Cheol Choi, Ho-Jin Park, Sung-Sik Hwang, Shin-Kyu Bae, Jae-Whui Kim and Philip Chung. A 1.5V 10-bit 25Msps Pipelined A/D Converter. Proceeding of the first IEEE Asia Pacific Conference on ASICs (1999) : 170-173.

[2] Andrew M. Abo and Paul R. Gray. A 1.5-V, 10-bit, 14.3-MS/s CMOS Pipeline Analog-to-Digital Converter. IEEE J. of Solid-State Circuits 34.5 (May 1999) : 599-606.

[3] Andrew M. Abo. Design for Reliability of Low-voltage, Switched-capacitor circuits. Doctor Thesis Electronics Research Laboratory U. C. Berkeley, 1999.

[4] Yong-In Park, S. Karthikeyan, Frank Tsay and Eduardo Bartolome. A low power 10 bit, 80 MS/s CMOS pipelined ADC at 1.8 V power supply. Proceeding of the 2001 IEEE International Symposium on Circuits and Systems. 1 (May 2001) : 580-583.

[5] Michio Yotsuyanagi, Hiroshi Hasegawa, Motoi Yamaguchi, Masaki Ishida and Kazuya Sone. A 2V 10b 20-Msample/s Mixed-Mode Subranging CMOS A/D Converter. Digest of technical papers, IEEE International Solid-State Circuits Conference. (1995) : 282-283.

[6] Babak Nejati and Omid Shoaei. A 10-bit, 2.5-V, 40Msample/s, Pipelined Analog-to-Digital Converter in 0.6-um CMOS. Proceeding of the 2001 IEEE International Symposium on Circuits and Systems. 1 (May 2001) : 576-579.

[7] Sotoudeh Hamedi-Hagh and C.A.T. Salama. A 10 bit, 50 Msample/s, low power pipelined A/D converter for cable modem applications. Proceeding of the 2001 IEEE International Symposium on Circuits and Systems. 1 (May 2001) : 424-427.

[8] David G. Narin. A 10-bit, 3V, 100MS/s Pipelined ADC. Proceeding of the IEEE 2000 Custom Integrated Circuits Conference. (2000) : 257-260.

[9] Lauri Sumanen, Mikko Waltari and Kari A. I. Halonen. A 10-bit 200-MS/s CMOS Parallel Pipeline A/D Converter. IEEE J. of Solid-State Circuits 36.7 (July 2001) : 1048-1055.

[10] Thomas B. Cho and Paul R. Gray. A 10b, 20 Msample/s, 35 mW Pipeline A/D Converter. IEEE J. of Solid-State Circuits 30 (March 1995) : 166-172.

[11] Thomas B. Cho. Low-Power Low-Voltage Analog-to-Digital Conversion Techniques using Pipelined Architectures. Doctor Thesis Electronics Research Laboratory U. C. Berkeley, 1995.

[12] George Chien. High-Speed, Low-Power, Low-Voltage Pipelined Analog-to-Digital Converter. Master Thesis Electronics Research Laboratory U. C. Berkeley, 1996.

[13] Hen drik van der Ploeg and Robert Remmers. A 3.3-V, 10-b, 25-Msample/s Two-Step ADC in 0.35-um CMOS. IEEE J. of Solid-State Circuits 34.12 (December 1999) : 1803-1811.

[14] Andrew N. Karanicolas, Hae-Seung Lee and Kantilal L. Bacrania. A 15-b 1-Msample/s Digitally Self-Calibrated Pipeline ADC. IEEE J. of Solid-State Circuits. 28.12 (December 1993) : 1207-1215.

[15] David W. Cline. Noise, Speed, and Power Trade-offs in Pipelined Analog to Digital Converters. Doctor Thesis Electronics Research Laboratory U. C. Berkeley, 1995.

[16] Stephen H. Lewis, H. Scott Fetterman, George F. Gross, Jr., R. Ramachandran and T. R. Viswanathan. A 10-b 20-Msample/s Analog-to-Digital Converter. IEEE J. of Solid-State Circuits. 27.3 (March 1992) : 351-358.

[17] Kwang Young Kim. A 10-bit, 100MS/s Analog-to-Digital Converter in 1-um CMOS. Doctor Thesis Integrated Circuits and Systems Laboratory Electrical Engineering Department University of California Los Angeles, 1996.

[18] Johns, D. A., and Martin, K. Analog integrated circuit design. New York: John Wiley & Sons, 1997.

[19] Bult, K., and Geelen, G. J. G. M. A fast-settling CMOS op amp for SC circuits with 90-dB DC gain. IEEE J. of Solid-State Circuits 25.6 (December 1990): 1379-1384.

[20] Mikko Waltari and Kari Halonen. A Switched-Opamp with Fast Common Mode Feedback. Proceedings of the 6th IEEE International Conference on Electronics, Circuit and Systems 1999. 3 (1999) : 1523-1525.

[21] Mikko Waltari and Kari Halonen. A 10-Bit 220-Msample/s CMOS Sample-and-Hold Circuit. Proceeding of the 1998 IEEE International Symposium on Circuit and Systems. 1 (1998) : 253-256.

[22] Rinaldo Castello and Paul R. Gray. A High-Performance Micropower Switched-Capacitor Filter. IEEE J. of Solid-State Circuits. SC-20.6 (December 1985) : 1122-1132.

[23] David B. Ribner and Miles A. Copeland. Design Techniques for Cascoded CMOS Op Amps with Improved PSRR and Common-Mode Input Range. IEEE J. of Solid-State Circuits. SC-19.6 (December 1984) : 919-925.

[24] Arnold R. Feldman. High-Speed, Low-Power Sigma-Delta Modulators for RF Baseband Channel Applications. Doctor Thesis Electronics Research Laboratory U. C. Berkeley, 1997.

[25] David K. Su, Marc J. Loinaz, Shoichi Masui and Bruce A. Wooley. Experimental Results and Modeling Techniques for Substrate Noise in Mixed-Signal Integrated Circuits. IEEE J. of Solid-State Circuits. 28.4 (April 1993) : 420-430.

[26] Jeffrey Ho and Howard Cam Luong. A 3-V, 1.47-mW, 120-MHz Comparator for Use in a Pipeline ADC. Proceeding of IEEE Asia Pacific Conference on Circuits and Systems 1996. (1996) : 413-416.

[27] Eric G. Soenen and Randall L. Geiger. An Architecture and An Algorithm for Fully Digital Correction of Monolithic Pipelined ADC's. IEEE Transaction on Circuits and Systems-II : Analog and Digital Signal Processing. 42.3 (March 1995) : 143-153.

[28] Alan Hastings. The Art of Analog Layout. New Jersey : Prentice-Hall, 2001.

[29] Behzad Razavi. Principles of Data Conversion System Design. New York : IEEE Press, 1995.

[30] Katsuhiko Ogata. Modern Control Engineering. New Jersey : Prentice-Hall, 1997.

[31] Paul R. Gray and Robert G. Meyer. Analysis and Design of Analog Integrated Circuits. Singapore : John Wiley & Sons, 1997.

[32] Neil H. E. Weste and Kamran Eshraghian. Principles of CMOS VLSI Design. USA : Addison Wesley, 1994.

[33] Technology and design documentation: Alcatel Microelectronics 0.5μ CMOS. Belgium: IMEC, 2000.

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

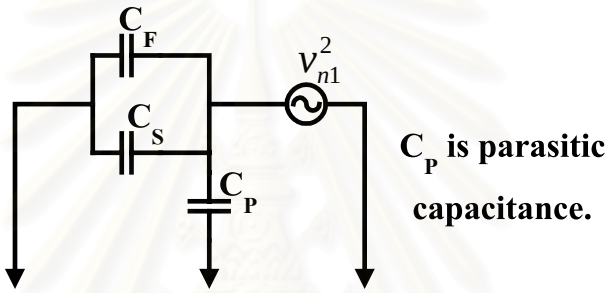
ภาคผนวก

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

ภาคผนวก ก.

การวิเคราะห์สัญญาณรบกวนในวงจรสวิตช์ตัวเก็บประจุ

วงจรสวิตช์ตัวเก็บประจุในรูปที่ 2.5 แบ่งการทำงานออกเป็น 2 ช่วง คือ ช่วงเวลาชักตัวอย่างสัญญาณ และช่วงเวลาประเมินผล สัญญาณแรงดันขาเข้าจะถูกชักตัวอย่างเก็บไว้ในตัวเก็บประจุในช่วงเวลาชักตัวอย่างสัญญาณ ซึ่งสัญญาณรบกวนก็จะถูกชักตัวอย่างเก็บไว้ในตัวเก็บประจุด้วย วงจรสมมูลของสัญญาณรบกวนแสดงไว้ในรูปที่ ก.8.1 และหลังจากวิเคราะห์วงจรสมมูลของสัญญาณรบกวนจะได้สัญญาณรบกวนในช่วงเวลานี้ (v_{n1}^2) ที่อุณหภูมิ T เคลวินเป็นดังสมการ ก.1



รูปที่ ก.8.1 วงจรสมมูลของสัญญาณรบกวนในช่วงเวลาชักตัวอย่างสัญญาณ

$$v_{n1}^2 = \frac{k_B T}{C_S + C_F + C_P} \qquad \text{(ก.1)}$$

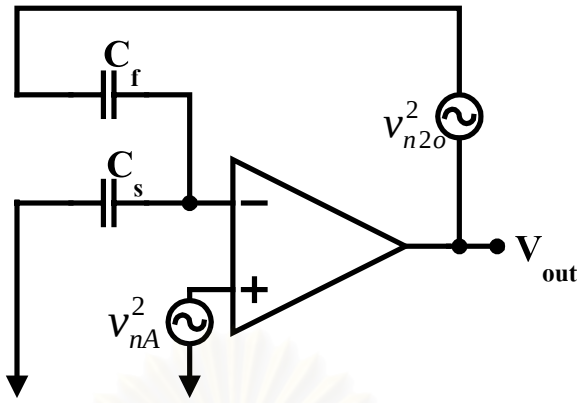
กำหนดให้ k_B คือ ค่าคงที่โบลตซ์มานน์

จากสมการที่ ก.1 สามารถหาจำนวนประจุของสัญญาณรบกวน (Q_n) ได้ดังสมการที่ ก.2 ประจุของสัญญาณรบกวนดังกล่าวจะถูกถ่ายเทไปที่ตัวเก็บประจุ C_F และประเมินผลเป็นค่าแรงดันสัญญาณรบกวนขาออก (v_{n1o}^2) ได้ดังสมการที่ ก.3

$$Q_n^2 = k_B T(C_S + C_F + C_P) \qquad \text{(ก.2)}$$

$$v_{n1o}^2 = \frac{Q_n^2}{C_F^2} = \frac{k_B T(C_S + C_F + C_P)}{C_F^2} = \frac{k_B T}{C_F} \cdot \frac{1}{\beta} \qquad \text{(ก.3)}$$

สัญญาณรบกวนสามารถเกิดขึ้นในช่วงเวลาประเมินผลได้ด้วย ซึ่งแหล่งกำเนิดสัญญาณรบกวนเกิดจาก สวิตช์ที่ขาออกของออปแอมป์ และออปแอมป์ สัญญาณรบกวนทั้งสองแหล่งนี้ส่งผลต่อค่าของแรงดันขาออกโดยตรง ซึ่งสามารถเขียนวงจรสมมูลของสัญญาณรบกวนในช่วงเวลาประเมินผลได้ดังรูปที่ ก.8.2



รูปที่ ก.8.2 วงจรสมมูลของสัญญาณรบกวนในช่วงเวลาประเมินผล

สัญญาณรบกวนจากสวิตช์ที่ขาออกของออปแอมป์ (v_{n2}^2) ส่งผลให้เกิดสัญญาณรบกวนที่ขาออกของวงจรโดยตรง สวิตช์ที่ขาออกคือทรานซิสเตอร์ชนิดมอส ซึ่งในขณะที่สวิตช์ต่อวงจรจะมีความต้านทาน (R_{on}) อยู่ค่าหนึ่ง ดังนั้นจะได้สัญญาณรบกวนที่ขาออก (v_{n2o}^2) ดังสมการที่ ก.4

$$v_{n2o}^2 = 4k_B TR_{on}\beta\omega_U \tag{ก.4}$$

สัญญาณรบกวนจากออปแอมป์ (v_{nA}^2) โดยปกติจะอ้างอิงจากด้านขาเข้า และเมื่อต่อวงจรออปแอมป์ให้ป้อนกลับด้วยตัวประกอบการป้อนกลับ β จะได้สัญญาณรบกวนที่ขาออก (v_{nAo}^2) เป็นดังสมการที่ ก.5

$$v_{nAo}^2 = v_{nA}^2\left(\frac{1}{\beta}\right)^2 \tag{ก.5}$$

สัญญาณรบกวนจากการชักตัวอย่างสัญญาณรบกวนในช่วงเวลาชักตัวอย่างสัญญาณ สวิตช์ที่ขาออกของวงจร และออปแอมป์ ทั้งสามแหล่งสามารถนำมาคิดรวมกันส่งผลเป็นสัญญาณรบกวนขาออก (v_{no}^2) ได้ และเมื่อคิดอ้างอิงกลับมายังขาเข้าจะได้ผลการคำนวณเป็นดังสมการที่ ก.6 และ ก.7 ตามลำดับ

$$v_{no}^2 = v_{n1o}^2 + v_{n2o}^2 + v_{nAo}^2 = \frac{k_B T}{C_F\beta} + k_B TR_{on}\beta\omega_U + \frac{v_{nA}^2}{\beta^2} \tag{ก.6}$$

$$v_{ni}^2 = \left(\frac{C_F}{C_S + C_F}\right)^2\left(\frac{k_B T}{C_F\beta} + k_B TR_{on}\beta\omega_U + \frac{v_{nA}^2}{\beta^2}\right) \tag{ก.7}$$

สัญญาณรบกวนจากออปแอมป์ขึ้นอยู่กับโครงสร้างของออปแอมป์ที่ใช้ เช่น สมมติให้ออปแอมป์เป็นวงจรขยายที่มีทรานซิสเตอร์ชนิดมอสตัวเดียว ค่าทรานส์คอนดักแตนซ์เป็น

g_m และมีความถี่อัตราขยายหนึ่งเป็น ω_U จะได้สัญญาณรบกวนจากออปแอมป์มีค่าเป็นดังสมการที่ ก.8 เมื่อนำสมการที่ ก.8 แทนค่าลงในสมการที่ ก.7 จะได้สัญญาณรบกวนทั้งหมดอ้างอิงทางด้านขาเข้าเป็นดังสมการที่ ก.9

$$v_{nA}^2 = 4k_B T\left(\frac{2}{3g_m}\right)\beta\omega_U \qquad \text{(ก.8)}$$

$$v_{ni}^2 = \left(\frac{C_F}{C_S + C_F}\right)^2\left(\frac{k_B T}{C_F \beta} + k_B T R_{on}\beta\omega_U + \frac{8k_B T\omega_U}{3g_m\beta}\right) \qquad \text{(ก.9)}$$

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

ภาคผนวก ข.

บทความที่ได้รับการพิจารณาตอบรับใน

2002 IEEE Asia-Pacific Conference on Circuits and System (APCCAS'02)

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

A 2.5-V 10-BIT 40-MS/S DOUBLE SAMPLING PIPELINE A/D CONVERTER

Atit Tamtrakarn and Naiyavudhi Wongkomet

Department of Electrical Engineering,
Faculty of Engineering, Chulalongkorn University
Phyathai Rd. Pathumwan Bangkok 10330
Phone:+662-218-6488
E-mail: fud@digital.ee.eng.chula.ac.th, naiyavud@ee.eng.chula.ac.th

ABSTRACT

This paper presents a 10-bit pipeline ADC using double sampling technique to achieve a conversion rate of 40 MS/s at 2.5-V supply. The opamps are two-stage with folded-cascode as the first stage and feature techniques such as common-mode stabilized active load, cross-coupled cascode connection, and close-loop pole placement. MOS switches are driven by bootstrapping circuits that do not subject the devices to large terminal voltages. The chip is being fabricated in a 0.5-µm CMOS technology. Simulation results have been checked for all process corners including the effect of 3σ capacitor mismatches, comparator offset, ±10% variation in poly-poly capacitor and temperature variation from 0°C to 70°C. The results show that the converter has DNL less than 0.5LSB and achieves 59.3 dB SNDR at 100 kHz and 55.1dB at 15.1 MHz sinusoidal inputs. Power consumption is estimated at 34.8 mW.

1. INTRODUCTION

Designing analog circuits for modern portable devices is a major challenge. The supply voltage is usually very low due to the power reduction in digital circuits. This, unfortunately, increases the power consumption of analog circuits. Furthermore, these modern devices require higher speed analog building blocks despite the low-voltage and low-power constraints.

To understand the states of current state-of-the-art ADCs, figure 1 has been plotted to show the relationship between power dissipation normalized to the sampling rate versus supply voltage for some recently reported 10-bit ADCs [1]-[13]. These ADCs are implemented in CMOS and are based on pipelined and subranging techniques. This figure shows that lower-voltage ADCs normally have higher power dissipation than higher-voltage ADCs. However, the proposed ADC in this paper despite operating from a low 2.5-V supply has the lowest normalized power dissipation.

This paper gives an overview of the power-optimized pipeline architecture in section 2. Section 3 introduces double sampling technique. In section 4, the circuit design techniques are described. Finally, the simulation results are presented in section 5.

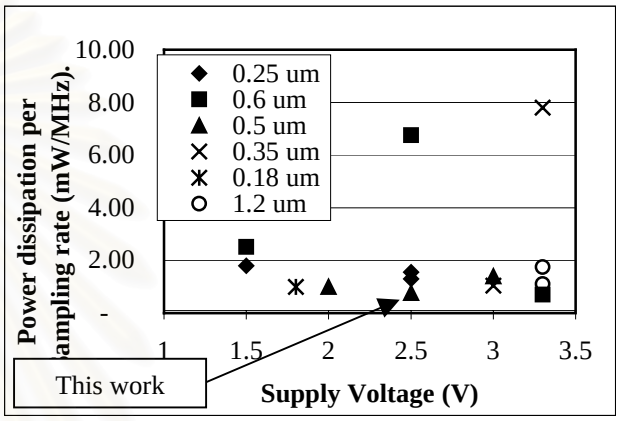


Figure 1. Power per sampling rate versus supply voltage for recently reported 10-bit ADCs.

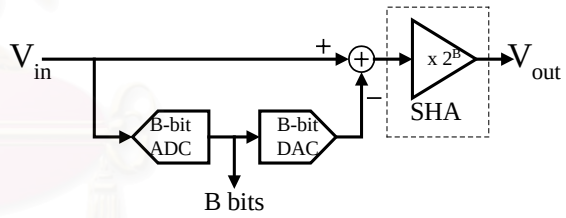
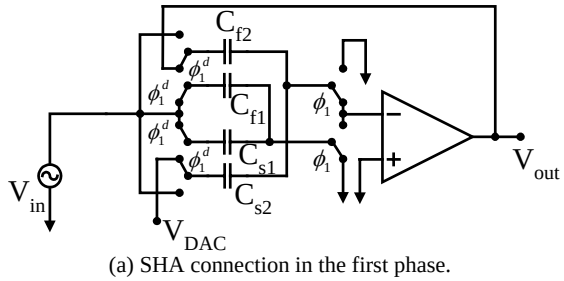


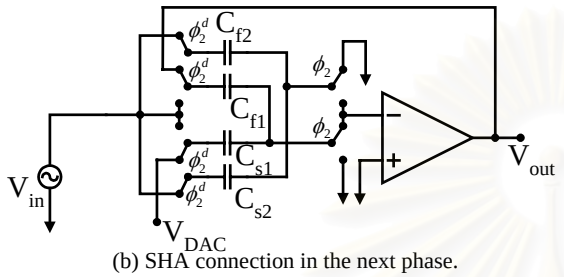
Figure 2. Structure of each stage in pipeline A/D converter

2. POWER-OPTIMIZED PIPELINE ARCHITECTURE

As shown in figure 2, each stage of the pipeline A/D converter consists of a sub-ADC, a sub-DAC, a sample-and-hold with amplification (SHA) and a subtractor. The accuracy of the first stage must be as good as ten bits, but can be relaxed for the later stages. Hence, the use of identical stages through the pipeline converter is not an optimal solution in terms of power and area. Common solutions are to optimize the number of single-ended. The circuits design approaches are to optimized per-stage



(a) SHA connection in the first phase.



(b) SHA connection in the next phase.

Figure 3. Two-phase double sampling SHA.

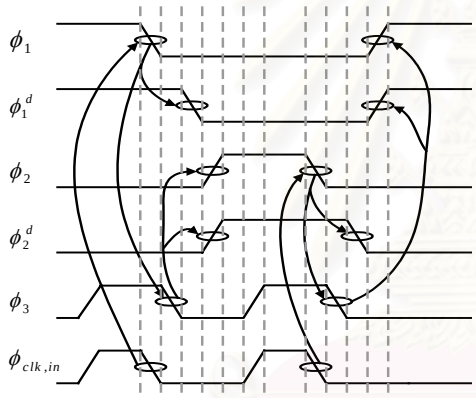


Figure 4. Clock timing diagram for SHA and comparators.

resolution and to scale sampling capacitor size in each stage through the converter.

An important design tradeoff is the number of bits per stage. The more bits per stage, the more power consumption per stage but the fewer number of stages. For high-speed converters, per-stage resolution is typically kept below two bits because it is difficult to realize an SHA with both high speed and high gain. It is common agreed that the optimum number of bit is 1 bit/stage [3]-[5]. For 1 bit/stage converters (B=1), the SHA must have a closed-loop gain of two and the sub-A/D is reduced to only a comparator.

Digital Error Correction (DEC) technique is a powerful technique to relax the offset specification. With this technique, offset can be as large as one-fourth of full scale. With this technique, a redundancy bit is needed for each stage. This changes the optimal per-stage resolution changed from one bit/stage to 1.5 bit/stage [2]-[4]. For 1.5-bit/stage conversion, the SHA still has the same closed-loop gain as one bit/stage converter. The digital output becomes three levels. This makes each sub-A/D requires two comparators and a two-bit-thermometer-to-binary encoder.

Other issued to be considered are noise and matching, which are mainly determined by sampling capacitor size. The larger capacitance, the lower noise and better matching but the SHA requires more power because the opamp has to drive large capacitive load. The optimum capacitor size for each stage is determined by trading-off noise, bandwidth and matching to meet all specifications while achieving the lowest power consumption.

With DEC technique, a 1.5-bit/stage 10-bit A/D converter has nine stages. Each stage has a SHA, a 1.5-bit sub-A/D, and a 1.5-bit sub-D/A except the last stage. Since the output residue is not further required in the last stage, the last stage consists of only a two-bit sub-ADC. Therefore, each stage contains one opamp and two comparators except the last stage, which uses only three comparators. Since there are nine stages, the converter needs eight opamps 19 comparators and a number of switches.

3. DOUBLE SAMPLING TECHNIQUE

Typical switched-capacitor (SC) circuits as in the SHA use half the clock period to reset the capacitors and another half to evaluate the output voltage; hence, the opamp is idle during the reset period but still consumes power. Double sampling technique, by adding another set of switches and capacitors, alleviates this problem and permits full utilization of opamps during both phases [15]. A double sampling SHA is shown in figure 3. There are two sets of sampling capacitors. During the first phase, as shown in figure 3(a), C_{s1} and C_{f1} sample the input signal, while C_{s2} and C_{f2} are connected to the opamp in feedback configuration. During the next phase, as shown in figure 3(b), C_{s1} and C_{f1} are connected in feedback configuration, while C_{s2} and C_{f2} sample the input. This scheme allows the opamp to operate during both phases and thus doubling the sampling rate with minimal increase in power consumption. In this ADC, sub-A/Ds require 40 MHz clock while SHAs need only 20 MHz non-overlapping clocks; therefore, the clock timing is arranged as shown in figure 4. The necessary clock signals are $\phi_1, \phi_1^d, \phi_2, \phi_2^d$ and ϕ_3. $\phi_1, \phi_1^d, \phi_2, \phi_2^d$ are for the SHA and ϕ_3 are for the comparators in the sub ADCs, while $\phi_{clk,in}$ is the external clock input. For 1.5 bit/stage converters, all of the sampling capacitors must be equal, or capacitor mismatch must less than 0.1% to keep gain error less than 1 LSB, to achieve the close-loop gain of two as described in section 2.

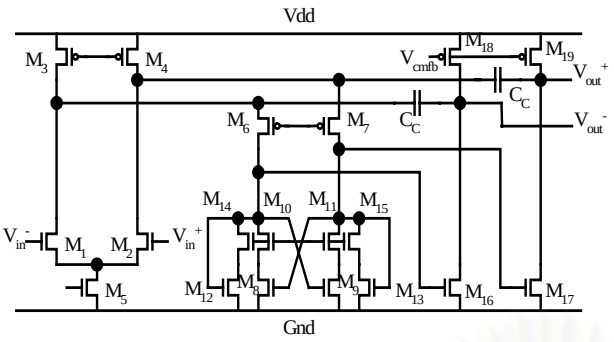


Figure 5. Low voltage opamp with common-mode stabilized active load.

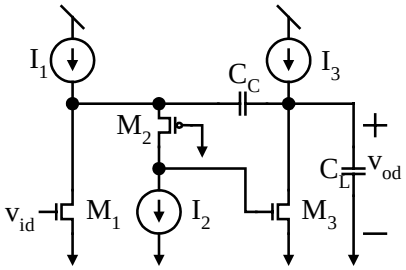


Figure 6. The half circuit small-signal model of figure 5.

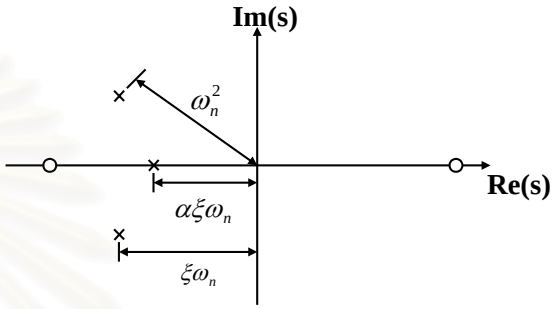


Figure 7. Closed-loop pole-zero plot.

4. CIRCUIT DESIGN TECHNIQUE

A fully differential topology has been chosen rather than a single-ended topology. The circuit design is described in detail in the following sections.

4.1 Low-voltage opamp

Opamp is the most important building block in a pipeline ADC. For low-voltage supply, the opamp needs wide input voltage range and wide output voltage swing. Cascode topology is not preferred because the output voltage swing is limited by the cascode devices. It seems that conventional two-stage topology is the best candidate but this topology consumes high power and does not have enough DC gain for high-resolution A/D converters. Moreover, for fully differential topology, a two-stage opamp normally requires a common-mode feedback (CMFB) amplifier to sense common-mode output voltage, invert the phase, and feedback to the first stage. This consumes more power because CMFB amplifier must be as fast as the main amplifier.

The opamp topology used in this ADC is shown in figure 5. The input stage is a folded-cascode stage with common-mode stabilized active load and the second stage is a class A common source. The cascode compensation scheme is chosen for this opamp rather than the conventional miller compensation to achieve lower power consumption.

The common-mode stabilized active load, consists of eight equal size transistors M_8-M_{15}, is preferred as the first stage active load rather than normal cascode active load. With this load, differential signals see high load impedance since transconductance of M_{12}-M_{15} are cancelled by the transconductance of M_8-M_{11}. In the mean time, the common-mode signal impedance is low and thus the common-mode voltage in the first stage output is stable enough without a CMFB. This scheme eliminates the need to reverse the phase of common-mode feedback signal and allows a switched-capacitor CMFB (SC CMFB) to be applied to the second stage directly.

A cascode-compensated opamp is a two-zero three-pole system and is difficult to design with conventional design techniques. A good approach is to use closed-loop poles placement technique [18]. The closed-loop poles placement technique is the method that fixes position of poles and zeros when the system is closed loop and then find out what the value of physical device parameters are. This technique simplifies the design of such complex system.

From an analysis of the small-signal model in figure 6, the closed-loop transfer function denoted by $H_{cl}(s)$ is given by eq.(1) where $C_T = C_1C_L+C_1C_C+C_LC_C$.

$$H_{cl}(s) = \frac{\frac{g_{m1}}{C_2C_T^2}(g_{m2}g_{m3} - C_2C_Cs^2)}{s^3 + \left[\frac{g_{m2}(C_L+C_C)-\beta g_{m1}C_C}{C_T^2}\right]s^2 + \frac{g_{m2}g_{m3}C_C}{C_2C_T^2}s + \frac{\beta g_{m1}g_{m2}g_{m3}}{C_2C_T^2}} \qquad (1)$$

The function shows that there are two zeros, one real poles and two complex poles. Since the zeros are at the same frequency but on different half of the plane as given by eq.(2), the zeros do not degrade phase margin.

$$\omega_z = \pm\sqrt{\frac{g_{m2}g_{m3}}{C_2C_C}} \qquad (2)$$

The denominator of the closed-loop transfer function, denoted as D(s), indicates the positions of closed-loop

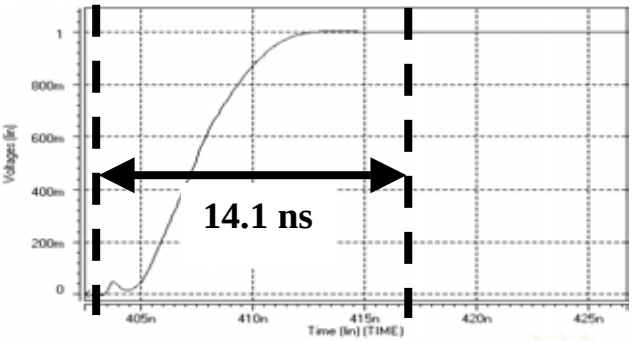


Figure 8. Simulated opamp transient response.

poles in terms of α , ξ and ω_n as shown in eq.(3) and the poles positions can be seen by closed-loop pole-zero plot in figure 7.

$$D(s) = (s + \alpha\xi\omega_n)(s^2 + 2\xi\omega_n s + \omega_n^2) \quad (3)$$

By factorizing the denominator in eq.(1), it was found that the parameters α , ξ and ω_n are related to the physical device parameters as shown in eq.(4)-eq.(6). The optimum value of these parameters can be obtained by the desired step response, as shown in eq.(7), and numerical optimization. In this paper, α =0.9 and ξ =0.85 are the optimum values in term of power consumption.

$$(2+\alpha)\xi\omega_n = \frac{g_{m2}(C_C + C_L) - \beta g_{m1} C_C}{C_T^2} \quad (4)$$

$$\omega_n^2(1 + 2\alpha\xi^2) = \frac{g_{m2} g_{m3} C_C}{C_2 C_T^2} \quad (5)$$

$$\alpha\xi\omega_n^3 = \frac{\beta g_{m1} g_{m2} g_{m3}}{C_2 C_T^2} \quad (6)$$

$$v_o(t) = A_{cl}\left[1 - \frac{e^{-\alpha\xi\omega_n t}}{1 - 2\alpha\xi^2 + \alpha^2\xi^2} - \frac{\alpha\xi e^{-\xi\omega_n t}}{1 - 2\alpha\xi^2 + \alpha^2\xi^2}\left((-2\xi + \alpha\xi)\cos(\gamma) + \frac{(1 - 2\xi^2 + \alpha\xi^2)}{\sqrt{1-\xi^2}}\sin(\gamma)\right)\right] \quad (7)$$

where $v_o(t)$ is the step response, A_{cl} is the closed-loop dc gain, and $\gamma = \omega_n t\sqrt{1-\xi^2}$.

The simulating shows that the first stage opamp has dc gain exceed 90 dB and the 0.1% settling time is less than 15 ns as shown in figure 8. The sampling capacitor for the first stage is 380 fF which is determined by capacitor matching requirement. The simulated power dissipation of

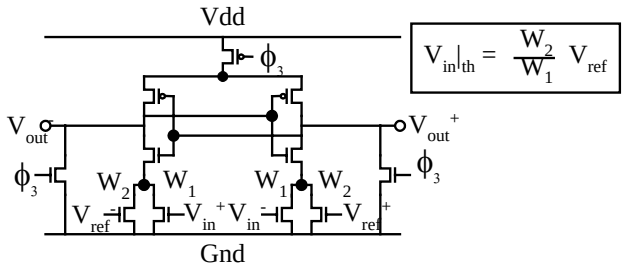


Figure 9. Dynamic comparator.

the first stage opamp is less than 3 mW.

4.2 Dynamic comparator

In high-resolution A/D converters, precision comparators consume dc power since low-offset pre-amp stages are required. However, in the pipeline architecture, the error from a large comparator offset in the flash ADC section of each stage can be easily compensated with DEC technique. So the comparator offset is not a critical specification. Dynamic comparator is a good choice here because this type of comparator has no dc power dissipation, although it has a large offset due to process variations and mismatches. One implementation of a dynamic comparator is shown in figure 9 and its threshold voltage is $V_{in,th}$ [3][4].

The comparator uses clock signal ϕ_3 in figure 4. The comparator senses the input signal and regenerates the analog signal into full-scale digital signal when ϕ_3 goes low and the output is reset when ϕ_3 goes high.

Since this A/D converter has a full-scale signal of ±1 V, the converter, with DEC technique, can tolerate comparator offset up to ±250 mV. From simulation with 3σ transistor mismatch, the comparator offset is less than 206 mV. The power dissipation of all 19 comparators is only 1.4 mW at 40 MHz operation.

4.3 Low-voltage switch

In high-speed low-voltage SC circuits, on-resistance of MOS switches limits the tracking speed and the settling time. Therefore, switch on-resistance must be low enough to not degrade the speed performance. Moreover, the resistance of MOS switches has nonlinear voltage dependency, which can produce distortion when tracking the input signals. The only way to eliminate the nonlinear voltage dependency is to turn on a MOS switch with constant voltage across its gate-source, therefore, bootstrapped switches are required.

Bootstrap generators are needed to generate voltage equal to the supply across gate-source of the MOS switch to turn it on. The bootstrap generator is shown in figure 10 [2]. When ϕ goes low, M_1-M_5 and M_{11} are on.

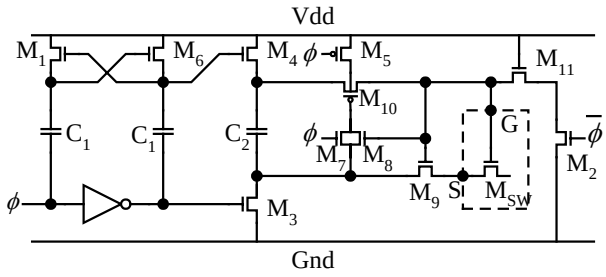


Figure 10. Bootstrap generator.

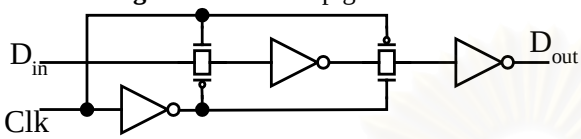


Figure 11. Compact delay unit.

Gate of the switch (M_{SW}) is connected to ground and C_2 is connected across supply voltage and ground. Voltage across C_2 is equal to V_{DD} and V_{GS} is equal to $-V_s$; Hence, the switch is turned off. When ϕ goes high, M_6-M_{11} are on and C_2 is connected across gate-source of the switch. However, there is some charge leakage from C_2 to parasitic capacitances C_p and thus V_{GS} is dropped from V_{DD} according to eq.(8).

$$V_{GS} = \frac{C_2}{C_2 + C_p} V_{dd} \qquad (8)$$

For 10-bit 40-Ms/s A/D converters, the switch on-resistance must be low enough to obtain switch bandwidth much greater than 20 MHz and total harmonic distortion (THD) better than 62 dB. Therefore, from (8), C_2 must be large enough to yield low switch on-resistance for 10-bit 40-Ms/s requirements. From the simulation, C_2=700 fF is large enough to maintain total harmonic distortion better than 62 dB which is good enough for a 10-bit A/D converter.

4.4 Delay unit for DEC Adder

In pipeline A/D converters, digital output from the earlier stages have to wait until the last stage gives the correct digital value before performing the DEC; therefore, delay units are needed. The first stage digital outputs have to wait 8 clocks. Since the output is 1.5 bit, 16 delay units are needed. Hence, the total delay units for all nine stages are 72 units. The shift register shown in figure 11 consists of three inverters and two transmission gates. The power consumption at 40 MHz is only 32.2 uW/unit.

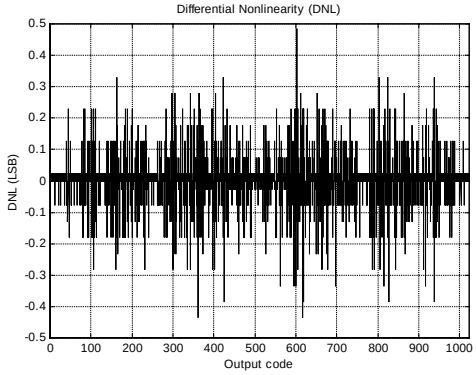


Figure 12. Differential nonlinearity.

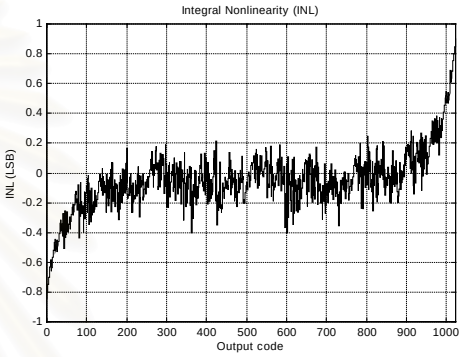


Figure 13. Integral nonlinearity.

Table 1. A/D Performance summary.

	Simulated performance
Resolution	10 bits
Sampling rate	40 MHz
Supply voltage	2.5 V
Differential input range	+/-1 V
SNDR @ 100 kHz input	59.3 dB
SNDR @ 15.1 MHz input	55.1 dB
DNL	< 0.5 LSB
INL	< 1.0 LSB
Power consumption	34.8 mW
Technology	0.5 um

5. SIMULATION RESULTS

The circuit simulation was done by H-Spice and the results were recalculated by MATLAB to obtain differential nonlinearity (DNL) and integral nonlinearity (INL) as shown in figure 12 and figure 13 respectively. This simulation has been checked with all process corners and includes the effect of 3σ capacitor mismatch, comparator offset, ±10% variation in poly-poly capacitor size and temperature varying from 0^oC to 70^oC.

The static linearity shown in figure 13 and figure 14 indicated that the proposed ADC has a good linearity with DNL less than 0.5LSB and INL less than 1LSB. This guarantees that the ADC does not give any missing code.

Table 1 summarizes the simulated A/D performances. The peak SNDR is 59.3 dB at 100 kHz and 55.1 dB at 15.1 MHz sinusoidal input with a clock frequency of 40 MHz. This shows that the ADC can achieve 10-bit performance at sampling rate of 40 MHz with 34.8 mW of total power dissipation from a 2.5-V supply.

6. CONCLUSION

This A/D converter is suitable for high-speed portable instruments and high quality video systems. Low power consumption is obtained by optimizing opamp bandwidth, common-mode stabilized load and double sampling technique. It can achieves 10-bit performance at sampling rate up to 40 Ms/s, while dissipating only 34.8 mW from a 2.5-V supply.

7. ACKNOWLEDGEMENT

This research is supported in part by research grant from Rachadapisek Somphot Endowment, Chulalongkorn University.

REFERENCES

[1] Hee Cheol Choi, Ho-Jin Park, Sung-Sik Hwang, Shin-Kyu Bae, Jae-Whui Kim and Philip Chung, “A 1.5V 10-Bit 25Msps Pipelined A/D Converter”, Proceeding of the first IEEE Asia Pacific Conference on ASICs, pp. 170-173, 1999.

[2] Andrew M. Abo and Paul R. Gray, “A 1.5-V, 10-bit, 14.3-MS/s CMOS Pipeline Analog-to-Digital Converter”, IEEE Journal of Solid-State Circuits, Vol. 34, No. 5, pp. 599-606, May, 1999.

[3] T. B. Cho, “Low-Power Low-Voltage Analog-to-Digital Conversion Techniques using Pipelined Architectures”, Memorandum No. UCB/ERL M95/23, Electronics Research Laboratory, U. C. Berkeley, April 1995.

[4] T. B. Cho and Paul R. Gray, “A 10 b, 20 Msample/s, 35 mW Pipeline A/D Converter”, IEEE Journal of Solid-State Circuits, Vol. 30, pp. 166-172, March 1995.

[5] George Chien, “High-Speed, Low-Power, Low Voltage Pipelined Analog-to-Digital Converter”, Memorandum No. UCB/ERL M96/27, Electronics Research Laboratory, U. C. Berkeley, May 1996.

[6] Hen drik van der Ploeg and Robert Remmers, “A 3.3-V, 10-b, 25-Msample/s Two-Step ADC in 0.35-μm CMOS”, IEEE Journal of Solid-State Circuits, Vol. 34, No. 12, pp.1803-1811, December 1999.

[7] David G. Narin, “A 10-bit, 3V, 100MS/s Pipelined ADC”, Proceeding of the IEEE 2000 Custom Integrated Circuits Conference, pp. 257-260, 2000.

[8] Lauri Sumanen, Mikko Waltari and Kari A. I. Halonen, “A 10-bit 200-MS/s CMOS Parallel Pipeline A/D Converter”, IEEE Journal of Solid-State Circuits, Vol. 36, No. 7, July 2001.

[9] Stephen H. Lewis, H. Scott Fetterman, George F. Gross, Jr., R. Ramachandran and T. R. Viswanathan, “A 10-b 20-Msample/s Analog-to-Digital Converter”, IEEE Journal of Solid-State Circuits, Vol. 27, No. 3, March 1992.

[10] Michio Yotsuyanagi, Hiroshi Hasegawa, Motoi Yamaguchi, Masaki Ishida and Kazuya Sone, “A 2V 10b 20-Msample/s Mixed-Mode Subranging CMOS A/D Converter”, Digest of technical papers, IEEE International Solid-State Circuits Conference, pp. 282-283, 1995.

[11] Babak Nejati and Omid Shoaei, “A 10-bit, 2.5-V, 40Msample/s, Pipelined Analog-to-Digital Converter in 0.6-μm CMOS”, Proceeding of the The 2001 IEEE International Symposium on Circuits and Systems, Vol. 1, pp. 576-579, May 2001.

[12] Sotoudeh Hamedi-Hagh and C.A.T. Salama, “A 10 bit, 50 M sample/s, low power pipelined A/D converter for cable modem applications”, Proceeding of the The 2001 IEEE International Symposium on Circuits and Systems, Vol. 1, pp. 424-427, May 2001.

[13] Yong-In Park, S. Karthikeyan, Frank Tsay and Eduardo Bartolome, “A low power 10 bit, 80 MS/s CMOS pipelined ADC at 1.8 V power supply”, Proceeding of the The 2001 IEEE International Symposium on Circuits and Systems, Vol. 1, pp. 580-583, May 2001.

[14] Mikko Waltari and Kari Halonen, “A Switched-Opamp with Fast Common Mode Feedback”, Proceedings of the 6th IEEE International Conference on Electronics, Circuit and Systems 1999, Vol. 3, pp. 1523-1525, 1999.

[15] Mikko Waltari and Kari Halonen, “A 10-Bit 220-Msample/s CMOS Sample-and-Hold Circuit”, Proceeding of the 1998 IEEE International Symposium on Circuits and Systems, Vol. 1, pp. 253-256, 1998.

[16] Rinaldo Castello and Paul R. Gray, “A High-Performance Micropower Switched-Capacitor Filter”, IEEE Journal of Solid-State Circuits, Vol. SC-20, No. 6, pp. 1122-1132, December 1985.

[17] David B. Ribner and Miles A. Copeland, “Design Techniques for Cascoded CMOS Op Amps with Improved PSRR and Common-Mode Input Range”, IEEE Journal of Solid-State Circuits, Vol. SC-19, No. 6, pp. 919-925, December 1984.

[18] Arnold R. Feldman, “High-Speed, Low-Power Sigma-Delta Modulators for RF Baseband Channel Applications”, Memorandum No. UCB/ERL M97/62, Electronics Research Laboratory, U. C. Berkeley, 1997.

ประวัติผู้เขียนวิทยานิพนธ์

นายอาทิตย์ ธรรมตระการ สำเร็จการศึกษาปริญญาตรีวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมไฟฟ้า จากคณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย ในปีการศึกษา 2542 และเข้าศึกษาต่อในหลักสูตรวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า ที่คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย ในปีการศึกษา 2543

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย