การสร้างส่วนต่อประสานดิจิทัลอนุกรมและตัวกรองสองมิติสำหรับสัญญาณวีดิทัศน์ดิจิทัลโดยใช้เอฟพีจีเอ

นายกิตติ ทองประดับเพชร

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า ภาควิชาวิศวกรรมไฟฟ้า
คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย
ปีการศึกษา 2549

ISBN 974-14-2606-2

ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย

IMPLEMENTATION OF SERIAL DIGITAL INTERFACE AND 2-D FILTER FOR DIGITAL VIDEO SIGNAL USING FPGA

Mr.Kitti Tongpraduppet

A Thesis Submitted in Partial Fulfillment of the Requirements

for the Degree of Master of Engineering Program in Electrical Engineering

Department of Electrical Engineering

Faculty of Engineering

Chulalongkorn University

Academic Year 2006

ISBN 974-14-2606-2

Copyright of Chulalongkorn University

หัวข้อวิทยานิพนธ์	การสร้างส่วนต่อประสานดิจิทัลอนุกรมและตัวกรองสองมิติสำหรับสัญญาณวีดิทัศน์ดิจิทัลโดยใช้เอฟพีจีเอ
โดย	นายกิตติ ทองประดับเพชร
สาขาวิชา	วิศวกรรมไฟฟ้า
อาจารย์ที่ปรึกษา	ผู้ช่วยศาสตราจารย์ ดร.เจษฎา ชินรุ่งเรือง
อาจารย์ที่ปรึกษาร่วม	อาจารย์ สุวิทย์ นาคพีระยุทธ

คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย อนุมัติให้นับวิทยานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญามหาบัณฑิต

..... คณบดีคณะวิศวกรรมศาสตร์

(ศาสตราจารย์ ดร.ดิเรก ลาวัณย์ศิริ)

คณะกรรมการสอบวิทยานิพนธ์

..... ประธานกรรมการ

(รองศาสตราจารย์ ดร.สมชาย จิตะพันธ์กุล)

เจษฎา ชินรุ่งเรือง ..... อาจารย์ที่ปรึกษา

(ผู้ช่วยศาสตราจารย์ ดร.เจษฎา ชินรุ่งเรือง)

..... อาจารย์ที่ปรึกษาร่วม

(อาจารย์ สุวิทย์ นาคพีระยุทธ)

เศรษฐา ..... กรรมการ

(อาจารย์ ดร.เศรษฐา ปานงาม)

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

กิตติ ทองประดับเพชร : การสร้างส่วนต่อประสานดิจิทัลอนุกรมและตัวกรองสองมิติสำหรับสัญญาณวีดิทัศน์ดิจิทัลโดยใช้เอฟพีจีเอ. (IMPLEMENTATION OF SERIAL DIGITAL INTERFACE AND 2-D FILTER FOR DIGITAL VIDEO SIGNAL USING FPGA) อ. ที่ปรึกษา : ผศ.ดร.เจษฎา ชินรุ่งเรือง, อ. ที่ปรึกษาร่วม : อ. สุวิทย์ นาคพีระยุทธ, 119 หน้า. ISBN 974-14-2606-2.

วิทยานิพนธ์ฉบับนี้มีจุดมุ่งหมายในการสร้างวงจรส่วนต่อประสานดิจิทัลอนุกรมและตัวกรองสองมิติบนเอฟพีจีเอในบอร์ด C6713Compact เพื่อใช้ส่งสัญญาณภาพวีดิทัศน์ที่ได้จากการประมวลผลภายในบอร์ดให้กับอุปกรณ์ภายนอก การทำงานของวงจรเอฟพีจีเอดังกล่าวจะถูกกำหนดโดยเรจิสเตอร์ซึ่งถูกโปรแกรมโดยตัวประมวลสัญญาณดิจิทัล วงจรเอฟพีจีเอจะรับข้อมูลภาพในรูปแบบ YUV 4:2:2 มาจากตัวประมวลสัญญาณดิจิทัลผ่านทางส่วนต่อประสานเอสดีแรมด้วยวิธีการเข้าถึงหน่วยความจำโดยตรง จากนั้นข้อมูลภาพที่ได้รับจะถูกส่งต่อให้กับตัวกรองสองมิติเพื่อปรับค่าความเปรียบต่างและค่าความสว่างของภาพ ข้อมูลภาพผลลัพธ์ที่ได้จากวงจรกรองจะถูกแปลงเป็นข้อมูลวีดิทัศน์ดิจิทัลตามมาตรฐาน SMPTE 125M แล้วเข้ารหัสตามมาตรฐาน SMPTE 259M-C ข้อมูลวีดิทัศน์ที่เข้ารหัสแล้วจะถูกแปลงเป็นข้อมูลในรูปแบบอนุกรมแล้วส่งต่อให้กับบัฟเฟอร์ดิฟเฟอเรนเชียลเพื่อแปลงเป็นสัญญาณดิฟเฟอเรนเชียลก่อนออกจากเอฟพีจีเอ โดยสัญญาณดิฟเฟอเรนเชียลดังกล่าวจะถูกส่งไปให้กับเครื่องรับวีดิทัศน์ที่มีส่วนต่อประสานดิจิทัลอนุกรมผ่านสายโคแอกซ์ต่อไป

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

ภาควิชา	วิศวกรรมไฟฟ้า	ลายมือชื่อนิสิต	
สาขาวิชา	วิศวกรรมไฟฟ้า	ลายมือชื่ออาจารย์ที่ปรึกษา	
ปีการศึกษา	2549	ลายมือชื่ออาจารย์ที่ปรึกษาร่วม	

4770215921 : MAJOR ELECTRICAL ENGINEERING

KEY WORD: SERIAL DIGITAL INTERFACE / 2-D filter / FPGA

KITTI TONGPRADUPPET : IMPLEMENTATION OF SERIAL DIGITAL INTERFACE AND 2-D FILTER FOR DIGITAL VIDEO SIGNAL USING FPGA. THESIS ADVISOR : ASST. PROF. CHEDSADA CHINRUNGRUENG, Ph.D., THESIS COADVISOR : SUVIT NAKPEERAYUTH, 119 pp. ISBN 974-14-2606-2.

The objective of this thesis is to implement a circuit performing Serial Digital Interface and two-dimensional filter in FPGA on C6713Compact board for sending a video signal processed in the board to an external device. The implemented FPGA circuit is controlled by DSP on the board via registers. The FPGA circuit obtains picture data from DSP in YUV 4:2:2 format via SDRAM interface by means of direct memory access (DMA). The picture data is then transferred to 2-D digital filter for improving picture contrast and brightness. The output data from filter is then formatted into video data in SMPTE 125M standard and encoded in SMPTE 259M-C standard. The encoded video data is converted to serial data and transferred to differential buffer for changing digital signal to differential signal. Such differential signal is then sent out of FPGA to SDI video receiver via coaxial cable.

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

Department	Electrical Engineering	Student's Signature	
Field of Study	Electrical Engineering	Advisor's Signature	Chedsada Chinrungrueng
Academic Year	2006	Co-advisor's Signature	

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สามารถสำเร็จลุล่วงไปได้ด้วยดี ด้วยความช่วยเหลืออย่างดียิ่งของ ผู้ช่วยศาสตราจารย์ ดร.เจษฎา ชินรุ่งเรือง อาจารย์ที่ปรึกษาวิทยานิพนธ์ และอาจารย์ สุวิทย์ นาคพีระยุทธ อาจารย์ที่ปรึกษาร่วมวิทยานิพนธ์ ซึ่งได้ให้คำแนะนำ และข้อคิดต่างๆ ที่เป็นประโยชน์ในการวิจัยด้วยดีเสมอมา นอกจากนี้ขอขอบคุณ นายปิติฉัตร สุทธาโรจน์ สำหรับข้อเสนอแนะในการเขียนโปรแกรมควบคุมตัวประมวลสัญญาณดิจิทัล และนายพิชัย อำนวยกาญจนสิน สำหรับอุปกรณ์ในการจับสัญญาณภาพวีดิทัศน์สำหรับการทำวิทยานิพนธ์

สุดท้ายนี้ผู้วิจัยใคร่ขอขอบพระคุณบิดามารดา ซึ่งให้การสนับสนุนในทุกๆด้าน ตั้งแต่ด้านทุนทรัพย์ กำลังใจ และคำตักเตือนต่างๆที่มีให้ผู้วิจัยเรื่อยมาจนได้สำเร็จการศึกษา

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญ

หน้า

บทคัดย่อภาษาไทย ..... ง

บทคัดย่อภาษาอังกฤษ ..... จ

กิตติกรรมประกาศ ..... ฉ

สารบัญ ..... ช

สารบัญตาราง ..... ฌ

สารบัญภาพ ..... ญ

บทที่

1. บทนำ 1

1.1 ความเป็นมาและความสำคัญของปัญหา 1

1.2 วัตถุประสงค์ของการวิจัย 2

1.3 เป้าหมายและขอบเขตของการวิจัย 2

1.4 ประโยชน์ที่คาดว่าจะได้รับ 2

1.5 วิธีดำเนินการวิจัย 3

2. ทฤษฎีและความรู้พื้นฐานที่เกี่ยวข้องกับส่วนต่อประสานดิจิทัลอนุกรม 4

2.1 ส่วนต่อประสานดิจิทัลอนุกรม (Serial Digital Interface) 4

2.1.1 มาตรฐานรูปแบบการกราด (Scanning Format Standard) 5

2.1.2 มาตรฐานของส่วนต่อประสานดิจิทัลอนุกรม (Serial Digital Interface Standard) 8

2.2 ตัวกรองสองมิติ (2-dimension filter) 9

2.3 บอร์ดประมวลผลสัญญาณดิจิทัล C6713Compact 10

3. การนำเอฟพีจีเอมาสร้างส่วนต่อประสานดิจิทัลอนุกรมและตัวกรองภาพสำหรับสัญญาณวีดิทัศน์ดิจิทัล 13

3.1 โครงสร้างของวงจร 13

3.2 วงจร SDRAM interface 15

3.2.1 วงจร EMIF ของตัวประมวลสัญญาณดิจิทัล 16

3.2.2 หน่วยความจำเอสดีแรม 19

3.2.3 ออกแบบวงจร SDRAM interface 20

3.3 วงจร Line Buffer FIFO 23

3.4 วงจร Zero padding 27

3.5 วงจร FIR filter 29

หน้า

3.6 วงจร EAV and SAV symbol addition 49
3.6.1 วงจร Data path 52
3.6.2 วงจร Data path controller 57
3.7 วงจร YUV multiplex FIFO 80
3.8 วงจร Parallel scrambler 82
3.9 วงจร 10-to-1 serializer 84
3.10 บัฟเฟอร์ดิฟเฟอเรนเชียล 87
3.11 วงจรกำเนิดสัญญาณนาฬิกา 88
3.12 วงจรเรจิสเตอร์ 88
4. ผลการทดสอบวงจร 100
4.1 การทดสอบเอฟพีจีเอในการประมาณค่าในช่วงจุดภาพย่อย 100
4.2 การทดสอบสัญญาณภาพทดสอบที่สร้างขึ้นภายในเอฟพีจีเอ 109
4.3 การทดสอบการกำหนดขนาดของภาพที่เอฟพีจีเอได้รับมาจากตัวประมวลสัญญาณดิจิทัล ที่จะปรากฏบนจอภาพ 110
4.4 การทดสอบการกำหนดตำแหน่งของภาพที่เอฟพีจีเอได้รับมาจากตัวประมวลสัญญาณดิจิทัล ที่จะปรากฏบนจอภาพ 112
4.5 การทดสอบการปรับค่าความสว่างของภาพ 112
4.6 การทดสอบการปรับค่าความเปรียบต่างของภาพ 114
4.7 การทดสอบการกำหนดค่าสัมประสิทธิ์ของวงจรกรองสองมิติเพื่อสร้างตัวกรองผ่านต่ำ 114
4.8 ผลการทดสอบการกำหนดค่าสัมประสิทธิ์ของวงจรกรองสองมิติเพื่อสร้างตัวกรองตรวจหาขอบภาพ 115
5. สรุปผลการทดสอบและข้อเสนอแนะ 117
5.1 สรุปผลการทดสอบ 117
5.2 ข้อเสนอแนะ 117
รายการอ้างอิง 118
ประวัติผู้เขียนวิทยานิพนธ์ 119

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญตาราง

ตาราง หน้า

ตารางที่ 2.1 ระดับของมาตรฐานสัญญาณวีดิทัศน์ดิจิทัล SMPTE 259M 5

ตารางที่ 3.1 เปรียบเทียบความเร็วในการเขียนข้อมูลระหว่างส่วนต่อประสานแบบต่างๆ 16

ตารางที่ 3.2 เปรียบเทียบความเร็วในการอ่านข้อมูลระหว่างส่วนต่อประสานแบบต่างๆ 16

ตารางที่ 3.3 แผนที่หน่วยความจำของบอร์ด C6713Compact 17

ตารางที่ 3.4 คำสั่งของเอสดีแรม 20

ตารางที่ 3.5 หน้าที่ของขาแต่ละขาของวงจร SDRAM interface 21

ตารางที่ 3.6 หน้าที่ของขาแต่ละขาของวงจร Line Buffer FIFO 25

ตารางที่ 3.7 หน้าที่ของขาแต่ละขาของวงจร Zero padding 27

ตารางที่ 3.8 หน้าที่ของขาแต่ละขาของวงจร FIR filter 30

ตารางที่ 3.9 หน้าที่ของขาแต่ละขาของวงจร EAV and SAV symbol addition 50

ตารางที่ 3.10 หน้าที่ของสัญญาณแต่ละสัญญาณของวงจร Data path 53

ตารางที่ 3.11 สัญญาณที่ถูกเลือกให้กับวงจร Y clipper เมื่อสัญญาณ DP_TEST_PATT และ สัญญาณ DP_BLANK มีค่าต่างๆ 54

ตารางที่ 3.12 หน้าที่ของสัญญาณแต่ละสัญญาณของวงจร Data path controller 58

ตารางที่ 3.13 หน้าที่ของขาแต่ละขาของวงจร YUV multiplex FIFO 81

ตารางที่ 3.14 หน้าที่ของขาแต่ละขาของวงจร Parallel scrambler 82

ตารางที่ 3.15 หน้าที่ของขาแต่ละขาของวงจร 10-to-1 serializer 85

ตารางที่ 3.16 สัญญาณของวงจรภายในเอฟพีจีเอที่ต้องการค่าจากเรจิสเตอร์ในการทำงาน 89

ตารางที่ 3.17 เลขที่อยู่และชื่อของเรจิสเตอร์สำหรับวงจรที่ออกแบบขึ้น 91

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญภาพ

หน้า

รูปที่ 1.1 ระบบของอากาศยานไร้นักบิน 1
รูปที่ 2.1 การเชื่อมอุปกรณ์วีดิทัศน์ต่างๆด้วยมาตรฐาน SDI 4
รูปที่ 2.2 รายละเอียดการเรียงข้อมูลในเส้นภาพในระบบ PAL 5
รูปที่ 2.3 รายละเอียดการเรียงข้อมูลในเส้นภาพในระบบ NTSC 5
รูปที่ 2.4 รายละเอียดการเรียงข้อมูลบิตของคำ XYZ ในสัญลักษณ์ TRS 6
รูปที่ 2.5 รายละเอียดของเฟรมวีดิทัศน์ในระบบ PAL 7
รูปที่ 2.6 รายละเอียดของเฟรมวีดิทัศน์ในระบบ NTSC 8
รูปที่ 2.7 กรรมวิธีการเข้ารหัส SDI 9
รูปที่ 2.8 กรรมวิธีการถอดรหัส SDI 9
รูปที่ 2.9 บอร์ด C6713Compact 11
รูปที่ 2.10 แผนภาพบล็อกของโครงสร้างบอร์ด C6713Compact 11
รูปที่ 3.1 โครงสร้างโดยรวมของวงจรภายในเอฟพีจีเอเบอร์ XC2V1000 13
รูปที่ 3.2 โครงสร้างของวงจรภายในเอฟพีจีเอ 14
รูปที่ 3.3 การเชื่อมต่อวงจร SDRAM interface เข้ากับตัวประมวลสัญญาณดิจิทัลและวงจร Line buffer FIFO 16
รูปที่ 3.4 วงจร External memory interface ที่อยู่ภายในตัวประมวลสัญญาณดิจิทัล 18
รูปที่ 3.5 การเชื่อมต่อตัวประมวลสัญญาณดิจิทัลเข้ากับเอสดีแรมสองตัวบนบอร์ด C6713Compact 19
รูปที่ 3.6 โครงสร้างขาเข้าและขาออกของวงจร SDRAM interface 20
รูปที่ 3.7 โครงสร้างภายในของวงจร SDRAM interface 22
รูปที่ 3.8 แผนภาพสถานะของวงจร SDRAM interface 23
รูปที่ 3.9 ผลการจำลองการทำงานของวงจร SDRAM interface 23
รูปที่ 3.10 การใช้บัฟเฟอร์สองตัวในการเก็บข้อมูลภาพ 24
รูปที่ 3.11 การต่อประสานบัฟเฟอร์เส้นภาพเมื่อสร้างโดยใช้ FIFO 25
รูปที่ 3.12 โครงสร้างขาเข้าและขาออกของวงจร Line Buffer FIFO 25
รูปที่ 3.13 การเชื่อมต่อวงจร Line Buffer FIFO เข้ากับวงจรส่วนต่อประสานเอสดีแรมและวงจร Zero padding 25
รูปที่ 3.14 รูปแบบสัญญาณข้อมูลออกของวงจร SDRAM interface และข้อมูลออกของวงจร Line Buffer FIFO 26

หน้า

รูปที่ 3.15 โครงสร้างขาเข้าและขาออกของวงจร line_buffer 26
รูปที่ 3.16 การเชื่อมต่อสัญญาณต่างๆของวงจร line_buffer เข้ากับขาเข้าและขาออกของวงจร Line Buffer FIFO 26
รูปที่ 3.17 ผลการจำลองการทำงานวงจร Line Buffer FIFO 27
รูปที่ 3.18 การเชื่อมต่อวงจร Zero padding เข้ากับวงจร Line Buffer FIFO และตัวกรองสองมิติ 27
รูปที่ 3.19 โครงสร้างขาเข้าและขาออกของวงจร Zero padding 27
รูปที่ 3.20 โครงสร้างภายในวงจร Zero padding 28
รูปที่ 3.21 ผลการจำลองการทำงานของวงจร Zero padding 28
รูปที่ 3.22 การเชื่อมต่อวงจร FIR filter เข้ากับวงจรต่างๆ 29
รูปที่ 3.23 โครงสร้างขาเข้าและขาออกของวงจร FIR filter 30
รูปที่ 3.24 โครงสร้างวงจร FIR filter 35
รูปที่ 3.25 โครงสร้างภายในของวงจร 1D FIR filter 35
รูปที่ 3.26 การเรียงบิตข้อมูลของสัญญาณ FIR_DOUT[17:8] 36
รูปที่ 3.27 จำนวนทศนิยมของข้อมูลสำหรับการคูณค่าความเปรียบต่างและการบวกค่าความสว่าง 36
รูปที่ 3.28 ลำดับการบวกและจำนวนบิตทศนิยมของสัญญาณในวงจร FIR filter 37
รูปที่ 3.29 การคูณเลขจำนวนเต็ม 8 บิตไม่ระบุเครื่องหมายกับเลข Fixed-point 16 บิตมีเครื่องหมายที่ประกอบด้วยบิตเครื่องหมาย 1 บิตจำนวนเต็ม 9 บิตและทศนิยมจำนวน 14 บิต 38
รูปที่ 3.30 สัญญาณผลลัพธ์ของการคูณที่มีบิตทศนิยมจำนวน 5 7 และ 9 บิตซึ่งได้จากผลของการคูณค่าสัมประสิทธิ์กับสัญญาณความสว่าง 38
รูปที่ 3.31 การบวกเลข Fixed-point N บิตที่มีเครื่องหมายและมีบิตทศนิยมจำนวน M บิต 38
รูปที่ 3.32 จำนวนบิตของสัญญาณทั้งหมดในตัวกรองสองมิติ 40
รูปที่ 3.33 การตัดบิตที่ 17 ของผลลัพธ์ของวงจรกรองเพื่อใช้เป็นสัญญาณขาข้าวของวงจรคูณค่าความเปรียบต่าง 41
รูปที่ 3.34 การเลือกบิตผลลัพธ์ของวงจรคูณค่าความเปรียบต่างเพื่อใช้เป็นสัญญาณขาเข้าของวงจรบวกค่าความสว่าง 41
รูปที่ 3.35 วิธีการแปลงสัญญาณค่าความสว่างก่อนบวกกับสัญญาณออกของวงจรคูณค่าความเปรียบต่าง 41
รูปที่ 3.36 จำนวนบิตของสัญญาณต่างๆของวงจรคูณค่าความเปรียบต่างและวงจรบวกค่าความสว่าง 41

หน้า

รูปที่ 3.37 การต่อวงจร Clipper เพื่อกำหนดขอบเขตของสัญญาณ FIR_DOUT[17:8] 41
รูปที่ 3.38 ผังงานแสดงการทำงานของวงจร clipper 42
รูปที่ 3.39 การใส่ฟลิปฟล็อปหลังวงจรบวกค่าความสว่างและวงจรคูณค่าความเปรียบต่างเพื่อให้วงจรมีการทำงานแบบสายท่อ 42
รูปที่ 3.40 การใส่ฟลิปฟล็อปหลังวงจรบวกและวงจรคูณเพื่อให้วงจรมีการทำงานแบบสายท่อ 43
รูปที่ 3.41 การเพิ่มมัลติเพล็กซ์เพื่อจะให้เลือกสัญญาณออกว่าจะเป็นสัญญาณเข้าที่ผ่านการกรองหรือไม่ผ่านการกรอง 44
รูปที่ 3.42 การสังวัตนาการสองมิติของข้อมูลความสว่างของภาพกับค่าสัมประสิทธิ์ของตัวกรองสองมิติ 45
รูปที่ 3.43 วงจรเพิ่มเติมสำหรับส่วนของสัญญาณสี 45
รูปที่ 3.44 วงจร Delay 1 line ที่สร้างจาก FIFO ทั้งขนาด 8 บิตและ 16 บิต 46
รูปที่ 3.45 การจำลองการทำงานของวงจร Delay 1 line ขนาด 8 บิต 47
รูปที่ 3.46 การนำวงจร Delay 1 line ไปใช้ในวงจร FIR filter 47
รูปที่ 3.47 วงจร MULT18X18 ที่เป็นส่วนประกอบที่อยู่ภายในเอฟพีจีเอ 48
รูปที่ 3.48 การนำ MULT18X18 มาใช้ในการคูณสัญญาณความสว่าง 8 บิตและค่าสัมประสิทธิ์ 16 บิต 48
รูปที่ 3.49 การเชื่อมต่อวงจร EAV and SAV symbol addition เข้ากับวงจรต่างๆทั้งภายในเอฟพีจีเอและตัวประมวลสัญญาณดิจิทัล 49
รูปที่ 3.50 โครงสร้างขาเข้าและขาออกของวงจร EAV and SAV symbol addition 49
รูปที่ 3.51 การเชื่อมต่อวงจร Data path เข้ากับวงจร Data path controller และการเชื่อมต่อกับสัญญาณขาเข้าและออกของวงจร EAV and SAV symbol addition 51
รูปที่ 3.52 โครงสร้างขาเข้าและขาออกของวงจร Data path 52
รูปที่ 3.53 โครงสร้างของวงจร Data path 52
รูปที่ 3.54 วงจรที่ใช้เลือกสัญญาณขาเข้าของวงจร Y clipper 54
รูปที่ 3.55 ผังงานแสดงการทำงานของวงจร Y clipper 55
รูปที่ 3.56 วงจรสำหรับใส่สัญลักษณ์สัญญาณอ้างอิงการกำหนดเวลาสิ้นสุดของวีดิทัศน์และสัญลักษณ์สัญญาณอ้างอิงการกำหนดเวลาเริ่มต้นของวีดิทัศน์แอ็กทิฟของสัญญาณความสว่างของภาพ 55
รูปที่ 3.57 วงจรในส่วนของการเลือกข้อมูลของสัญญาณสีขาเข้าของวงจร U and V clipper 56
รูปที่ 3.58 ผังงานแสดงการทำงานของวงจร U and V clipper 56

หน้า

รูปที่ 3.59 วงจรสำหรับใส่สัญลักษณ์สัญญาณอ้างอิงการกำหนดเวลาสิ้นสุดของวีดิทัศน์และสัญลักษณ์สัญญาณอ้างอิงการกำหนดเวลาเริ่มต้นของวีดิทัศน์แอ็กทิฟของสัญญาณสีของภาพ 57
รูปที่ 3.60 โครงสร้างขาเข้าและขาออกของวงจร Data path controller 57
รูปที่ 3.61 โครงสร้างของวงจร Data path controller ในส่วนของตัวนับและสถานะของวงจร 60
รูปที่ 3.62 โครงสร้างของวงจร Data path controller ในส่วนของวงจรกำเนิดสัญญาณขาออกต่างๆ 61
รูปที่ 3.63 แผนภูมิสายงานของการทำงานของวงจร Counter state 62
รูปที่ 3.64 แสดงช่วงเวลาของสัญญาณ Ver_counter ที่จะทำให้วงจร Counter state อยู่ในสถานะต่างๆ 62
รูปที่ 3.65 โครงสร้างขาเข้าและขาออกของวงจร Vertical line counter 63
รูปที่ 3.66 การทำงานของวงจร Vertical line counter 63
รูปที่ 3.67 โครงสร้างขาเข้าและขาออกของวงจร Horizontal pixel counter 64
รูปที่ 3.68 การทำงานของวงจร Horizontal pixel counter 64
รูปที่ 3.69 โครงสร้างขาเข้าและขาออกของวงจร TRS first word generator 65
รูปที่ 3.70 ช่วงเวลาที่เกิดคำแรกของสัญญาณอ้างอิงการกำหนดเวลาในเส้นภาพของสัญญาณวีดิทัศน์ออกระบบ PAL และ NTSC 65
รูปที่ 3.71 การทำงานของวงจร TRS first word generator 65
รูปที่ 3.72 โครงสร้างขาเข้าและขาออกของวงจรที่ใช้กำเนิดสัญญาณ DPC_SYM_SEC_WORD 66
รูปที่ 3.73 ช่วงเวลาที่เกิดคำที่สองของสัญญาณอ้างอิงการกำหนดเวลาในเส้นภาพของสัญญาณวีดิทัศน์ออกระบบ PAL และ NTSC 66
รูปที่ 3.74 โครงสร้างขาเข้าและขาออกของวงจร Bit F of XYZ word generator 66
รูปที่ 3.75 การทำงานของวงจร Bit F of XYZ word generator 67
รูปที่ 3.76 โครงสร้างขาเข้าและขาออกของวงจร Bit V of XYZ word generator 67
รูปที่ 3.77 การทำงานของวงจร Bit V of XYZ word generator 68
รูปที่ 3.78 โครงสร้างขาเข้าและขาออกของวงจร Bit H of XYZ word generator 68
รูปที่ 3.79 การทำงานของวงจร Bit H of XYZ word generator 68
รูปที่ 3.80 โครงสร้างขาเข้าและขาออกของวงจร Blanking signal generator 69
รูปที่ 3.81 การทำงานของวงจร Blanking signal generator 69

หน้า

รูปที่ 3.82 โครงสร้างขาเข้าและขาออกของวงจร 4 MSB pattern bits signal generator 69
รูปที่ 3.83 การทำงานของวงจร 4 MSB pattern bits signal generator 70
รูปที่ 3.84 การเรียงข้อมูลบิตของสัญญาณความสว่าง 10 บิตที่มีสัญญาณ DPC_PATT_4MSB_Y[3:0] 70
รูปที่ 3.85 ภาพทดสอบที่ปรากฏบนจอวีดิทัศน์ 71
รูปที่ 3.86 โครงสร้างขาเข้าและขาออกของวงจร FIR filter enable signal generator 71
รูปที่ 3.87 การทำงานของวงจร FIR filter enable signal generator 72
รูปที่ 3.88 การทำงานของวงจร FIR filter enable signal generator (ต่อ) 73
รูปที่ 3.89 ช่วงเวลาของค่าของสัญญาณ DPC_FIR_EN เทียบกับสัญญาณภาพในแต่ละฟิลด์ 74
รูปที่ 3.90 โครงสร้างขาเข้าและขาออกของวงจร Data enable signal generator 75
รูปที่ 3.91 การทำงานของวงจร Data enable signal generator 76
รูปที่ 3.92 การทำงานของวงจร Data enable signal generator (ต่อ) 77
รูปที่ 3.93 ช่วงเวลาของค่าของสัญญาณ DPC_DATA_EN เทียบกับสัญญาณภาพในแต่ละฟิลด์ 78
รูปที่ 3.94 โครงสร้างขาเข้าและขาออกของวงจร DSP interrupt signal generator 78
รูปที่ 3.95 การทำงานของวงจร DSP interrupt signal generator 79
รูปที่ 3.96 ช่วงเวลาของค่าของสัญญาณ DPC_INT เทียบกับสัญญาณ DPC_DATA_EN และสัญญาณภาพในแต่ละฟิลด์ 80
รูปที่ 3.97 การเชื่อมต่อสัญญาณ DPC_RST_LBUF เข้ากับสัญญาณ SYSTEM_RESET 80
รูปที่ 3.98 การเชื่อมต่อวงจร YUV multiplex FIFO เข้ากับวงจรต่างๆ 80
รูปที่ 3.99 โครงสร้างขาเข้าและขาออกของวงจร YUV multiplex FIFO 81
รูปที่ 3.100 การเชื่อมต่อสัญญาณต่างๆของ FIFO เข้ากับสัญญาณของวงจร YUV multiplex FIFO 82
รูปที่ 3.101 การเชื่อมต่อวงจร Parallel scrambler เข้ากับวงจร YUV multiplex FIFO และวงจร 10-to-1 serializer 82
รูปที่ 3.102 โครงสร้างขาเข้าและขาออกของวงจร Parallel scrambler 82
รูปที่ 3.103 วงจรเข้ารหัสข้อมูลดิจิทัลให้เป็นข้อมูล non-return-to-zero (NRZ) 83
รูปที่ 3.104 วงจรเข้ารหัสข้อมูล NRZ ให้เป็นข้อมูล NRZ-Inverted (NRZI) 84
รูปที่ 3.105 การเชื่อมต่อวงจร 10-to-1 serializer เข้ากับวงจร Parallel scrambler และบัฟเฟอร์แบบ differential 85
รูปที่ 3.106 โครงสร้างขาเข้าและขาออกของวงจร 10-to-1 serializer 85

หน้า

รูปที่ 3.107 วงจรสร้างสัญญาณ WRITE ให้กับวงจร 10-to-1 serializer 86
รูปที่ 3.108 การจำลองการทำงานของวงจรสร้างสัญญาณ WRITE ให้กับวงจร 10-to-1 serializer 86
รูปที่ 3.109 โครงสร้างของวงจร 10-to-1 serializer 87
รูปที่ 3.110 โครงสร้างของวงจร Double-Data-Rate Out 87
รูปที่ 3.111 แผนภาพเวลาของวงจร Double-Data-Rate Out 87
รูปที่ 3.112 การเชื่อมต่อบัฟเฟอร์ดิฟเฟอเรนเชียลเข้ากับอุปกรณ์ต่างเพื่อใช้ในการส่งสัญญาณวีดิทัศน์ดิจิทัล 87
รูปที่ 3.113 แสดงการนำ DCM มาเชื่อมต่อกันเพื่อสร้างสัญญาณนาฬิกาความถี่ต่างๆ 88
รูปที่ 3.114 วงจรเรจิสเตอร์ที่อยู่ในโปรแกรมของเอฟพีจีเอที่ให้มาพร้อมกับบอร์ด C6713Compact 90
รูปที่ 3.115 การเรียงบิตของเรจิสเตอร์ SDRAM_ADDR_L_REG และเรจิสเตอร์ SDRAM_ADDR_H_REG 91
รูปที่ 3.116 การเรียงบิตของเรจิสเตอร์ SDRAM_ADDR_L_REG และเรจิสเตอร์ SDRAM_ADDR_H_REG เพื่อเชื่อมต่อกับสัญญาณ ADDR_PROG[25:2] ของวงจร SDRAM interface 91
รูปที่ 3.117 วงจรเรจิสเตอร์ SDRAM_ADDR_L_REG และเรจิสเตอร์ SDRAM_ADDR_H_REG ซึ่งเชื่อมต่อกับสัญญาณ ADDR_PROG[25:2] และตัวถอดรหัส 92
รูปที่ 3.118 การเรียงบิตของเรจิสเตอร์ PIC_WIDTH_REG 92
รูปที่ 3.119 การเชื่อมต่อสัญญาณ SYM_PIC_WIDTH[9:0] เข้ากับวงจรเรจิสเตอร์ PIC_WIDTH_REG 92
รูปที่ 3.120 การเรียงบิตของเรจิสเตอร์ PIC_HEIGHT_REG 93
รูปที่ 3.121 การเชื่อมต่อสัญญาณ SYM_PIC_HEIGHT[9:0] เข้ากับเรจิสเตอร์ PIC_HEIGHT_REG 93
รูปที่ 3.122 การเรียงบิตของเรจิสเตอร์ X_ORG_REG 93
รูปที่ 3.123 การเชื่อมต่อสัญญาณ SYM_X_ORG [9:0] เข้ากับวงจรเรจิสเตอร์ X_ORG_REG 94
รูปที่ 3.124 การเรียงบิตของเรจิสเตอร์ Y_ORG_REG 94
รูปที่ 3.125 การเชื่อมต่อสัญญาณ SYM_Y_ORG [9:0] เข้ากับวงจรเรจิสเตอร์ Y_ORG_REG 94
รูปที่ 3.126 การเรียงบิตของเรจิสเตอร์ SDI_VDO_CONFG_REG 95
รูปที่ 3.127 การเชื่อมต่อสัญญาณต่างๆเข้ากับวงจรเรจิสเตอร์ SDI_VDO_CONFG_REG 95

หน้า

รูปที่ 3.128 การเรียงบิตของเรจิสเตอร์ RESET_FRAME_REG 95
รูปที่ 3.129 การเชื่อมต่อสัญญาณต่างๆเข้ากับเรจิสเตอร์ RESET_FRAME_REG 96
รูปที่ 3.130 การเรียงบิตของเรจิสเตอร์ BRIGHTNESS_REG 96
รูปที่ 3.131 การเชื่อมต่อสัญญาณต่างๆเข้ากับเรจิสเตอร์ BRIGHTNESS_REG 96
รูปที่ 3.132 การเรียงบิตของเรจิสเตอร์ CONTRAST_REG 97
รูปที่ 3.133 การเชื่อมต่อสัญญาณต่างๆเข้ากับเรจิสเตอร์ CONTRAST_REG 97
รูปที่ 3.134 การเรียงบิตของเรจิสเตอร์ FIR_COEFFICIENT_REG 97
รูปที่ 3.135 การเชื่อมต่อสัญญาณต่างๆเข้ากับเรจิสเตอร์ FIR_COEFFICIENT_REG 98
รูปที่ 3.136 การเรียงบิตของเรจิสเตอร์ FIR_CONFG_REG 98
รูปที่ 3.137 การเชื่อมต่อสัญญาณต่างๆเข้ากับเรจิสเตอร์ FIR_CONFG_REG 99
รูปที่ 4.1 การเชื่อมต่ออุปกรณ์ต่างๆเพื่อใช้ในการทดสอบวงจรที่สร้างขึ้นบนเอฟพีจีเอ 100
รูปที่ 4.2 เฟรมภาพที่ 1 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย 101
รูปที่ 4.3 เฟรมภาพที่ 2 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย 101
รูปที่ 4.4 เฟรมภาพที่ 3 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย 102
รูปที่ 4.5 เฟรมภาพที่ 4 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย 102
รูปที่ 4.6 เฟรมภาพที่ 5 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย 102
รูปที่ 4.7 เฟรมภาพที่ 6 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย 103
รูปที่ 4.8 เฟรมภาพที่ 7 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย 103
รูปที่ 4.9 เฟรมภาพที่ 8 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย 103
รูปที่ 4.10 เฟรมภาพที่ 9 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย 104
รูปที่ 4.11 เฟรมภาพที่ 10 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย 104
รูปที่ 4.12 เฟรมภาพที่ 11 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย 104
รูปที่ 4.13 เฟรมภาพที่ 12 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย 105
รูปที่ 4.14 เฟรมภาพที่ 13 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย 105
รูปที่ 4.15 เฟรมภาพที่ 14 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย 105
รูปที่ 4.16 เฟรมภาพที่ 15 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย 106
รูปที่ 4.17 เฟรมภาพที่ 16 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย 106
รูปที่ 4.18 เฟรมภาพที่ 17 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย 106
รูปที่ 4.19 เฟรมภาพที่ 18 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย 107
รูปที่ 4.20 เฟรมภาพที่ 19 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย 107

หน้า

รูปที่ 4.21 เฟรมภาพที่ 20 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย 107
รูปที่ 4.22 เฟรมภาพที่ 21 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย 108
รูปที่ 4.23 เฟรมภาพที่ 22 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย 108
รูปที่ 4.24 เฟรมภาพที่ 23 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย 108
รูปที่ 4.25 เฟรมภาพที่ 24 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย 109
รูปที่ 4.26 เฟรมภาพที่ 25 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย 109
รูปที่ 4.27 ภาพบนจอภาพแสดงภาพทดสอบที่สร้างขึ้นภายในเอฟพีจีเอ 110
รูปที่ 4.28 ภาพบนจอภาพแสดงภาพที่มีขนาดความกว้าง 640 จุดภาพและความสูง 480 จุดภาพที่เอฟพีจีเอได้รับมาจากตัวประมวลสัญญาณดิจิทัล 111
รูปที่ 4.29 ภาพบนจอภาพแสดงภาพที่มีขนาดความกว้าง 320 จุดภาพและความสูง 240 จุดภาพที่เอฟพีจีเอได้รับมาจากตัวประมวลสัญญาณดิจิทัล 111
รูปที่ 4.30 ภาพบนจอภาพจากการกำหนดให้ภาพที่เอฟพีจีเอได้รับไปปรากฏที่100 จุดภาพจากขอบซ้ายของจอภาพและ 200 จุดภาพจากขอบบนของจอภาพ 112
รูปที่ 4.31 ภาพบนจอภาพที่มีค่าความสว่างเท่ากับ 0.0 และค่าความเปรียบต่างเท่ากับ 1.0 113
รูปที่ 4.32 ภาพบนจอภาพที่มีค่าความสว่างเท่ากับ 50.0 และค่าความเปรียบต่างเท่ากับ 1.0 113
รูปที่ 4.33 ภาพบนจอภาพที่มีค่าความสว่างเท่ากับ 0.0 และค่าความเปรียบต่างเท่ากับ 10.0 114
รูปที่ 4.34 ภาพบนจอภาพจากการกำหนดค่าสัมประสิทธิ์ของวงจรกรองสองมิติให้มีค่าเท่ากับ 0.04 (0288H) ทั้ง 25 ตัวของฟิลด์คี่และฟิลด์คู่เพื่อสร้างตัวกรองผ่านต่ำ 115
รูปที่ 4.35 ค่าสัมประสิทธิ์ของวงจรกรองทั้งฟิลด์คี่และฟิลด์คู่เพื่อสร้างตัวกรองตรวจหาขอบภาพ 116
รูปที่ 4.36 ภาพบนจอภาพจากการกำหนดค่าสัมประสิทธิ์ของวงจรกรองสองมิติดังในรูปที่ 4.35 เพื่อสร้างตัวกรองตรวจหาขอบภาพ 116

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

โครงการอากาศยานไร้นักบิน (Unmanned Aerial Vehicle : UAV) เป็นโครงการที่มีจุดมุ่งหมายในการสร้างเครื่องบินสังเกตการณ์เพื่อใช้ถ่ายภาพทางทหารโดยที่ไม่มีมนุษย์อยู่บนเครื่องบิน แต่จะควบคุมการทำงานผ่านทางสถานีควบคุมที่อยู่บนพื้นดิน การถ่ายภาพทางอากาศเป็นการถ่ายภาพระยะไกลถ้าหากกล้องถ่ายภาพที่ถูกติดตั้งอยู่บนเครื่องบินมีการสั่นไหวก็จะทำให้ภาพที่ถูกส่งมายังสถานีภาคพื้นดินเป็นภาพที่สั่นไหวด้วย ดังนั้นจึงจำเป็นที่จะต้องมีการทำให้ภาพวีดิทัศน์มีเสถียรภาพก่อนที่จะส่งสัญญาณลงมา ขั้นตอนวิธีในการทำให้สัญญาณภาพวีดิทัศน์มีเสถียรภาพจะถูกนำไปใช้กับบอร์ดประมวลผลสัญญาณดิจิทัล C6713Compact ซึ่งจะถูกนำไปติดตั้งไว้บนเครื่องบิน

บอร์ด C6713Compact[1] ภายในจะประกอบด้วยตัวประมวลสัญญาณดิจิทัล TMS320C6713[2] XC2V1000 FPGA ชิปเซต 1394a (Link Layer Control : LLC) ช่องทางวีดิทัศน์เข้าออกแบบ IEEE1394 สองช่อง ตัวเชื่อมต่อ Micro-line® ตัวประมวลสัญญาณดิจิทัลมีหน้าที่ประมวลผลสัญญาณเพื่อทำให้ภาพวีดิทัศน์มีเสถียรภาพ เอฟพีจีเอมีหน้าที่เป็นบัฟเฟอร์ข้อมูลในการรับส่งภาพวีดิทัศน์ระหว่างตัวประมวลสัญญาณดิจิทัลและ LLC LLC ทำหน้าที่ในการรวมและถอดแยกกลุ่มข้อมูลภาพวีดิทัศน์ IEEE 1394 (IEEE 1394 packet assemble/disassemble) ช่องทางวีดิทัศน์เข้าออกแบบ IEEE1394 ทำหน้าที่ในการรับข้อมูลภาพวีดิทัศน์จากกล้องวีดิทัศน์หรือส่งข้อมูลภาพวีดิทัศน์ออกมาเพื่อแสดงผลยังอุปกรณ์แสดงผล การรับและส่งภาพวีดิทัศน์ไม่สามารถทำพร้อมกันได้เนื่องมาจากข้อจำกัดของ LLC ที่อยู่บนบอร์ด

รูปที่ 1.1 ระบบของอากาศยานไร้นักบิน

สัญญาณภาพจากกล้องวีดิทัศน์ที่ติดตั้งอยู่บนเครื่องบินจะถูกส่งให้กับบอร์ด C6713Compact เพื่อทำการประมวลผลให้ภาพวีดิทัศน์มีเสถียรภาพและจะถูกส่งต่อให้กับเครื่องส่งเพื่อส่งสัญญาณลงมายังสถานีภาคพื้นดิน เครื่องส่งที่ใช้จะเป็นแบบมัลติเพล็กซ์การแบ่งความถี่เชิงตั้งฉาก (Orthogonal Frequency Division Multiplex : OFDM) ซึ่งรับสัญญาณภาพวีดิทัศน์ตามมาตรฐาน SDI แต่เนื่องจากบอร์ด C6713Compact ไม่มีช่อง

ทางเข้าออกสำหรับสัญญาณวีดิทัศน์ตามมาตรฐาน SDI ดังนั้นจึงจำเป็นจะต้องมีตัวแปลงข้อมูลภาพที่ได้จากการประมวลผลของตัวประมวลสัญญาณดิจิทัลให้เป็นสัญญาณวีดิทัศน์ SDI เราจึงเลือกที่จะสร้างวงจรเพิ่มเติมให้กับเอฟพีจีเอที่อยู่บนบอร์ดเนื่องจากเอฟพีจีเอที่ใช้มีความจุหนึ่งล้านเกทซึ่งมากพอสำหรับการสร้างวงจรดิจิทัลขนาดใหญ่และภายในยังประกอบด้วยบล็อกที่สนับสนุนการนำเอฟพีจีเอมาใช้ในการสร้างวงจรเพื่อนำไปใช้ในการประมวลผลสัญญาณดิจิทัลด้วย ดังนั้นเพื่อเป็นการลดภาระในการประมวลผลของตัวประมวลสัญญาณดิจิทัลวิทยานิพนธ์ฉบับนี้จึงได้สร้างวงจรกรองผลตอบสนองอิมพัลส์จำนวนจำกัด (Finite-Impulse Response filter : FIR)[3][4] ที่สามารถแปรค่าสัมประสิทธิ์ได้ตามค่าที่เก็บไว้ในเรจิสเตอร์เพื่อใช้ในการประมาณค่าในช่วงจุดภาพย่อย (sub-pixel interpolation) กับสัญญาณภาพหลังจากที่ตัวประมวลสัญญาณดิจิทัลทำสัญญาณภาพให้เสถียรภาพแล้ว ดังนั้นตัวประมวลสัญญาณดิจิทัลจะทำให้สัญญาณภาพเสถียรภาพในระดับจุดภาพเท่านั้น

เนื่องจากโปรแกรมของเอฟพีจีเอที่ให้มาพร้อมกับบอร์ด C6713Compact ถูกสร้างขึ้นโดยใช้ภาษา VHDL[5] ดังนั้นวงจรในส่วนที่จะเพิ่มเติมให้กับเอฟพีจีเอก็จะต้องสร้างขึ้นโดยใช้ภาษา VHDL เช่นกัน แล้วนำโปรแกรมของวงจรเพิ่มเติมนี้ไปรวมกับโปรแกรมสำหรับเอฟพีจีเอที่ให้มาพร้อมกับบอร์ด จากนั้นสังเคราะห์เป็นไฟล์ที่ใช้สำหรับการโปรแกรมเอฟพีจีเอแล้วแปลงเป็นโปรแกรมภาษา C โดยใช้โปรแกรมแปลงที่ให้มาพร้อมกับบอร์ด เพื่อที่จะนำไปรวมกับโปรแกรมสำหรับตัวประมวลสัญญาณดิจิทัลที่เขียนขึ้นโดยใช้ภาษา C เมื่อทำการแปล (compile) โปรแกรมทั้งหมดก็จะได้ไฟล์ที่ใช้สำหรับโปรแกรมการทำงานให้กับบอร์ด จากนั้นจึงนำไปดาวน์โหลดให้กับบอร์ด C6713Compact

1.2 วัตถุประสงค์ของการวิจัย

วัตุประสงค์ของการวิจัยคือสร้างส่วนต่อประสานดิจิทัลอนุกรม (Serial Digital Interface : SDI) สำหรับสัญญาณวีดิทัศน์ออกให้กับบอร์ด C6713Compact เพื่อใช้ในการส่งสัญญาณภาพวีดิทัศน์ที่ได้จากการประมวลผลภายในบอร์ดให้กับเครื่องส่ง และสร้างตัวกรองสองมิติที่สามารถแปรค่าสัมประสิทธิ์ได้เพื่อใช้ในการประมวลผลภาพก่อนจะส่งออกทางส่วนต่อประสานดิจิทัลอนุกรมสำหรับสัญญาณวีดิทัศน์ออก โดยวงจรที่ถูกสร้างขึ้นจะโปรแกรมให้กับเอฟพีจีเอ

1.3 เป้าหมายและขอบเขตของการวิจัย

งานวิจัยนี้จะศึกษามาตรฐานรูปแบบการกราดและมาตรฐานของส่วนต่อประสานดิจิทัลอนุกรมเพื่อนำมาสร้างเป็นวงจรสำหรับการส่งข้อมูลภาพวีดิทัศน์ดิจิทัลที่ได้จากการประมวลของตัวประมวลสัญญาณดิจิทัลที่อยู่ภายในบอร์ด C6713Compact ตามมาตรฐาน SDI และเพื่อลดภาระในการประมวลผลของตัวประมวลสัญญาณดิจิทัลจึงสร้างวงจรกรองผลตอบสนองอิมพัลส์จำนวนจำกัดเพื่อใช้ในการประมาณค่าในช่วงจุดภาพย่อย (sub-pixel interpolation) วงจรจะถูกสร้างขึ้นโดยใช้ภาษา VHDL จากนั้นจึงนำโปรแกรมไปสังเคราะห์เป็นวงจรแล้วโปรแกรมให้กับเอฟพีจีเอที่อยู่ภายในบอร์ด

1.4 ประโยชน์ที่คาดว่าจะได้รับ

ประโยชน์ที่คาดว่าจะได้รับจากการวิจัยมีดังต่อไปนี้

1. สามารถนำวงจรที่สร้างขึ้นไปประยุกต์ในการส่งสัญญาณวีดิทัศน์ดิจิทัล SDI ให้กับเครื่องส่งสัญญาณแบบมัลติเพล็กซ์การแบ่งความถี่เชิงตั้งฉากที่รับสัญญาณเข้าแบบ SDI ได้
2. สามารถสร้างช่องทางในการส่งสัญญาณภาพวีดิทัศน์ออกมาจากบอร์ด C6713Compact เพิ่มขึ้นอีกหนึ่งช่องทาง

1.5 วิธีดำเนินการวิจัย

วิธีดำเนินการวิจัยได้เรียงเป็นลำดับดังต่อไปนี้

1. ศึกษาโครงสร้างและการทำงานของบอร์ด C6713Compact
2. ศึกษาโครงสร้างและการทำงานของเอฟพีจีเอเบอร์ XC2V1000 ซึ่งเป็นเอฟพีจีเอที่อยู่บนบอร์ด C6713Compact
3. ศึกษาโครงสร้างและการทำงานของตัวประมวลสัญญาณดิจิทัล TMS320C6713
4. ศึกษาและเปรียบเทียบกรรมวิธีในการส่งผ่านข้อมูลภาพจากตัวประมวลสัญญาณดิจิทัลไปยังเอฟพีจีเอ
5. ศึกษามาตรฐานรูปแบบการกราด (scanning format standard)
6. ศึกษามาตรฐานของส่วนต่อประสานดิจิทัลอนุกรม (Serial digital interface)
7. ศึกษาวงจรกรองผลตอบสนองอิมพัลส์จำนวนจำกัด (FIR filter)
8. ออกแบบและสร้างวงจรโดยใช้ภาษา VHDL ในการบรรยายการทำงานของวงจร สังเคราะห์วงจรแล้วดาวน์โหลดลงในเอฟพีจีเอ

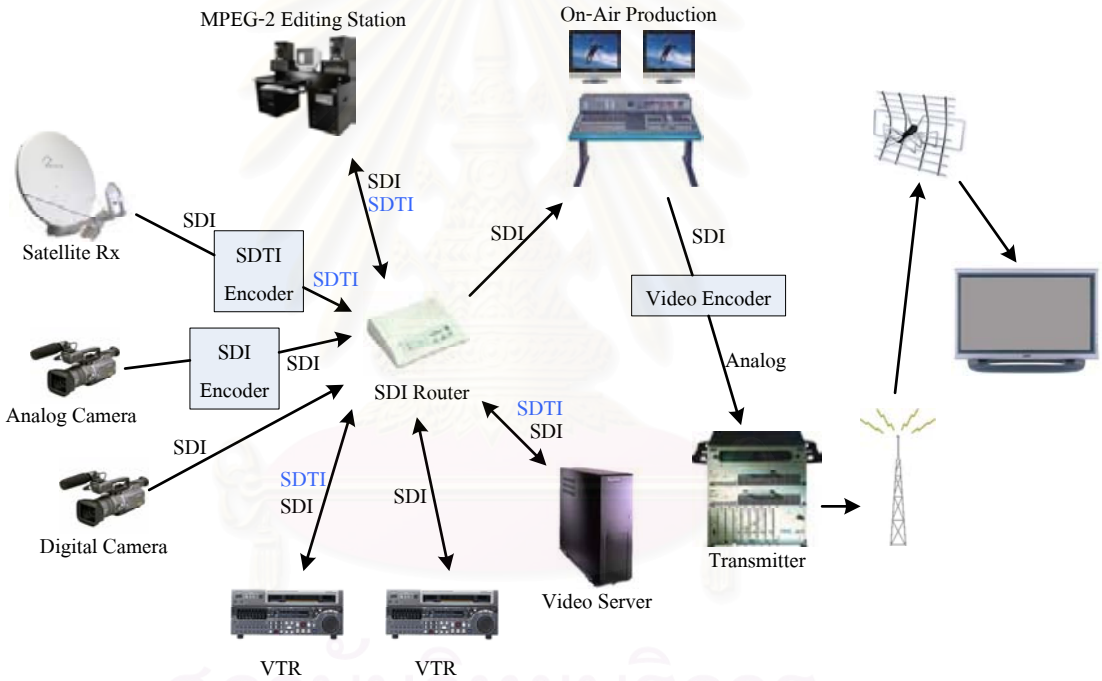
สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 2

ทฤษฎีและความรู้พื้นฐานที่เกี่ยวข้องกับส่วนต่อประสานดิจิทัลอนุกรม

2.1 ส่วนต่อประสานดิจิทัลอนุกรม (Serial Digital Interface)

ส่วนต่อประสานดิจิทัลอนุกรม (Serial Digital Interface : SDI) เป็นมาตรฐานที่ถูกกำหนดโดยมาตรฐาน SMPTE 259M และ ITU-R BT.656 เพื่อใช้ในการส่งผ่านสัญญาณวีดิทัศน์ดิจิทัลแบบอนุกรมผ่านสายโคแอกซ์ ซึ่งส่วนใหญ่จะใช้กันอย่างแพร่หลายในห้องแพร่สัญญาณ (Broadcast studios) และศูนย์การผลิตวีดิทัศน์ ตามมาตรฐาน SMPTE 259M ได้กำหนดไว้ว่าความเร็วในการส่งผ่านข้อมูลของ SDI จะอยู่ในช่วง 143 เมกะบิตต่อวินาทีจนถึง 360 เมกะบิตต่อวินาที



รูปที่ 2.1 การเชื่อมอุปกรณ์วีดิทัศน์ต่างๆด้วยมาตรฐาน SDI

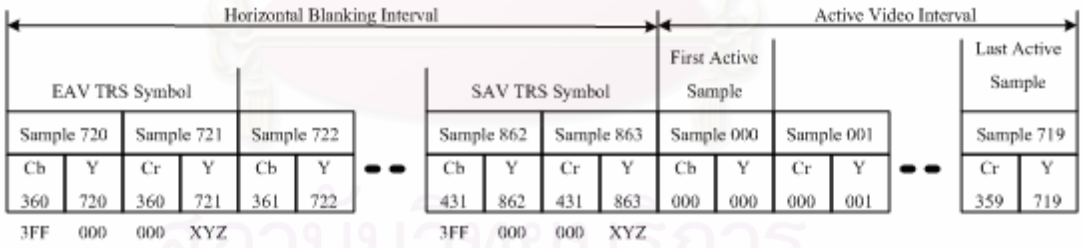
มาตรฐาน SMPTE 259M ได้สนับสนุนมาตรฐานวีดิทัศน์ดิจิทัลดังตารางที่ 2.1 ในวิทยานิพนธ์นี้ได้นำมาตรฐาน SMPTE 259M ระดับ C มาประยุกต์ใช้งานซึ่งจะเป็นการส่งผ่านสัญญาณภาพรวมระบบ NTSC การส่งข้อมูลภาพต่อเนื่องจะเป็นแบบ YUV 4:2:2 ที่มีรูปแบบของข้อมูลตามมาตรฐาน SMPTE 125

ตารางที่ 2.1 ระดับของมาตรฐานสัญญาณวีดิทัศน์ดิจิทัล SMPTE 259M

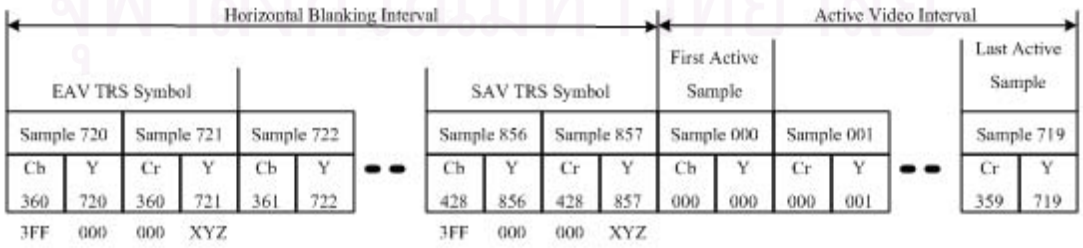
ระดับของมาตรฐาน SMPTE 259M	อัตราบิต (เมกะบิตต่อวินาที)	ชนิดของวีดิทัศน์	มาตรฐาน
A	143	สัญญาณภาพรวมระบบ NTSC	ANSI/SMPTE 244-1995
B	177	สัญญาณภาพรวมระบบ PAL	IEC 61179
C	270	สัญญาณภาพส่วนประกอบระบบ NTSC และ PAL 4x3 4:2:2	ANSI/SMPTE 125-1995 and ITU-R BT.601-5
D	360	สัญญาณภาพส่วนประกอบระบบ NTSC และ PAL 16x9 4:2:2	ANSI/SMPTE 267M-1995 and ITU-R BT.601-5

2.1.1 มาตรฐานรูปแบบการกราด (Scanning Format Standard)

รูปแบบการกราด[6] ที่นำมาใช้ในวิทยานิพนธ์นี้จะเป็นไปตามมาตรฐาน SMPTE 125M โดยมีคุณสมบัติดังนี้ สัญญาณวีดิทัศน์ดิจิทัลจะเป็นแบบ YUV 4:2:2 ความถี่การชักตัวอย่างเท่ากับ 13.5 เมกะเฮิรตซ์ อัตราบิตจะอยู่ที่ 270 เมกะเฮิรตซ์ รูปแบบการกราด (Scanning format) จะเป็นแบบการสอดประสาน (Interlace) ในระบบ NTSC อัตราเฟรมภาพ (Frame rate) เท่ากับ 30 เฮิรตซ์ หนึ่งภาพจะมีเส้นภาพทั้งหมด 525 เส้นเป็นเส้นแอ็กทิฟ (Active lines) 486 เส้น หนึ่งเส้นภาพจะมีจุดภาพทั้งหมด 858 จุดเป็นจุดภาพแอ็กทิฟ 720 จุด ส่วนในระบบ PAL อัตราเฟรมภาพเท่ากับ 25 เฮิรตซ์ หนึ่งภาพจะมีเส้นภาพทั้งหมด 625 เส้นเป็นเส้นแอ็กทิฟ 576 เส้น หนึ่งเส้นภาพจะมีจุดภาพทั้งหมด 864 จุดเป็นจุดภาพแอ็กทิฟ 720 จุด รูปที่ 2.2 และรูปที่ 2.3 จะเป็นการแสดงรูปแบบการเรียงข้อมูลในหนึ่งเส้นภาพในระบบ PAL และ NTSC ตามลำดับ



รูปที่ 2.2 รายละเอียดการเรียงข้อมูลในเส้นภาพในระบบ PAL



รูปที่ 2.3 รายละเอียดการเรียงข้อมูลในเส้นภาพในระบบ NTSC

ในหนึ่งเส้นภาพจะถูกแบ่งออกเป็นสองช่วงคือช่วงวีดิทัศน์แอ็กทิฟ (Active Video Interval) และช่วงการเว้นว่างแนวนอน (Horizontal Blanking Interval) ช่วงวีดิทัศน์แอ็กทิฟจะเริ่มต้นที่ตัวอย่างที่ 000 ไปสิ้นสุดที่ตัวอย่างที่ 719 ทั้งในระบบ NTSC และ PAL ช่วงนี้จะเป็นช่วงที่บรรจุภาพวีดิทัศน์เอาไว้ ในระบบ NTSC ส่วนของช่วงการเว้นว่างแนวนอนเริ่มต้นที่ตัวอย่างที่ 720 จนถึงตัวอย่างที่ 857 โดยคู่ตัวอย่างที่ 720/721 และคู่ตัวอย่างที่ 856/857 ได้มีการใส่รหัสพิเศษที่เรียกว่าสัญญาณอ้างอิงการกำหนดเวลา (Timing Reference Signal : TRS) เข้าไป คู่ตัวอย่างที่ 720/721 ได้มีการใส่สัญลักษณ์สัญญาณอ้างอิงการกำหนดเวลาสิ้นสุดของวีดิทัศน์แอ็กทิฟ (End of Active Video TRS symbol: EAV) คู่ตัวอย่างที่ 856/857 ได้มีการใส่สัญลักษณ์สัญญาณอ้างอิงการกำหนดเวลาเริ่มต้นของวีดิทัศน์แอ็กทิฟ (Start of Active Video TRS symbol: SAV) ในระบบ PAL ช่วงของการเว้นว่างแนวนอนเริ่มต้นที่ตัวอย่างที่ 720 จนถึงตัวอย่างที่ 863 โดยคู่ตัวอย่างที่ 720/721 ได้ใส่สัญลักษณ์สัญญาณอ้างอิงการกำหนดเวลาสิ้นสุดของวีดิทัศน์แอ็กทิฟ คู่ตัวอย่างที่ 862/863 ได้มีการใส่สัญลักษณ์สัญญาณอ้างอิงการกำหนดเวลาเริ่มต้นของวีดิทัศน์แอ็กทิฟ สัญลักษณ์ทั้งสองนี้จะใช้ในการระบุจุดที่มีการเปลี่ยนระหว่างช่วงวีดิทัศน์แอ็กทิฟและช่วงการเว้นว่างแนวนอน ข้อมูลภาพหนึ่งคำ (Word) มีขนาด 10 บิตสามคำแรกของสัญลักษณ์ TRS จะเป็น $3FF_{HEX}$ 000_{HEX} และ 000_{HEX} ส่วนคำที่สี่ของสัญลักษณ์ TRS จะถูกเรียกว่า XYZ ซึ่งใช้บิตสามบิตในการบอกสถานะของคำนี้คือบิต F บิต V และบิต H ใช้ 4 บิตในการตรวจหาความผิดพลาด ส่วนบิตที่เหลือจะถูกคงค่าไว้ รูปแบบการเรียงข้อมูลบิตของคำ XYZ แสดงไว้ในรูปที่ 2.4

บิตที่ 8 (บิต F) เป็นบิตที่บอกว่าเส้นภาพเป็นของฟิลด์ (field) คู่หรือฟิลด์คี่ ถ้าบิตนี้เป็นลอจิก 0 จะแสดงถึงฟิลด์คี่แต่ถ้าเป็นลอจิก 1 จะเป็นฟิลด์คู่ บิตที่ 7 (บิต V) จะเป็นบิตที่ใช้ในการระบุเส้นภาพว่าอยู่ในช่วงการเว้นว่างแนวตั้ง (Vertical Blanking Interval) ถ้าหากบิตนี้เป็นลอจิก 1 ส่วนบิตที่ 6 (บิต H) จะเป็นบิตที่ใช้ในการระบุเส้นภาพว่าอยู่ในช่วงการเว้นว่างแนวนอน (Horizontal Blanking Interval) ถ้าหากบิตนี้เป็นลอจิก 1 รูปที่ 2.5 และรูปที่ 2.6 จะแสดงรายละเอียดของบิต F V และ H ในสัญญาณภาพหนึ่งเฟรมของระบบ PAL และ NTSC ตามลำดับ บิต P3 ถึงบิต P0 จะใช้เป็นบิตในการตรวจหาความผิดพลาดในการส่งผ่านข้อมูลซึ่งสามารถหาค่าได้ดังนี้

P3 = V XOR H

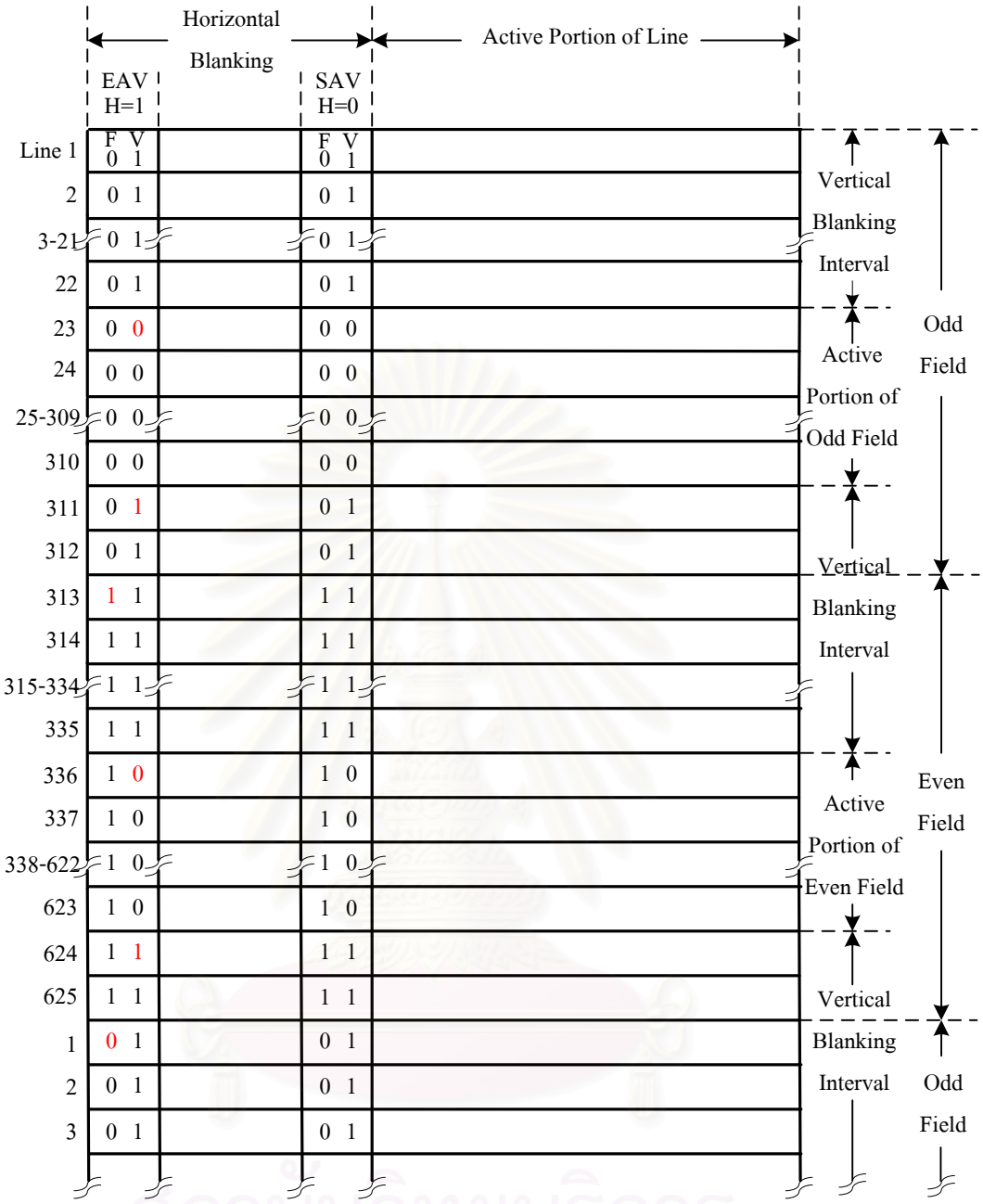
P2 = F XOR H

P1 = F XOR V

P0 = F XOR V XOR H

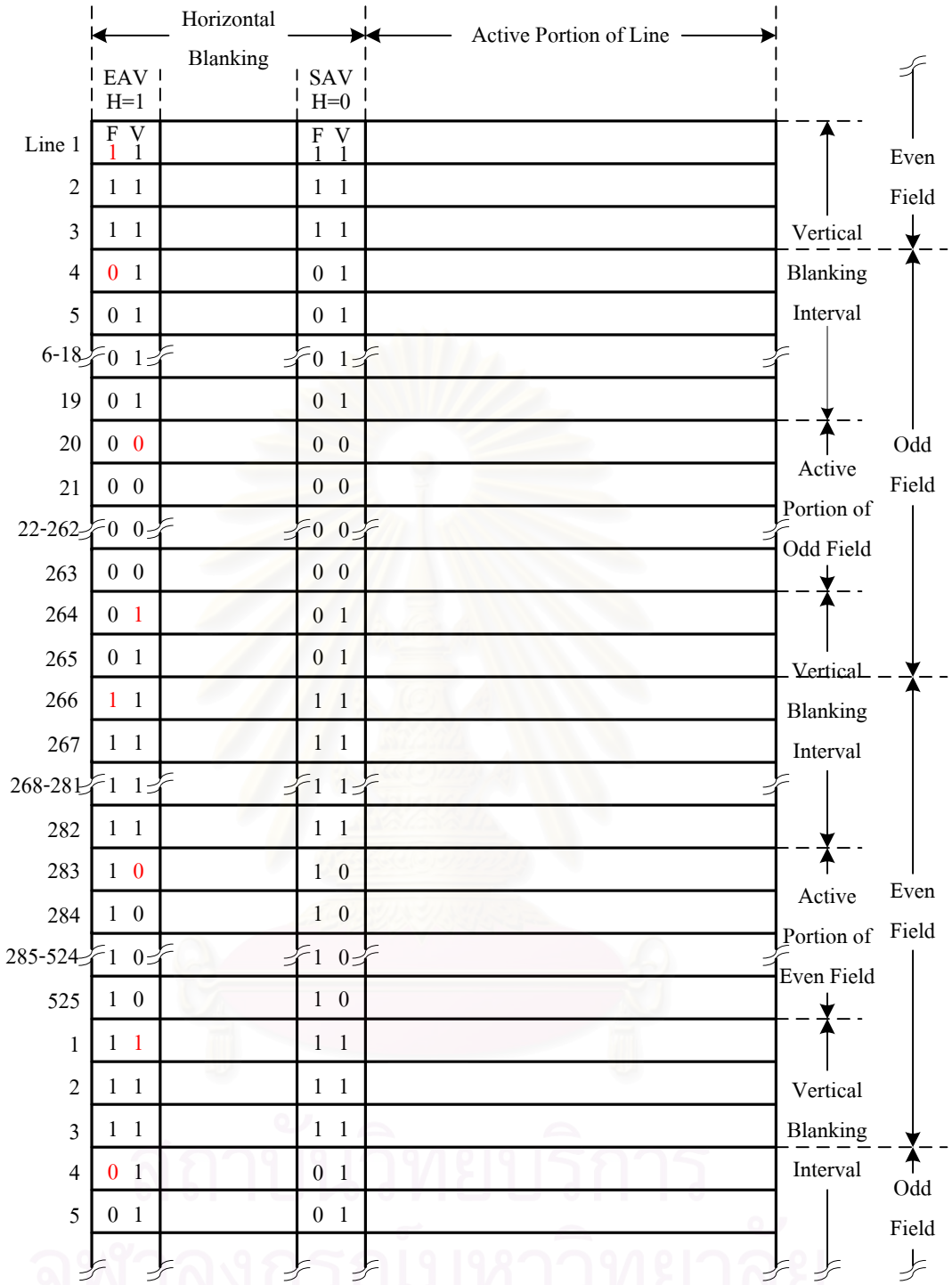
Bit	9	8	7	6	5	4	3	2	1	0
	1	F	V	H	P3	P2	P1	P0	0	0

รูปที่ 2.4 รายละเอียดการเรียงข้อมูลบิตของคำ XYZ ในสัญลักษณ์ TRS



รูปที่ 2.5 รายละเอียดของเฟรมวีดิทัศน์ในระบบ PAL

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 2.6 รายละเอียดของเฟรมวีดิทัศน์ในระบบ NTSC

2.1.2 มาตรฐานของส่วนต่อประสานดิจิทัลอนุกรม (Serial Digital Interface Standard)

ในวิทยานิพนธ์นี้ใช้มาตรฐาน SMPTE 259M-C สำหรับส่วนต่อประสานดิจิทัลอนุกรม[7][8] โดยมาตรฐาน SDI จะอธิบายถึงวิธีการส่งทั้งสัญญาณภาพรวม (Composite Video) และสัญญาณภาพส่วนประกอบ (Component Video) ที่เป็นดิจิทัลผ่านสายโคแอกซ์สำหรับอุปกรณ์วีดิทัศน์มาตรฐาน ก่อนการส่งสัญญาณวีดิทัศน์ดิจิทัลอนุกรมผ่านชั้นกายภาพ (Physical Layer) เครื่องส่ง SDI จะต้องเข้ารหัสสัญญาณวีดิทัศน์ดิจิทัลให้เป็นไปตามมาตรฐาน SDI เสียก่อน วงจรเข้ารหัส SDI จะมีชื่อเรียกอีกอย่างหนึ่งว่าวงจรกวนสัญญาณ SDI

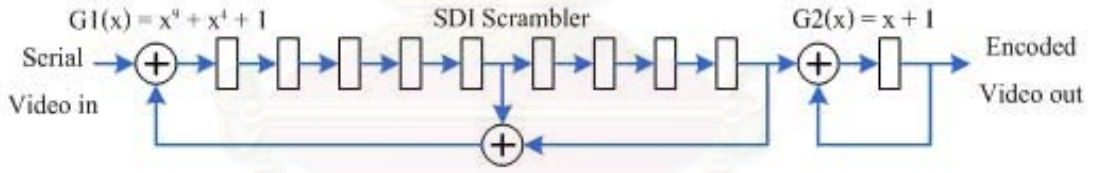
(SDI Scrambler) การเข้ารหัสนี้ทำให้การเปลี่ยนระดับของสัญญาณในการส่งข้อมูลอนุกรมมีมากพอที่จะทำให้เครื่องรับสามารถกู้ข้อมูลและสัญญาณนาฬิกากลับมาได้ มาตรฐาน SDI ใช้ Generator Polynomial สองตัวในการเข้ารหัสซึ่งแยกการเข้ารหัสออกเป็นสองขั้น ขั้นแรกสัญญาณวีดิทัศน์อนุกรมจะถูกเข้ารหัสโดยใช้ Generator Polynomial ดังนี้

$$G1(x) = x^9 + x^4 + 1 \quad (1)$$

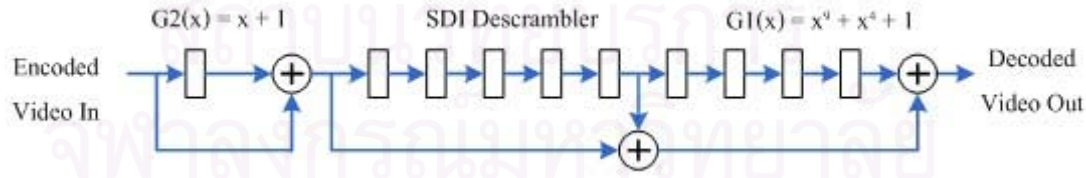
สัญญาณออกของการเข้ารหัสในขั้นนี้เป็นสัญญาณแบบ non-return-to-zero (NRZ) การเข้ารหัสในขั้นที่สองจะใช้ Generator Polynomial ในสมการที่ (2)

$$G2(x) = x + 1 \quad (2)$$

การเข้ารหัสขั้นที่สองเป็นการเปลี่ยนสัญญาณ NRZ ให้เป็นสัญญาณ NRZ-Inverted (NRZI) ซึ่งเป็นการทำสมดุลกระแสตรง (DC Balance) สำหรับการส่งข้อมูลผ่านชั้นกายภาพ รูปที่ 2.7 จะเป็นการประยุกต์ใช้เรจิสเตอร์แบบเลื่อนป้อนกลับเชิงเส้น (Linear Feedback Shift Registers: LFSR) ในกรรมวิธีเข้ารหัสสัญญาณ SDI โดยรูปวงกลมที่มีเครื่องหมายบวกอยู่ภายในจะเป็นเกท XOR และกล่องสี่เหลี่ยมจะเป็นฟลิปฟล็อป ส่วนกรรมวิธีในการถอดรหัสสัญญาณ SDI ซึ่งแสดงในรูปที่ 2.8 ทำได้โดยการกลับขั้นของกระบวนการเข้ารหัสโดยใช้ Generator Polynomial เหมือนการเข้ารหัส วงจรถอดรหัส SDI จะมีชื่อเรียกอีกอย่างว่า SDI Descrambler



รูปที่ 2.7 กรรมวิธีการเข้ารหัส SDI



รูปที่ 2.8 กรรมวิธีการถอดรหัส SDI

2.2 ตัวกรองสองมิติ (2-dimension filter)

ปัจจุบันได้มีการนำเอาวิธีในการประมวลผลข้อมูลสองมิติมาใช้งานในหลายๆด้านไม่ว่าจะเป็นทางด้านโทรทัศน์ ทางการแพทย์ การรับรู้จากระยะไกล (Remote sensing) และเรดาร์โซนาร์ (sonar-radar) เป็นต้น กลวิธีที่สำคัญก็จะมีการกรองข้อมูลดิจิทัลสองมิติ การบีบอัดข้อมูล การรู้จำแบบ (pattern recognition) และยังได้นำมาใช้ในการประมวลผลภาพอีกด้วยทั้งทางด้านการประมวลผลก่อน (pre-processing) ของภาพเช่นการทำ

ภาพให้ราบเรียบ (smoothing) การปรับปรุงคุณภาพของภาพเป็นต้น และทางด้านขั้นตอนประมวลผลสุดท้ายก่อนจะทำการรู้จำแบบเพื่อหาบริเวณและขอบภาพ ในการกรองภาพเราอาจใช้ตัวกรองแบบ non-recursive หรือ recursive ก็ได้ ตัวกรองแบบ non-recursive และตัวกรอง recursive จะเรียกอีกอย่างว่าตัวกรองผลตอบสนองอิมพัลส์จำนวนจำกัด (Finite-Impulse Response : FIR) และตัวกรองผลตอบสนองอิมพัลส์จำนวนไม่จำกัด (Infinite-Impulse Response Filter : IIR) ตามลำดับ ตัวกรองดิจิทัลผลตอบสนองอิมพัลส์จำนวนจำกัดสองมิติจะถูกนิยามด้วยความสัมพันธ์ดังต่อไปนี้

$$g(n_1, n_2) = \sum_{k_1=0}^{N_1-1} \sum_{k_2=0}^{N_2-1} a(k_1, k_2) f(n_1 - k_1, n_2 - k_2)$$

โดยที่ $f(n_1,n_2)$ เป็นข้อมูลเข้าสองมิติ

$g(n_1,n_2)$ เป็นข้อมูลออกสองมิติ

$a(k_1,k_2)$ เป็นค่าสัมประสิทธิ์ของตัวกรองดิจิทัลสองมิติ

ตัวกรองดิจิทัลผลตอบสนองอิมพัลส์จำนวนไม่จำกัดสองมิติจะถูกนิยามด้วยความสัมพันธ์ดังต่อไปนี้

$$g(n_1, n_2) = \sum_{k_1=0}^{N_1-1} \sum_{k_2=0}^{N_2-1} a(k_1, k_2) f(n_1 - k_1, n_2 - k_2) - \sum_{m_1=0}^{M_1-1} \sum_{m_2=0}^{M_2-1} b(m_1, m_2) g(n_1 - m_1, n_2 - m_2)$$
$$m_1 + m_2 \neq 0$$

โดยที่ $f(n_1,n_2)$ เป็นข้อมูลเข้าสองมิติ

$g(n_1,n_2)$ เป็นข้อมูลออกสองมิติ

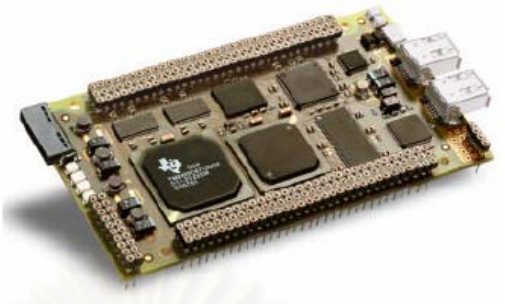
$a(k_1,k_2)$ และ $b(m_1,m_2)$ เป็นค่าสัมประสิทธิ์ของตัวกรองดิจิทัลสองมิติ

เมื่อนำตัวกรองทั้งสองแบบไปประยุกต์ใช้ในการประมวลผลภาพจะทำให้ได้ผลลัทพ์ที่ดีทั้งสองแบบ แต่เมื่อเปรียบเทียบตัวกรองทั้งสองจะพบว่าตัวกรองผลตอบสนองอิมพัลส์จำนวนจำกัดจะมีประสิทธิภาพที่ดีเมื่อนำไปสร้างเป็นฮาร์ดแวร์หรือซอฟต์แวร์จะมีโครงสร้างที่ไม่ซับซ้อน ในขณะที่ตัวกรองผลตอบสนองอิมพัลส์จำนวนไม่จำกัดจะมีประสิทธิ์ภาพที่สูงกว่า ที่สมรรถนะเท่ากันตัวกรองผลตอบสนองอิมพัลส์จำนวนไม่จำกัดจะใช้ค่าสัมประสิทธิ์น้อยกว่าตัวกรองผลตอบสนองอิมพัลส์จำนวนจำกัดวัดได้จากค่ากระเพื่อม (ripple values) และ cutoff slope แต่จะมีปัญหาในเรื่องเสถียรภาพและความซับซ้อนในการออกแบบ

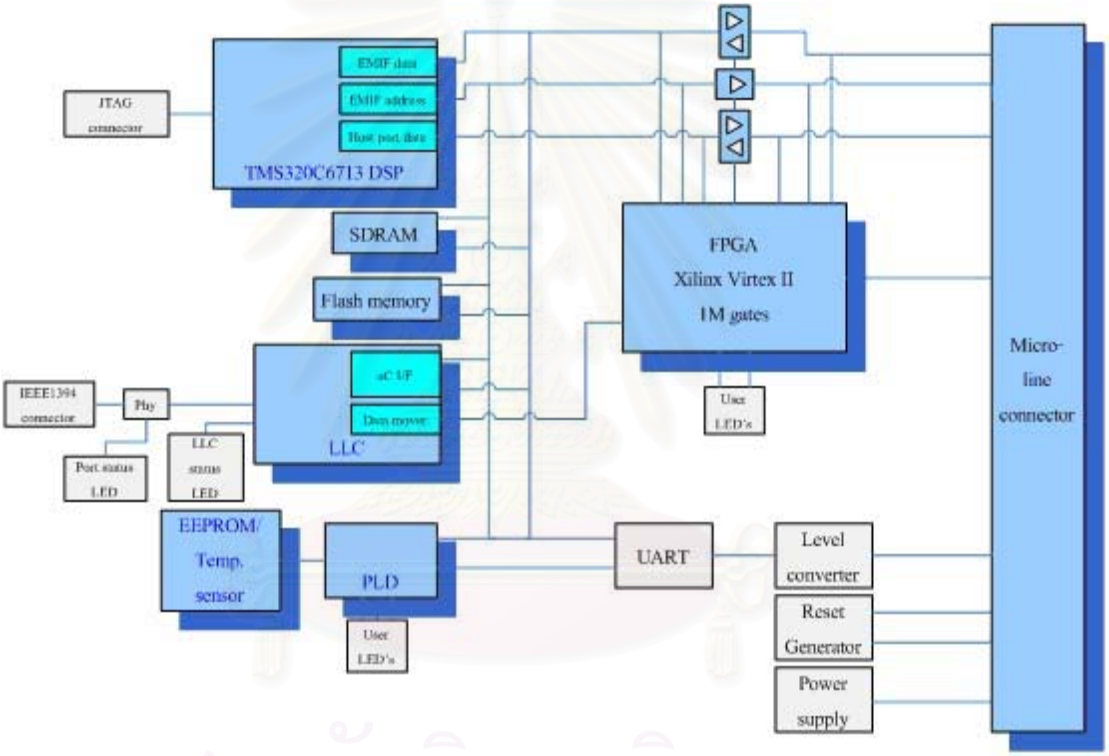
2.3 บอร์ดประมวลผลสัญญาณดิจิทัล C6713Compact

บอร์ด C6713Compact เป็นบอร์ดที่สามารถประมวลผลข้อมูลดิจิทัลที่ความเร็วสูง แผนภาพบล็อกของโครงสร้างบอร์ด C6713Compact แสดงไว้ดังรูปที่ 2.10 บอร์ดประกอบด้วย TMS320C6713 DSP ที่มีหน่วยความจำแรมภายใน 256 กิโลไบต์ทำงานที่ความเร็ว 225 เมกะเฮิรตซ์ (1800 ล้านคำสั่งต่อวินาที / 1350 ล้านการปฏิบัติการจุดลอยตัวต่อวินาที) FPGA ของบรษัท Xilinx รุ่น Virtex II ที่มีความจุหนึ่งล้านเกท ชิปเซต 1394a สำหรับการ

สื่อสารที่มีความเร็วถึง 400 ล้านบิตต่อวินาที บัฟเฟอร์ข้อมูลที่มีขนาดใหญ่ถึง 64 เมกะไบต์ หน่วยความจำแบบ flash ขนาด 32 เมกะไบต์



รูปที่ 2.9 บอร์ด C6713Compact[1]



รูปที่ 2.10 แผนภาพบล็อกของโครงสร้างบอร์ด C6713Compact[1]

บอร์ด C6713Compact ใช้ TMS320C6713 DSP เป็นตัวประมวลผลสัญญาณดิจิทัล ข้อมูลที่ใช้ในการประมวลผลจะเป็นข้อมูลภาพที่รับผ่านเข้ามาทาง FPGA ข้อมูลที่ถูกประมวลผลแล้ว DSP อาจจะเก็บข้อมูลไว้ในหน่วยความจำ หรืออาจส่งผ่านข้อมูลนั้นให้กับ FPGA เพื่อแสดงผลออกทางอุปกรณ์วีดิทัศน์ FPGA จะถูกใช้ในการเข้าถึง Data Mover Port ซึ่งเป็นวงจรที่อยู่ภายใน IEEE 1394 Link Layer Controller (LLC) FPGA สามารถรับส่งข้อมูลได้สองทางคือรับข้อมูลจาก DSP ส่งต่อให้กับ LLC เพื่อแสดงผล หรือรับข้อมูลจาก LLC แล้วส่งต่อให้กับ DSP เพื่อประมวลผล โดยมีบัฟเฟอร์แบบ FIFO เป็นตัวกลางในการรับส่งข้อมูลภาพระหว่าง DSP และ LLC LLC มีหน้าที่ในการรวมและถอดแยกกลุ่มข้อมูล IEEE 1394 (IEEE 1394 packet assemble/disassemble) เมื่อต้องการแสดงผลที่อุปกรณ์วีดิทัศน์ LLC จะทำการรวมกลุ่มข้อมูลที่ได้รับจาก FPGA ให้เป็นกลุ่มข้อมูล IEEE 1394 ก่อนส่งให้กับตัวรับส่งชั้นกายภาพ (Physical Layer Transceiver) เมื่อต้องการนำข้อมูลภาพเข้ามาในบอร์ด C6713Compact

เพื่อประมวลผล LLC จะถอดแยกข้อมูลภาพออกจากกลุ่มข้อมูล IEEE 1394 ที่ได้รับมาจากตัวรับส่งชั้นกายภาพแล้วส่งต่อให้กับ FPGA เพื่อผ่านข้อมูลนี้ให้กับ DSP ในการประมวลผล

ตัวต่อประสาน (Interface) ที่อยู่บนบอร์ดจะมีอยู่สามตัวคือ ตัวเชื่อมต่อ (Connector) Micro-Line® เป็นตัวเชื่อมต่อหลักของบอร์ด C6713Compact สามารถเข้าถึงได้ทุกสัญญาณบนบอร์ด ตัวเชื่อมต่อ JTAG เป็นตัวเชื่อมต่อที่ถูกใช้งานในระหว่างการพัฒนา ประกอบด้วย JTAG ที่ใช้เชื่อมต่อกับ DSP และ FPGA ตัวเชื่อมต่อ JTAG สำหรับ DSP นั้นจะใช้สำหรับโปรแกรมตรวจแก้จุดบกพร่องในการทำงานของ DSP และใช้ในการดาวน์โหลดโปรแกรมขณะที่กำลังพัฒนาโปรแกรม ส่วนตัวเชื่อมต่อ JTAG สำหรับ FPGA นั้นจะใช้ในการดาวน์โหลดโปรแกรมสำหรับ FPGA แบบรวดเร็วโดยไม่ต้องนำไปรวมกับโปรแกรมของ DSP ก่อนดาวน์โหลดลงในบอร์ด C6713Compact และตัวเชื่อมต่อ IEEE 1394 เป็นตัวเชื่อมต่อที่ใช้ในการสื่อสารข้อมูลภาพด้วยมาตรฐาน IEEE 1394a ที่ความเร็ว 400 ล้านบิตต่อวินาที

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

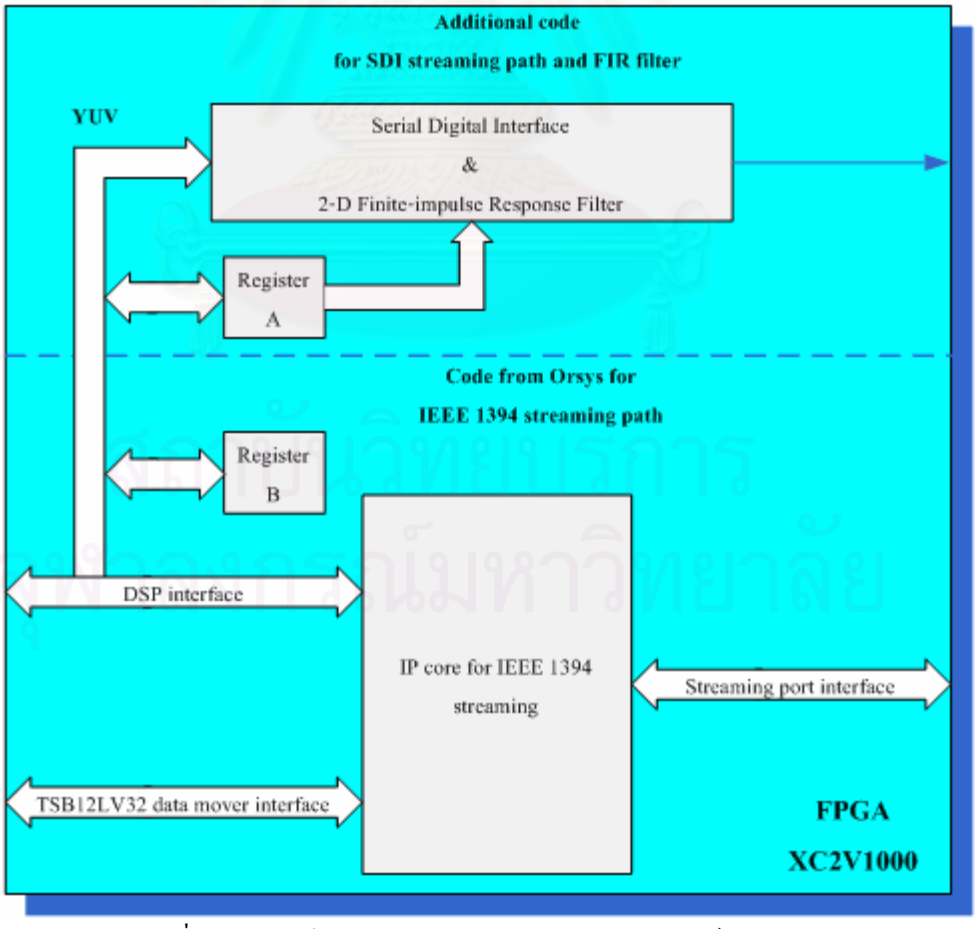
บทที่ 3

การนำเอฟพีจีเอมาสร้างส่วนต่อประสานดิจิทัลอนุกรมและตัวกรองภาพสำหรับสัญญาณวีดิทัศน์ดิจิทัล

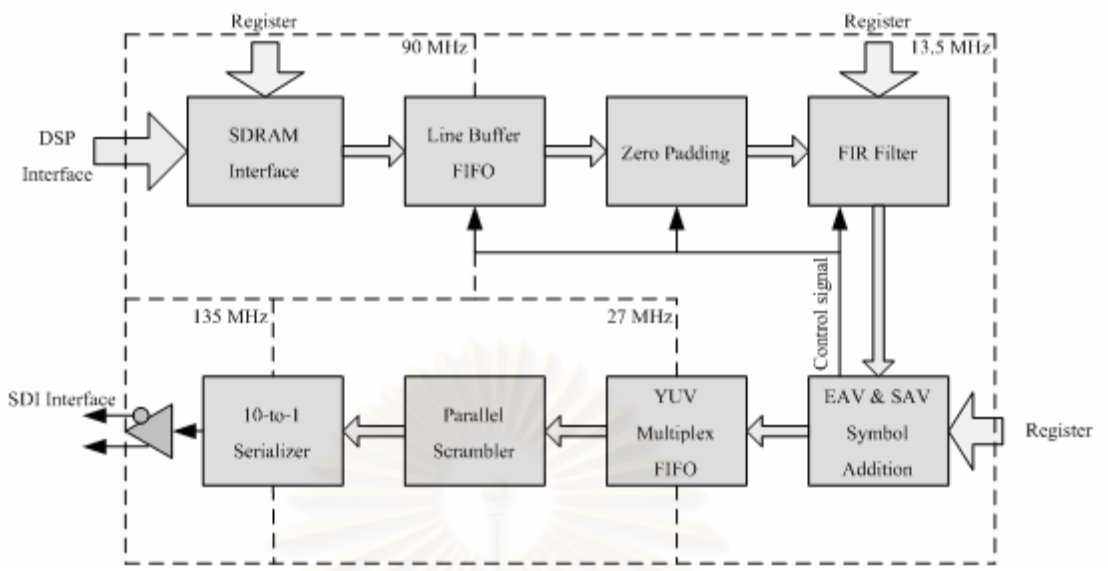
3.1 โครงสร้างของวงจร

วิทยานิพนธ์ฉบับนี้ได้นำเอามาตรฐานของส่วนต่อประสานดิจิทัลอนุกรม มาตรฐานรูปแบบการกราดและตัวกรองผลตอบสนองอิมพัลส์จำนวนจำกัดสองมิติ มาสร้างเป็นวงจรเพื่อใช้ในการประมวลผลสัญญาณภาพวีดิทัศน์ดิจิทัลและส่งสัญญาณในรูปแบบของส่วนต่อประสานดิจิทัลอนุกรมให้กับเครื่องรับสัญญาณวีดิทัศน์ วงจรดังกล่าวถูกนำไปสร้างลงในเอฟพีจีเอบนบอร์ด C6713Compact ดังในรูปที่ 3.1 ซึ่งแสดงโครงสร้างโดยรวมของวงจรภายในเอฟพีจีเอ

วงจรของเอฟพีจีเอที่สร้างจะแบ่งออกเป็นสองส่วนใหญ่ๆคือส่วนการส่งข้อมูลต่อเนื่องตามมาตรฐาน IEEE 1394 ทำหน้าที่รับข้อมูลภาพจากกล้องวีดิทัศน์ดิจิทัลเข้ามาประมวลผลภายในบอร์ดประมวลผลสัญญาณดิจิทัลหรือส่งข้อมูลภาพออกไปแสดงผลที่เครื่องรับสัญญาณซึ่งวงจรในส่วนนี้จะเป็นโปรแกรมที่ให้มาพร้อมกับบอร์ด และวงจรในส่วนของการส่งข้อมูลต่อเนื่องตามมาตรฐาน SDI พร้อมด้วยตัวกรองสองมิติสำหรับกรองข้อมูลภาพและเรจิสเตอร์ A สำหรับกำหนดค่าการทำงานต่างๆ ซึ่งเป็นโปรแกรมในส่วนของวิทยานิพนธ์ฉบับนี้



รูปที่ 3.1 โครงสร้างโดยรวมของวงจรภายในเอฟพีจีเอเบอร์ XC2V1000



รูปที่ 3.2 โครงสร้างของวงจรภายในเอฟพีจีเอ

วงจร SDRAM Interface เป็นวงจรที่ทำหน้าที่รับข้อมูลภาพจากตัวประมวลสัญญาณดิจิทัลซึ่งเป็นข้อมูลภาพที่มีรูปแบบ YUV 4:2:2 มาเก็บไว้ในวงจร Line Buffer FIFO โดยใช้โพรโทคอลเอสดีแรมในการติดต่อกับตัวประมวลสัญญาณดิจิทัล ตัวประมวลสัญญาณดิจิทัลจะมองเห็นวงจร SDRAM Interface เป็นเอสดีแรมขนาด 32 บิต x 1 ที่สามารถกำหนดเลขที่อยู่ได้ผ่านทางเรจิสเตอร์ ในขณะใช้งานเลขที่อยู่นี้จะถูกกำหนดให้มีค่าตรงกับเลขที่อยู่ของเอสดีแรมที่อยู่บนบอร์ดเลขที่อยู่ใดเลขที่อยู่หนึ่งซึ่งจะทำให้ข้อมูลที่ตัวประมวลสัญญาณดิจิทัลเขียนลงในเลขที่อยู่นี้ถูกเขียนไว้ในเอสดีแรมและเอฟพีจีเอพร้อมกัน

วงจร Line Buffer FIFO เป็น FIFO ที่ใช้เก็บข้อมูลภาพที่รับมาจากตัวประมวลสัญญาณดิจิทัลก่อนที่จะนำข้อมูลภาพนี้ไปประมวลผลที่ตัวกรองสองมิติ อีกทั้งยังเป็นบัฟเฟอร์ระหว่างสองวงจรที่ทำงานที่ความเร็วของสัญญาณนาฬิกาต่างกันนั่นคือวงจร SDRAM Interface ทำงานที่สัญญาณนาฬิกา 90 เมกะเฮิรตซ์และตัวกรองสองมิติทำงานที่สัญญาณนาฬิกา 13.5 เมกะเฮิรตซ์ หน่วยความจำภายในของFIFOจะสร้างมาจาก Block SelectRAM ซึ่งเป็นหน่วยความจำภายในของเอฟพีจีเอ

วงจร Zero Padding เป็นวงจรที่ทำหน้าที่เติมข้อมูลที่มีค่าเท่ากับศูนย์ให้กับสัญญาณความสว่าง (ส่วนประกอบ Y) และค่า 128 ซึ่งเป็นสีดำให้กับสัญญาณสี (ส่วนประกอบ U และ V) ลงในภาพที่ไม่ใช่บริเวณที่จะแสดงภาพที่รับมาจากตัวประมวลสัญญาณดิจิทัล

วงจร FIR filter เป็นตัวกรองสองมิติที่มี mask เท่ากับ 5x5 มีหน้าที่ในการกรองข้อมูลภาพในส่วนของสัญญาณความสว่างเท่านั้น ภายในก็จะมีเรจิสเตอร์แบบเลื่อนที่สร้างจาก Block SelectRAM ของเอฟพีจีเอเพื่อใช้ในการเก็บข้อมูลภาพ 4 เส้น โดยที่เส้นภาพ 1 เส้นจะมีขนาด 720 จุดภาพซึ่งเท่ากับขนาดของเส้นภาพแอ็กทิฟ ค่าสัมประสิทธิ์ของตัวกรองมีทั้งหมด 25 ค่าจะเป็นเลขฐานสองขนาด 16 บิตที่มีรูปแบบเป็น Fixed-point ที่มีเครื่องหมายมีบิตทศนิยม 14 บิตมีค่าอยู่ในช่วง -1.99993896484375 ถึง +1.99993896484375 โดยตัวประมวลสัญญาณดิจิทัลจะโปรแกรมค่าผ่านมาทางเรจิสเตอร์ ภายในของตัวกรองสองมิติยังประกอบด้วยวงจรที่ใช้ในการปรับค่าความเปรียบต่างและค่าความสว่างอีกด้วย ซึ่งค่าสัมประสิทธิ์จะโปรแกรมผ่านทางเรจิสเตอร์เช่นกัน ค่าสัมประสิทธิ์ของค่าความเปรียบต่างจะเป็นเลข Fixed-point ที่ไม่ระบุเครื่องหมายขนาด 16 บิตเป็นทศนิยม 12

บิตมีค่าอยู่ในช่วง 0 ถึง +15.999755859375 ส่วนค่าสัมประสิทธิ์ของค่าความสว่างจะเป็นเลข Fixed-point ที่มีเครื่องหมายขนาด 16 บิตเป็นทศนิยม 3 บิตมีค่าอยู่ในช่วง -4095.875 ถึง +4095.875

วงจร EAV and SAV Symbol Addition เป็นวงจรที่ทำหน้าที่สร้างสัญญาณวีดิทัศน์ดิจิทัลที่มีรูปแบบการกราดตามมาตรฐาน SMPTE 125M และควบคุมการไหลของข้อมูลภาพของวงจร Line Buffer FIFO วงจร Zero Padding และวงจร FIR filter เพื่อนำมาสร้างเป็นภาพในส่วนแอ็กทิฟ วงจรนี้จะส่งสัญญาณขัดจังหวะไปยังขา interrupt ช่องที่ 5 ของตัวประมวลสัญญาณดิจิทัลเพื่อที่จะให้ตัวประมวลสัญญาณดิจิทัลส่งข้อมูลภาพหนึ่งเส้นมาให้กับเอฟพีจีเอ ตัวประมวลสัญญาณดิจิทัลจะใช้วิธีการเข้าถึงหน่วยความจำโดยตรงในการส่งข้อมูลทำให้การส่งข้อมูลที่มีขนาดใหญ่สามารถทำได้อย่างรวดเร็ว

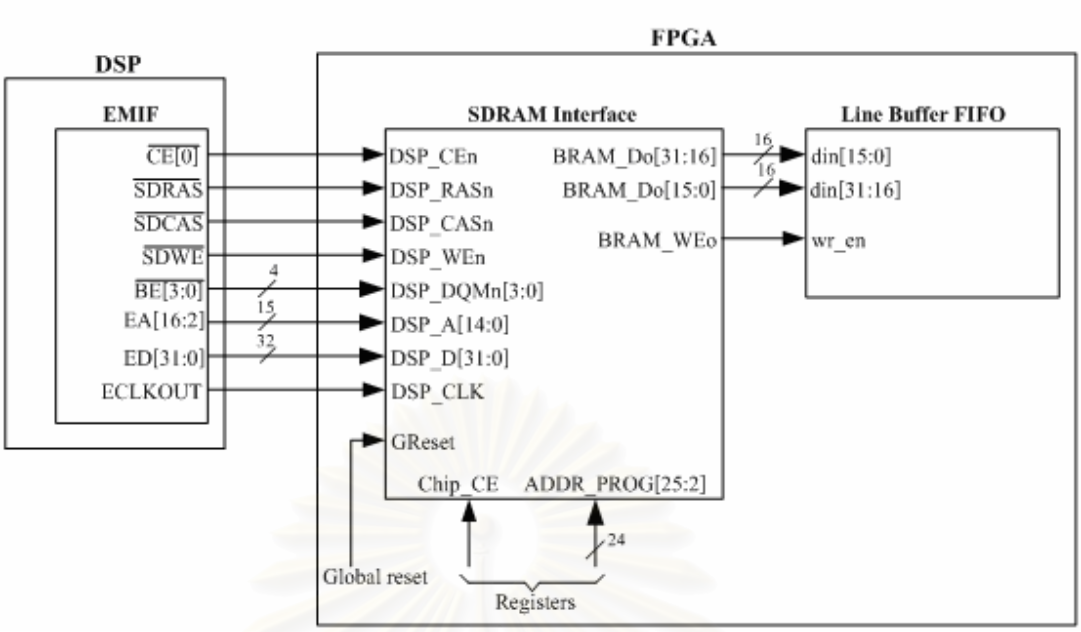
วงจร YUV Multiplex FIFO เป็น FIFO ที่ทำหน้าที่แปลงข้อมูลขนาด 20 บิตที่มีความเร็ว 13.5 เมกะเฮิรตซ์ให้เป็นข้อมูล 10 บิตที่มีความเร็ว 27 เมกะเฮิรตซ์และยังเป็นบัฟเฟอร์ระหว่างวงจรที่ทำงานที่ความเร็วของสัญญาณนาฬิกาต่างกัน หน่วยความจำภายในของ FIFO สร้างมาจาก Block SelectRAM ของเอฟพีจีเอ

วงจร Parallel Scrambler เป็นวงจรเข้ารหัสสัญญาณตามมาตรฐานส่วนต่อประสานดิจิทัลอนุกรมแบบขนาน 10 บิตส่งให้กับวงจร 10-to-1 Serializer ซึ่งแปลงข้อมูลขนาน 10 บิตที่ความเร็ว 27 เมกะเฮิรตซ์ให้เป็นข้อมูลอนุกรมที่ความเร็ว 270 เมกะบิตต่อวินาที ภายในวงจร 10-to-1 serializer ได้มีการนำบัฟเฟอร์แบบ DDR มาใช้ทำให้สัญญาณนาฬิกาที่ใช้กับวงจรนี้มีความเร็วน้อยกว่าความเร็วของข้อมูลอนุกรมขาออกอยู่ครึ่งหนึ่งนั่นคือ 135 เมกะเฮิรตซ์ ข้อมูลอนุกรมก็จะถูกส่งต่อให้กับบัฟเฟอร์ดิฟเฟอเรนเชียลเพื่อแปลงให้เป็นสัญญาณดิฟเฟอเรนเชียลตามมาตรฐานของส่วนต่อประสานดิจิทัลอนุกรมป้อนให้กับเครื่องรับสัญญาณวีดิทัศน์ดิจิทัลต่อไป

3.2 วงจร SDRAM interface

เอฟพีจีเอติดต่อกับตัวประมวลสัญญาณดิจิทัลโดยใช้วงจร SDRAM Interface ที่สร้างขึ้นแล้วนำไปเชื่อมต่อกับตัวประมวลสัญญาณดิจิทัลผ่านทางวงจร EMIF ดังในรูปที่ 3.3 ส่วนต่อประสานหน่วยความจำภายนอกเป็นช่องทางที่ตัวประมวลสัญญาณดิจิทัลใช้ในการติดต่อกับอุปกรณ์รอบข้างทั้งหน่วยความจำแบบต่างๆ และเอฟพีจีเอ กรรมวิธีในการเข้าถึงหน่วยความจำโดยตรงจะถูกนำมาใช้ในการนำข้อมูลภาพเข้ามาประมวลผลภายในเอฟพีจีเอ ข้อมูลที่วงจร SDRAM Interface ได้รับเข้ามาก็จะถูกนำไปเขียนลงในวงจร Line buffer FIFO

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 3.3 การเชื่อมต่อวงจร SDRAM interface เข้ากับตัวประมวลสัญญาณดิจิทัลและวงจร Line buffer FIFO

3.2.1 วงจร EMIF ของตัวประมวลสัญญาณดิจิทัล

วงจร External Memory Interface หรือ EMIF เป็นวงจรภายในของตัวประมวลสัญญาณดิจิทัลที่ใช้ในการรับส่งข้อมูลกับหน่วยความจำที่อยู่ภายนอกตัวประมวลสัญญาณดิจิทัลรวมถึงเอฟพีจีเอด้วย EMIF สามารถติดต่อกับหน่วยความจำได้หลายชนิดเช่น เอสดีแรม SBSRAM และหน่วยความจำอะซิงโครนัสเช่นรอม แรมสถิต FIFO เป็นต้น สัญญาณนาฬิกาที่ตัวประมวลสัญญาณดิจิทัลใช้ติดต่อกับหน่วยความจำภายนอกมีความเร็ว 90 เมกะเฮิรตซ์ ตารางที่ 3.1 และตารางที่ 3.2 เป็นตารางเปรียบเทียบความเร็วในการเขียนและอ่านข้อมูลโดยใช้ส่วนต่อประสานแบบต่างๆซึ่งใช้ในการส่งข้อมูลภาพ 1 เส้นหรือ 720 จุดภาพที่มีจำนวนข้อมูล 1440 ไบต์

ตารางที่ 3.1 เปรียบเทียบความเร็วในการเขียนข้อมูลระหว่างส่วนต่อประสานแบบต่างๆ

ส่วนต่อประสาน	บัสข้อมูลขนาด 16 บิต		บัสข้อมูลขนาด 32 บิต	
	จำนวนสัญญาณนาฬิกา(ลูก)	เวลา(ไมโครวินาที)	จำนวนสัญญาณนาฬิกา(ลูก)	เวลา(ไมโครวินาที)
เอสดีแรม	720	8	360	4
SBSRAM	720	8	360	4
อะซิงโครนัส	2160	24	1080	12

ตารางที่ 3.2 เปรียบเทียบความเร็วในการอ่านข้อมูลระหว่างส่วนต่อประสานแบบต่างๆ

ส่วนต่อประสาน	บัสข้อมูลขนาด 16 บิต		บัสข้อมูลขนาด 32 บิต	
	จำนวนสัญญาณนาฬิกา(ลูก)	เวลา(ไมโครวินาที)	จำนวนสัญญาณนาฬิกา(ลูก)	เวลา(ไมโครวินาที)
เอสดีแรม	722	8.02	362	4.02
SBSRAM	722	8.02	362	4.02
อะซิงโครนัส	3600	40	1800	20

จากตารางที่ 3.1 การคำนวนสัญญาณนาฬิกาที่ใช้ในการรับส่งข้อมูล หน่วยความจำอะซิงโครนัสจะใช้สัญญาณนาฬิกา 3 ลูกในการเขียนและ 5 ลูกในการอ่านแต่ละครั้ง สำหรับบัสข้อมูลขนาด 16 บิต (2 ไบต์) ข้อมูลภาพจำนวน 1440 ไบต์จะมีการอ่านหรือเขียนข้อมูลเกิดขึ้นทั้งหมด 1440/2 = 720 ครั้ง ซึ่งจะต้องใช้สัญญาณนาฬิกาจำนวน 720 x 3 = 2160 ลูกในการเขียนข้อมูลภาพทั้งหมดลงในหน่วยความจำ และจะต้องใช้สัญญาณนาฬิกาจำนวน 720 x 5 = 3600 ลูกเพื่ออ่านข้อมูลภาพจากหน่วยความจำ สำหรับบัสข้อมูลขนาด 32 บิต (4 ไบต์) จะมีการอ่านหรือเขียนข้อมูลเกิดขึ้นทั้งหมด 1440/4 = 360 ครั้ง ซึ่งจะต้องใช้สัญญาณนาฬิกาจำนวน 360 x 3 = 1080 ลูกในการเขียนข้อมูลภาพทั้งหมดลงในหน่วยความจำ และใช้สัญญาณนาฬิกาจำนวน 360 x 5 = 1800 ลูกเพื่ออ่านข้อมูลภาพจากหน่วยความจำ ส่วนหน่วยความจำเอสดีแรมและ SBSRAM สามารถคำนวณได้โดยใช้วิธีการเดียวกัน ซึ่งหน่วยความจำเอสดีแรมจะใช้สัญญาณนาฬิกาในการเขียนเท่ากับจำนวนข้อมูลที่จะต้องเขียน ส่วนในการอ่านข้อมูลจะเท่ากับจำนวนข้อมูลบวกกับเวลาแฝงของข้อมูลซึ่งเอสดีแรมบนบอร์ดจะมีเวลาแฝงเท่ากับสัญญาณนาฬิกา 2 ลูก หน่วยความจำ SBSRAM จะใช้สัญญาณนาฬิกาในการเขียนและอ่านข้อมูลเท่ากันกับเอสดีแรม

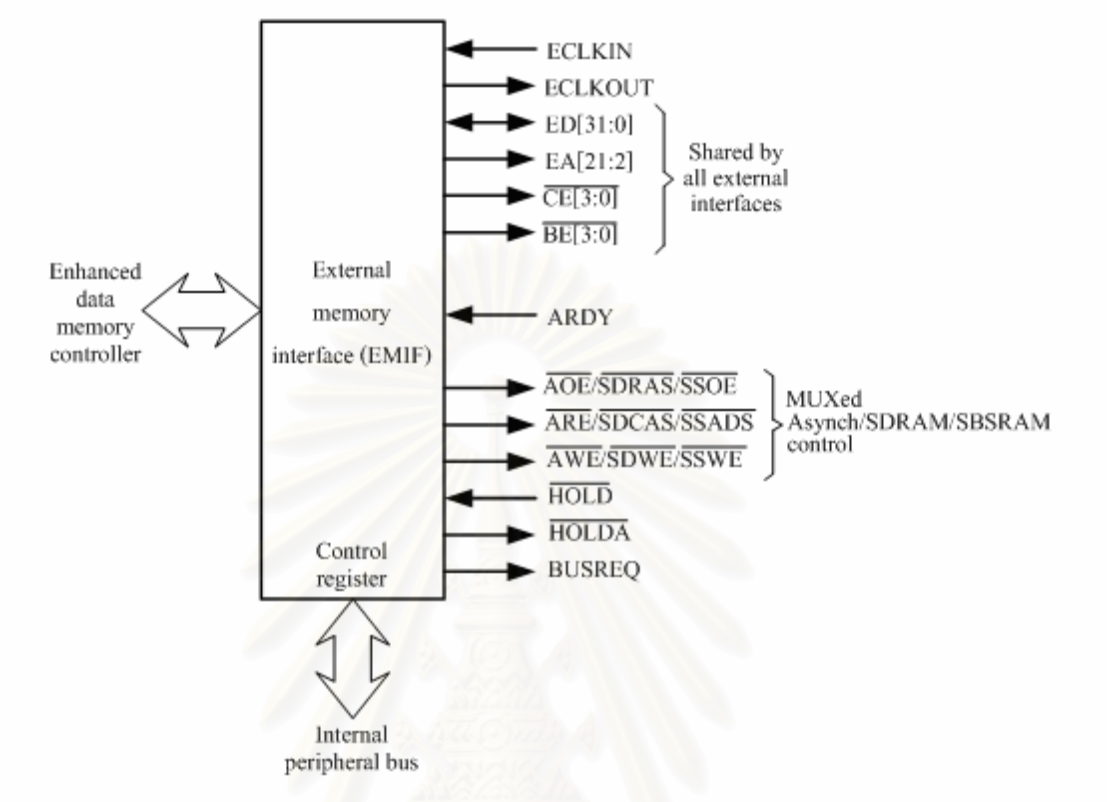
จากตารางที่ 3.1 และตารางที่ 3.2 พบว่าส่วนต่อประสานของหน่วยความจำอะซิงโครนัสจะใช้เวลาในการอ่านเขียนข้อมูลนานที่สุดซึ่งไม่เหมาะที่จะนำมาใช้ในการรับส่งข้อมูลภาพซึ่งมีขนาดใหญ่เพราะจะทำให้ใช้เวลามากในการรับส่งข้อมูล ส่วนหน่วยความจำเอสดีแรมและ SBSRAM จะใช้เวลาในการรับส่งข้อมูลเท่ากันและใช้เวลาน้อยกว่าหน่วยความจำอะซิงโครนัสมากเหมาะสมที่จะนำมาใช้ในการรับส่งข้อมูลภาพ

การจัดสรรหน่วยความจำของบอร์ด C6713Compact ได้แสดงไว้ในตารางที่ 3.3 ซึ่งจะพบว่าตัวประมวลสัญญาณดิจิทัลได้ถูกกำหนดให้ติดต่อกับหน่วยความจำสองชนิดคือเอสดีแรมและอะซิงโครนัส ส่วนต่อประสานหน่วยความจำเอสดีแรมมีขนาด 32 บิต ส่วนหน่วยความจำอะซิงโครนัสจะมีขนาด 16 บิตและ 32 บิต ดังนั้นเราจึงเลือกที่จะออกแบบให้เอฟพีจีเอรับข้อมูลจากตัวประมวลสัญญาณดิจิทัลผ่านทางส่วนต่อประสานหน่วยความจำเอสดีแรมที่พื้นที่หน่วยความจำ CE0 ซึ่งจะทำให้สามารถส่งข้อมูลได้อย่างรวดเร็วเพื่อที่จะให้ตัวประมวลสัญญาณดิจิทัลมีเวลาในการประมวลผลอื่นมากขึ้น เลขที่อยู่ของเอฟพีจีเอจะไปตรงกับเลขที่อยู่ในหน่วยความจำเอสดีแรมตำแหน่งใดตำแหน่งหนึ่งผ่านการโปรแกรมลงในเรจิสเตอร์ของเอฟพีจีเอ

ตารางที่ 3.3 แผนที่หน่วยความจำของบอร์ด C6713Compact

ช่วงของเลขที่อยู่(เลขฐาน 16)	พื้นที่ CE	ขนาด	รายละเอียด
8000 0000 – 83FF FFFF	CE0	64 เมกะไบต์	แรมภายนอก (เอสดีแรม)
8400 0000 – 8FFF FFFF		192 เมกะไบต์	จองไว้ (คู่สำเนาของเอสดีแรม)
9000 0000 – 900F FFFF	CE1	1 เมกะไบต์	หน่วยความจำแฟลช
9010 0000 – 9010 FFFF		64 กิโลไบต์	จองไว้
9011 0000 – 9015 FFFF		320 กิโลไบต์	ชุดเรจิสเตอร์ของ PLD ชุดที่ 1
9016 0000 – 9016 FFFF		64 กิโลไบต์	ชุดเรจิสเตอร์ของ UART
9017 0000 – 901E FFFF		512 กิโลไบต์	ชุดเรจิสเตอร์ของ PLD ชุดที่ 2
901F 0000 – 901F FFFF		64 กิโลไบต์	ชุดเรจิสเตอร์ของ LLC
9020 0000 – 9FFF FFFF		254 เมกะไบต์	จองไว้ (คู่สำเนาของหน่วยความจำแฟลชและเรจิสเตอร์ต่างๆ)

A000 0000 – AFFF FFFF	CE2	256 เมกะไบต์	จองไว้สำหรับเอฟพีจีเอ
B000 0000 – BFFF FFFF	CE3	256 เมกะไบต์	จองไว้สำหรับเอฟพีจีเอ



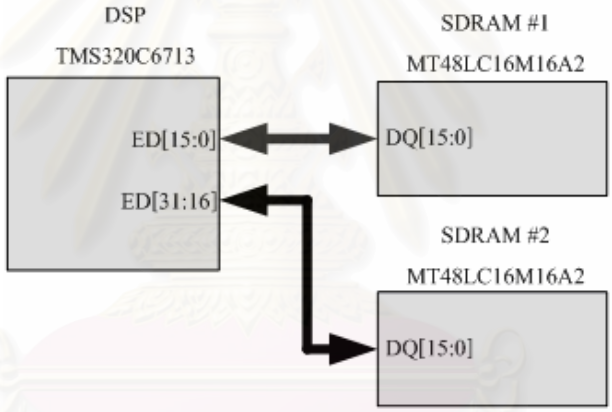
รูปที่ 3.4 วงจร External memory interface ที่อยู่ภายในตัวประมวลสัญญาณดิจิทัล

สัญญาณ EMIF ของตัวประมวลสัญญาณดิจิทัลแสดงดังรูปที่ 3.4 บนบอร์ด C6713Compact สัญญาณ EMIF ทั้งหมดได้เชื่อมต่อมายังเอฟพีจีเอ สัญญาณ ECLKOUT เป็นสัญญาณนาฬิกา EMIF ขาออกมีความถี่ 90 เมกะเฮิรตซ์ สัญญาณขาออกของ EMIF ทั้งหมดจะสัมพันธ์กับสัญญาณ ECLKOUT นี้ สัญญาณ ED[31:0] จะเป็นบัสข้อมูลเข้าออกขนาด 32 บิต สัญญาณ EA[21:2] จะเป็นบัสเลขที่อยู่ สัญญาณ $\overline{CE[3:0]}$ จะเป็นสัญญาณเลือกชิปสำหรับพื้นที่หน่วยความจำต่างๆซึ่งแอ็กทิฟที่ลอจิก 0 โดย $\overline{CE[0]}$ จะเลือกชิปสำหรับพื้นที่หน่วยความจำ CE0 $\overline{CE[1]}$ จะเลือกชิปสำหรับพื้นที่หน่วยความจำ CE1 $\overline{CE[2]}$ จะเลือกชิปสำหรับพื้นที่หน่วยความจำ CE2 และ $\overline{CE[3]}$ จะเลือกชิปสำหรับพื้นที่หน่วยความจำ CE3 สัญญาณ $\overline{BE[3:0]}$ เป็นสัญญาณเปิดทางไบต์ (Byte enable) แอ็กทิฟที่ลอจิก 0 จะใช้ในการเลือกว่าต้องการเขียนข้อมูลเฉพาะไบต์หรือสองไบต์ใด สัญญาณทั้งสี่จะต้องแอ็กทิฟเมื่ออยู่ในช่วงของการอ่านข้อมูล ส่วนต่อประสานภายนอกทุกแบบจะใช้สัญญาณ ED[31:0] EA[21:2] $\overline{CE[3:0]}$ และ $\overline{BE[3:0]}$ ร่วมกัน สัญญาณ $\overline{AOE}$ / $\overline{SDRAS}$ / $\overline{SSOE}$ จะเป็นสัญญาณที่ถูกมัลติเพล็กซ์เพื่อใช้กับหน่วยความจำชนิดต่างๆ แอ็กทิฟที่ลอจิก 0 สัญญาณนี้จะเป็นสัญญาณเปิดทางออก (Output enable) เมื่อนำไปใช้กับส่วนต่อประสานหน่วยความจำอะซิงโครนัส จะเป็นสัญญาณ address strobe เมื่อนำไปใช้กับส่วนต่อประสานหน่วยความจำเอสดีแรมและเป็นสัญญาณเปิดทางบัฟเฟอร์ออก (output buffer enable) เมื่อนำไปใช้กับส่วนต่อประสานหน่วยความจำ SBSRAM สัญญาณ $\overline{ARE}$ / $\overline{SDCAS}$ / $\overline{SSADS}$ จะเป็นสัญญาณที่ถูกมัลติเพล็กซ์เพื่อใช้

กับหน่วยความจำชนิดต่างๆ แอ็กทิฟที่ลอจิก 0 สัญญาณนี้จะเป็นสัญญาณ read strobe เมื่อนำไปใช้กับส่วนต่อประสานหน่วยความจำอะซิงโครนัส จะเป็นสัญญาณ column address strobe เมื่อนำไปใช้กับส่วนต่อประสานหน่วยความจำเอสดีแรมและเป็นสัญญาณ address strobe/enable เมื่อนำไปใช้กับส่วนต่อประสานหน่วยความจำ SBSRAM สัญญาณ $\overline{AWE}$ / $\overline{SDWE}$ / $\overline{SSWE}$ จะเป็นสัญญาณที่ถูกมัลติเพล็กซ์เพื่อใช้กับหน่วยความจำชนิดต่างๆ แอ็กทิฟที่ลอจิก 0 สัญญาณนี้จะเป็นสัญญาณ write strobe เมื่อนำไปใช้กับส่วนต่อประสานหน่วยความจำอะซิงโครนัส จะเป็นสัญญาณ write enable เมื่อนำไปใช้กับส่วนต่อประสานหน่วยความจำเอสดีแรมและ SBSRAM

3.2.2 หน่วยความจำเอสดีแรม

เอสดีแรมที่ใช้บนบอร์ด C6713Compact จะเป็นเบอร์ MT48LC16M16A2 มีอยู่สองตัวผลิตโดยบริษัท Micron เป็นเอสดีแรมขนาด 4 เมกะ x 16 x 4 bank หรือ 256 เมกะบิต จากการศึกษาเอกสารของเอสดีแรมพบว่าบัสข้อมูลมีขนาด 16 บิตแต่ตัวประมวลสัญญาณดิจิทัลจะเข้าถึงข้อมูลของเอสดีแรมขนาด 32 บิต นั่นหมายความว่าเอสดีแรมสองตัวที่อยู่บนบอร์ดได้ต่อขนานกันโดยตัวหนึ่งใช้สำหรับการเข้าถึงข้อมูล 16 บิตบนและอีกตัวหนึ่งใช้สำหรับเข้าถึงข้อมูล 16 บิตล่างดังแสดงในรูปที่ 3.5



รูปที่ 3.5 การเชื่อมต่อตัวประมวลสัญญาณดิจิทัลเข้ากับเอสดีแรมสองตัวบนบอร์ด C6713Compact

เอสดีแรมที่ใช้บนบอร์ด C6713Compact เป็นดีแรมขนาด 256 เมกะบิตที่มี 4 bank ทำงานที่แรงดัน 3.3 โวลต์ ประกอบด้วยส่วนต่อประสานซิงโครนัส สัญญาณทุกสัญญาณจะทำงานที่ขอบขาขึ้นของสัญญาณนาฬิกา CLK ในแต่ละ bank จะถูกจัดเป็น 8,192 แถว 512 คอลัมน์ที่มีขนาดข้อมูล 16 บิต คำสั่งทั้งหมดของเอสดีแรมเบอร์ MT48LC16M16A2 ได้แสดงไว้ในตารางที่ 3.4 ซึ่งมีอยู่หลายคำสั่ง เนื่องจากตัวประมวลสัญญาณดิจิทัลสามารถที่จะเขียนข้อมูลไปให้กับวงจรส่วนต่อประสานเอสดีแรมได้เพียงอย่างเดียวไม่สามารถอ่านข้อมูลได้ และข้อมูลที่วงจรส่วนต่อประสานเอสดีแรมรับเข้ามาแล้วจะถูกส่งไปเก็บไว้ที่วงจร Line Buffer FIFO ซึ่งภายในสร้างมาจาก Block SelectRAM เป็นหน่วยความจำที่ไม่ต้องรีเฟรช ดังนั้นคำสั่งของเอสดีแรมที่วงจรส่วนต่อประสานเอสดีแรมนำมาประยุกต์ใช้งานก็จะมีคำสั่ง ACTIVE WRITE และคำสั่ง BURST TERMINATE แต่ละคำสั่งมีหน้าที่ดังต่อไปนี้

- คำสั่ง ACTIVE จะถูกใช้ในการเปิดใช้งาน ROW หนึ่ง ROW เพื่อที่จะเข้าถึงข้อมูลใน bank ใด bank หนึ่ง ค่าที่ขาเข้า BA0 และ BA1 จะใช้ในการเลือก bank และเลขที่อยู่ของ ROW จะอยู่

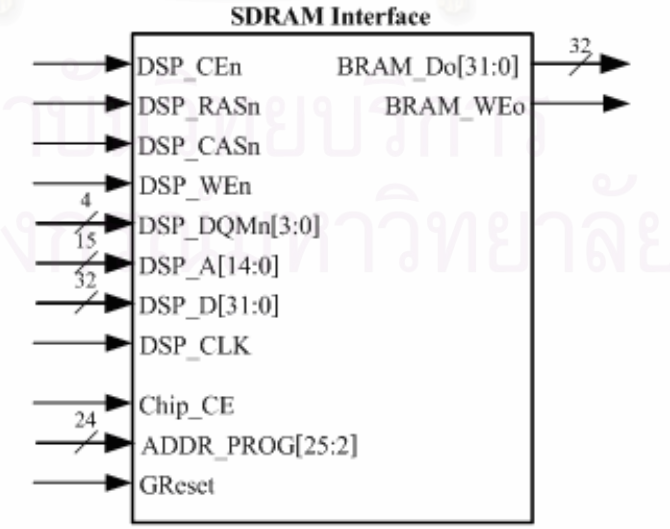
ที่ขาเข้า A0-A12 ROW นี้จะยังคงเปิดใช้งานอยู่จนกว่า bank นี้จะได้รับคำสั่ง PRECHARGE

- คำสั่ง WRITE เป็นคำสั่งเริ่มต้นในการเขียนข้อมูลอย่างรวดเร็วไปยัง ROW ที่เปิดอยู่ค่าที่ขาเข้า BA0 และ BA1 จะใช้ในการเลือก bank และเลขที่อยู่บนขาเข้า A0-A8 จะถูกใช้ในการเลือกตำแหน่ง Column เริ่มต้น
- คำสั่ง BURST TERMINATE เป็นคำสั่งที่ใช้ในการหยุดการอ่านหรือเขียนข้อมูลอย่างรวดเร็ว

ตารางที่ 3.4 คำสั่งของเอสดีแรม

ฟังก์ชัน	CS#	RAS#	CAS#	WE#	DQM	ADDR
COMMAND INHIBIT	H	X	X	X	X	X
NO OPERATION	L	H	H	H	X	X
ACTIVE	L	L	H	H	X	Bank/Row
READ	L	H	L	H	L/H	Bank/Col
WRITE	L	H	L	L	L/H	Bank/Col
BURST TERMINATE	L	H	H	L	X	X
PRECHARGE	L	L	H	L	X	Code
AUTO REFRESH หรือ SELF REFRESH	L	L	L	H	X	X
LOAD MODE REGISTER	L	L	L	L	X	Op-Code
Write Enable/Output Enable	-	-	-	-	L	-
Write Inhibit/Output High-Z	-	-	-	-	H	-

3.2.3 ออกแบบวงจร SDRAM interface

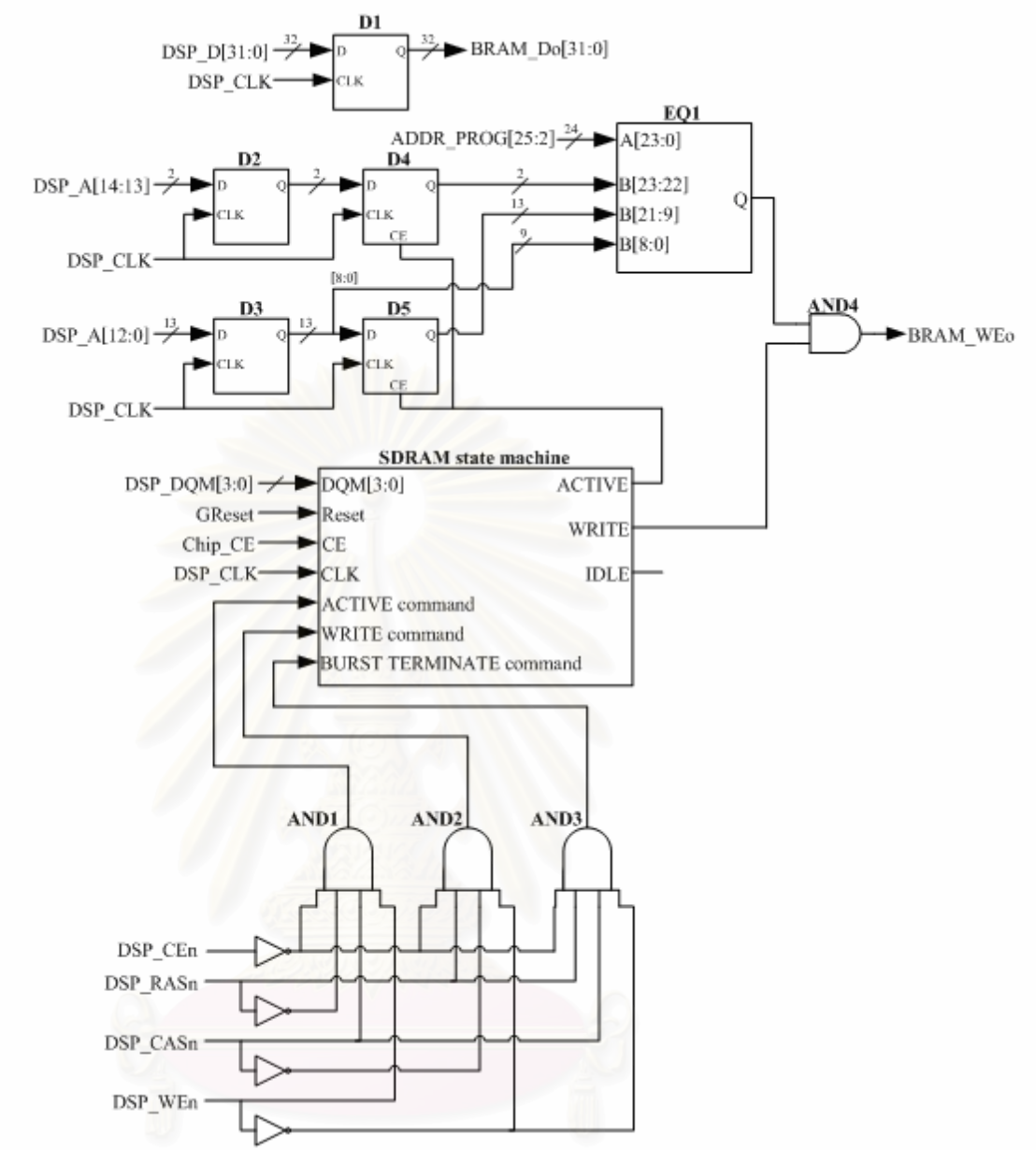


รูปที่ 3.6 โครงสร้างขาเข้าและขาออกของวงจร SDRAM interface

ตารางที่ 3.5 หน้าที่ของขาแต่ละขาของวงจร SDRAM interface

ขา	ทิศทาง	หน้าที่
Chip_CE	ขาเข้า	สัญญาณสำหรับสั่งให้วงจรภายในทั้งหมดทำงาน แอ็กทิฟที่ลอจิก 1
GReset	ขาเข้า	สัญญาณสำหรับตั้งค่าการทำงานใหม่ แอ็กทิฟที่ลอจิก 1 เมื่อนำไปใช้งานจะต้องเชื่อมต่อสัญญาณนี้เข้ากับสัญญาณ global reset ของเอฟพีจีเอ
ADDR_PROG[25:2]	ขาเข้า	สัญญาณสำหรับการกำหนดเลขที่อยู่ของวงจรวงจร SDRAM interface สังเกตว่าสัญญาณจะเริ่มตั้งแต่เส้นที่ 2 ถึง 25 ไม่มีสัญญาณเส้นที่ 0 และ 1 นั่นเป็นเพราะว่าข้อมูลที่เขียนเข้ามามีขนาด 4 ไบต์ดังนั้นเลขที่อยู่จึงเพิ่มขึ้นครั้งละ 4
DSP_CEn	ขาเข้า	สัญญาณเลือกชิปจากตัวประมวลสัญญาณดิจิทัล แอ็กทิฟที่ลอจิก 0
DSP_RASn	ขาเข้า	สัญญาณ address strobe แอ็กทิฟที่ลอจิก 0
DSP_CASn	ขาเข้า	สัญญาณ column address strobe แอ็กทิฟที่ลอจิก 0
DSP_WEn	ขาเข้า	สัญญาณ write enable แอ็กทิฟที่ลอจิก 0
DSP_DQMn[3:0]	ขาเข้า	สัญญาณเปิดทางไบต์ (Byte enable) แอ็กทิฟที่ลอจิก 0
DSP_A[14:0]	ขาเข้า	สัญญาณเลขที่อยู่เข้าใช้เชื่อมต่อกับสัญญาณเลขที่อยู่ EA2 ถึง EA16 ของวงจรส่วนต่อประสานหน่วยความจำภายนอกของตัวประมวลสัญญาณดิจิทัล
DSP_D[31:0]	ขาเข้า	สัญญาณข้อมูลที่ตัวประมวลสัญญาณดิจิทัลจะเขียนเข้ามา
DSP_CLK	ขาเข้า	สัญญาณนาฬิกาจากตัวประมวลสัญญาณดิจิทัลซึ่งมีความเร็ว 90 เมกะเฮิรตซ์
BRAM_WEo	ขาออก	สัญญาณเขียนข้อมูลให้กับวงจร Line Buffer FIFO แอ็กทิฟที่ลอจิก 1
BRAM_Do[31:0]	ขาออก	ขาข้อมูลออกเพื่อเก็บไว้ในวงจร Line Buffer FIFO

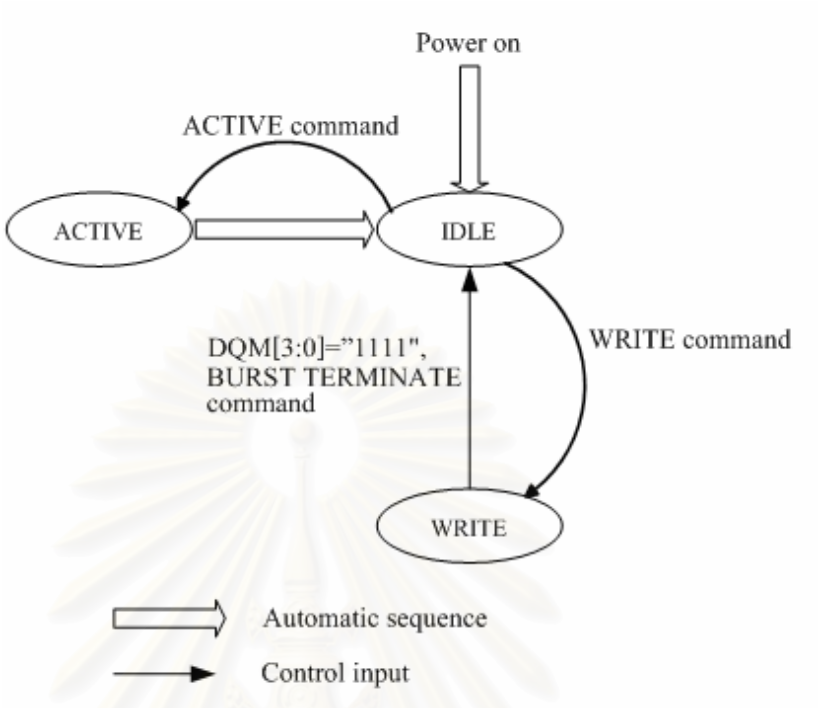
สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 3.7 โครงสร้างภายในของวงจร SDRAM interface

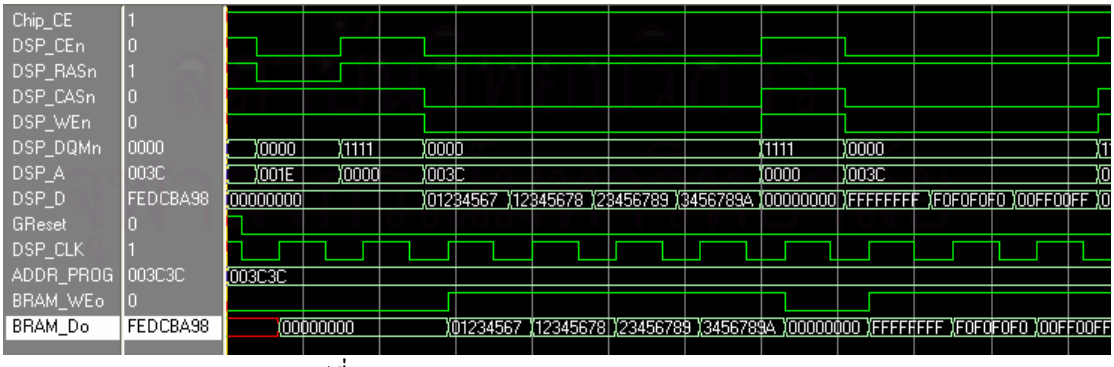
AND1 AND2 และ AND3 ทำหน้าที่ถอดรหัสคำสั่ง ACTIVE WRITE และ BURST TERMINATE ตามลำดับจากสัญญาณ DSP_CEn DSP_RASn DSP_CASn และ DSP_WEn แล้วป้อนให้กับวงจร SDRAM state machine เพื่อใช้ในการหาสถานะการทำงาน D1 ทำหน้าที่หน่วงเวลาของสัญญาณข้อมูล DSP_D ก่อนที่จะส่งออกเป็นสัญญาณข้อมูลออก BRAM_Do D2 และ D3 จะใช้เป็นเรจิสเตอร์เลขที่อยู่เพื่อใช้เก็บเลขที่อยู่จากสัญญาณ DSP_A D4 และ D5 จะเป็นเรจิสเตอร์ Bank และ ROW ตามลำดับโดยจะโหลดเลขที่อยู่จากเรจิสเตอร์เลขที่อยู่มาเก็บไว้เมื่อวงจร SDRAM state machine อยู่ในสถานะ ACTIVE ส่วน EQ1 จะใช้ในการเปรียบเทียบข้อมูลจากสัญญาณ ADDR_PROG กับข้อมูลในเรจิสเตอร์ Bank ROW และเลขที่อยู่ Column จากเรจิสเตอร์เลขที่อยู่ว่าเป็นเลขที่อยู่เดียวกันหรือไม่ ถ้าใช่ก็จะให้สัญญาณออกเป็น 1 แต่ถ้าไม่ใช่เลขที่อยู่เดียวกันก็จะให้สัญญาณออกเป็น 0 สัญญาณ BRAM_WEo จะเป็น 1 เมื่อสัญญาณออกของ EQ1 เป็น 1 และ SDRAM

state machine อยู่ในสถานะ WRITE SDRAM state machine ทำหน้าที่ในการเก็บสถานะการทำงานโดยจะแสดงไว้ในรูปที่ 3.8



รูปที่ 3.8 แผนภาพสถานะของวงจร SDRAM interface

เมื่อมีการจ่ายไฟให้กับเอฟพีจีเอสัญญาณ GReset ที่ต่ออยู่กับสัญญาณ global reset จะเป็นลอจิก 1 ทำให้วงจร SDRAM state machine จะไปอยู่ที่สถานะ IDLE จนกว่าเอฟพีจีเอจะดาวน์โหลดวงจรเรียบร้อยและพร้อมที่จะทำงานสัญญาณ global reset ก็จะเปลี่ยนเป็นลอจิก 0 เมื่อวงจร SDRAM state machine ได้รับคำสั่ง ACTIVE มันก็จะเปลี่ยนไปอยู่ที่สถานะ ACTIVE ที่ขอบขาขึ้นของสัญญาณนาฬิกาและจะเปลี่ยนกลับมาที่สถานะ IDLE ทันทีที่ขอบขาขึ้นของสัญญาณนาฬิกาลูกถัดไป การเปลี่ยนสถานะจาก IDLE ไปเป็น WRITE จะเกิดขึ้นเมื่อ SDRAM state machine ได้รับคำสั่ง WRITE และจะอยู่ที่สถานะ WRITE ไปจนกว่าจะได้รับคำสั่ง BURST TERMINATE หรือสัญญาณ DQM[3:0] มีค่าเป็น “1111” ถึงจะเปลี่ยนกลับไปเป็นสถานะ IDLE

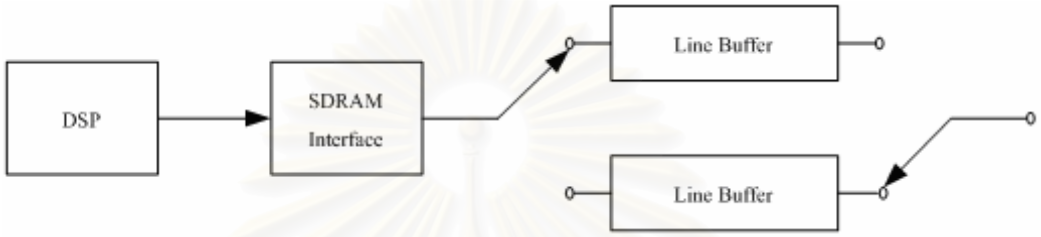


รูปที่ 3.9 ผลการจำลองการทำงานของวงจร SDRAM interface

3.3 วงจร Line Buffer FIFO

วงจร Line Buffer FIFO ทำหน้าที่เก็บข้อมูลภาพรูปแบบ YUV 4:2:2 ที่ตัวประมวลสัญญาณดิจิทัลส่งให้กับเอฟพีจีเอผ่านทางวงจร SDRAM interface ก่อนที่จะส่งต่อข้อมูลไปประมวลผลที่ตัวกรองสองมิติ ใน

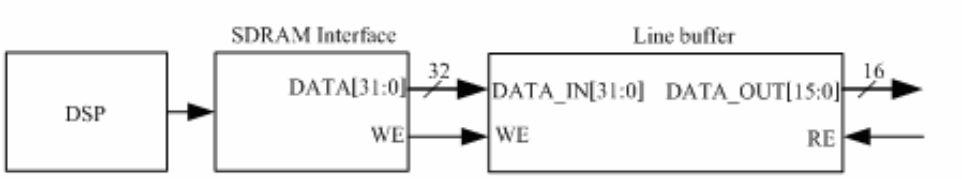
ขั้นต้นเราได้ออกแบบวงจร Line Buffer FIFO ดังแสดงในรูปที่ 3.10 ซึ่งจะมีบัฟเฟอร์เส้นภาพอยู่สองตัวแต่ละตัวสามารถเก็บข้อมูลภาพในรูปแบบ YUV 4:2:2 ได้หนึ่งเส้นภาพ (720 จุดภาพหรือ 1440 ไบต์) โดยบัฟเฟอร์จะรับข้อมูลเข้ามาเก็บครั้งละ 4 ไบต์แต่จะถูกอ่านออกไปครั้งละ 2 ไบต์ (1 จุดภาพ) ซึ่งจะทำให้การออกแบบตัวกรองสองมิติง่ายขึ้น ถ้าบัฟเฟอร์ตัวบนกำลังถูกอ่านข้อมูลออกไปประมวลผลบัฟเฟอร์ตัวล่างจะเป็นตัวรับข้อมูลที่ตัวประมวลสัญญาณดิจิทัลเขียนเข้ามา เมื่อข้อมูลที่บัฟเฟอร์ตัวบนถูกอ่านจนหมดตัวมัลติเพล็กซ์ด้านออกก็จะสลับสายมาอ่านข้อมูลที่บัฟเฟอร์ตัวล่างแทนและเมื่อตัวประมวลสัญญาณดิจิทัลเขียนข้อมูลมาครบหนึ่งเส้นแล้วตัวมัลติเพล็กซ์ด้านเข้าก็จะสลับสายมาเขียนข้อมูลที่บัฟเฟอร์ตัวบนและจะสลับกันไปอย่างนี้เรื่อยๆ



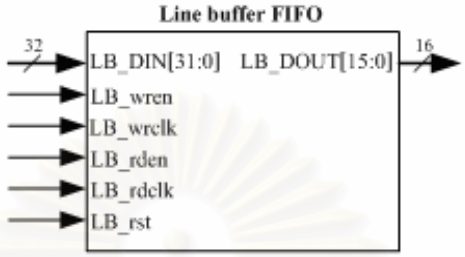
รูปที่ 3.10 การใช้บัฟเฟอร์สองตัวในการเก็บข้อมูลภาพ

บัฟเฟอร์เส้นภาพเป็นวงจรที่จะต้องใช้หน่วยความจำจำนวนมากในการสร้างนั่นคือ 1 ตัวจะใช้หน่วยความจำ 1440 ไบต์และถ้าสร้างขึ้นมาสองตัวก็ใช้เป็นจำนวน 2880 ไบต์ ถ้านำหน่วยความจำที่อยู่ภายใน Slice มาใช้จะต้องใช้ Slice เป็นจำนวนมากดังนั้นเราจึงนำหน่วยความจำ Block SelectRAM ซึ่งเป็นส่วนประกอบที่อยู่ภายในเอฟพีจีเอมาใช้สร้าง ถ้าเรานำส่วนประกอบ Block SelectRAM มาสร้างเป็นบัฟเฟอร์เส้นภาพจะต้องใช้หน่วยความจำขนาด 11520 บิต (720 จุดภาพ x 16 บิต) โดยมีสัญญาณข้อมูลเข้าขนาด 32 บิต สัญญาณข้อมูลออกขนาด 16 บิต สัญญาณเลขที่อยู่เพื่อเขียนข้อมูลเข้าขนาด 9 บิต (11520 บิต / 32 บิต = 360 เลขที่อยู่ < 2^9) และสัญญาณเลขที่อยู่เพื่ออ่านข้อมูลออกขนาด 10 บิต (11520 บิต / 16 บิต = 720 เลขที่อยู่ < 2^{10}) เมื่อรวมแล้วจะต้องใช้สัญญาณจำนวน 67 สัญญาณต่อบัฟเฟอร์เส้นภาพหนึ่งตัวและใช้ 134 สัญญาณต่อบัฟเฟอร์เส้นภาพสองตัว นอกจากนี้เรายังจะต้องสร้างวงจรเพิ่มเติมขึ้นมาเพื่อที่จะใช้สร้างสัญญาณเลขที่อยู่ทางด้านอ่านและเขียนข้อมูล และยังต้องสร้างวงจรสำหรับมัลติเพล็กซ์สัญญาณข้อมูลเข้าและออกอีก จะเห็นได้ว่าถ้าเราสร้างวงจรด้วยวิธีนี้วงจรจะมีความซับซ้อน มีขนาดใหญ่และจะต้องมีสายสัญญาณเป็นจำนวนมาก

แต่ถ้าเราสร้างบัฟเฟอร์เส้นภาพที่มีการทำงานเหมือนกับ FIFO จะมีสัญญาณและการเชื่อมต่อกับวงจรต่างๆดังแสดงในรูปที่ 3.11 ซึ่งจะเห็นได้ว่าสัญญาณที่ใช้จะมีสัญญาณข้อมูลเข้า 32 บิต สัญญาณข้อมูลออก 16 บิต สัญญาณเปิดทางการเขียน (สัญญาณ WE) 1 บิตและสัญญาณเปิดทางการอ่าน (สัญญาณ RE) 1 บิต รวมแล้วจะใช้สัญญาณทั้งหมด 50 สัญญาณซึ่งน้อยกว่าครึ่งหนึ่งของสัญญาณเมื่อสร้างวงจรบัฟเฟอร์เส้นภาพโดยใช้ Block SelectRAM ที่มีลักษณะเป็นหน่วยความจำ อีกทั้งไม่จำเป็นต้องมีวงจรมัลติเพล็กซ์สัญญาณข้อมูลเข้าและออก ไม่จำเป็นต้องมีวงจรสำหรับการสร้างข้อมูลเลขที่อยู่ทำให้วงจรเล็กลงและมีความซับซ้อนน้อยลง โปรแกรมที่ใช้ในการการออกแบบยังสามารถช่วยให้เราออกแบบวงจรบัฟเฟอร์เส้นภาพที่มีลักษณะเป็น FIFO โดยใช้ส่วนประกอบ Block SelectRAM อีกด้วย



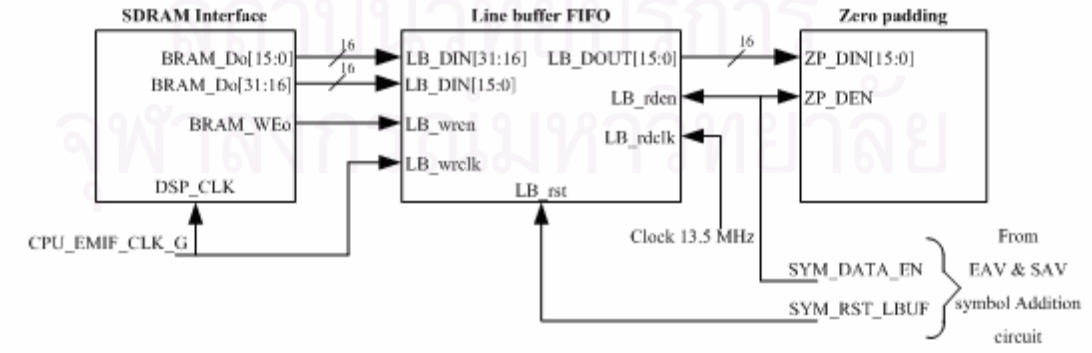
รูปที่ 3.11 การต่อประสานบัฟเฟอร์เส้นภาพเมื่อสร้างโดยใช้ FIFO



รูปที่ 3.12 โครงสร้างขาเข้าและขาออกของวงจร Line Buffer FIFO

ตารางที่ 3.6 หน้าที่ของขาแต่ละขาของวงจร Line Buffer FIFO

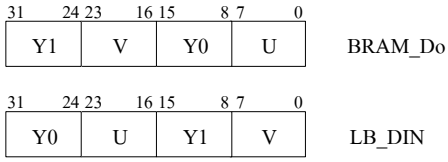
ขา	ทิศทาง	หน้าที่
LB_DIN[31:0]	ขาเข้า	สัญญาณข้อมูลที่จะถูกเขียนเข้ามาเก็บในหน่วยความจำ
LB_wren	ขาเข้า	สัญญาณเปิดทางการเขียนข้อมูล แอ็กทิฟที่ลอจิก 1
LB_wrclk	ขาเข้า	สัญญาณนาฬิกาด้านการเขียนข้อมูล
LB_rden	ขาเข้า	สัญญาณเปิดทางการอ่านข้อมูล แอ็กทิฟที่ลอจิก 1
LB_rdclk	ขาเข้า	สัญญาณนาฬิกาด้านการอ่านข้อมูล
LB_rst	ขาเข้า	สัญญาณสำหรับตั้งค่าการทำงานใหม่ แอ็กทิฟที่ลอจิก 1 สัญญาณนี้ควรเป็น 1 ในช่วงเวลาหนึ่งตอนเริ่มต้นเฟรมภาพเพื่อให้ข้อมูลภาพที่ตัวประมวลสัญญาณดิจิทัลส่งมาและที่ตัวกรองสองมิติได้รับตรงกัน
LB_DOUT[16:0]	ขาออก	สัญญาณ column address strobe แอ็กทิฟที่ลอจิก 0



รูปที่ 3.13 การเชื่อมต่อวงจร Line Buffer FIFO เข้ากับวงจรส่วนต่อประสานเอสดีแรมและวงจร Zero padding

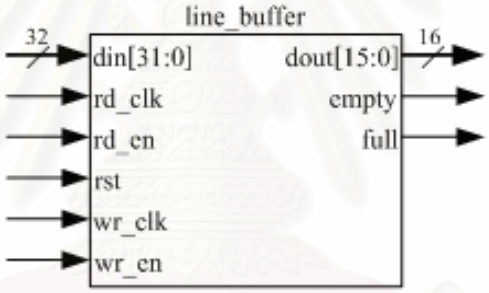
ในการเชื่อมต่อวงจร Line Buffer FIFO เข้ากับวงจร SDRAM interface นั้นบัสข้อมูล BRAM_Do[15:0] วงจร SDRAM interface จะต้องเชื่อมต่อกับบัสข้อมูล LB_DIN[31:16] ของวงจร Line Buffer FIFO และ

บัสข้อมูล BRAM_Do[31:16] จะต้องเชื่อมต่อกับ LB_DIN[15:0] เนื่องจากข้อมูลขนาด 32 บิตที่ถูกเขียนเข้ามาในวงจร Line Buffer FIFO เมื่ออ่านข้อมูลออกไปข้อมูลใน 16 บิตบนจะถูกอ่านออกไปก่อนแล้วตามด้วยข้อมูล 16 บิตล่าง รูปแบบของสัญญาณข้อมูลออกของวงจร SDRAM interface และสัญญาณข้อมูลเข้าของวงจร Line Buffer FIFO แสดงไว้ในรูปที่ 3.14

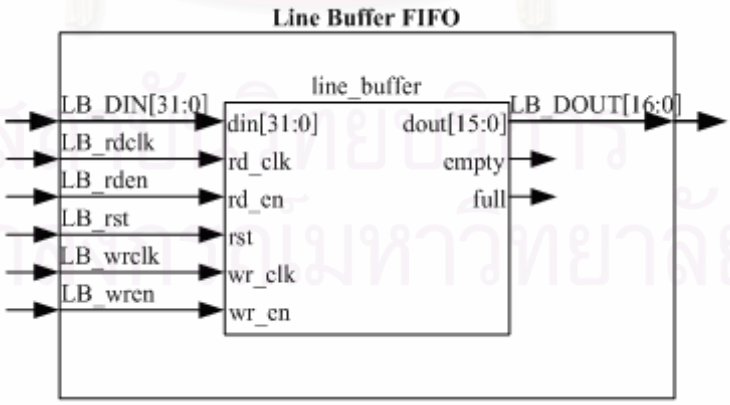


รูปที่ 3.14 รูปแบบสัญญาณข้อมูลออกของวงจร SDRAM interface และข้อมูลออกของวงจร Line Buffer FIFO

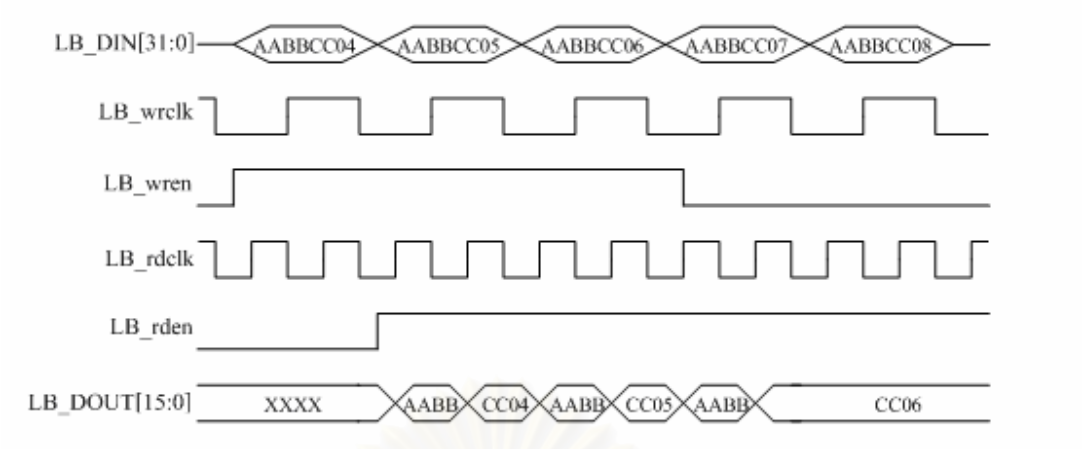
การสร้าง FIFO จะใช้ Core Generator ของโปรแกรม ISE โดยใช้ FIFO Generator ในการสร้าง FIFO ขึ้นมา เลือก FIFO เป็นแบบ Asynchronous FIFO ซึ่งสัญญาณนาฬิกาสำหรับอ่านและเขียนเป็นแบบ Independent clock หน่วยความจำที่นำมาใช้เลือกเป็น Block memory ที่มีความกว้างบัสข้อมูลเข้า 32 บิต ความกว้างบัสข้อมูลออก 16 บิต และสามารถเก็บข้อมูลเข้าได้ 1024 ค่า (เก็บเส้นภาพแอ็กทิฟของสัญญาณวีดิทัศน์ได้เท่ากับ 2.84 เส้น) เมื่อสั่งให้โปรแกรม Fifo Generator สร้างวงจรขึ้นมาจะได้วงจรดังรูปที่ 3.15 และจะเชื่อมต่อสัญญาณต่างๆเพื่อสร้างเป็นวงจร Line Buffer FIFO ดังรูปที่ 3.16



รูปที่ 3.15 โครงสร้างขาเข้าและขาออกของวงจร line_buffer



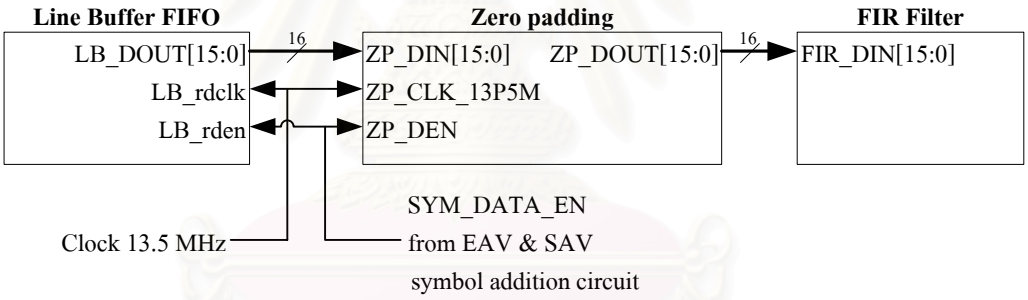
รูปที่ 3.16 การเชื่อมต่อสัญญาณต่างๆของวงจร line_buffer เข้ากับขาเข้าและขาออกของวงจร Line Buffer FIFO



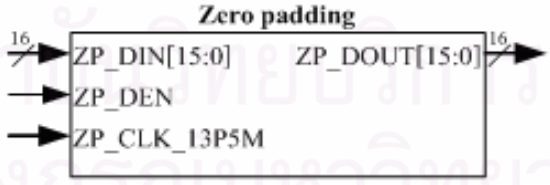
รูปที่ 3.17 ผลการจำลองการทำงานวงจร Line Buffer FIFO

3.4 วงจร Zero padding

วงจร Zero padding ทำหน้าที่เติมข้อมูลภาพในบริเวณช่วงวีดิทัศน์แอ็กทิฟที่ไม่ใช่บริเวณที่จะแสดงภาพที่ได้รับมาจากตัวประมวลสัญญาณดิจิทัล ข้อมูลที่เติมไปนั้นจะเป็นค่าความสว่างที่มีค่าเท่ากับ 0 และค่าของสัญญาณภาพส่วนประกอบเท่ากับ 128 (มีค่าเท่ากับ 0080H) ซึ่งเป็นสีดำ วงจร Zero padding จะเชื่อมต่อกับวงจร Line Buffer FIFO และตัวกรองสองมิติดังแสดงในรูปที่ 3.18 และแสดงสัญญาณต่างๆดังรูปที่ 3.19



รูปที่ 3.18 การเชื่อมต่อวงจร Zero padding เข้ากับวงจร Line Buffer FIFO และตัวกรองสองมิติ



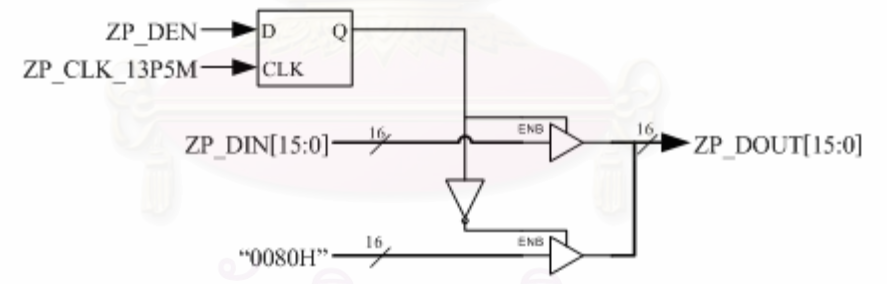
รูปที่ 3.19 โครงสร้างขาเข้าและขาออกของวงจร Zero padding

ตารางที่ 3.7 หน้าที่ของขาแต่ละขาของวงจร Zero padding

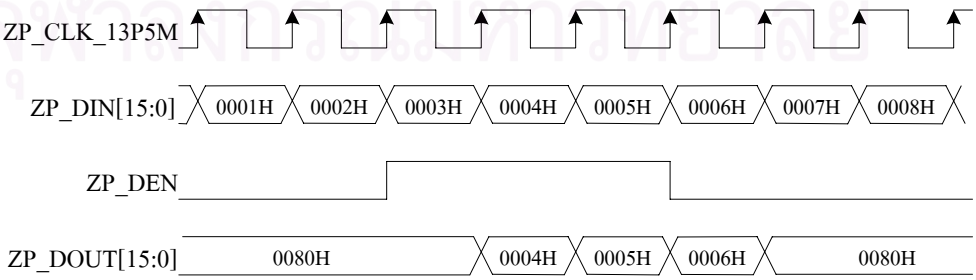
ขา	ทิศทาง	หน้าที่
ZP_DIN[15:0]	ขาเข้า	สัญญาณข้อมูลเข้า 16 บิตโดยที่สัญญาณ ZP_DIN[15:8] จะเป็นค่าความสว่าง และสัญญาณ ZP_DIN[7:0] จะเป็นค่าสัญญาณภาพส่วนประกอบ
ZP_DEN	ขาเข้า	สัญญาณเลือกว่าจะให้สัญญาณข้อมูลเข้า ZP_DIN ผ่านออกไปยัง

		สัญญาณข้อมูลออก ZP_DOUT เมื่อสัญญาณนี้เป็น 1 หรือส่งข้อมูล 0080H ออกที่สัญญาณ ZP_DOUT เมื่อสัญญาณนี้เป็น 0
ZP_CLK_13P5M	ขาเข้า	สัญญาณนาฬิกาเข้าความเร็ว 13.5 เมกะเฮิรตซ์
ZP_DOUT[15:0]	ขาออก	สัญญาณข้อมูลออก 16 บิตโดยที่สัญญาณ ZP_DOUT[15:8] จะเป็นค่าความสว่าง และสัญญาณ ZP_DOUT[7:0] จะเป็นค่าสัญญาณภาพส่วนประกอบ

ในรูปที่ 3.20 แสดงโครงสร้างภายในของวงจร Zero padding จะเห็นว่าสัญญาณ ZP_DEN ถูกต่อเข้ากับฟลิปฟล็อปเพื่อหน่วงสัญญาณ ZP_DEN เป็นเวลาเท่ากับสัญญาณนาฬิกาหนึ่งลูก สาเหตุที่ทำให้ต้องหน่วงเวลาของสัญญาณนี้เนื่องจากเป็นสัญญาณที่ได้รับมาจากสัญญาณ SYM_DATA_EN ของวงจร EAV and SAV symbol addition ซึ่งเชื่อมต่อกับสัญญาณ LB_rden ของวงจรบัฟเฟอร์เส้นภาพด้วยเพื่อให้วงจรบัฟเฟอร์เส้นภาพส่งข้อมูลภาพออกมาให้กับวงจร Zero padding ผ่านออกไปยังตัวกรองสองมิติ เนื่องจากวงจรบัฟเฟอร์เส้นภาพไม่ได้ส่งข้อมูลออกมาทันทีที่สัญญาณ LB_rden เป็นลอจิก 1 แต่มันจะส่งออกมาที่ขอบขาขึ้นของสัญญาณนาฬิกาลูกต่อไป ดังนั้นเราจึงจำเป็นที่จะต้องหน่วงสัญญาณ ZP_DEN ด้วยเพื่อให้สอดคล้องกับสัญญาณข้อมูล ZP_DIN ที่ได้รับ วงจร Zero padding ได้นำบัฟเฟอร์สามสถานะมาสร้างเป็นวงจรมัลติเพล็กซ์ในการเลือกสัญญาณเนื่องจากภายใน CLB ของเอฟพีจีเอจะมีบัฟเฟอร์สามสถานะอยู่สองตัวถ้าวงจรไม่มีการใช้บัฟเฟอร์สามสถานะเลยบัฟเฟอร์เหล่านี้ก็จะไม่ได้ถูกนำมาใช้ ดังนั้นเพื่อเป็นการลดขนาดของวงจรเราจึงออกแบบวงจรมัลติเพล็กซ์ที่สร้างจากบัฟเฟอร์สามสถานะทำให้วงจรที่ออกแบบไม่มีการนำทรัพยากรของ Slice มาใช้เว้นแต่เพียงวงจรในส่วนของการหน่วงเวลาเท่านั้น



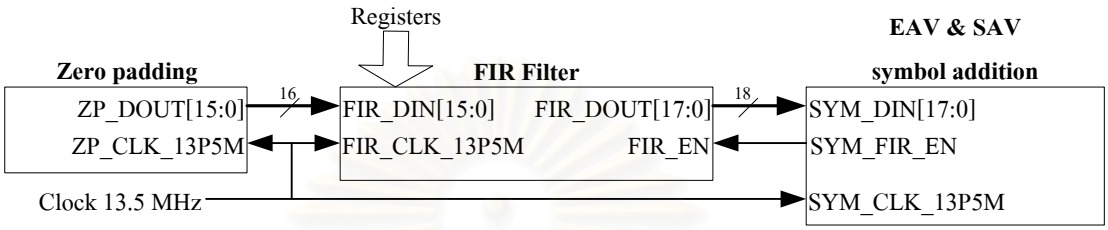
รูปที่ 3.20 โครงสร้างภายในวงจร Zero padding



รูปที่ 3.21 ผลการจำลองการทำงานของวงจร Zero padding

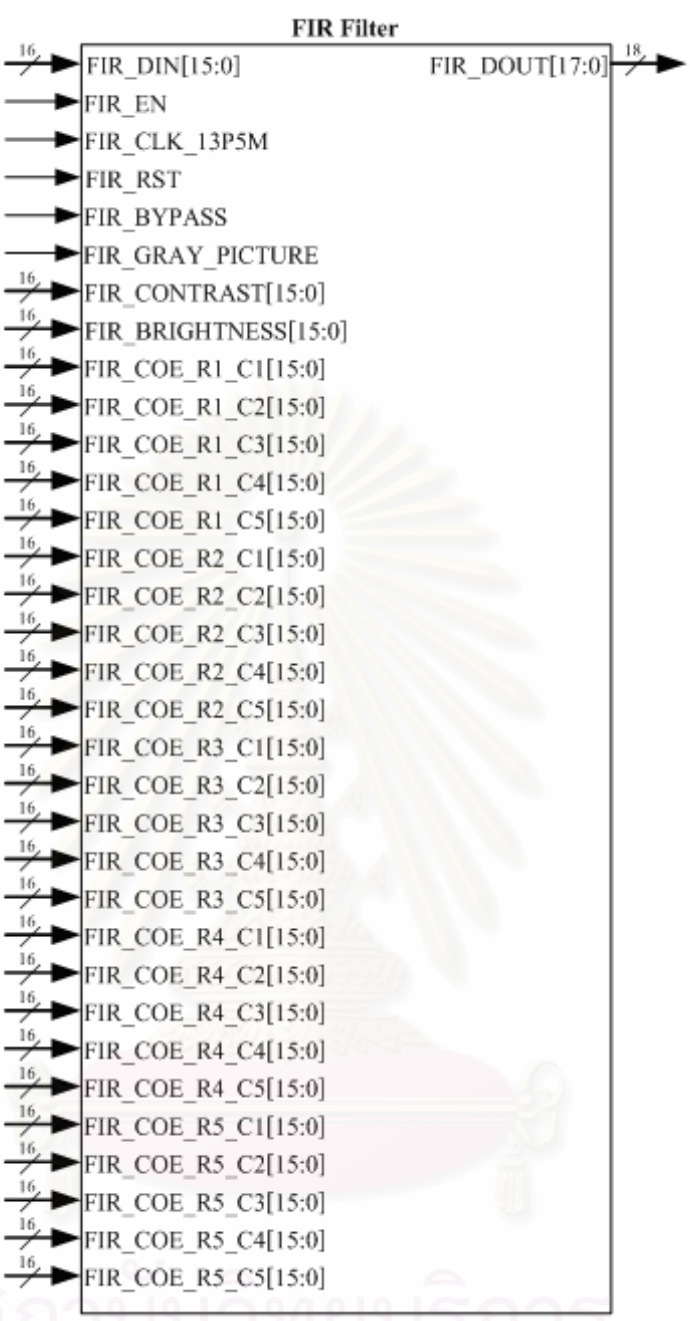
3.5 วงจร FIR filter

วงจร FIR filter เป็นตัวกรองสองมิติที่สามารถโปรแกรมค่าสัมประสิทธิ์ของวงจรได้ผ่านทางเรจิสเตอร์ที่สร้างขึ้นภายในเอฟพีจีเอ ค่าสัมประสิทธิ์นี้เป็นสองมิติซึ่งมีขนาด 5x5 ตัวกรองที่สร้างขึ้นนี้สามารถที่จะปรับค่าความเปรียบต่าง (Contrast) และค่าความสว่าง (Brightness) ได้อีกด้วย การเชื่อมต่อตัวกรองสองมิติเข้ากับวงจรต่างๆได้แสดงไว้ในรูปที่ 3.22 ขาสัญญาณต่างๆของตัวกรองจะแสดงไว้ในรูปที่ 3.23



รูปที่ 3.22 การเชื่อมต่อวงจร FIR filter เข้ากับวงจรต่างๆ

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 3.23 โครงสร้างขาเข้าและขาออกของวงจร FIR filter

ตารางที่ 3.8 หน้าที่ของขาแต่ละขาของวงจร FIR filter

ขา	ทิศทาง	หน้าที่
FIR_DIN[15:0]	ขาเข้า	สัญญาณข้อมูลเข้า 16 บิตโดยที่สัญญาณ FIR_DIN[15:8] จะเป็นค่าความสว่าง และสัญญาณ FIR_DIN[7:0] จะเป็นค่าสัญญาณภาพสี
FIR_EN	ขาเข้า	สัญญาณเปิดการทำงานของวงจร วงจรจะทำงานเมื่อสัญญาณนี้เป็นลอจิก 1
FIR_CLK_13P5M	ขาเข้า	สัญญาณนาฬิกาเข้าความเร็ว 13.5 เมกะเฮิรตซ์

FIR_RST	ขาเข้า	สัญญาณตั้งค่าการทำงานของวงจรใหม่ แอ็กทิฟที่ลอจิก 1 ใช้เชื่อมต่อกับสัญญาณ SYM_RST_LBUF เพื่อตั้งค่าการทำงานของวงจรซิงโครนัสภายในใหม่
FIR_BYPASS	ขาเข้า	สัญญาณเลือกว่าจะกรองสัญญาณข้อมูลเข้า FIR_DIN[15:8] หรือไม่ ถ้าสัญญาณนี้เป็น 1 สัญญาณข้อมูลเข้าจะไม่ถูกกรอง แต่ถ้าเป็น 0 สัญญาณข้อมูลเข้าจะถูกกรอง
FIR_GRAY_PICTURE	ขาเข้า	สัญญาณเลือกว่าต้องการให้สัญญาณข้อมูลออกเป็นภาพสีหรือภาพสเกลสีเทา ถ้าสัญญาณนี้เป็น 1 สัญญาณข้อมูลออกจะเป็นภาพสเกลสีเทา แต่ถ้าเป็น 0 สัญญาณข้อมูลออกจะเป็นภาพสี
FIR_CONTRAST[15:0]	ขาเข้า	สัญญาณข้อมูลที่ใช้ปรับค่าความเปรียบต่าง เป็นตัวเลขแบบ Fixed-point 16 บิตไม่ระบุเครื่องหมาย เป็นจำนวนเต็ม 4 บิตทศนิยม 12 บิต มีค่าอยู่ในช่วง 0 ถึง +15.999755859375
FIR_BRIGHTNESS[15:0]	ขาเข้า	สัญญาณข้อมูลที่ใช้ปรับค่าความสว่าง เป็นตัวเลขแบบ Fixed-point 16 บิตมีเครื่องหมาย เป็นบิตเครื่องหมาย 1 บิต จำนวนเต็ม 12 บิต ทศนิยม 3 บิต มีค่าอยู่ในช่วง -4095.875 ถึง +4095.875
FIR_COE_R1_C1[15:0]	ขาเข้า	ค่าสัมประสิทธิ์สำหรับแถวที่ 1 คอลัมน์ที่ 1 เป็นตัวเลขแบบ Fixed-point 16 บิตมีเครื่องหมาย เป็นบิตเครื่องหมาย 1 บิต จำนวนเต็ม 1 บิตทศนิยม 14 บิต มีค่าอยู่ในช่วง -1.99993896484375 ถึง +1.99993896484375
FIR_COE_R1_C2[15:0]	ขาเข้า	ค่าสัมประสิทธิ์สำหรับแถวที่ 1 คอลัมน์ที่ 2 เป็นตัวเลขแบบ Fixed-point 16 บิตมีเครื่องหมาย เป็นบิตเครื่องหมาย 1 บิต จำนวนเต็ม 1 บิตทศนิยม 14 บิต มีค่าอยู่ในช่วง -1.99993896484375 ถึง +1.99993896484375
FIR_COE_R1_C3[15:0]	ขาเข้า	ค่าสัมประสิทธิ์สำหรับแถวที่ 1 คอลัมน์ที่ 3 เป็นตัวเลขแบบ Fixed-point 16 บิตมีเครื่องหมาย เป็นบิตเครื่องหมาย 1 บิต จำนวนเต็ม 1 บิตทศนิยม 14 บิต มีค่าอยู่ในช่วง -1.99993896484375 ถึง +1.99993896484375
FIR_COE_R1_C4[15:0]	ขาเข้า	ค่าสัมประสิทธิ์สำหรับแถวที่ 1 คอลัมน์ที่ 4 เป็นตัวเลขแบบ Fixed-point 16 บิตมีเครื่องหมาย เป็นบิตเครื่องหมาย 1 บิต จำนวนเต็ม 1 บิตทศนิยม 14 บิต มีค่าอยู่ในช่วง -1.99993896484375 ถึง +1.99993896484375
FIR_COE_R1_C5[15:0]	ขาเข้า	ค่าสัมประสิทธิ์สำหรับแถวที่ 1 คอลัมน์ที่ 5 เป็นตัวเลขแบบ Fixed-point 16 บิตมีเครื่องหมาย เป็นบิตเครื่องหมาย 1 บิต จำนวนเต็ม 1 บิตทศนิยม 14 บิต มีค่าอยู่ในช่วง -1.99993896484375 ถึง +1.99993896484375
FIR_COE_R2_C1[15:0]	ขาเข้า	ค่าสัมประสิทธิ์สำหรับแถวที่ 2 คอลัมน์ที่ 1 เป็นตัวเลขแบบ Fixed-

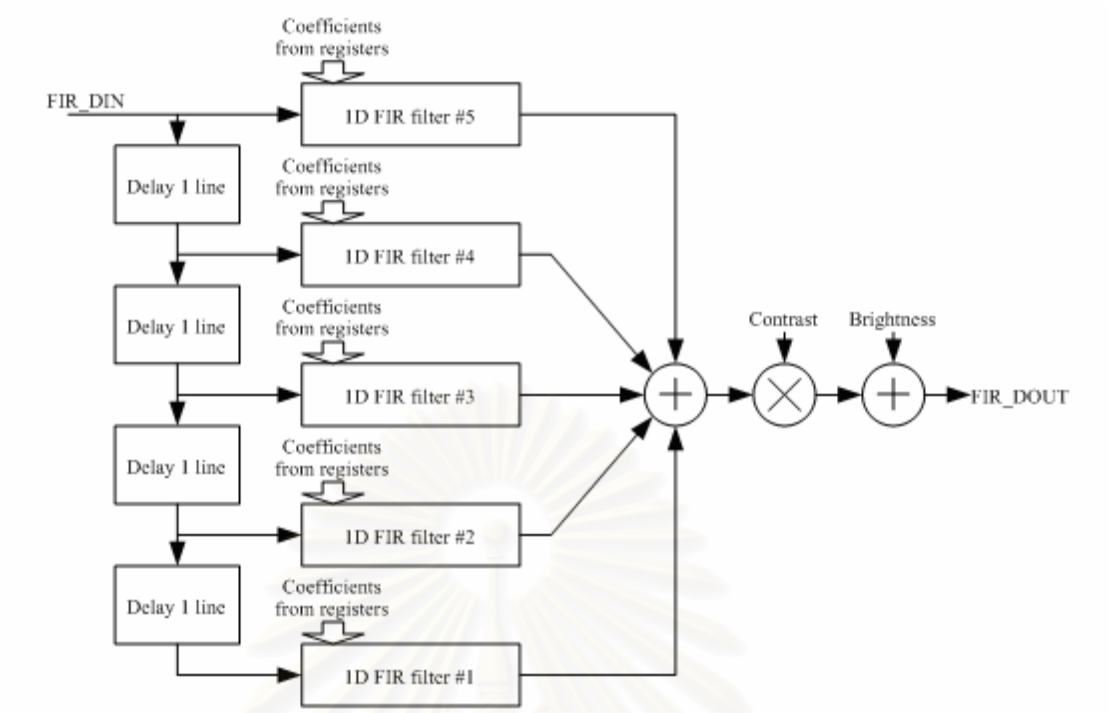
		point 16 บิตมีเครื่องหมาย เป็นบิตเครื่องหมาย 1 บิต จำนวนเต็ม 1 บิตทศนิยม 14 บิต มีค่าอยู่ในช่วง -1.99993896484375 ถึง +1.99993896484375
FIR_COE_R2_C2[15:0]	ขาเข้า	ค่าสัมประสิทธิ์สำหรับแถวที่ 2 คอลัมน์ที่ 2 เป็นตัวเลขแบบ Fixed-point 16 บิตมีเครื่องหมาย เป็นบิตเครื่องหมาย 1 บิต จำนวนเต็ม 1 บิตทศนิยม 14 บิต มีค่าอยู่ในช่วง -1.99993896484375 ถึง +1.99993896484375
FIR_COE_R2_C3[15:0]	ขาเข้า	ค่าสัมประสิทธิ์สำหรับแถวที่ 2 คอลัมน์ที่ 3 เป็นตัวเลขแบบ Fixed-point 16 บิตมีเครื่องหมาย เป็นบิตเครื่องหมาย 1 บิต จำนวนเต็ม 1 บิตทศนิยม 14 บิต มีค่าอยู่ในช่วง -1.99993896484375 ถึง +1.99993896484375
FIR_COE_R2_C4[15:0]	ขาเข้า	ค่าสัมประสิทธิ์สำหรับแถวที่ 2 คอลัมน์ที่ 4 เป็นตัวเลขแบบ Fixed-point 16 บิตมีเครื่องหมาย เป็นบิตเครื่องหมาย 1 บิต จำนวนเต็ม 1 บิตทศนิยม 14 บิต มีค่าอยู่ในช่วง -1.99993896484375 ถึง +1.99993896484375
FIR_COE_R2_C5[15:0]	ขาเข้า	ค่าสัมประสิทธิ์สำหรับแถวที่ 2 คอลัมน์ที่ 5 เป็นตัวเลขแบบ Fixed-point 16 บิตมีเครื่องหมาย เป็นบิตเครื่องหมาย 1 บิต จำนวนเต็ม 1 บิตทศนิยม 14 บิต มีค่าอยู่ในช่วง -1.99993896484375 ถึง +1.99993896484375
FIR_COE_R3_C1[15:0]	ขาเข้า	ค่าสัมประสิทธิ์สำหรับแถวที่ 3 คอลัมน์ที่ 1 เป็นตัวเลขแบบ Fixed-point 16 บิตมีเครื่องหมาย เป็นบิตเครื่องหมาย 1 บิต จำนวนเต็ม 1 บิตทศนิยม 14 บิต มีค่าอยู่ในช่วง -1.99993896484375 ถึง +1.99993896484375
FIR_COE_R3_C2[15:0]	ขาเข้า	ค่าสัมประสิทธิ์สำหรับแถวที่ 3 คอลัมน์ที่ 2 เป็นตัวเลขแบบ Fixed-point 16 บิตมีเครื่องหมาย เป็นบิตเครื่องหมาย 1 บิต จำนวนเต็ม 1 บิตทศนิยม 14 บิต มีค่าอยู่ในช่วง -1.99993896484375 ถึง +1.99993896484375
FIR_COE_R3_C3[15:0]	ขาเข้า	ค่าสัมประสิทธิ์สำหรับแถวที่ 3 คอลัมน์ที่ 3 เป็นตัวเลขแบบ Fixed-point 16 บิตมีเครื่องหมาย เป็นบิตเครื่องหมาย 1 บิต จำนวนเต็ม 1 บิตทศนิยม 14 บิต มีค่าอยู่ในช่วง -1.99993896484375 ถึง +1.99993896484375
FIR_COE_R3_C4[15:0]	ขาเข้า	ค่าสัมประสิทธิ์สำหรับแถวที่ 3 คอลัมน์ที่ 4 เป็นตัวเลขแบบ Fixed-point 16 บิตมีเครื่องหมาย เป็นบิตเครื่องหมาย 1 บิต จำนวนเต็ม 1 บิตทศนิยม 14 บิต มีค่าอยู่ในช่วง -1.99993896484375 ถึง +1.99993896484375
FIR_COE_R3_C5[15:0]	ขาเข้า	ค่าสัมประสิทธิ์สำหรับแถวที่ 3 คอลัมน์ที่ 5 เป็นตัวเลขแบบ Fixed-

		point 16 บิตมีเครื่องหมาย เป็นบิตเครื่องหมาย 1 บิต จำนวนเต็ม 1 บิตทศนิยม 14 บิต มีค่าอยู่ในช่วง -1.99993896484375 ถึง +1.99993896484375
FIR_COE_R4_C1[15:0]	ขาเข้า	ค่าสัมประสิทธิ์สำหรับแถวที่ 4 คอลัมน์ที่ 1 เป็นตัวเลขแบบ Fixed-point 16 บิตมีเครื่องหมาย เป็นบิตเครื่องหมาย 1 บิต จำนวนเต็ม 1 บิตทศนิยม 14 บิต มีค่าอยู่ในช่วง -1.99993896484375 ถึง +1.99993896484375
FIR_COE_R4_C2[15:0]	ขาเข้า	ค่าสัมประสิทธิ์สำหรับแถวที่ 4 คอลัมน์ที่ 2 เป็นตัวเลขแบบ Fixed-point 16 บิตมีเครื่องหมาย เป็นบิตเครื่องหมาย 1 บิต จำนวนเต็ม 1 บิตทศนิยม 14 บิต มีค่าอยู่ในช่วง -1.99993896484375 ถึง +1.99993896484375
FIR_COE_R4_C3[15:0]	ขาเข้า	ค่าสัมประสิทธิ์สำหรับแถวที่ 4 คอลัมน์ที่ 3 เป็นตัวเลขแบบ Fixed-point 16 บิตมีเครื่องหมาย เป็นบิตเครื่องหมาย 1 บิต จำนวนเต็ม 1 บิตทศนิยม 14 บิต มีค่าอยู่ในช่วง -1.99993896484375 ถึง +1.99993896484375
FIR_COE_R4_C4[15:0]	ขาเข้า	ค่าสัมประสิทธิ์สำหรับแถวที่ 4 คอลัมน์ที่ 4 เป็นตัวเลขแบบ Fixed-point 16 บิตมีเครื่องหมาย เป็นบิตเครื่องหมาย 1 บิต จำนวนเต็ม 1 บิตทศนิยม 14 บิต มีค่าอยู่ในช่วง -1.99993896484375 ถึง +1.99993896484375
FIR_COE_R4_C5[15:0]	ขาเข้า	ค่าสัมประสิทธิ์สำหรับแถวที่ 4 คอลัมน์ที่ 5 เป็นตัวเลขแบบ Fixed-point 16 บิตมีเครื่องหมาย เป็นบิตเครื่องหมาย 1 บิต จำนวนเต็ม 1 บิตทศนิยม 14 บิต มีค่าอยู่ในช่วง -1.99993896484375 ถึง +1.99993896484375
FIR_COE_R5_C1[15:0]	ขาเข้า	ค่าสัมประสิทธิ์สำหรับแถวที่ 5 คอลัมน์ที่ 1 เป็นตัวเลขแบบ Fixed-point 16 บิตมีเครื่องหมาย เป็นบิตเครื่องหมาย 1 บิต จำนวนเต็ม 1 บิตทศนิยม 14 บิต มีค่าอยู่ในช่วง -1.99993896484375 ถึง +1.99993896484375
FIR_COE_R5_C2[15:0]	ขาเข้า	ค่าสัมประสิทธิ์สำหรับแถวที่ 5 คอลัมน์ที่ 2 เป็นตัวเลขแบบ Fixed-point 16 บิตมีเครื่องหมาย เป็นบิตเครื่องหมาย 1 บิต จำนวนเต็ม 1 บิตทศนิยม 14 บิต มีค่าอยู่ในช่วง -1.99993896484375 ถึง +1.99993896484375
FIR_COE_R5_C3[15:0]	ขาเข้า	ค่าสัมประสิทธิ์สำหรับแถวที่ 5 คอลัมน์ที่ 3 เป็นตัวเลขแบบ Fixed-point 16 บิตมีเครื่องหมาย เป็นบิตเครื่องหมาย 1 บิต จำนวนเต็ม 1 บิตทศนิยม 14 บิต มีค่าอยู่ในช่วง -1.99993896484375 ถึง +1.99993896484375
FIR_COE_R5_C4[15:0]	ขาเข้า	ค่าสัมประสิทธิ์สำหรับแถวที่ 5 คอลัมน์ที่ 4 เป็นตัวเลขแบบ Fixed-

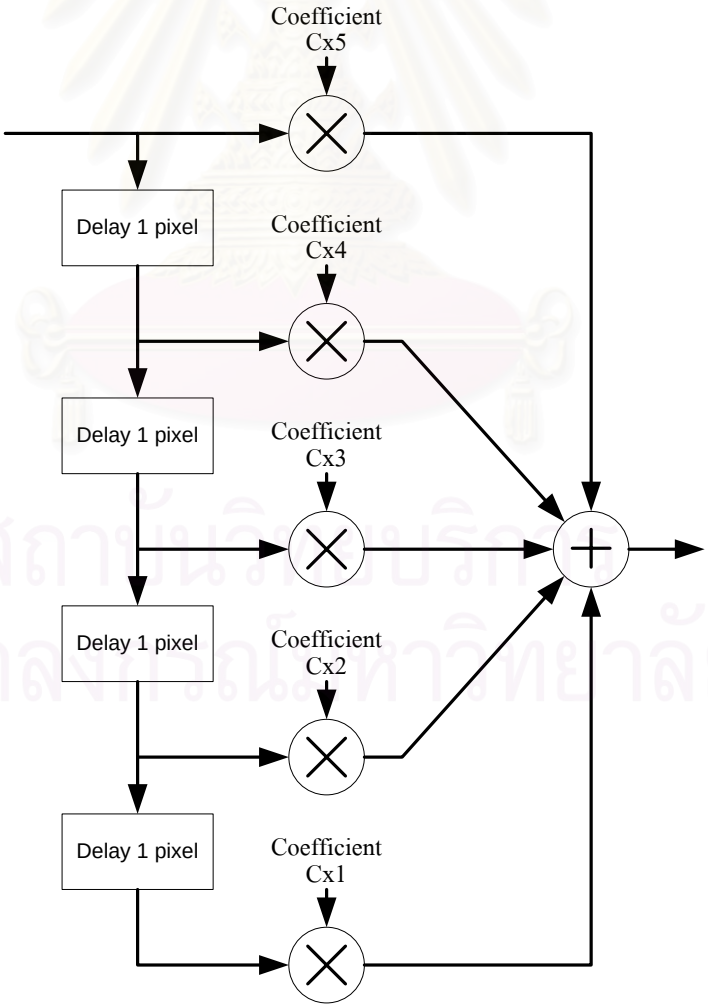
		point 16 บิตมีเครื่องหมาย เป็นบิตเครื่องหมาย 1 บิต จำนวนเต็ม 1 บิตทศนิยม 14 บิต มีค่าอยู่ในช่วง -1.99993896484375 ถึง +1.99993896484375
FIR_COE_R5_C5[15:0]	ขาเข้า	ค่าสัมประสิทธิ์สำหรับแถวที่ 5 คอลัมน์ที่ 5 เป็นตัวเลขแบบ Fixed-point 16 บิตมีเครื่องหมาย เป็นบิตเครื่องหมาย 1 บิต จำนวนเต็ม 1 บิตทศนิยม 14 บิต มีค่าอยู่ในช่วง -1.99993896484375 ถึง +1.99993896484375
FIR_DOUT[17:0]	ขาออก	สัญญาณข้อมูลออก 18 บิตโดยที่สัญญาณ FIR_DOUT[17:8] จะเป็นค่าความสว่าง และสัญญาณ FIR_DOUT[7:0] จะเป็นค่าสัญญาณภาพส่วนประกอบ

โครงสร้างของวงจร FIR filter ได้แสดงดังในรูปที่ 3.24 ประกอบด้วยวงจรกรองหนึ่งมิติ (1D FIR filter) ทำหน้าที่กรองข้อมูลภาพแบบหนึ่งมิติมีอยู่ทั้งหมดห้าวงจร ภาพวงจรหน่วงเวลาหนึ่งเส้นภาพ (Delay 1 line) ใช้สำหรับหน่วงเวลาสัญญาณภาพเป็นเวลาเท่ากับหนึ่งเส้นภาพแอ็กทิฟ (720 จุดภาพ) ดังนั้นข้อมูลภาพที่วงจรกรองหนึ่งมิติตัวที่ 1 จะได้รับจะเป็นข้อมูลภาพที่ถูกหน่วงเวลาไป 4 เส้นภาพ และเช่นเดียวกันข้อมูลภาพที่วงจรกรองตัวที่ 2 3 และ 4 จะได้รับจะเป็นข้อมูลภาพที่ถูกหน่วงเวลาออกไป 3 2 และ 1 เส้นภาพตามลำดับ ส่วนข้อมูลที่วงจรกรองตัวที่ 5 จะได้รับเป็นข้อมูลภาพในปัจจุบัน วงกลมที่มีเครื่องหมายกากบาทอยู่ข้างในจะแทนวงจรคูณและวงกลมที่มีเครื่องหมายบวกอยู่ข้างในจะแทนวงจรบวก โครงสร้างของวงจรกรองหนึ่งมิติได้แสดงไว้ในรูปที่ 3.25 ซึ่งภายในประกอบด้วยตัวหน่วงเวลาหนึ่งจุดภาพ วงจรคูณ และวงจรบวก ข้อมูลภาพจะคูณกับค่าสัมประสิทธิ์ที่วงจรคูณ ค่าสัมประสิทธิ์ Cx1 Cx2 Cx3 Cx4 และ Cx5 จะหมายถึงค่าสัมประสิทธิ์ในแถวที่ x คอลัมน์ที่ 1 2 3 4 และ 5 ตามลำดับ ดังนั้นในวงจรกรองหนึ่งมิติแถวที่ 1 (ตัวที่ 1) ค่าสัมประสิทธิ์ Cx1 Cx2 Cx3 Cx4 และ Cx5 ก็จะถูกแทนด้วย C11 C12 C13 C14 และ C15 ตามลำดับ

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 3.24 โครงสร้างวงจร FIR filter

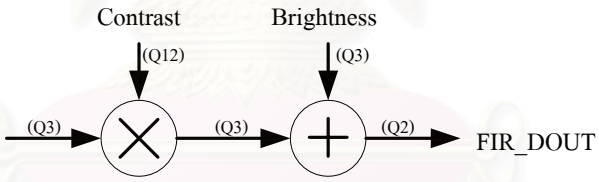


รูปที่ 3.25 โครงสร้างภายในของวงจร 1D FIR filter

สัญญาณความสว่างของภาพขาออก (FIR_DOUT[17:8]) จะเป็นตัวเลข Fixed-point ขนาด 10 บิตไม่ระบุเครื่องหมายประกอบด้วยจำนวนเต็ม 8 บิตและทศนิยม 2 บิตที่มีการเรียงบิตข้อมูลดังในรูปที่ 3.26 โดยตัวอักษร N จะแทนบิตที่เป็นจำนวนเต็มและ R จะแทนบิตที่เป็นทศนิยม

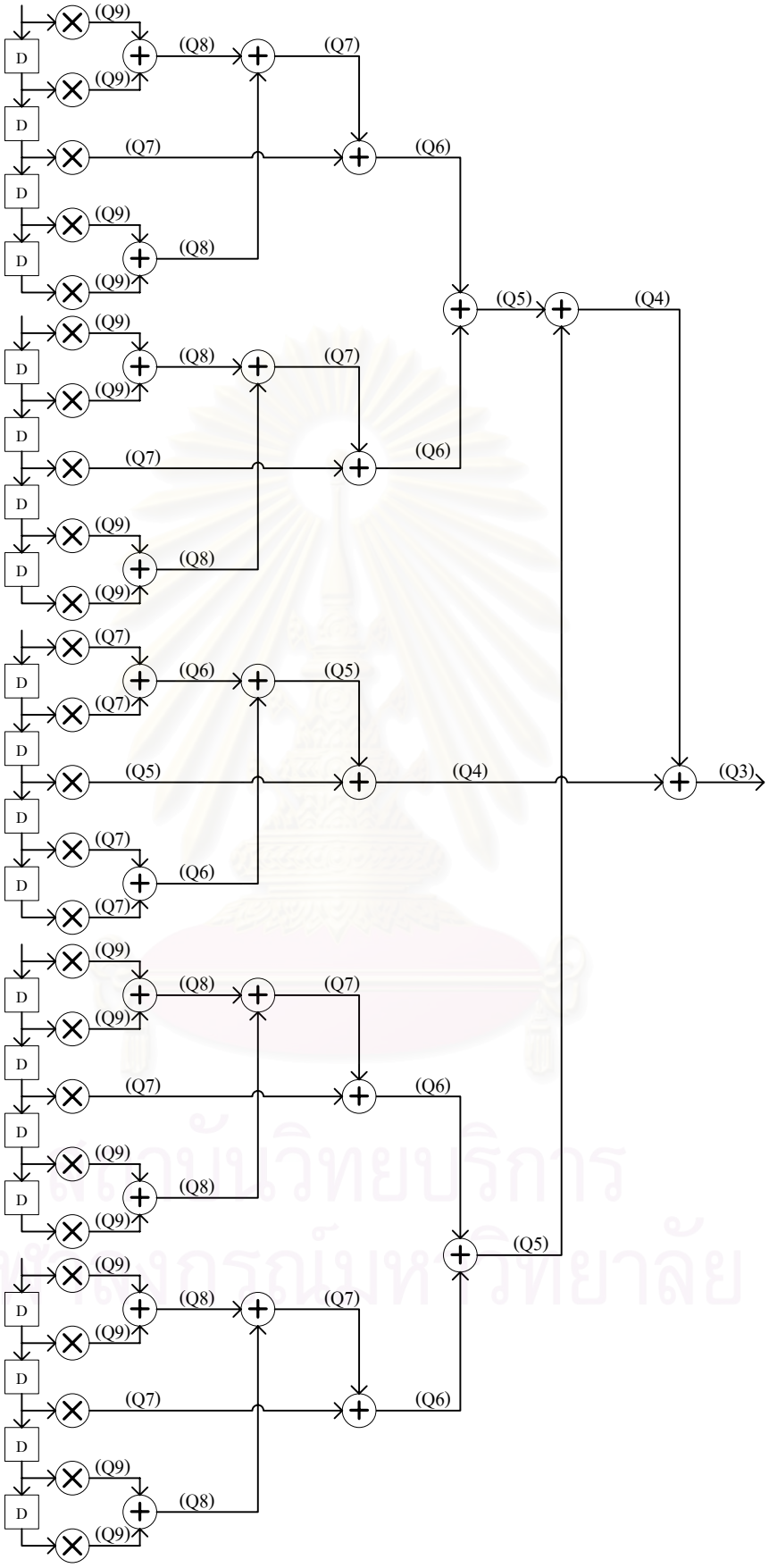
รูปที่ 3.26 การเรียงบิตข้อมูลของสัญญาณ FIR_DOUT[17:8]

เมื่อเราต้องการข้อมูลภาพขาออกเป็นตัวเลข Fixed-point ที่มีทศนิยม 2 บิต (Q2) ดังนั้นในการบวกข้อมูลเพื่อปรับค่าความสว่างเราจะใช้ตัวเลข Fixed-point ที่มีทศนิยม 3 บิต (Q3) เพราะทศนิยมบิตที่ 4 จะไม่มีผลต่อการบวกเมื่อต้องการผลลัพธ์ที่มีทศนิยม 2 บิต นั่นหมายความว่าในการบวกเลข Fixed-point แต่ละครั้งถ้าเราต้องการผลลัพธ์ที่มีทศนิยม M บิตข้อมูลเข้าจะมีทศนิยม M+1 บิต ดังนั้นข้อมูลค่าความสว่างและข้อมูลออกของการคูณค่าความเปรียบต่างจึงถูกออกแบบให้เป็นตัวเลข Fixed-point ที่มีทศนิยม 3 บิตดังแสดงในรูปที่ 3.27 ส่วนในการหาจำนวนทศนิยมที่จะต้องใช้สำหรับข้อมูลภาพของวงจรคูณค่าความเปรียบต่างนั้นหาได้จากค่าความเปรียบต่างที่รับมาจากเรจิสเตอร์เป็นเลขที่มีทศนิยม 12 บิตเมื่อคูณกับข้อมูลภาพแล้วจะได้ผลลัพธ์ที่มีทศนิยมอย่างน้อย 12 บิต ในการออกแบบนั้นเราจะต้องใช้จำนวนสัญญาณให้น้อยที่สุดเมื่อเราต้องการผลลัพธ์ที่มีทศนิยมเพียง 3 บิตซึ่งน้อยกว่า 12 บิตของค่าความเปรียบต่างดังนั้นเราจึงเลือกจำนวนทศนิยมของข้อมูลภาพที่เข้ามาของวงจรคูณค่าความเปรียบต่างเท่ากับ 3 บิต



รูปที่ 3.27 จำนวนทศนิยมของข้อมูลสำหรับการคูณค่าความเปรียบต่างและการบวกค่าความสว่าง

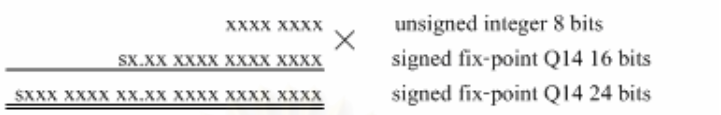
สำหรับการบวกของตัวกรองเราไม่สามารถสร้างวงจรบวกที่มีสัญญาณข้อมูลเข้ามากกว่าสองสัญญาณต่อการบวกหนึ่งครั้งได้ดังนั้นเราจึงออกแบบวงจรบวกของวงจร FIR filter ที่มีลำดับการบวกและมีวิธีคิดจำนวนบิตทศนิยมตามวิธีที่กล่าวมาดังในรูปที่ 3.28 จากรูปจะเห็นได้ว่าเราได้ออกแบบให้จำนวนบิตทศนิยมหลังจากที่คูณค่าสัมประสิทธิ์ของจุดที่อยู่ตรงกลางในแต่ละเส้นจะใช้จำนวนบิตน้อยกว่าจุดด้านข้างเพราะค่าสัมประสิทธิ์ที่อยู่ตรงกลางโดยส่วนใหญ่จะมีค่ามากกว่าค่าสัมประสิทธิ์ที่อยู่ด้านข้างทำให้ข้อมูลส่วนใหญ่จะอยู่ที่บิตบนๆ มากกว่า



รูปที่ 3.28 ลำดับการบวกและจำนวนบิตทศนิยมของสัญญาณในวงจร FIR filter

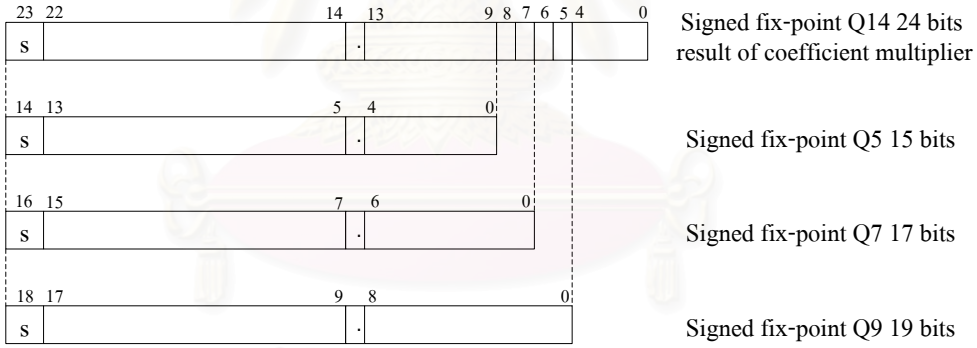
สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

เมื่อได้จำนวนบิตทศนิยมของแต่ละสัญญาณแล้วเราจะต้องหาขนาดของสัญญาณเหล่านั้น ค่าสัมประสิทธิ์ซึ่งเป็นเลข Fixed-point 16 บิตมีเครื่องหมายมีทศนิยมจำนวน 14 บิตเมื่อคูณกับค่าความสว่างซึ่งเป็นเลขจำนวนเต็ม 8 บิตไม่ระบุเครื่องหมายจะได้ผลลัพธ์เป็นเลข Fixed-point 24 บิตมีเครื่องหมายประกอบด้วยบิตเครื่องหมาย 1 บิตจำนวนเต็ม 9 บิตและทศนิยมจำนวน 14 บิตดังแสดงในรูปที่ 3.29 ตัวอักษร s จะแทนบิตเครื่องหมายและ x แทนเลขฐานสองหนึ่งบิต



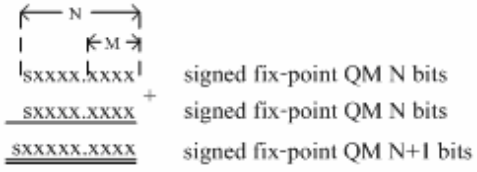
รูปที่ 3.29 การคูณเลขจำนวนเต็ม 8 บิตไม่ระบุเครื่องหมายกับเลข Fixed-point 16 บิตมีเครื่องหมายที่ประกอบด้วยบิตเครื่องหมาย 1 บิตจำนวนเต็ม 9 บิตและทศนิยมจำนวน 14 บิต

ดังนั้นถ้าจำนวนบิตทศนิยมที่ต้องการของผลลัพธ์ของการคูณค่าสัมประสิทธิ์เป็น 9 บิต (Q9) สัญญาณนั้นก็จะมีขนาด 19 บิตซึ่งจะเป็นสัญญาณผลลัพธ์จากการคูณตั้งแต่บิตที่ 5 ถึงบิตที่ 23 โดยตัดบิตที่ 0 ถึง 4 ทิ้งไปประกอบด้วยบิตเครื่องหมาย 1 บิตคือบิตที่ 23 บิตจำนวนเต็ม 9 บิตคือบิตที่ 14 ถึงบิตที่ 22 และบิตทศนิยม 9 บิตคือบิตที่ 5 ถึงบิตที่ 13 ส่วนสัญญาณที่เป็นผลลัพธ์ของการคูณค่าสัมประสิทธิ์ที่ต้องการจำนวนบิตทศนิยม 5 บิตและ 7 บิตจะมีขนาดของสัญญาณเป็น 15 บิตและ 17 บิตตามลำดับดังแสดงในรูปที่ 3.30 ตัวอักษร s จะแทนบิตเครื่องหมาย



รูปที่ 3.30 สัญญาณผลลัพธ์ของการคูณที่มีบิตทศนิยมจำนวน 5 7 และ 9 บิตซึ่งได้จากผลของการคูณค่าสัมประสิทธิ์กับสัญญาณความสว่าง

ในการบวกเลขฐานสองที่มีขนาด N บิตสองตัวจะให้ผลลัพธ์ที่เป็นเลขฐานสองขนาด N+1 บิต และถ้าตัวเลขนี้เป็นเลข Fixed-point N บิตที่มีเครื่องหมายมีบิตทศนิยมจำนวน M บิต ผลลัพธ์ของการบวกก็จะเป็นเลข Fixed-point ที่มีเครื่องหมายขนาด N+1 บิตซึ่งเป็นบิตทศนิยมจำนวน M บิตดังในรูปที่ 3.31

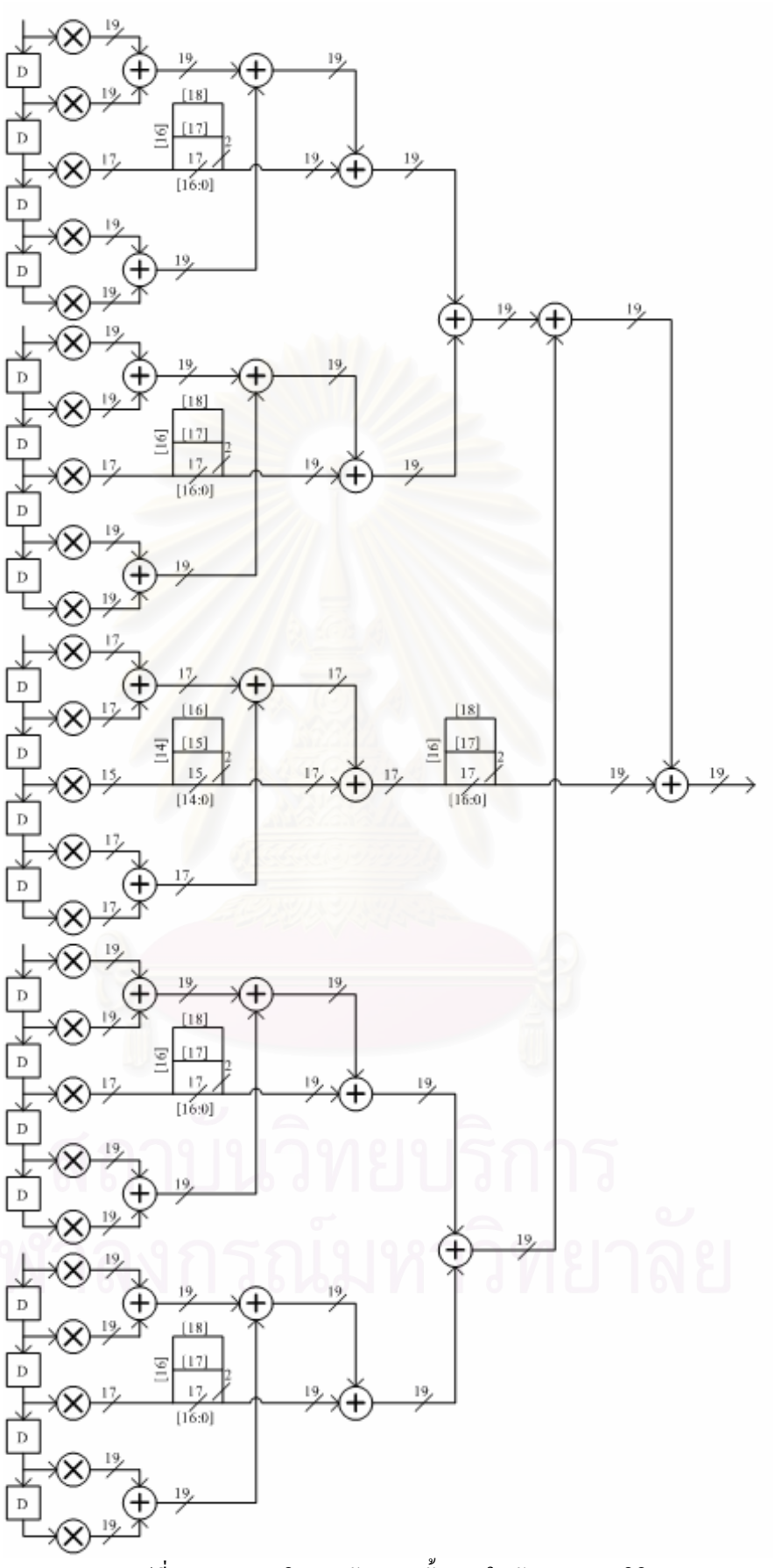


รูปที่ 3.31 การบวกเลข Fixed-point N บิตที่มีเครื่องหมายและมีบิตทศนิยมจำนวน M บิต

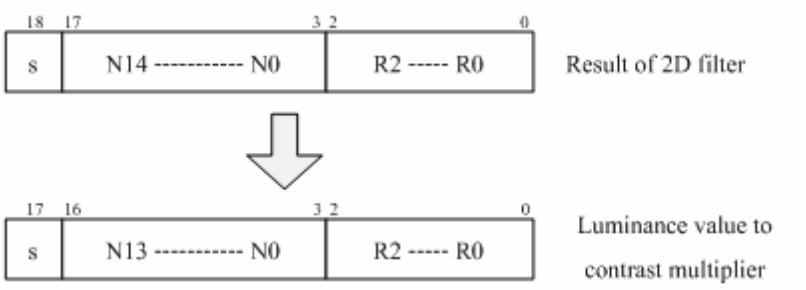
จะเห็นได้ว่าจำนวนบิตของผลลัพธ์ของการบวกมีค่ามากกว่าข้อมูลที่เข้ามาบวกกันอยู่ 1 บิตและเนื่องจากการออกแบบจำนวนบิตทศนิยมที่ได้ออกแบบไว้ดังแสดงในรูปที่ 3.28 จะพบว่าบิตทศนิยมหลังจากการบวกลดลง 1 บิตซึ่งจะทำให้จำนวนบิตของผลลัพธ์ที่ได้มีขนาดเท่ากับขนาดของสัญญาณที่มาบวกกัน ดังนั้นจึงได้ออกแบบขนาดสัญญาณทั้งหมดของวงจรกรองสองมิติดังในรูปที่ 3.32 ผลลัพธ์ของวงจรกรองสองมิติจะเป็นเลข Fixed-point ที่มีเครื่องหมายขนาด 19 บิตมีบิตทศนิยม 3 บิตซึ่งจะเป็นตัวเลขที่มีค่าอยู่ในช่วง -32767.875 ถึง +32767.875 แต่วงจรคูณทั้งหมดที่ใช้ในวงจร FIR filter นั้นได้สร้างมาจากส่วนประกอบ MULT18X18 ที่อยู่ภายในเอฟพีจีเอ MULT18X18 จะเป็นวงจรคูณที่สามารถรับสัญญาณข้อมูลที่เข้ามาคูณได้สูงสุด 18 บิตแต่ผลลัพธ์ของวงจรกรองที่จะเข้ามายังวงจรคูณมีขนาด 19 บิต ดังนั้นจึงจำเป็นต้องตัดบิตข้อมูลของผลลัพธ์จากวงจรกรองทิ้งไป 1 บิตโดยเลือกตัดบิตนัยสำคัญสูงสุดของบิตจำนวนเต็มออกดังแสดงในรูปที่ 3.33 เนื่องจากไม่มีข้อมูลอยู่ในบิตที่ 17 เพราะค่าของผลลัพธ์ทั่วไปจะมีค่าอยู่ในช่วง -12750 ถึง +12750 ตัวอักษร s จะแทนบิตเครื่องหมาย ตัวอักษร N แทนบิตจำนวนเต็ม และตัวอักษร R แทนบิตทศนิยม

ดังนั้นข้อมูลความสว่างก่อนที่จะเข้าไปคูณกับค่าความเปรียบต่างจึงเป็นเลข Fixed-point ที่มีเครื่องหมายขนาด 18 บิตประกอบด้วยบิตเครื่องหมาย 1 บิต จำนวนเต็ม 14 บิต และบิตทศนิยม 3 บิต เมื่อคูณกับค่าความเปรียบต่างซึ่งเป็นเลข Fixed-point ไม่ระบุเครื่องหมายขนาด 16 บิตประกอบด้วยบิตจำนวนเต็ม 4 บิตและบิตทศนิยม 12 บิตจะได้ผลลัพธ์เป็นเลข Fixed-point ขนาด 34 บิตที่มีเครื่องหมายประกอบด้วยบิตเครื่องหมาย 1 บิต บิตจำนวนเต็ม 18 บิต และบิตทศนิยม 15 บิต แต่จากการออกแบบจำนวนบิตทศนิยมที่แสดงไว้ในรูปที่ 3.27 วงจรคูณค่าความเปรียบต่างต้องการบิตทศนิยมของผลลัพธ์เพียง 3 บิตดังนั้นจึงมีการตัดบิตข้อมูลออกก่อนที่จะส่งต่อให้กับวงจรบวกค่าความสว่างซึ่งจะตัดบิตทศนิยมตั้งแต่บิตที่ 0 ถึง 11 ออกดังแสดงในรูปที่ 3.34

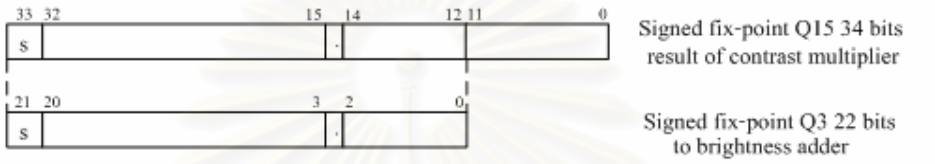
ในการบวกค่าความสว่างกับสัญญาณข้อมูลออกของวงจรคูณค่าความเปรียบต่างนั้นจำเป็นที่จะต้องแปลงข้อมูลให้มีจำนวนบิตเท่ากันเสียก่อนโดยจะต้องแปลงข้อมูลความสว่างซึ่งเป็นเลข Fixed-point ขนาด 16 บิตที่มีเครื่องหมายประกอบด้วยบิตเครื่องหมาย 1 บิต จำนวนเต็ม 12 บิตและทศนิยม 3 บิตให้เป็นเลข Fixed-point ขนาด 22 บิตที่มีเครื่องหมายประกอบด้วยบิตเครื่องหมาย 1 บิต จำนวนเต็ม 18 บิตและทศนิยม 3 บิต วิธีการแปลงแสดงไว้ในรูปที่ 3.35 รูปที่ 3.36 แสดงจำนวนบิตของสัญญาณต่างๆของวงจรคูณค่าความเปรียบต่างและวงจรบวกค่าความสว่าง ซึ่งจะเห็นว่าสัญญาณขาออกมีจำนวน 22 บิตซึ่งเป็นเลข Fixed-point ที่มีเครื่องหมายประกอบด้วยบิตเครื่องหมาย 1 บิต จำนวนเต็ม 19 บิตแบะทศนิยม 2 บิต มีค่าอยู่ในช่วง -524287.25 ถึง +524287.75 แต่สัญญาณขาออกของวงจร FIR filter (FIR_DOUT[17:8]) จะเป็นเลข Fixed-point ขนาด 10 บิตไม่ระบุเครื่องหมายประกอบด้วยจำนวนเต็ม 8 บิตและทศนิยม 2 บิตมีค่าอยู่ในช่วง 0 ถึง 255.75 ดังนั้นจึงจำเป็นที่จะต้องมีวงจรแปลงข้อมูลก่อนที่จะส่งออกไปยังสัญญาณ FIR_DOUT[17:8] ซึ่งแสดงในรูปที่ 3.37 โดยเรียกวงจรนี้ว่าวงจร Clipper และรูปที่ 3.38 แสดงการทำงานของวงจร clipper ในลักษณะผังงาน



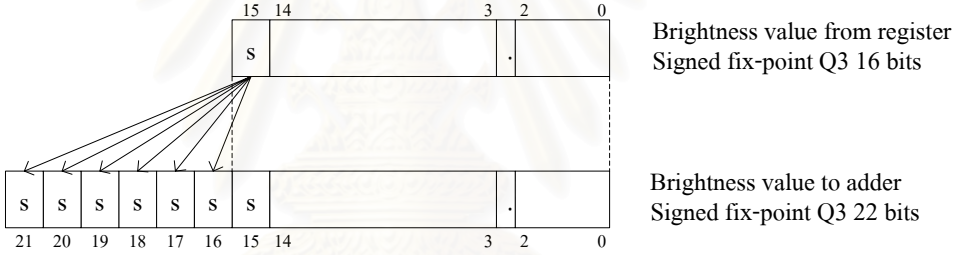
รูปที่ 3.32 จำนวนบิตของสัญญาณทั้งหมดในตัวกรองสองมิติ



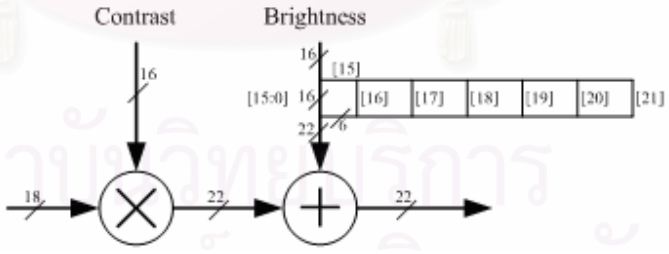
รูปที่ 3.33 การตัดบิตที่ 17 ของผลลัพธ์ของวงจรกรองเพื่อใช้เป็นสัญญาณขาเข้าของวงจรคูณค่าความเปรียบต่าง



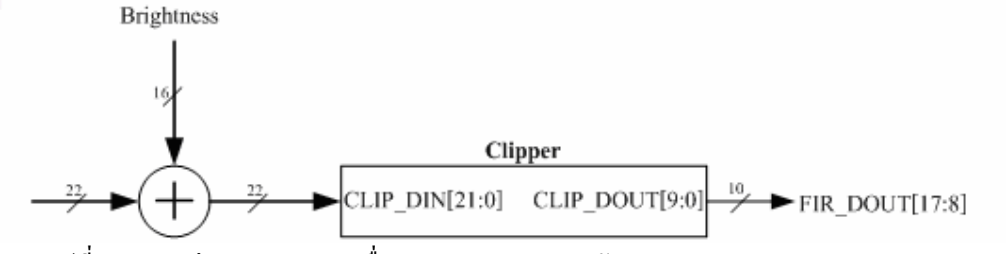
รูปที่ 3.34 การเลือกบิตผลลัพธ์ของวงจรคูณค่าความเปรียบต่างเพื่อใช้เป็นสัญญาณขาเข้าของวงจรบวกค่าความสว่าง



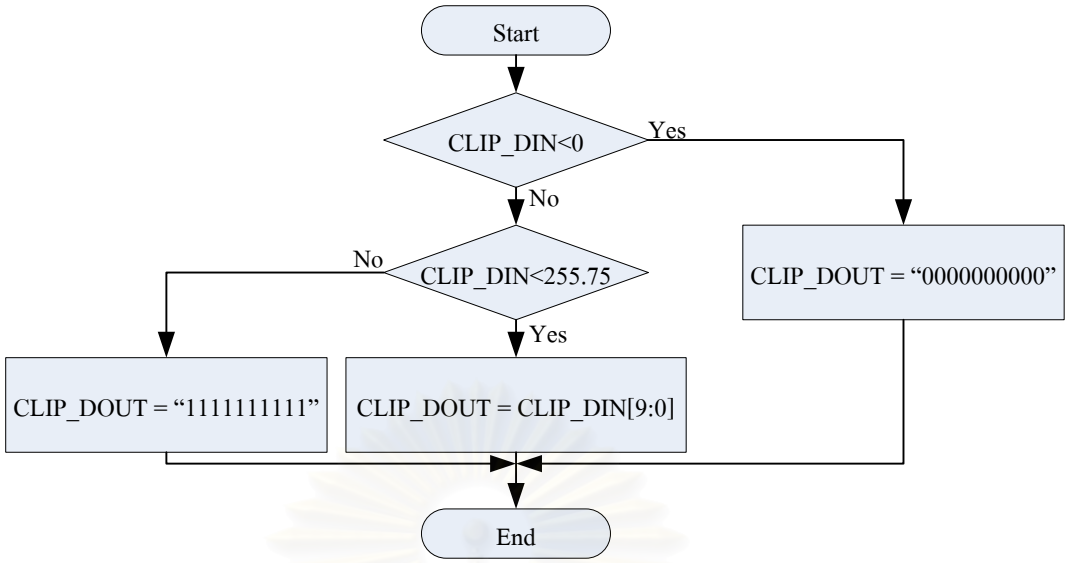
รูปที่ 3.35 วิธีการแปลงสัญญาณค่าความสว่างก่อนบวกกับสัญญาณออกของวงจรคูณค่าความเปรียบต่าง



รูปที่ 3.36 จำนวนบิตของสัญญาณต่างๆของวงจรคูณค่าความเปรียบต่างและวงจรบวกค่าความสว่าง

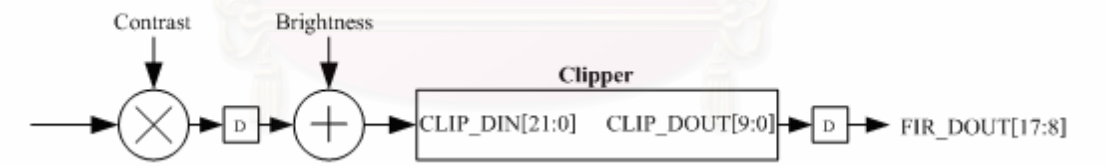


รูปที่ 3.37 การต่อวงจร Clipper เพื่อกำหนดขอบเขตของสัญญาณ FIR_DOUT[17:8]



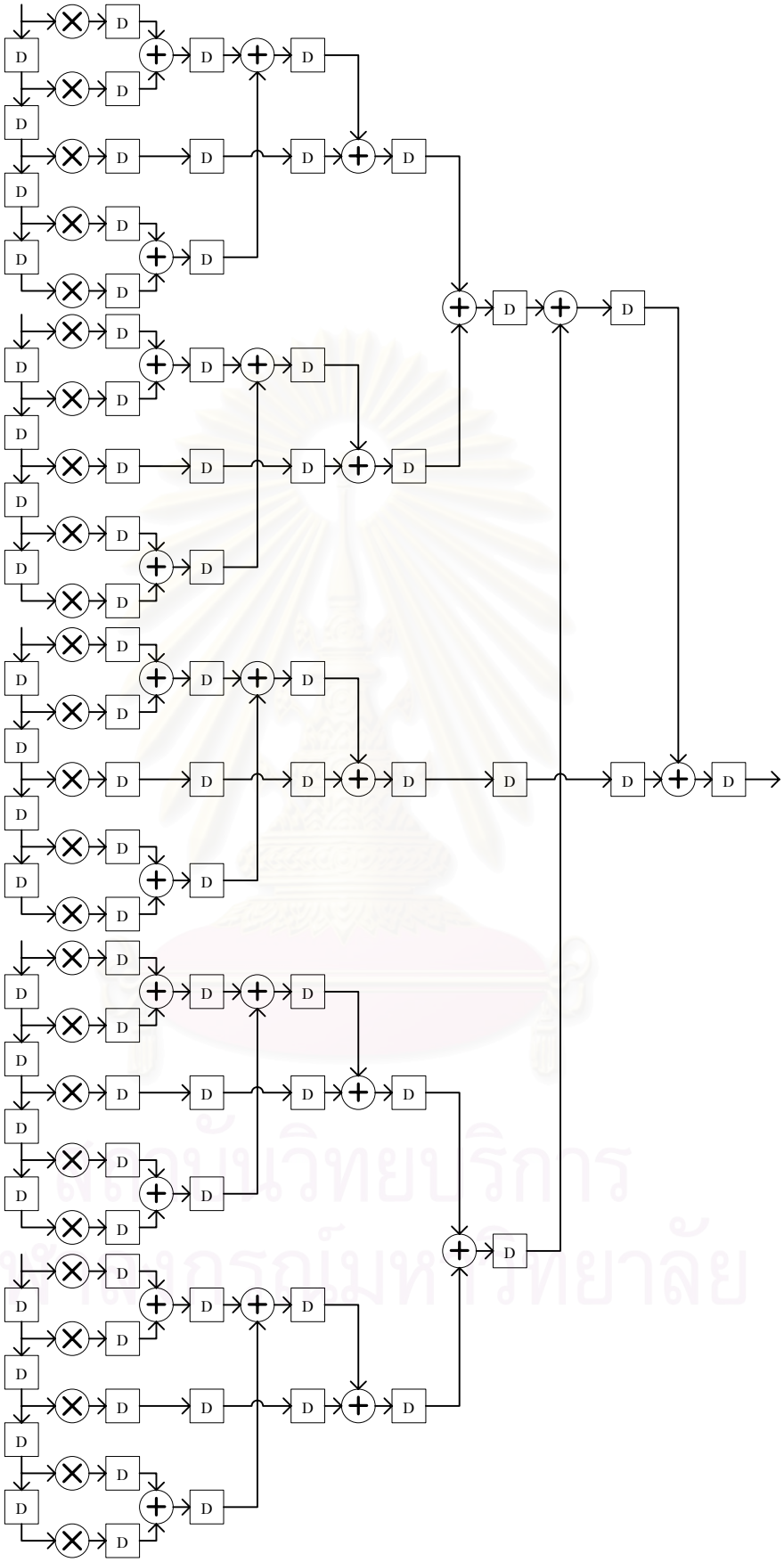
รูปที่ 3.38 ผังงานแสดงการทำงานของวงจร clipper

เนื่องจากโครงสร้างของวงจรคูณและวงจรบวกภายในวงจร FIR filter มีลักษณะเป็นลอจิกเกตทำให้เกิดการหน่วงเวลาที่สัญญาณออกเมื่อสัญญาณเข้ามีการเปลี่ยนแปลง เวลาที่หน่วงนี้จะแปรผันกับจำนวนเกตที่ต่ออยู่ระหว่างสัญญาณเข้าและสัญญาณออก ถ้าวงจรมีเวลาหน่วงมากจะทำให้วงจรนั้นไม่สามารถนำมาใช้กับสัญญาณนาฬิกาที่มีความถี่สูงๆได้ จากรูปที่ 3.32 และ 3.37 จะเห็นได้ว่ามีวงจรคูณและวงจรบวกหลายตัวต่อกันเป็นลำดับ เพื่อให้วงจร FIR filter ที่ออกแบบขึ้นมีเวลาหน่วงน้อยซึ่งสามารถนำไปใช้กับสัญญาณนาฬิกาความถี่สูงๆได้เราจึงออกแบบวงจรให้มีลักษณะการทำงานแบบสายท่อ (pipeline) ดังแสดงในรูปที่ 3.39 ซึ่งจะมีการใส่ฟลิปฟล็อปแบบ D ไว้หลังวงจรคูณและวงจร Clipper และรูปที่ 3.40 จะมีการใส่ฟลิปฟล็อปแบบ D ไว้หลังวงจรคูณและวงจรบวกทุกตัว ดังนั้นวงจร FIR filter จึงมีเวลาแฝงจุดภาพ (pixel latency) เท่ากับ 11 จุดภาพ



รูปที่ 3.39 การใส่ฟลิปฟล็อปหลังวงจรบวกค่าความสว่างและวงจรคูณค่าความเปรียบต่างเพื่อให้วงจรมีการทำงานแบบสายท่อ

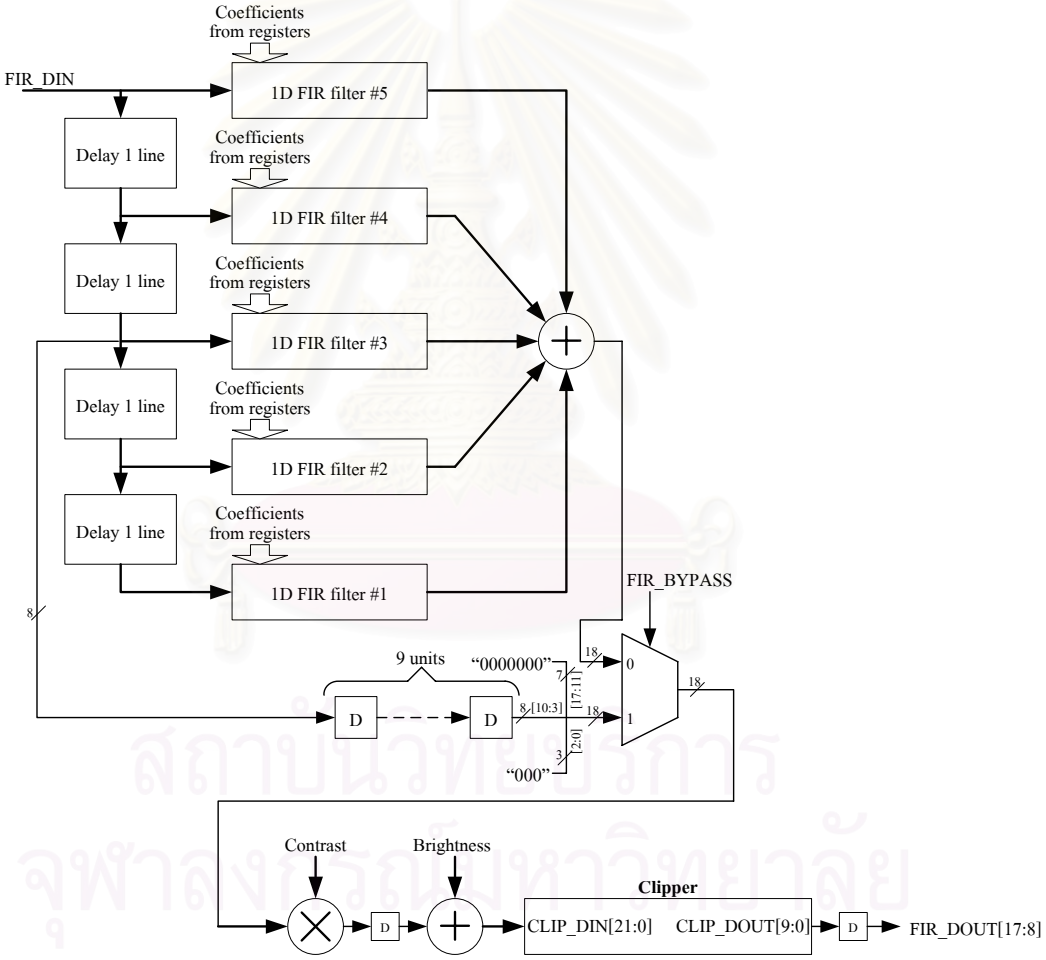
สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 3.40 การใส่ฟลิปฟล็อปหลังวงจรบวกและวงจรคูณเพื่อให้วงจรมีการทำงานแบบสายท่อ

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

เพื่อให้มีการเลือกสัญญาณออกของวงจร FIR filter ได้ว่าจะให้เป็นสัญญาณที่ได้จากการกรองสัญญาณเข้าหรือเป็นสัญญาณเข้าที่ไม่ได้ผ่านการกรอง เราจึงได้เพิ่มวงจรมัลติเพล็กซ์เพื่อเลือกสัญญาณข้อมูลดังแสดงในรูปที่ 3.41 โดยมีสัญญาณ FIR_BYPASS เป็นตัวเลือกว่าจะให้สัญญาณออกเป็นสัญญาณใด ถ้าสัญญาณนี้เป็น 0 สัญญาณเข้าที่ผ่านการกรองจะถูกส่งออกไปยังสัญญาณออก แต่ถ้าสัญญาณนี้เป็น 1 สัญญาณเข้าที่ไม่ผ่านการกรองจะถูกส่งออกไปยังสัญญาณออก และจะต้องมีการหน่วงเวลาของสัญญาณเข้าที่ไม่ได้ผ่านการกรองก่อนเข้าไปยังมัลติเพล็กซ์โดยใช้ฟลิปฟล็อปแบบ D จำนวน 9 ตัวเพื่อให้สัญญาณเข้าทั้งสองของมัลติเพล็กซ์เป็นจุดภาพเดียวกัน เนื่องจากสัญญาณที่ไม่ได้ผ่านการกรองจะเป็นเลขจำนวนเต็มขนาด 8 บิตไม่ระบุเครื่องหมายแต่สัญญาณออกของมัลติเพล็กซ์จะเป็นเลข Fixed-point ขนาด 18 บิตที่มีเครื่องหมายประกอบด้วยบิตเครื่องหมาย 1 บิต จำนวนเต็ม 14 บิตและทศนิยม 3 บิต ดังนั้นจึงจำเป็นที่จะต้องแปลงข้อมูลเสียก่อนโดยให้บิตที่ 0 ถึง 2 มีค่าเป็น 0 ให้บิตที่ 3 ถึง 10 เป็นสัญญาณที่ไม่ได้ผ่านการกรองลให้บิตที่ 11 ถึงบิตที่ 17 มีค่าเป็น 0



รูปที่ 3.41 การเพิ่มมัลติเพล็กซ์เพื่อจะให้เลือกสัญญาณออกว่าจะเป็นสัญญาณเข้าที่ผ่านการกรองหรือไม่ผ่านการกรอง

ตัวกรองสองมิติที่สร้างขึ้นจะใช้สำหรับการข้อมูลความสว่างของภาพ (ส่วนประกอบ Y) เท่านั้น ส่วนข้อมูลสี (ส่วนประกอบ U และ V) นั้นไม่ได้ถูกกรองด้วย แต่ข้อมูลทางด้านขาออกก็ยังต้องการข้อมูลสีอยู่ ในรูปที่ 3.42 แสดงการสังวัตนาการ (convolution) สองมิติของข้อมูลความสว่างของภาพกับค่าสัมประสิทธิ์ของตัวกรองสองมิติ จุดอ้างอิงของค่าสัมประสิทธิ์จะอยู่ที่ C33 ดังนั้นสัญญาณสีขาออกจึง

ตรงกันกับสัญญาณสีของค่าความสว่างที่คูณกับค่าสัมประสิทธิ์ C33 จากรูปที่ 3.24 เราจึงเพิ่มวงจรสำหรับส่วนของสัญญาณสีดังในรูปที่ 3.43 ซึ่งจะมีฟลิปฟล็อปแบบ D เป็นตัวหน่วงสัญญาณสีที่ตรงกับสัญญาณความสว่างที่คูณกับค่าสัมประสิทธิ์ C33 ทำให้ต้องใช้ฟลิปฟล็อปทั้งหมดจำนวน 11 ตัวและมีมัลติเพล็กซ์สำหรับเลือกว่าจะแสดงภาพสีหรือภาพขาวดำโดยมีสัญญาณ FIR_GRAY_PICTURE เป็นตัวเลือก ถ้าสัญญาณนี้เป็น 0 สัญญาณสีจากภาพขาเข้าจะถูกส่งออกไปยังสัญญาณ FIR_DOUT[7:0] แต่ถ้าสัญญาณนี้เป็น 1 ข้อมูล 80H ซึ่งเป็นข้อมูลที่ไม่มีสีก็จะถูกส่งออกไปแทน

Luminance input

Y11	Y12	Y13	Y14	Y15
Y21	Y22	Y23	Y24	Y25
Y31	Y32	Y33	Y34	Y35
Y41	Y42	Y43	Y44	Y45
Y51	Y52	Y53	Y54	Y55

*

Coefficient

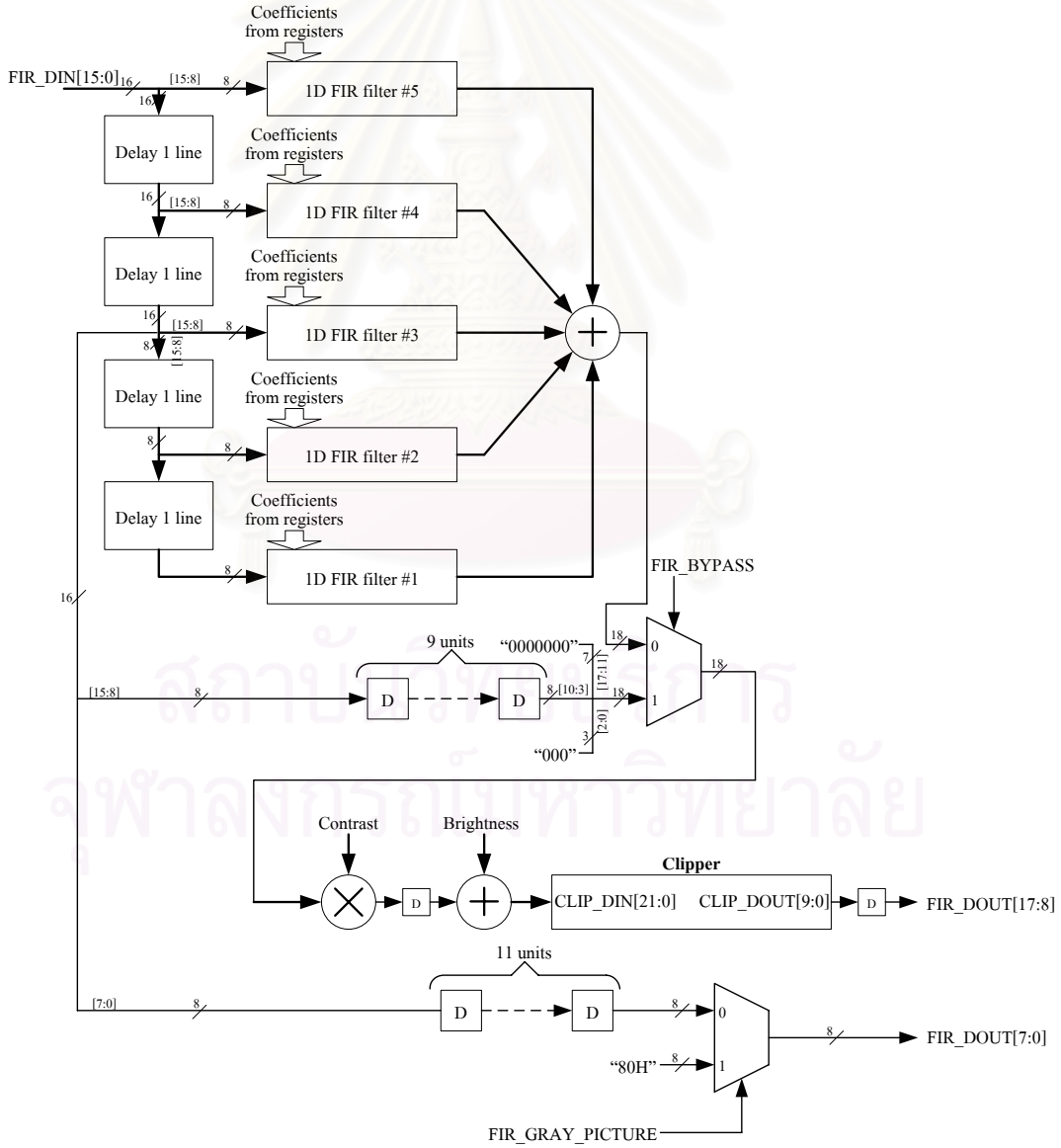
C11	C12	C13	C14	C15
C21	C22	C23	C24	C25
C31	C32	C33	C34	C35
C41	C42	C43	C44	C45
C51	C52	C53	C54	C55

=

Luminance output

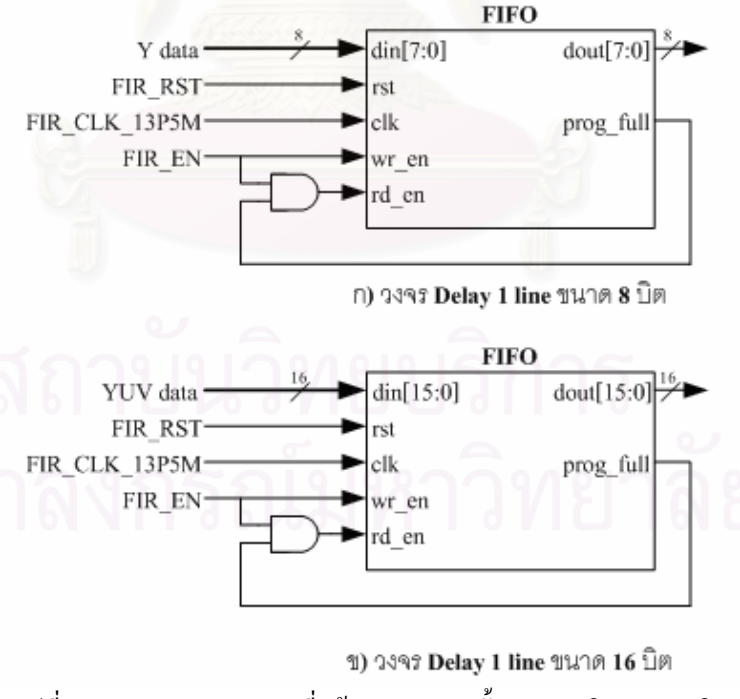
Y11	Y12	Y13	Y14	Y15
Y21	Y22	Y23	Y24	Y25
Y31	Y32	Y33	Y34	Y35
Y41	Y42	Y43	Y44	Y45
Y51	Y52	Y53	Y54	Y55

รูปที่ 3.42 การสังวัตนาการสองมิติของข้อมูลความสว่างของภาพกับค่าสัมประสิทธิ์ของตัวกรองสองมิติ

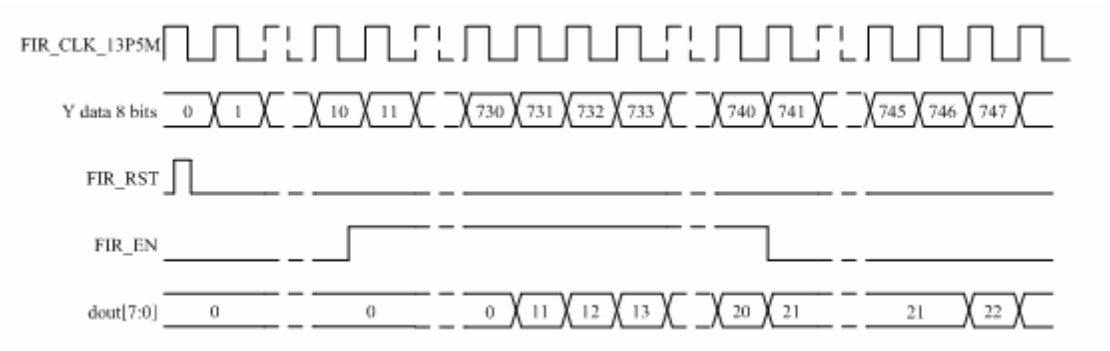


รูปที่ 3.43 วงจรเพิ่มเติมสำหรับส่วนของสัญญาณสี

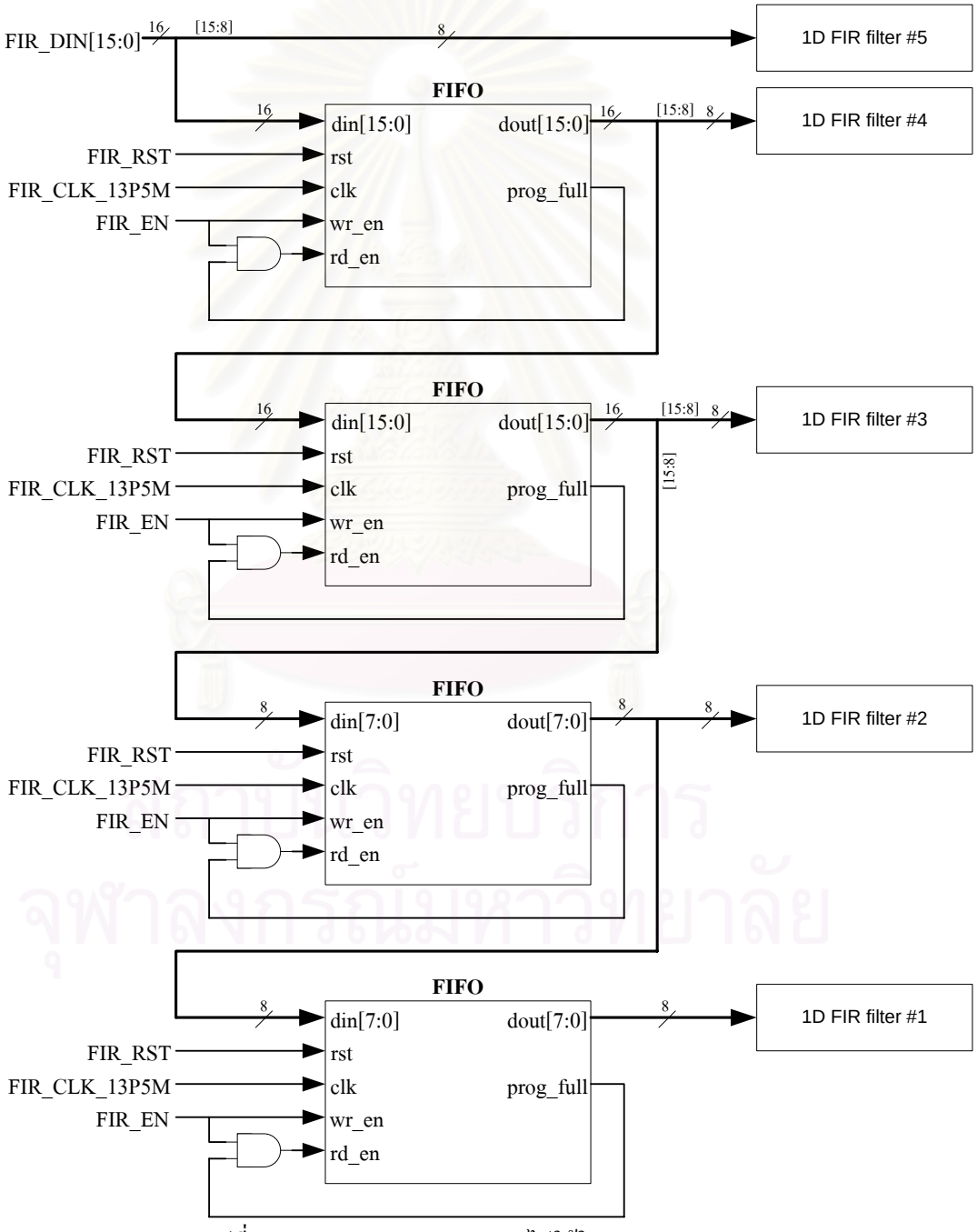
วงจร Delay 1 line ซึ่งมีอยู่ทั้งหมด 4 ตัวประกอบด้วยวงจร Delay 1 line ขนาด 16 บิต 2 ตัวและขนาด 8 บิต 2 ตัว ทั้งขนาด 16 บิตและ 8 บิตจะมีการทำงานที่เหมือนกันต่างกันตรงที่ขนาดของข้อมูล วงจร Delay 1 line จะมีการทำงานเหมือนเรจิสเตอร์แบบเลื่อน (shift register) ซึ่งใช้ในการเก็บค่าความสว่างของภาพสำหรับขนาด 8 บิตและใช้ในการเก็บค่าความสว่างและค่าสีของภาพสำหรับขนาดข้อมูล 16 บิต เรจิสเตอร์แบบเลื่อนนี้จะมีขนาด 720x8 บิตและ 720x16 บิต สาเหตุที่เลือกใช้ความลึกลึกของเรจิสเตอร์เท่ากับ 720 เพราะต้องการให้วงจร Delay 1 line หน่วงเวลาเท่ากับหนึ่งเส้นภาพแอ็กทิฟ จะเห็นได้ว่าวงจรเรจิสเตอร์แบบเลื่อนเป็นวงจรที่ใช้หน่วยความจำเป็นจำนวนมาก ถ้าเราออกแบบโดยใช้หน่วยความจำภายใน Slice ของเอฟพีจีเอเราจะต้องใช้ Slice เป็นจำนวนมาก ถ้าเราออกแบบโดยใช้ Block SelectRAM จะทำให้วงจรที่ออกแบบใช้ Slice น้อยทำให้เรามีทรัพยากรเหลือมากขึ้นในการออกแบบวงจร แต่โปรแกรมที่ใช้ในการออกแบบวงจรไม่มี Core Generator สำหรับสร้างเรจิสเตอร์แบบเลื่อนขนาดใหญ่ดังนั้นเราจึงประยุกต์ FIFO ที่สร้างโดย Core Generator ที่ใช้ Block SelectRAM ของเอฟพีจีเอมาสร้างเป็นเรจิสเตอร์แบบเลื่อนแทนเนื่องจาก FIFO นี้จะมีสัญญาณ prog_full ซึ่งเป็นสัญญาณเหมือนกับสัญญาณ full ของ FIFO แต่มันสามารถโปรแกรมค่าได้ว่าถ้าระดับของข้อมูลใน FIFO มีจำนวนเท่าไหร่สัญญาณนี้จึงจะเป็น 1 รูปที่ 3.44 แสดงวงจร Delay 1 line ที่สร้างจาก FIFO ทั้งขนาด 8 บิตและ 16 บิต โดยกำหนดให้ prog_full มีค่าเท่ากับ 718 (เนื่องจากภายใน FIFO มีการหน่วงเวลาของสัญญาณ prog_full ไว้เท่ากับสัญญาณนาฬิกาสองลูกดังนั้นต้องกำหนดให้ prog_full มีค่าเท่ากับ 718) รูปที่ 3.45 แสดงการจำลองการทำงานของวงจร Delay 1 line ขนาด 8 บิต และรูปที่ 3.46 แสดงการนำวงจร Delay 1 line ไปใช้ในวงจร FIR filter ซึ่งจะทำให้วงจร FIR filter มีเวลาแฝงเส้นภาพ (line latency) เท่ากับ 2 เส้น



รูปที่ 3.44 วงจร Delay 1 line ที่สร้างจาก FIFO ทั้งขนาด 8 บิตและ 16 บิต

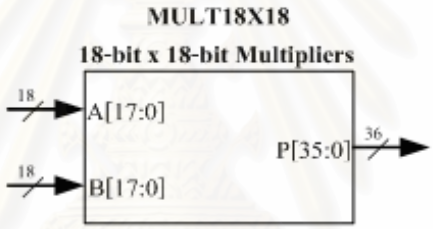


รูปที่ 3.45 การจำลองการทำงานของวงจร Delay 1 line ขนาด 8 บิต

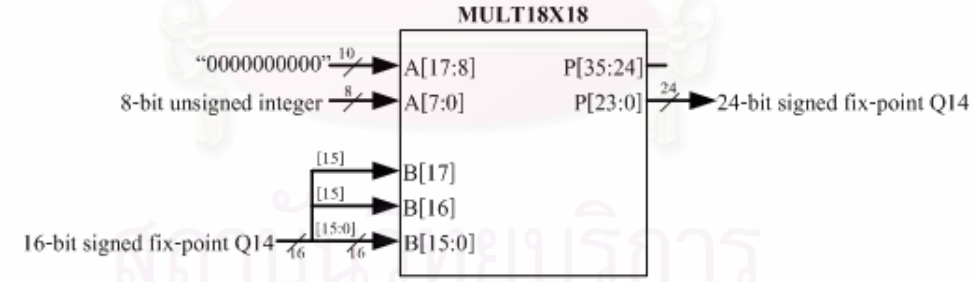


รูปที่ 3.46 การนำวงจร Delay 1 line ไปใช้ในวงจร FIR filter

วงจรคูณที่ใช้ในวงจร FIR filter สร้างมาจาก MULT18X18 ซึ่งเป็นส่วนประกอบที่อยู่ภายในเอฟพีจีเอ ดังแสดงในรูปที่ 3.47 โดย MULT18X18 มีสัญญาณข้อมูลขาเข้า A และ B ขนาด 18 บิตที่มีเครื่องหมายเป็นเลขส่วนเติมเต็มสอง (2's complement) และมีสัญญาณ P เป็นสัญญาณผลลัพธ์ของการคูณขนาด 36 บิตที่มีเครื่องหมายเป็นเลขส่วนเติมเต็มสอง ดังนั้นเมื่อต้องการนำไปสร้างเป็นวงจรคูณค่าสัมประสิทธิ์ซึ่งเป็นการคูณกันระหว่างค่าความสว่างที่เป็นเลขจำนวนเต็ม 8 บิตไม่ระบุเครื่องหมายกับค่าสัมประสิทธิ์ของตัวกรองสองมิติที่เป็นเลข Fixed-point ขนาด 16 บิตที่มีเครื่องหมายประกอบด้วยบิตเครื่องหมาย 1 บิตจำนวนเต็ม 1 บิตและทศนิยม 14 บิตจึงจำเป็นที่จะต้องมีการแปลงข้อมูลให้ตรงกับสัญญาณข้อมูลขาข้าวของ MULT18X18 เสียก่อนเพื่อที่จะให้ได้ผลลัพธ์ที่ถูกต้องดังแสดงในรูปที่ 3.48 การแปลงข้อมูลเลขจำนวนเต็ม 8 บิตไม่ระบุเครื่องหมายทำได้โดยเชื่อมต่อสัญญาณนี้เข้ากับสัญญาณ A[7:0] ส่วน A[17:8] กำหนดให้เป็น 0 ทั้งหมด ในการแปลงเลข Fixed-point 16 บิตที่มีเครื่องหมายทำได้โดยให้สัญญาณ B[17] และ B[16] เชื่อมต่อกับบิตเครื่องหมายของค่าสัมประสิทธิ์ส่วนสัญญาณ B[15:0] เชื่อมต่อกับค่าสัมประสิทธิ์ทั้ง 16 บิต สัญญาณ P[23:0] จะเป็นสัญญาณผลลัพธ์ของการคูณซึ่งเป็นเลข Fixed-point ขนาด 24 บิตที่มีเครื่องหมายประกอบด้วยบิตเครื่องหมาย 1 บิตจำนวนเต็ม 9 บิตและทศนิยม 14 บิต



รูปที่ 3.47 วงจร MULT18X18 ที่เป็นส่วนประกอบที่อยู่ภายในเอฟพีจีเอ

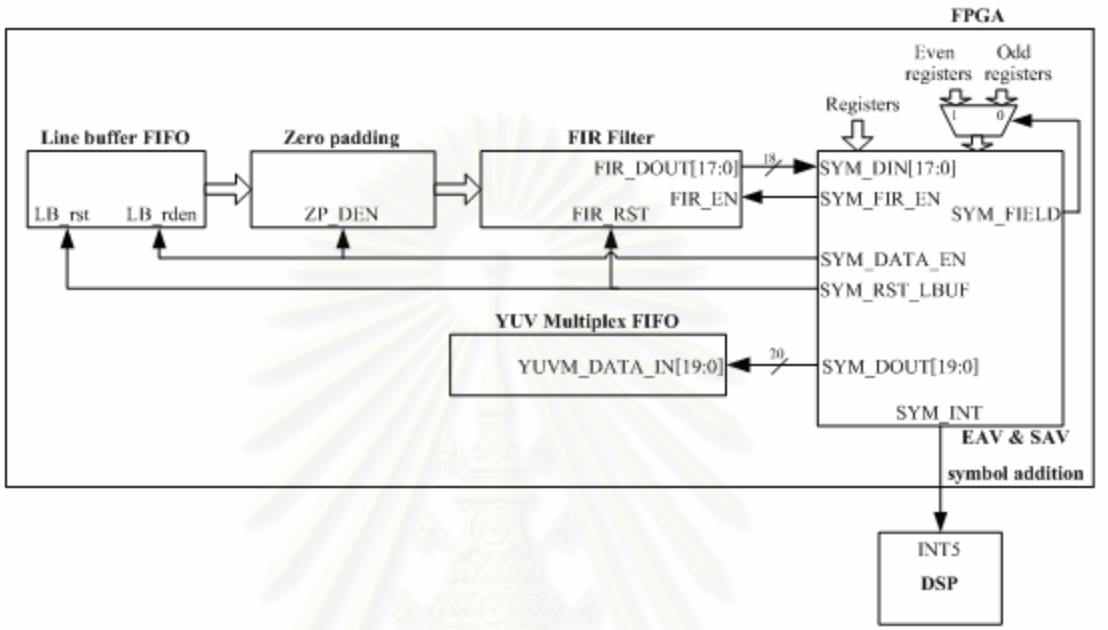


รูปที่ 3.48 การนำ MULT18X18 มาใช้ในการคูณสัญญาณความสว่าง 8 บิตและค่าสัมประสิทธิ์ 16 บิต

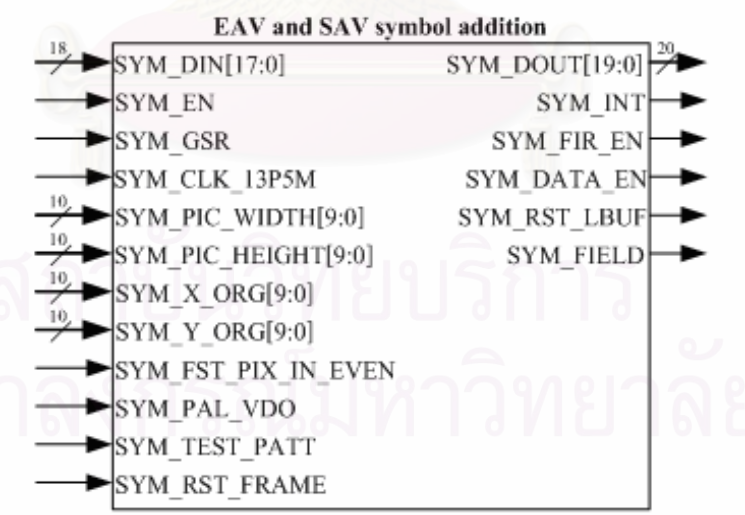
สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

3.6 วงจร EAV and SAV symbol addition

วงจร EAV and SAV symbol addition ทำหน้าที่ควบคุมวงจรต่างๆให้ทำงานสอดคล้องกันเพื่อสร้างสัญญาณวีดิทัศน์ดิจิทัล รูปที่ 3.49 แสดงการเชื่อมต่อวงจรนี้เข้ากับวงจรต่างๆทั้งภายในเอฟพีจีเอและตัวประมวลสัญญาณดิจิทัล สัญญาณต่างๆของวงจรได้แสดงไว้ในรูปที่ 3.50



รูปที่ 3.49 การเชื่อมต่อวงจร EAV and SAV symbol addition เข้ากับวงจรต่างๆทั้งภายในเอฟพีจีเอและตัวประมวลสัญญาณดิจิทัล



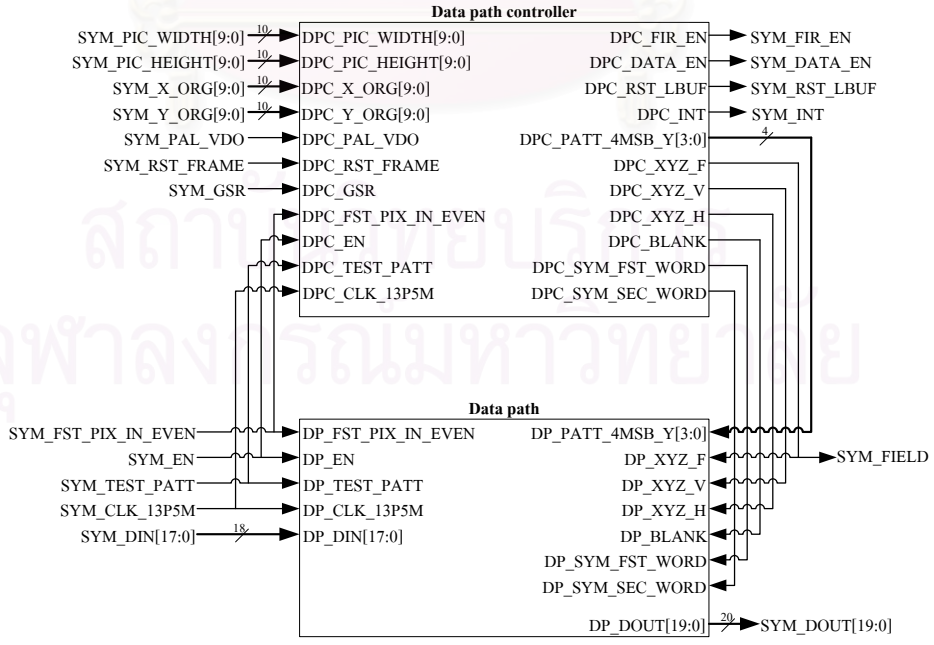
รูปที่ 3.50 โครงสร้างขาเข้าและขาออกของวงจร EAV and SAV symbol addition

ตารางที่ 3.9 หน้าที่ของขาแต่ละขาของวงจร EAV and SAV symbol addition

ขา	ทิศทาง	หน้าที่
SYM_DIN[17:0]	ขาเข้า	สัญญาณข้อมูลเข้า 18 บิตโดยที่สัญญาณ SYM_DIN[17:8] จะเป็นค่าความสว่าง และสัญญาณ SYM_DIN[7:0] จะเป็นค่าสัญญาณภาพสีส่วนประกอบ
SYM_EN	ขาเข้า	สัญญาณเปิดการทำงานของวงจร วงจรจะทำงานเมื่อสัญญาณนี้เป็นลอจิก 1
SYM_GSR	ขาเข้า	สัญญาณสำหรับตั้งค่าการทำงานใหม่ แอ็กทิฟที่ลอจิก 1 เมื่อนำไปใช้งานจะต้องเชื่อมต่อสัญญาณนี้เข้ากับสัญญาณ global reset ของเอฟพีจีเอ
SYM_CLK_13P5M	ขาเข้า	สัญญาณนาฬิกาเข้าความเร็ว 13.5 เมกะเฮิรตซ์
SYM_PIC_WIDTH[9:0]	ขาเข้า	สัญญาณความกว้างของภาพที่ตัวประมวลสัญญาณดิจิทัลส่งให้กับเอฟพีจีเอ ความกว้างของภาพจะต้องเป็นเลขคู่เพราะตัวประมวลสัญญาณดิจิทัลเขียนข้อมูลครั้งละสองจุดภาพ
SYM_PIC_HEIGHT[9:0]	ขาเข้า	สัญญาณความสูงของภาพที่ตัวประมวลสัญญาณดิจิทัลส่งให้กับเอฟพีจีเอ
SYM_X_ORG[9:0]	ขาเข้า	ระยะห่างระหว่างขอบซ้ายสุดของภาพกับขอบด้านซ้ายของภาพที่ตัวประมวลสัญญาณดิจิทัลส่งให้กับเอฟพีจีเอที่จะปรากฏบนจอวีดิทัศน์มีค่าตั้งแต่ 0 ถึง 720 และจะต้องเป็นเลขคู่เพราะถ้าเป็นเลขคี่สีของภาพจะเพี้ยน
SYM_Y_ORG[9:0]	ขาเข้า	ระยะห่างระหว่างขอบบนสุดของภาพกับขอบบนสุดของภาพที่ตัวประมวลสัญญาณดิจิทัลส่งให้กับเอฟพีจีเอที่จะปรากฏบนจอวีดิทัศน์มีค่าตั้งแต่ 0 ถึง 487 สำหรับระบบ NTSC 576 สำหรับระบบ PAL และจะต้องเป็นเลขคู่เพราะเส้นภาพแต่ละเส้นในแต่ละฟิลด์ห่างกันสองเส้น
SYM_FST_PIX_IN_EVEN	ขาเข้า	จุดภาพสองจุดภาพแรกในแต่เส้นภาพที่ตัวประมวลสัญญาณดิจิทัลส่งให้กับเอฟพีจีเอจุดภาพจุดไหนที่จะเป็นจุดภาพแรกของสัญญาณภาพ ถ้าสัญญาณนี้เป็น 1 จุดภาพ Y0 จะเป็นจุดภาพแรกแต่ถ้าเป็น 0 จุดภาพ Y1 จะเป็นจุดภาพแรก
SYM_PAL_VDO	ขาเข้า	สัญญาณเลือกระบบวีดิทัศน์ออก ถ้าสัญญาณนี้เป็น 1 ระบบวีดิทัศน์ออกจะเป็นระบบ PAL ถ้าสัญญาณนี้เป็น 0 ระบบวีดิทัศน์ออกจะเป็นระบบ NTSC
SYM_TEST_PATT	ขาเข้า	สัญญาณเลือกสัญญาณภาพที่จะปรากฏบนจอวีดิทัศน์ ถ้าสัญญาณนี้เป็น 1 สัญญาณภาพที่เอฟพีจีเอสร้างขึ้นจะถูกแสดงแต่ถ้าสัญญาณนี้เป็น 0 สัญญาณภาพที่ตัวประมวลสัญญาณดิจิทัลส่ง

		ให้กับเอฟพีจีเอจะถูกแสดง
SYM_RST_FRAME	ขาเข้า	สัญญาณที่ตัวประมวลสัญญาณดิจิทัลสั่งให้เอฟพีจีเอเริ่มต้นเฟรมภาพใหม่
SYM_DOUT[19:0]	ขาออก	สัญญาณข้อมูลออก 20 บิตโดยที่สัญญาณ SYM_DOUT[19:10] จะเป็นค่าความสว่าง และสัญญาณ SYM_DOUT[9:0] จะเป็นค่าสัญญาณภาพสีส่วนประกอบ
SYM_INT	ขาออก	สัญญาณขัดจังหวะตัวประมวลสัญญาณดิจิทัล แอ็กทิฟที่ลอจิก 1
SYM_FIR_EN	ขาออก	สัญญาณเปิดการทำงานวงจรกรองสองมิติ แอ็กทิฟที่ลอจิก 1
SYM_DATA_EN	ขาออก	สัญญาณอ่านข้อมูลจากวงจร Line buffer FIFO แอ็กทิฟที่ลอจิก 1
SYM_RST_LBUF	ขาออก	สัญญาณตั้งค่าการทำงานใหม่ให้กับวงจร Line buffer FIFO และวงจรกรองสองมิติ แอ็กทิฟที่ลอจิก 1
SYM_FIELD	ขาออก	สัญญาณบอกการทำงานของวงจรว่าอยู่ในฟิลด์คู่หรือฟิลด์คี่ ถ้าเป็น 0 วงจรกำลังทำงานอยู่ในฟิลด์คี่แต่ถ้าเป็น 1 วงจรทำงานอยู่ในฟิลด์คู่ และสัญญาณนี้ยังใช้ในการเลือกสัญญาณเข้าสำหรับแต่ละฟิลด์

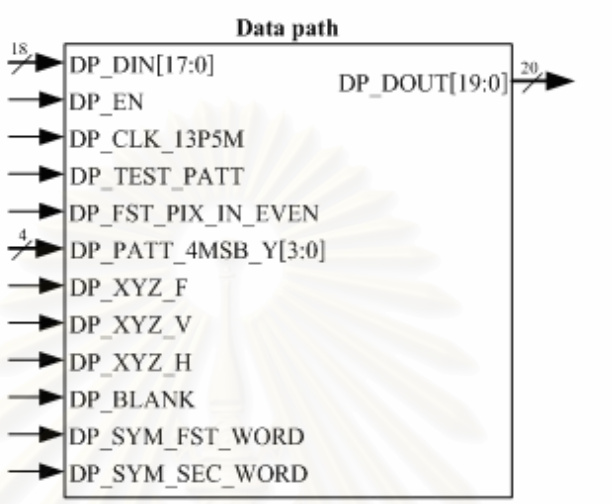
โครงสร้างของวงจร EAV and SAV symbol addition จะแบ่งออกเป็นวงจรใหญ่ๆสองวงจรคือวงจร Data path และวงจร Data path controller รูปที่ 3.51 แสดงการเชื่อมต่อวงจรทั้งสองเข้าด้วยกันและแสดงการเชื่อมต่อกับสัญญาณขาเข้าและออกของวงจร EAV and SAV symbol addition วงจร Data path เป็นวงจรที่ใช้สำหรับประมวลผลสัญญาณภาพและวงจร Data path controller ทำหน้าที่ควบคุมวงจร Data path และวงจรอื่นๆ ภายในเอฟพีจีเอและตัวประมวลสัญญาณดิจิทัล



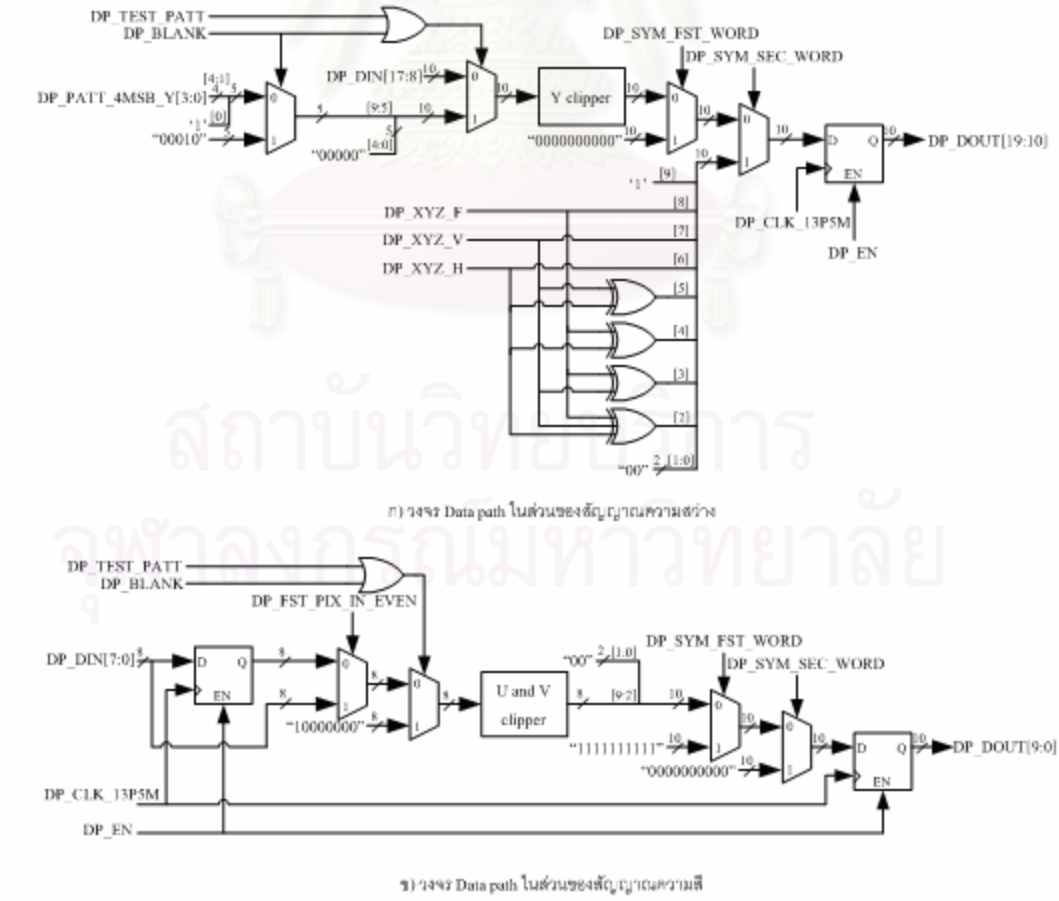
รูปที่ 3.51 การเชื่อมต่อวงจร Data path เข้ากับวงจร Data path controller และการเชื่อมต่อกับสัญญาณขาเข้าและออกของวงจร EAV and SAV symbol addition

3.6.1 วงจร Data path

วงจร Data path เป็นวงจรที่ใช้ในการประมวลผลภาพโดยการเติมข้อมูลภาพในส่วนที่ไม่ใช่ช่วงของภาพแอ็กทิฟและปล่อยให้สัญญาณภาพขาเข้า (สัญญาณ DP_DIN[17:0]) ออกไปยังสัญญาณภาพขาออก (สัญญาณ DP_DOUT[19:0]) เมื่อเป็นช่วงภาพแอ็กทิฟเพื่อสร้างสัญญาณภาพวีดิทัศน์ดิจิทัลโดยมีสัญญาณต่างๆดังรูปที่ 3.52 โครงสร้างของวงจรจะถูกแสดงดังรูปที่ 3.53



รูปที่ 3.52 โครงสร้างขาเข้าและขาออกของวงจร Data path

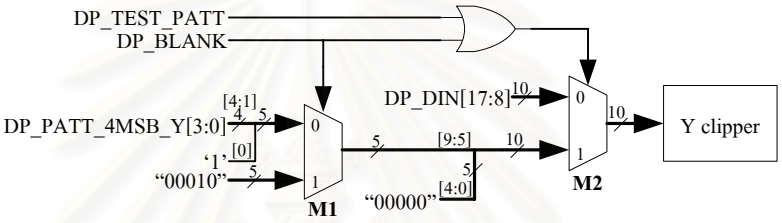


รูปที่ 3.53 โครงสร้างของวงจร Data path

ตารางที่ 3.10 หน้าที่ของสัญญาณแต่ละสัญญาณของวงจร Data path

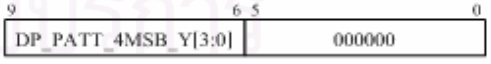
ขา	ทิศทาง	หน้าที่
DP_DIN[17:0]	ขาเข้า	สัญญาณข้อมูลเข้า 18 บิตโดยที่สัญญาณ SYM_DIN[17:8] จะเป็นค่าความสว่าง และสัญญาณ SYM_DIN[7:0] จะเป็นค่าสัญญาณภาพสีส่วนประกอบ
DP_EN	ขาเข้า	สัญญาณเปิดการทำงานของวงจร วงจรจะทำงานเมื่อสัญญาณนี้เป็นลอจิก 1
DP_CLK_13P5M	ขาเข้า	สัญญาณนาฬิกาเข้าความเร็ว 13.5 เมกะเฮิรตซ์
DP_TEST_PATT	ขาเข้า	สัญญาณเลือกสัญญาณภาพที่จะปรากฏบนจอวีดิทัศน์ ถ้าสัญญาณนี้เป็น 1 สัญญาณภาพที่เอฟพีจีเอสร้างขึ้นจะถูกแสดงแต่ถ้าสัญญาณนี้เป็น 0 สัญญาณภาพที่ตัวประมวลสัญญาณดิจิทัลส่งให้กับเอฟพีจีเอจะถูกแสดง
DP_FST_PIX_IN_EVEN	ขาเข้า	จุดภาพสองจุดภาพแรกในแต่เส้นภาพที่ตัวประมวลสัญญาณดิจิทัลส่งให้กับเอฟพีจีเอจุดภาพจุดไหนที่จะเป็นจุดภาพแรกของสัญญาณภาพ ถ้าสัญญาณนี้เป็น 1 จุดภาพ Y0 จะเป็นจุดภาพแรกแต่ถ้าเป็น 0 จุดภาพ Y1 จะเป็นจุดภาพแรก
DP_PATT_4MSB_Y[3:0]	ขาเข้า	สัญญาณสี่บิตบนของสัญญาณความสว่างของภาพที่สร้างขึ้นภายในเอฟพีจีเอโดยวงจร Data path controller เมื่อต้องการแสดงภาพสำหรับทดสอบ
DP_XYZ_F	ขาเข้า	บิต F ของสัญญาณวีดิทัศน์ดิจิทัล
DP_XYZ_V	ขาเข้า	บิต V ของสัญญาณวีดิทัศน์ดิจิทัล
DP_XYZ_H	ขาเข้า	บิต H ของสัญญาณวีดิทัศน์ดิจิทัล
DP_BLANK	ขาเข้า	สัญญาณที่ใช้กำหนดค่าของสัญญาณออกในส่วนของสัญญาณความสว่างมีค่าเท่ากับ “0001000000” สัญญาณภาพสีส่วนประกอบมีค่าเท่ากับ “1000000000” เมื่อสัญญาณนี้เป็น 1 และสัญญาณออกจะเป็นสัญญาณภาพแอ็กทิฟเมื่อสัญญาณนี้เป็น 0
DP_SYM_FST_WORD	ขาเข้า	สัญญาณที่ใช้กำหนดค่าของสัญญาณออกเป็นค่าของคำแรกของสัญญาณอ้างอิงการกำหนดเวลาเมื่อสัญญาณนี้เป็น 1 และจะเป็นสัญญาณส่วนอื่นเมื่อสัญญาณนี้เป็น 0
DP_SYM_SEC_WORD	ขาเข้า	สัญญาณที่ใช้กำหนดค่าของสัญญาณออกเป็นค่าของคำที่สองของสัญญาณอ้างอิงการกำหนดเวลาเมื่อสัญญาณนี้เป็น 1 และจะเป็นสัญญาณส่วนอื่นเมื่อสัญญาณนี้เป็น 0
DP_DOUT[19:0]	ขาออก	สัญญาณข้อมูลออก 20 บิตโดยที่สัญญาณ SYM_DOUT[19:10] จะเป็นค่าความสว่าง และสัญญาณ SYM_DOUT[9:0] จะเป็นค่าสัญญาณภาพสีส่วนประกอบ

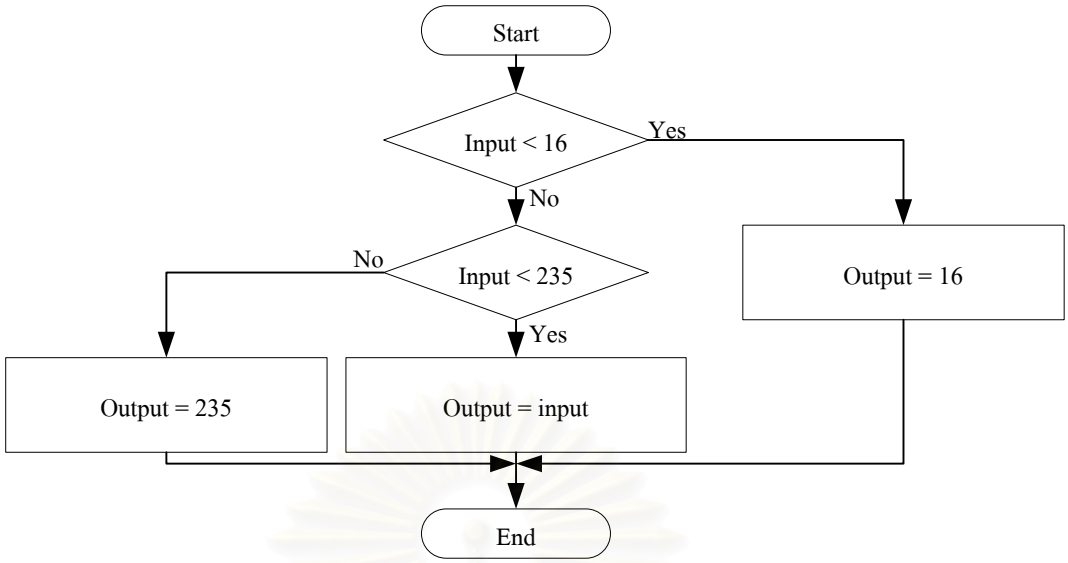
จากวงจรในรูปที่ 3.54 เป็นวงจรเลือกสัญญาณขาเข้าของวงจร Y clipper ซึ่งเป็นส่วนหนึ่งของวงจรในส่วนของสัญญาณความสว่างของวงจร Data path สัญญาณ DP_TEST_PATT และสัญญาณ DP_BLANK จะถูกต่อเข้าเกทออร์และสัญญาณขาออกของเกทออร์จะใช้เป็นสัญญาณสำหรับเลือกสัญญาณขาออกของมัลติเพล็กซ์ M2 ถ้าสัญญาณ DP_TEST_PATT และสัญญาณ DP_BLANK เป็น 0 สัญญาณ DP_DIN[17:8] ซึ่งเป็นสัญญาณความสว่างของภาพจากวงจรกรองสองมิติจะถูกส่งต่อให้กับวงจร Y clipper แต่ถ้าสัญญาณ DP_TEST_PATT หรือสัญญาณ DP_BLANK เป็น 1 สัญญาณขาออกของมัลติเพล็กซ์ M1 จะถูกส่งต่อให้กับวงจร Y clipper มัลติเพล็กซ์ M1 จะใช้ในการเลือกสัญญาณที่ส่งให้กับมัลติเพล็กซ์ M2 ถ้าสัญญาณ DP_BLANK เป็น 0 สัญญาณ DP_PATT_4MSB_Y[3:0] จะถูกส่งให้กับมัลติเพล็กซ์ M2 แต่ถ้าเป็น 1 ข้อมูล “00010” จะถูกส่งต่อให้กับมัลติเพล็กซ์ M2 แทน ตารางที่ 3.12 แสดงสัญญาณที่จะถูกเลือกให้กับวงจร Y clipper เมื่อสัญญาณ DP_TEST_PATT และสัญญาณ DP_BLANK มีค่าต่างๆ วงจร Y clipper ทำหน้าที่ควบคุมค่าของความสว่างให้มีค่าอยู่ในช่วง nominal range[9] ของสัญญาณความสว่าง (16 ถึง 235) และมีการทำงานดังในรูปที่ 3.55



รูปที่ 3.54 วงจรที่ใช้เลือกสัญญาณขาเข้าของวงจร Y clipper

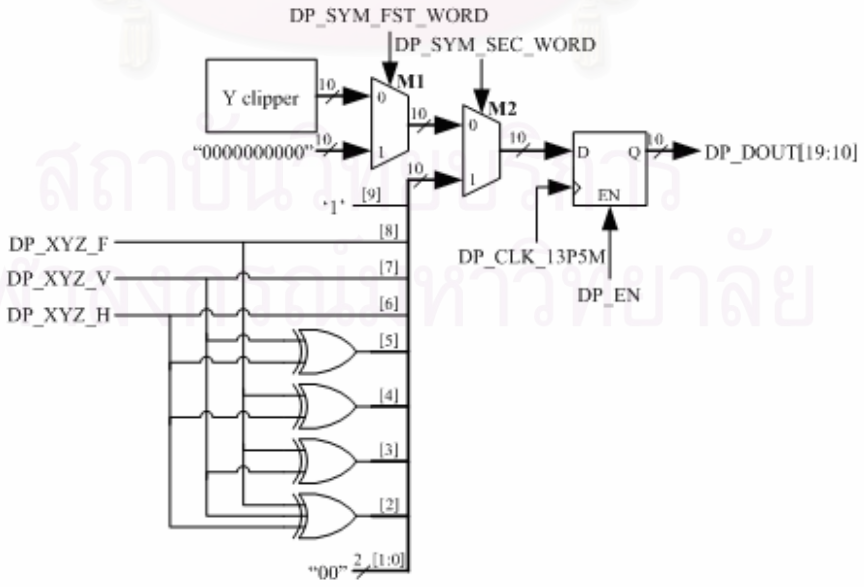
ตารางที่ 3.11 สัญญาณที่ถูกเลือกให้กับวงจร Y clipper เมื่อสัญญาณ DP_TEST_PATT และสัญญาณ DP_BLANK มีค่าต่างๆ

DP_TEST_PATT	DP_BLANK	สัญญาณข้าเข้าของวงจร Y clipper
0	0	สัญญาณความสว่างจากวงจรกรองสองมิติ DP_DIN[17:8]
0	1	สัญญาณ “0001000000” ซึ่งเป็นค่าความสว่างของจุดภาพที่อยู่ในช่วงการเว้นว่าง (blanking interval) และข้อมูลนี้เป็นเลข Fixed-point ขนาด 10 บิตไม่ระบุเครื่องหมายมีทศนิยม 2 บิตดังนั้นข้อมูล “0001000000” จึงมีค่าเท่ากับ 10.0 ฐานสิบ
1	0	สัญญาณ  ซึ่งเป็นความสว่างของภาพที่สร้างขึ้นภายในเอฟพีจีเอโดยวงจร Data path controller เมื่อต้องการแสดงภาพสำหรับทดสอบ
1	1	สัญญาณ “0001000000” ซึ่งเป็นค่าความสว่างของจุดภาพที่อยู่ในช่วงการเว้นว่างเมื่อต้องการแสดงภาพสำหรับทดสอบออกทางวีดิทัศน์ดิจิทัล



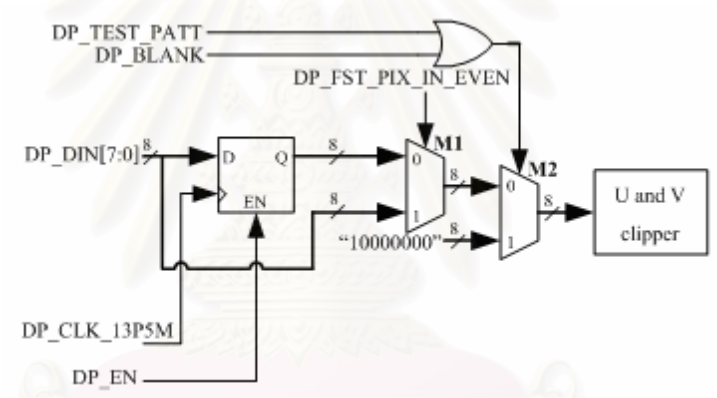
รูปที่ 3.55 ผังงานแสดงการทำงานของวงจร Y clipper

รูปที่ 3.56 แสดงวงจรสำหรับใส่สัญลักษณ์สัญญาณอ้างอิงการกำหนดเวลาสิ้นสุดของวีดิทัศน์แอ็กทิฟ (End of Active Video TRS symbol: EAV) และสัญลักษณ์สัญญาณอ้างอิงการกำหนดเวลาเริ่มต้นของวีดิทัศน์แอ็กทิฟ (Start of Active Video TRS symbol: SAV) ของสัญญาณความสว่างของภาพ โดยสัญญาณ DP_SYM_FST_WORD จะเป็นสัญญาณที่บอกช่วงเวลาของคำแรกของสัญญาณอ้างอิงการกำหนดเวลา (Timing Reference Signal : TRS) เมื่อเป็น 1 และสัญญาณ DP_SYM_SEC_WORD เป็นสัญญาณที่บอกช่วงเวลาของคำที่สองของสัญญาณอ้างอิงการกำหนดเวลาเมื่อเป็น 1 สัญญาณทั้งสองจะไม่แอ็กทิฟที่เวลาเดียวกัน เมื่อสัญญาณ DP_SYM_FST_WORD เป็น 1 ข้อมูล “0000000000” จากมัลติเพล็กซ์ M1 จะถูกส่งผ่านมัลติเพล็กซ์ M2 ออกไปยังฟลิปฟล็อป เมื่อสัญญาณ DP_SYM_SEC_WORD เป็น 1 ข้อมูลข้อคำที่สองจากมัลติเพล็กซ์ M2 ซึ่งรับบิต F V และ H มาจากวงจร Data path controller มาประมวลผลโดยใช้วงจรที่ประยุกต์จากรูปที่ 2.4 ส่งออกไปให้กับฟลิปฟล็อป

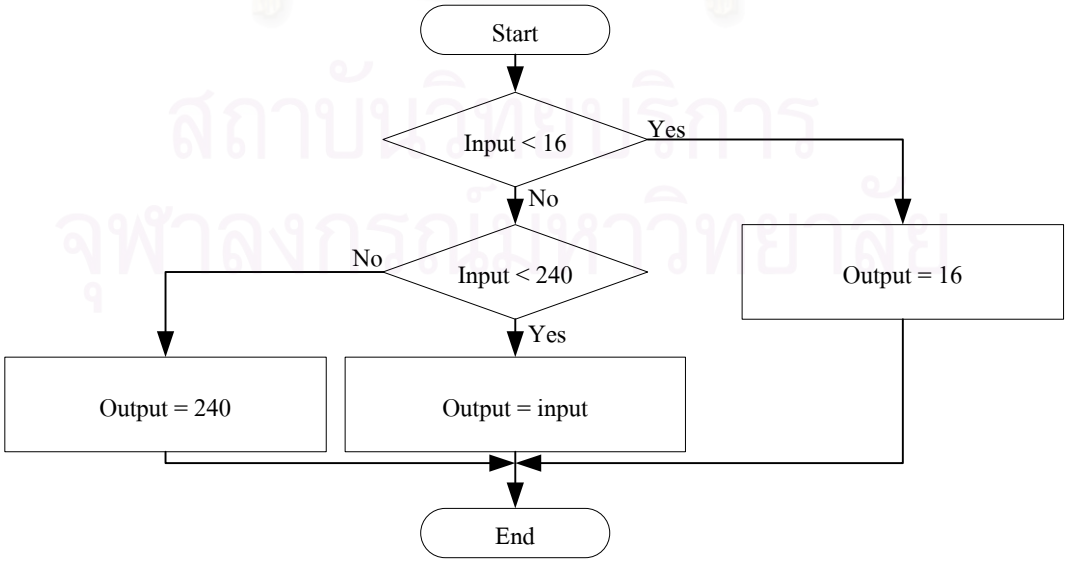


รูปที่ 3.56 วงจรสำหรับใส่สัญลักษณ์สัญญาณอ้างอิงการกำหนดเวลาสิ้นสุดของวีดิทัศน์และสัญลักษณ์สัญญาณอ้างอิงการกำหนดเวลาเริ่มต้นของวีดิทัศน์แอ็กทิฟของสัญญาณความสว่างของภาพ

รูปที่ 3.57 แสดงวงจรในส่วนของการเลือกข้อมูลของสัญญาณสี สัญญาณ DP_FST_PIX_IN_EVEN จะถูกใช้ในการเลือกสัญญาณเพื่อป้อนให้กับมัลติเพล็กซ์ M2 โดยจะเลือกสัญญาณ DP_DIN[7:0] ป้อนให้กับมัลติเพล็กซ์ M2 เมื่อสัญญาณนี้เป็น 1 และจะเลือกสัญญาณ DP_DIN[7:0] ที่ถูกหน่วงเวลาไปเท่ากับสัญญาณนาฬิกาหนึ่งลูกเมื่อเป็น 0 มัลติเพล็กซ์ M2 จะใช้สัญญาณที่เกิดจากสัญญาณ DP_TEST_PATT ออร์กับสัญญาณ DP_BLANK เมื่อสัญญาณ DP_TEST_PATT เป็น 1 ซึ่งหมายความว่าภาพที่ต้องการแสดงบนจอวีดิทัศน์จะเป็นภาพที่เอฟพีจีเอสร้างขึ้นจะทำให้มัลติเพล็กซ์ M2 เลือกข้อมูล “10000000” ซึ่งเป็นข้อมูลที่จะทำให้ภาพที่เกิดบนจอวีดิทัศน์เป็นภาพขาวดำส่งให้กับวงจร U and V clipper และเมื่อสัญญาณ DP_BLANK เป็น 1 ซึ่งหมายความว่าเป็นช่วงเวลาของจุดภาพที่อยู่ในช่วงการเว้นว่างสัญญาณสีจะต้องมีค่าเท่ากับ “10000000” ส่งให้กับวงจร U and V clipper แต่ถ้าสัญญาณ DP_TEST_PATT และสัญญาณ DP_BLANK เป็น 0 ซึ่งหมายความว่าต้องการแสดงภาพที่เอฟพีจีเอได้รับจากตัวประมวลสัญญาณดิจิทัลและจุดภาพไม่ได้อยู่ในช่วงการเว้นว่างมัลติเพล็กซ์ M2 ก็จะเลือกสัญญาณจากมัลติเพล็กซ์ M1 ส่งออกไปให้กับวงจร U and V clipper วงจร U and V clipper ทำหน้าที่ควบคุมค่าของสัญญาณสีให้อยู่ในช่วง nominal range[9] ของสัญญาณสี (16 ถึง 240) และมีการทำงานดังในรูปที่ 3.58

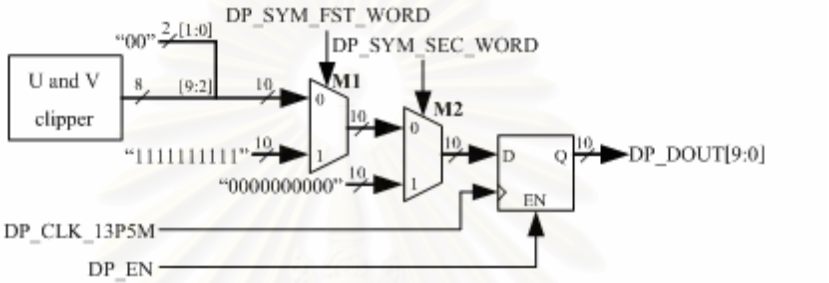


รูปที่ 3.57 วงจรในส่วนของการเลือกข้อมูลของสัญญาณสีขาเข้าของวงจร U and V clipper



รูปที่ 3.58 ผังงานแสดงการทำงานของวงจร U and V clipper

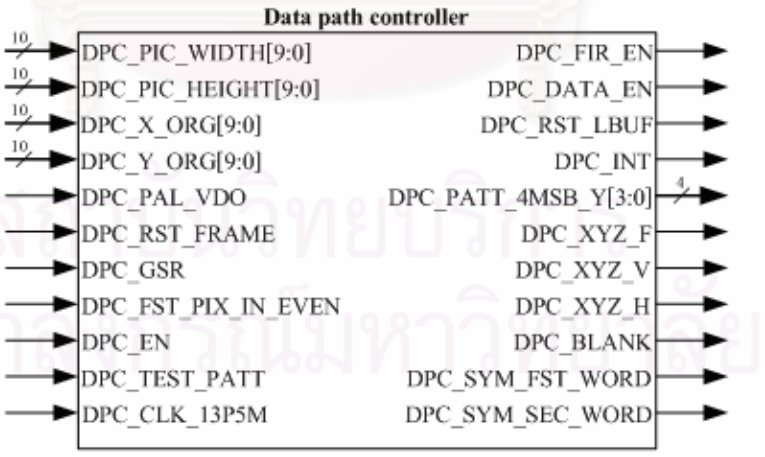
ในรูปที่ 3.59 วงจรสำหรับใส่สัญลักษณ์สัญญาณอ้างอิงการกำหนดเวลาสิ้นสุดของวีดิทัศน์และสัญลักษณ์สัญญาณอ้างอิงการกำหนดเวลาเริ่มต้นของวีดิทัศน์แอ็กทิฟของสัญญาณสีของภาพ เมื่อสัญญาณ DP_SYM_FST_WORD และสัญญาณ DP_SYM_SEC_WORD เป็น 0 ซึ่งหมายความว่าเป็นช่วงของสัญญาณวีดิทัศน์ที่ไม่ใช่สัญญาณอ้างอิงการกำหนดเวลา สัญญาณจากวงจร U and V clipper จะถูกส่งให้กับฟลิปฟล็อปเพื่อเป็นสัญญาณสีขาออก DP_DOUT[9:0] เมื่อสัญญาณ DP_SYM_FST_WORD เป็น 1 ข้อมูล “1111111111” ซึ่งเป็นข้อมูลในส่วนของสัญญาณสีในคำแรกของสัญญาณอ้างอิงการกำหนดเวลา และเมื่อสัญญาณ DP_SYM_SEC_WORD เป็น 1 ข้อมูล “0000000000” ซึ่งเป็นข้อมูลในส่วนของสัญญาณสีในคำที่สองของสัญญาณอ้างอิงการกำหนดเวลาจะถูกส่งให้กับฟลิปฟล็อปเพื่อเป็นสัญญาณสีขาออก



รูปที่ 3.59 วงจรสำหรับใส่สัญลักษณ์สัญญาณอ้างอิงการกำหนดเวลาสิ้นสุดของวีดิทัศน์และสัญลักษณ์สัญญาณอ้างอิงการกำหนดเวลาเริ่มต้นของวีดิทัศน์แอ็กทิฟของสัญญาณสีของภาพ

3.6.2 วงจร Data path controller

วงจร Data path controller เป็นวงจรสำหรับควบคุมการทำงานของวงจร Data path Line buffer FIFO Zero padding FIR filter และตัวประมวลสัญญาณดิจิทัลเพื่อให้วงจรทั้งหมดทำงานสอดคล้องกัน รูปที่ 3.60 แสดงสัญญาณต่างๆของวงจร



รูปที่ 3.60 โครงสร้างขาเข้าและขาออกของวงจร Data path controller

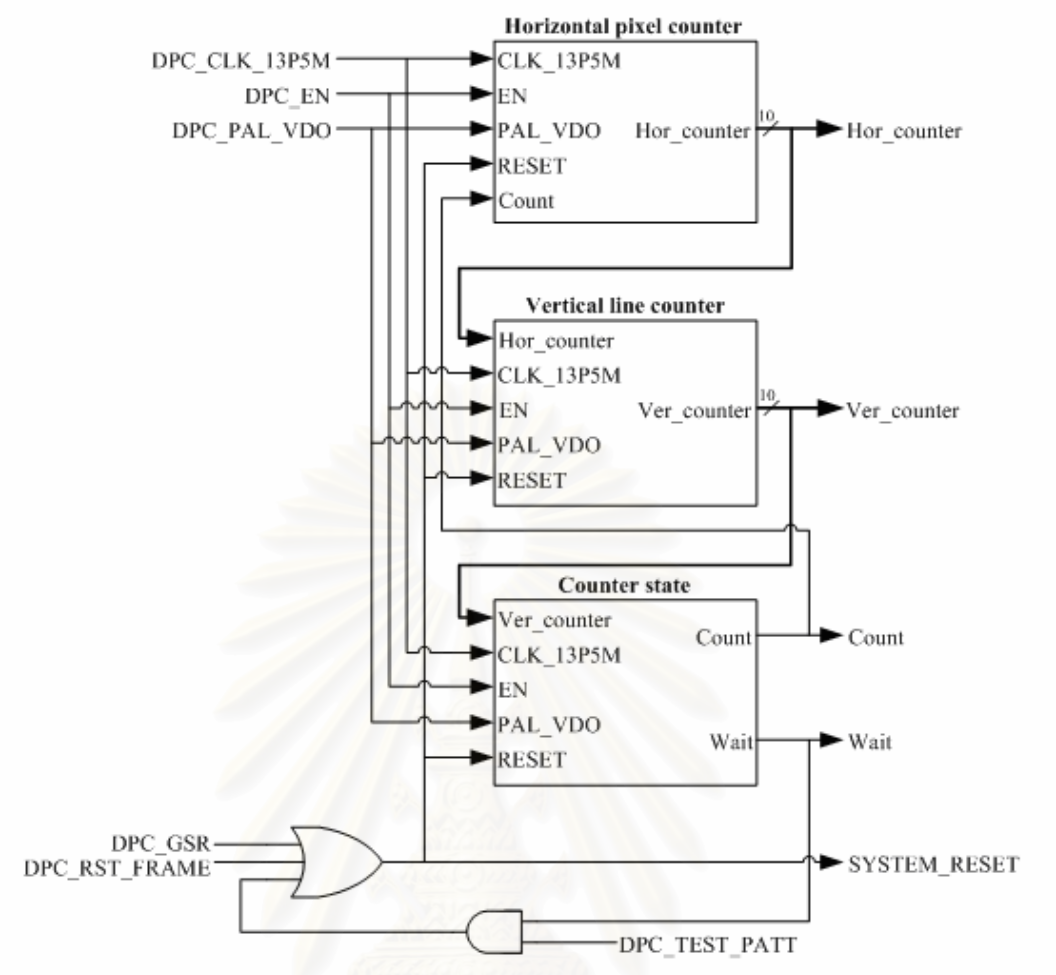
ตารางที่ 3.12 หน้าที่ของสัญญาณแต่ละสัญญาณของวงจร Data path controller

ขา	ทิศทาง	หน้าที่
DPC_PIC_WIDTH[9:0]	ขาเข้า	สัญญาณความกว้างของภาพที่ตัวประมวลสัญญาณดิจิทัลส่งให้กับเอฟพีจีเอ ความกว้างของภาพจะต้องเป็นเลขคู่เพราะตัวประมวลสัญญาณดิจิทัลเขียนข้อมูลครั้งละสองจุดภาพ
DPC_PIC_HEIGHT[9:0]	ขาเข้า	สัญญาณความสูงของภาพที่ตัวประมวลสัญญาณดิจิทัลส่งให้กับเอฟพีจีเอ
DPC_X_ORG[9:0]	ขาเข้า	ระยะห่างระหว่างขอบซ้ายสุดของภาพกับขอบด้านซ้ายของภาพที่ตัวประมวลสัญญาณดิจิทัลส่งให้กับเอฟพีจีเอที่จะปรากฏบนจอวีดิทัศน์มีค่าตั้งแต่ 0 ถึง 720 และจะต้องเป็นเลขคู่เพราะถ้าเป็นเลขคี่สีของภาพจะเพี้ยน
DPC_Y_ORG[9:0]	ขาเข้า	ระยะห่างระหว่างขอบบนสุดของภาพกับขอบบนสุดของภาพที่ตัวประมวลสัญญาณดิจิทัลส่งให้กับเอฟพีจีเอที่จะปรากฏบนจอวีดิทัศน์มีค่าตั้งแต่ 0 ถึง 487 สำหรับระบบ NTSC 576 สำหรับระบบ PAL และจะต้องเป็นเลขคู่เพราะเส้นภาพแต่ละเส้นในแต่ละฟิลด์ห่างกันสองเส้น
DPC_PAL_VDO	ขาเข้า	สัญญาณเลือกระบบวีดิทัศน์ออก ถ้าสัญญาณนี้เป็น 1 ระบบวีดิทัศน์ออกจะเป็นระบบ PAL ถ้าสัญญาณนี้เป็น 0 ระบบวีดิทัศน์ออกจะเป็นระบบ NTSC
DPC_RST_FRAME	ขาเข้า	สัญญาณที่ตัวประมวลสัญญาณดิจิทัลสั่งให้เอฟพีจีเอเริ่มต้นเฟรมภาพใหม่
DPC_GSR	ขาเข้า	สัญญาณสำหรับตั้งค่าการทำงานใหม่ แอ็กทิฟที่ลอจิก 1 เมื่อนำไปใช้งานจะต้องเชื่อมต่อสัญญาณนี้เข้ากับสัญญาณ global reset ของเอฟพีจีเอ
DPC_FST_PIX_IN_EVEN	ขาเข้า	จุดภาพสองจุดภาพแรกในแต่เส้นภาพที่ตัวประมวลสัญญาณดิจิทัลส่งให้กับเอฟพีจีเอจุดภาพจุดไหนที่จะเป็นจุดภาพแรกของสัญญาณภาพ ถ้าสัญญาณนี้เป็น 1 จุดภาพ Y0 จะเป็นจุดภาพแรกแต่ถ้าเป็น 0 จุดภาพ Y1 จะเป็นจุดภาพแรก
DPC_EN	ขาเข้า	สัญญาณเปิดการทำงานของวงจร วงจรจะทำงานเมื่อสัญญาณนี้เป็นลอจิก 1
DPC_TEST_PATT	ขาเข้า	สัญญาณเลือกสัญญาณภาพที่จะปรากฏบนจอวีดิทัศน์ ถ้าสัญญาณนี้เป็น 1 สัญญาณภาพที่เอฟพีจีเอสร้างขึ้นจะถูกแสดงแต่ถ้าสัญญาณนี้เป็น 0 สัญญาณภาพที่ตัวประมวลสัญญาณดิจิทัลส่งให้กับเอฟพีจีเอจะถูกแสดง
DPC_CLK_13P5M	ขาเข้า	สัญญาณนาฬิกาเข้าความเร็ว 13.5 เมกะเฮิรตซ์
DPC_FIR_EN	ขาออก	สัญญาณเปิดการทำงานวงจรกรองสองมิติ แอ็กทิฟที่ลอจิก 1

DPC_DATA_EN	ขาออก	สัญญาณอ่านข้อมูลจากวงจร Line buffer FIFO แอ็กทิฟที่ลอจิก 1
DPC_RST_LBUF	ขาออก	สัญญาณตั้งค่าการทำงานใหม่ให้กับวงจร Line buffer FIFO และวงจรกรองสองมิติ แอ็กทิฟที่ลอจิก 1
DPC_INT	ขาออก	สัญญาณขัดจังหวะตัวประมวลสัญญาณดิจิทัล แอ็กทิฟที่ลอจิก 1
DPC_PATT_4MSB_Y[3:0]	ขาออก	สัญญาณสี่บิตบนของสัญญาณความสว่างของภาพที่สร้างขึ้นภายในเอฟพีจีเอโดยวงจร Data path controller เมื่อต้องการแสดงภาพสำหรับทดสอบ
DPC_XYZ_F	ขาออก	บิต F ของสัญญาณวีดิทัศน์ดิจิทัล
DPC_XYZ_V	ขาออก	บิต V ของสัญญาณวีดิทัศน์ดิจิทัล
DPC_XYZ_H	ขาออก	บิต H ของสัญญาณวีดิทัศน์ดิจิทัล
DPC_BLANK	ขาออก	สัญญาณที่ใช้กำหนดค่าของสัญญาณออกในส่วนของสัญญาณความสว่างมีค่าเท่ากับ “0001000000” สัญญาณภาพสีส่วนประกอบมีค่าเท่ากับ “1000000000” เมื่อสัญญาณนี้เป็น 1 และสัญญาณออกจะเป็นสัญญาณภาพแอ็กทิฟเมื่อสัญญาณนี้เป็น 0
DPC_SYM_FST_WORD	ขาออก	สัญญาณที่ใช้กำหนดค่าของสัญญาณออกเป็นค่าของคำแรกของสัญญาณอ้างอิงการกำหนดเวลาเมื่อสัญญาณนี้เป็น 1 และจะเป็นสัญญาณส่วนอื่นเมื่อสัญญาณนี้เป็น 0
DPC_SYM_SEC_WORD	ขาออก	สัญญาณที่ใช้กำหนดค่าของสัญญาณออกเป็นค่าของคำที่สองของสัญญาณอ้างอิงการกำหนดเวลาเมื่อสัญญาณนี้เป็น 1 และจะเป็นสัญญาณส่วนอื่นเมื่อสัญญาณนี้เป็น 0

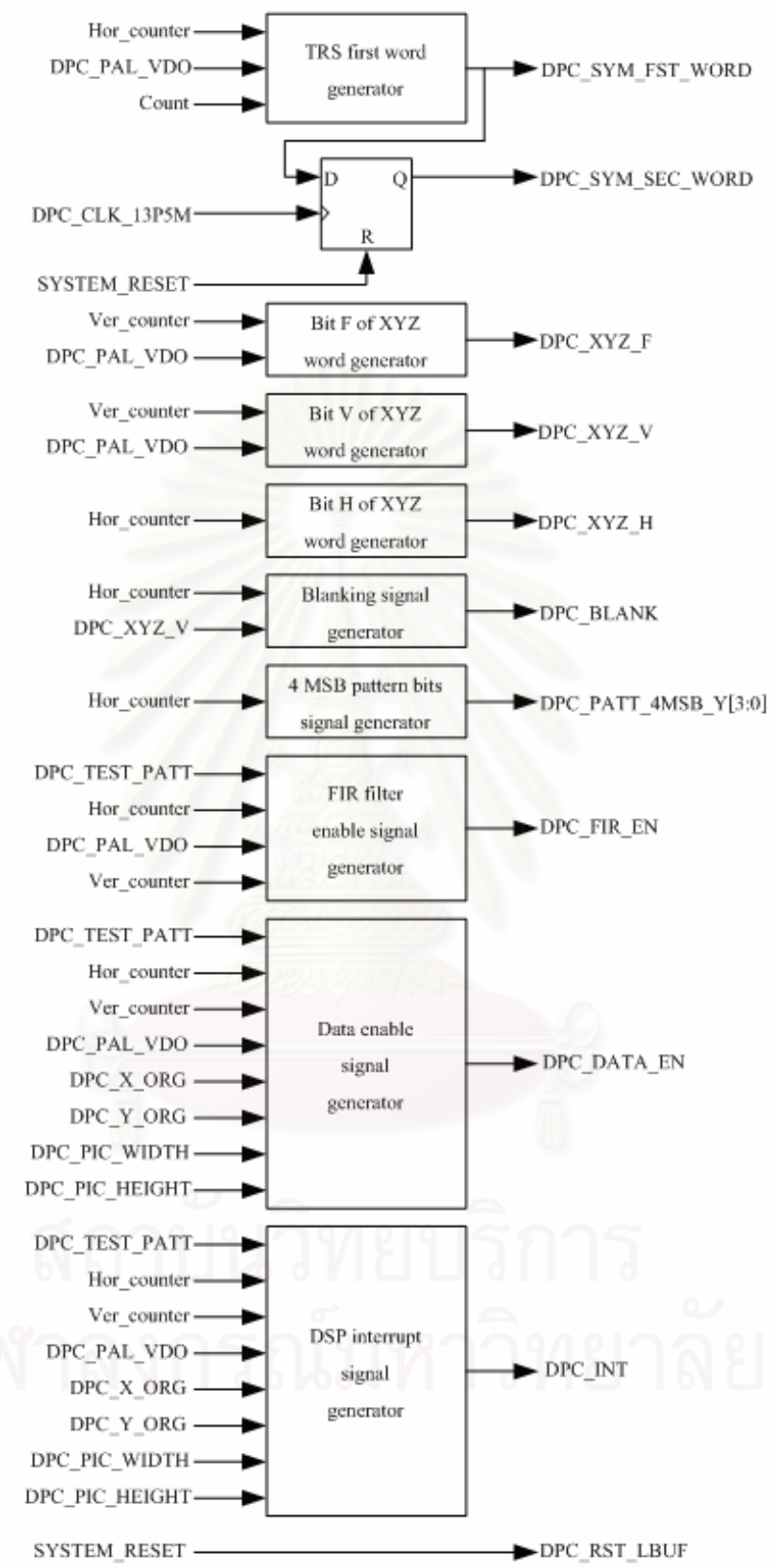
วงจร Data path controller จะมีโครงสร้างวงจรในส่วนของตัวนับและสถานะของวงจรดังในรูปที่ 3.61 ซึ่งมีตัวนับอยู่สองตัวเพื่อใช้ในการนับจำนวนจุดภาพและนับเส้นภาพทำให้รู้ได้ว่าสัญญาณวีดิทัศน์กำลังสร้างอยู่ที่เส้นภาพที่เท่าไหร่และจุดภาพที่เท่าไหร่และวงจรกำเนิดสัญญาณขาออกต่างๆดังในรูปที่ 3.62

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



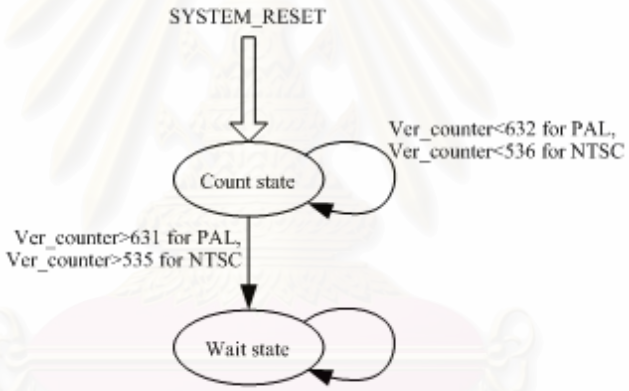
รูปที่ 3.61 โครงสร้างของวงจร Data path controller ในส่วนของตัวนับและสถานะของวงจร

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

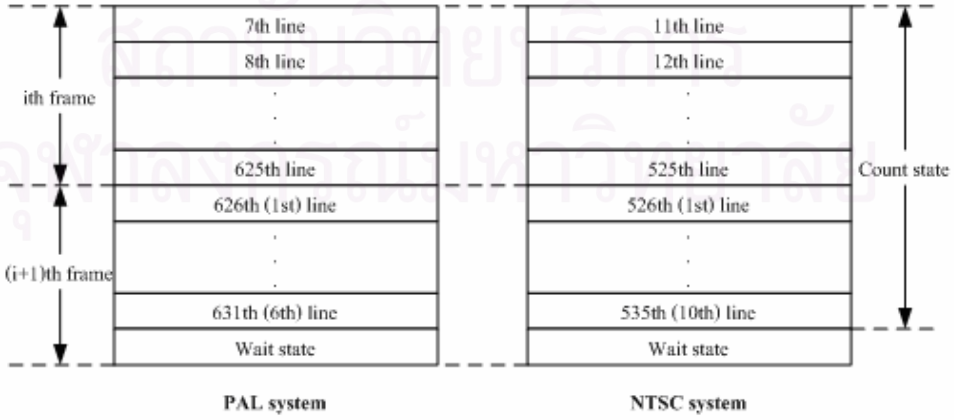


รูปที่ 3.62 โครงสร้างของวงจร Data path controller ในส่วนของวงจรกำเนิดสัญญาณขาออกต่างๆ

วงจร Counter state เป็นวงจรแบบซิงโครนัสทำงานที่ขอบขาขึ้นของสัญญาณ DPC_CLK_13P5M ทำหน้าที่กำหนดสถานะของการทำงานของวงจร Data path controller วงจรนี้จะเป็นวงจรแบบซิงโครนัส รูปที่ 3.63 แสดงแผนภูมิสายงานของการทำงานของวงจร สถานะของการทำงานของวงจรจะมีอยู่สองสถานะคือ สถานะ Count และสถานะ Wait เมื่อวงจรอยู่ในสถานะ Count สัญญาณ Count จะเป็น 1 สัญญาณ Wait จะเป็น 0 แต่เมื่อวงจรอยู่ในสถานะ Wait สัญญาณ Count จะเป็น 0 สัญญาณ Wait จะเป็น 1 เมื่อวงจรอยู่ในสถานะ Count จะทำให้วงจร Horizontal pixel counter และวงจร Vertical line counter เกิดการนับขึ้นภายในตัวนับทั้งสองและจะเพิ่มค่าขึ้นเรื่อยๆ ที่ขอบขาขึ้นของสัญญาณ DPC_CLK_13P5M จนค่าของ Ver_counter มากกว่า 631 สำหรับสัญญาณวีดิทัศน์ออกระบบ PAL หรือค่าของ Ver_counter มากกว่า 631 สำหรับสัญญาณวีดิทัศน์ออกระบบ NTSC จะทำให้การทำงานของวงจร Counter state ไปอยู่ที่สถานะ Wait ซึ่งจะส่งผลให้ทั้งวงจร Horizontal pixel counter และวงจร Vertical line counter หยุดนับจนกว่าสัญญาณ SYSTEM_RESET เป็น 1 วงจร Counter state ก็จะถูกตั้งค่าการทำงานใหม่กลับไปอยู่ในสถานะ Count การตั้งค่าการทำงานใหม่ของวงจรจะเป็นการตั้งค่าใหม่แบบอะซิงโครนัส รูปที่ 3.64 แสดงช่วงเวลาของสัญญาณ Ver_counter ที่จะทำให้วงจร Counter state อยู่ในสถานะต่างๆ

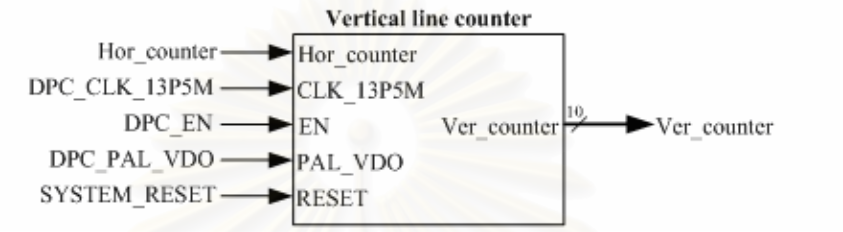


รูปที่ 3.63 แผนภูมิสายงานของการทำงานของวงจร Counter state

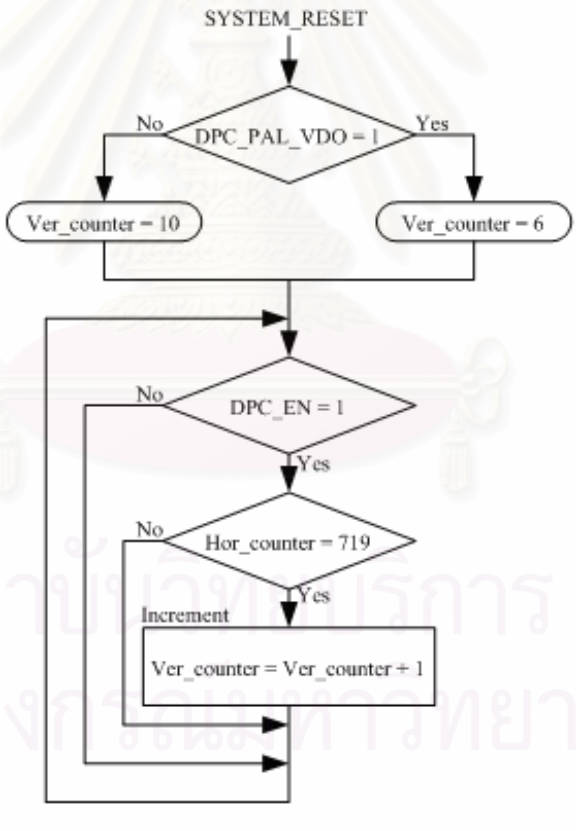


รูปที่ 3.64 แสดงช่วงเวลาของสัญญาณ Ver_counter ที่จะทำให้วงจร Counter state อยู่ในสถานะต่างๆ

วงจร Vertical line counter เป็นวงจรแบบซิงโครนัสทำงานที่ขอบขาขึ้นของสัญญาณ DPC_CLK_13P5M ดังในรูปที่ 3.65 เป็นวงจรที่ใช้ในการนับเส้นภาพเพื่อบอกว่าวงจร Data path controller กำลังทำงานอยู่ในเส้นภาพที่เท่าไหร่ การทำงานของวงจรได้แสดงไว้ในรูปที่ 3.66 เมื่อสัญญาณ SYSTEM_RESET เป็น 1 วงจรจะถูกตั้งค่าการทำงานใหม่ทำให้ Ver_counter มีค่าเท่ากับ 10 และ 6 เมื่อสัญญาณ DPC_PAL_VDO เป็น 0 (สัญญาณวีดิทัศน์ออกเป็นระบบ NTSC) และ 1 (สัญญาณวีดิทัศน์ออกเป็นระบบ PAL) ตามลำดับ และค่า Ver_counter จะเพิ่มค่าขึ้นหนึ่งค่าที่ขอบขาขึ้นของสัญญาณ DPC_CLK_13P5M เมื่อสัญญาณ DPC_EN เป็น 1 และค่าของ Hor_counter เท่ากับ 719



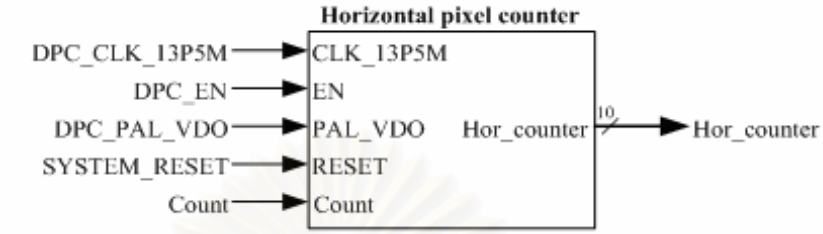
รูปที่ 3.65 โครงสร้างขาเข้าและขาออกของวงจร Vertical line counter



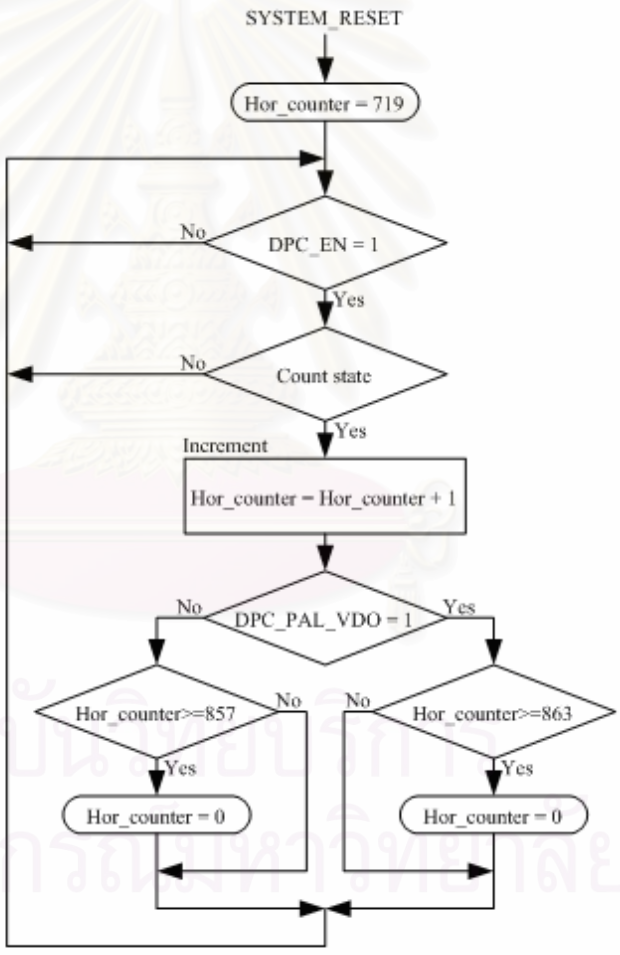
รูปที่ 3.66 การทำงานของวงจร Vertical line counter

วงจร Horizontal pixel counter เป็นวงจรแบบซิงโครนัสทำงานที่ขอบขาขึ้นของสัญญาณ DPC_CLK_13P5M ดังแสดงในรูปที่ 3.67 เป็นวงจรสำหรับนับตำแหน่งจุดภาพในแต่ละเส้นภาพ โดยตัวเลขของจุดภาพได้แสดงไว้ในรูปที่ 2.2 สำหรับวีดิทัศน์ระบบ PAL และรูปที่ 2.3 สำหรับวีดิทัศน์ระบบ NTSC รูปที่ 3.68 แสดงการทำงานของวงจรเมื่อสัญญาณ SYSTEM_RESET เป็น 1 วงจรจะถูกตั้งค่าการทำงานใหม่ทำให้

Hor_counter มีค่าเท่ากับ 719 เมื่อสัญญาณ DPC_EN เป็น 1 และวงจร Counter state อยู่ในสถานะ count ค่า Hor_counter จะเพิ่มขึ้นครั้งละหนึ่งค่าและจะเป็น 0 เมื่อมีค่ามากกว่าหรือเท่ากับ 857 สำหรับสัญญาณวีดิทัศน์ออกระบบ NTSC (สัญญาณ DPC_PAL_VDO มีค่าเป็น 0) หรือมากกว่าหรือเท่ากับ 863 สำหรับสัญญาณวีดิทัศน์ออกระบบ PAL (สัญญาณ DPC_PAL_VDO มีค่าเป็น 1)



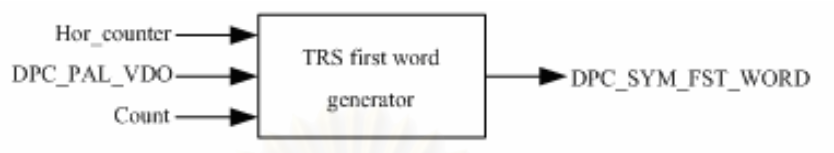
รูปที่ 3.67 โครงสร้างขาเข้าและขาออกของวงจร Horizontal pixel counter



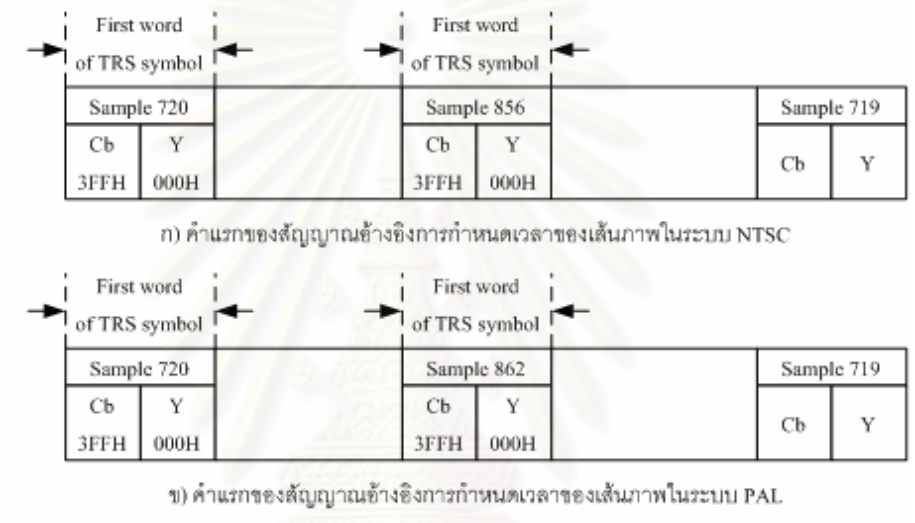
รูปที่ 3.68 การทำงานของวงจร Horizontal pixel counter

วงจร TRS first word generator เป็นวงจรแบบอะซิงโครนัสดังแสดงในรูปที่ 3.69 เป็นวงจรสำหรับกำเนิดสัญญาณ DPC_SYM_FST_WORD ให้กับวงจร Data path เพื่อบอกให้รู้ว่าสถานะการทำงานของวงจร Data path controller ในขณะนั้นว่าเป็นช่วงเวลาของคำแรกของสัญญาณอ้างอิงการกำหนดเวลา (Timing Reference Signal : TRS) และต้องการให้วงจร Data path ส่งข้อมูลคำแรกออกมาที่สัญญาณออก DP_DOUT

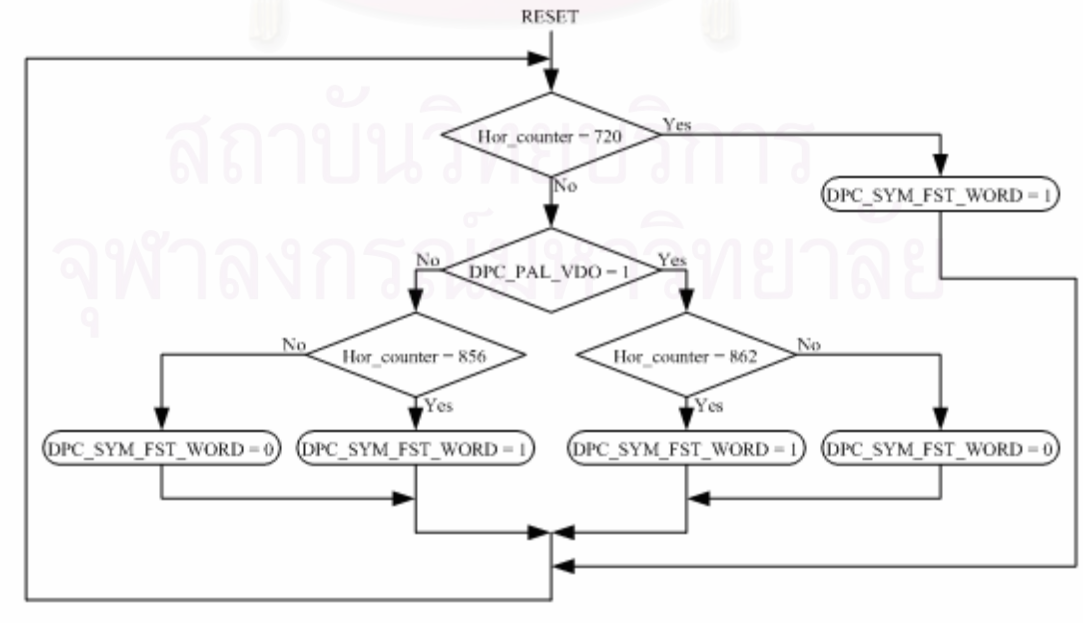
รูปที่ 3.70 แสดงช่วงเวลาที่เกิดคำแรกในเส้นภาพของสัญญาณวีดิทัศน์ออกระบบ PAL และ NTSC และรูปที่ 3.71 แสดงการทำงานของวงจร TRS first word generator สัญญาณ DPC_SYM_FST_WORD จะเป็น 1 เมื่อค่าของ Hor_counter เท่ากับ 720 หรือค่าของ Hor_counter เท่ากับ 856 สำหรับสัญญาณวีดิทัศน์ออกของระบบ NTSC (สัญญาณ DPC_PAL_VDO มีค่าเท่ากับ 0) หรือเท่ากับ 862 สำหรับสัญญาณวีดิทัศน์ออกของระบบ PAL (สัญญาณ DPC_PAL_VDO มีค่าเท่ากับ 1)



รูปที่ 3.69 โครงสร้างขาเข้าและขาออกของวงจร TRS first word generator

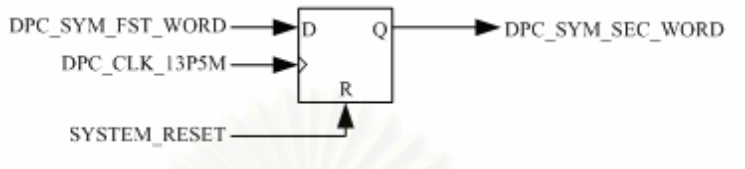


รูปที่ 3.70 ช่วงเวลาที่เกิดคำแรกของสัญญาณอ้างอิงการกำหนดเวลาในเส้นภาพของสัญญาณวีดิทัศน์ออกระบบ PAL และ NTSC

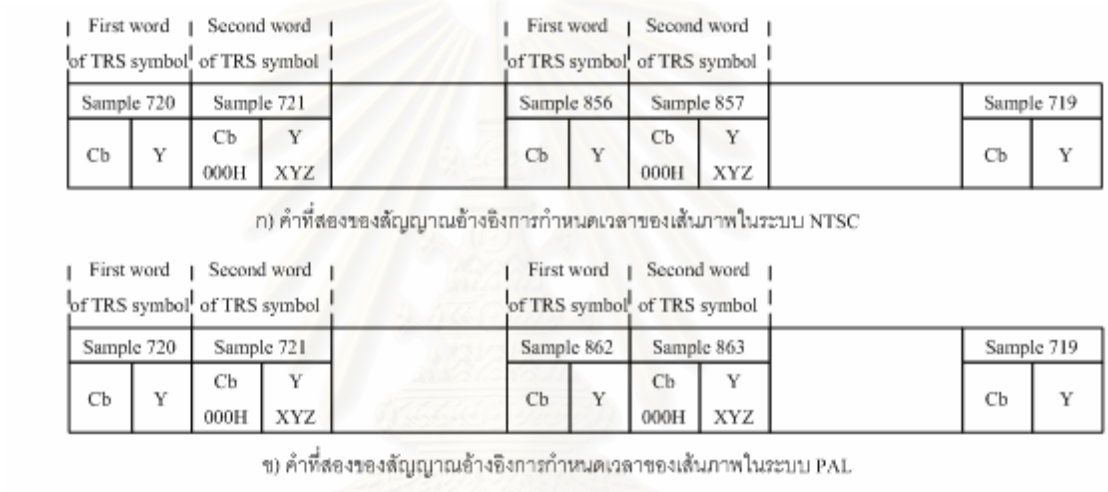


รูปที่3.71 การทำงานของวงจร TRS first word generator

รูปที่ 3.72 แสดงวงจรที่ใช้กำเนิดสัญญาณ DPC_SYM_SEC_WORD ซึ่งเป็นวงจรแบบซิงโครนัสทำงานที่ขอบขาขึ้นของสัญญาณ DPC_CLK_13P5M เพื่อหน่วงเวลาของสัญญาณ DPC_SYM_FST_WORD เป็นเวลาเท่ากับสัญญาณนาฬิกาหนึ่งลูก (หนึ่งจุดภาพ) เนื่องจากคำที่สองของสัญญาณอ้างอิงการกำหนดเวลาจะช้ากว่าคำแรกอยู่หนึ่งจุดภาพดังในรูปที่ 3.73

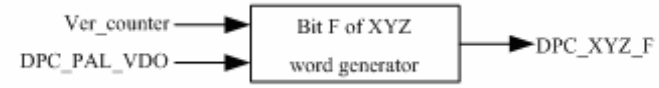


รูปที่ 3.72 โครงสร้างขาเข้าและขาออกของวงจรที่ใช้กำเนิดสัญญาณ DPC_SYM_SEC_WORD

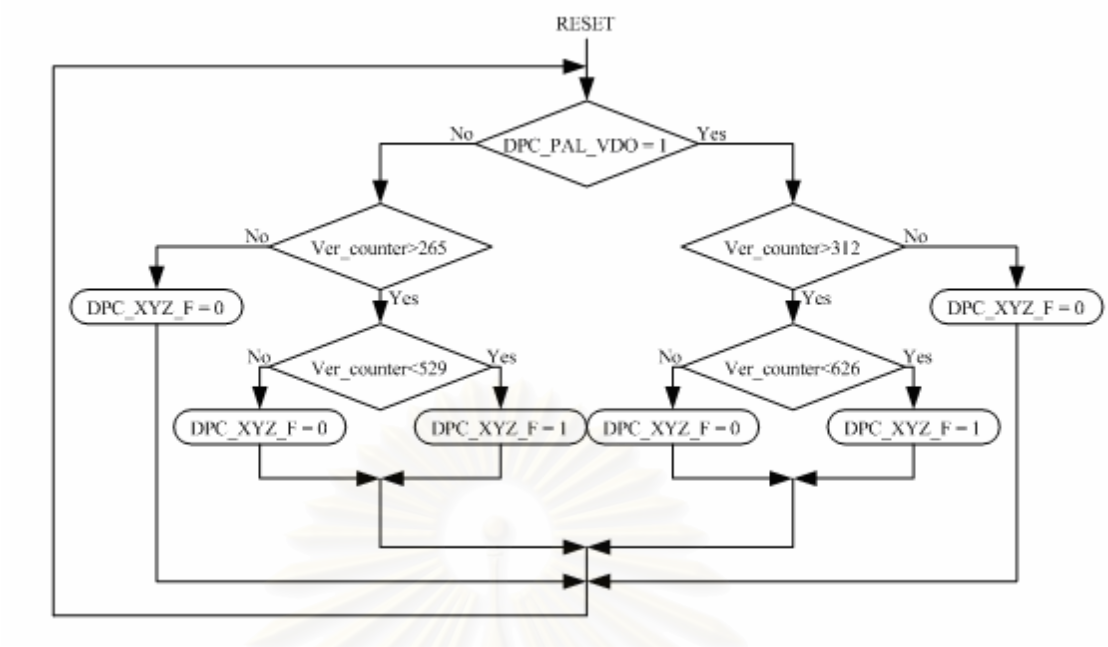


รูปที่ 3.73 ช่วงเวลาที่เกิดคำที่สองของสัญญาณอ้างอิงการกำหนดเวลาในเส้นภาพของสัญญาณวีดิทัศน์ออกระบบ PAL และ NTSC

วงจร Bit F of XYZ word generator เป็นวงจรแบบอะซิงโครนัสดังในรูปที่ 3.74 เป็นวงจรสร้างบิต F ของคำ XYZ ในสัญญาณอ้างอิงการกำหนดเวลาดังแสดงในรูปที่ 2.4 ที่มีการทำงานดังในรูปที่ 3.75 โดยสัญญาณ DPC_XYZ_F จะเป็น 0 เมื่อค่า Ver_counter มีค่าน้อยกว่าหรือเท่ากับ 265 สำหรับสัญญาณวีดิทัศน์ออกระบบ NTSC (สัญญาณ DPC_PAL_VDO มีค่าเป็น 0) หรือเมื่อ Ver_counter มีค่าน้อยกว่าหรือเท่ากับ 312 สำหรับสัญญาณวีดิทัศน์ออกระบบ PAL (สัญญาณ DPC_PAL_VDO มีค่าเป็น 1) และสัญญาณ DPC_XYZ_F จะเป็น 1 เมื่อค่า Ver_counter มีค่าน้อยกว่า 529 สำหรับสัญญาณวีดิทัศน์ออกระบบ NTSC หรือเมื่อค่า Ver_counter มีค่าน้อยกว่า 626 สำหรับสัญญาณวีดิทัศน์ออกระบบ PAL

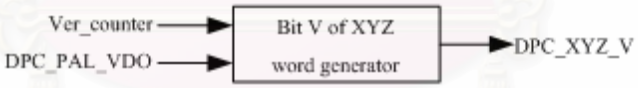


รูปที่ 3.74 โครงสร้างขาเข้าและขาออกของวงจร Bit F of XYZ word generator



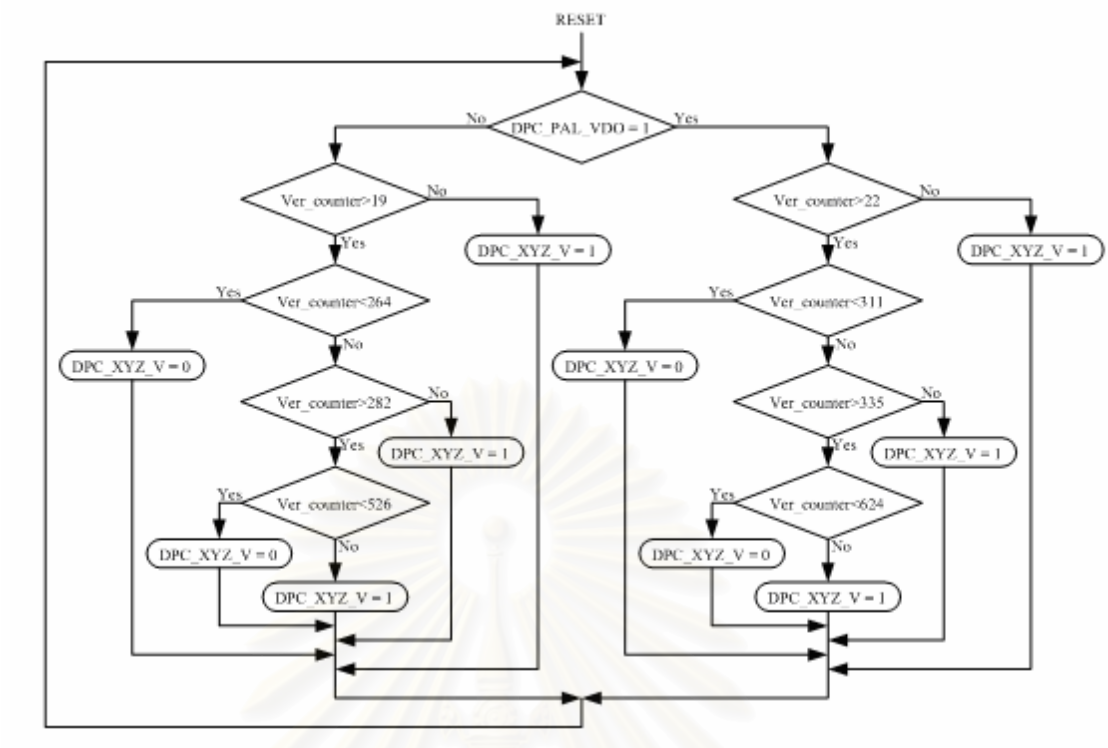
รูปที่ 3.75 การทำงานของวงจร Bit F of XYZ word generator

วงจร Bit V of XYZ word generator เป็นวงจรแบบอะซิงโครนัสแสดงในรูปที่ 3.76 เพื่อสร้างบิต V ของคำ XYZ ในสัญญาณอ้างอิงการกำหนดเวลาดังแสดงในรูปที่ 2.4 ที่มีการทำงานดังในรูปที่ 3.77 เมื่อสัญญาณวีดิทัศน์ออกเป็นระบบ NTSC สัญญาณ DPC_XYZ_V เป็น 0 เมื่อ Ver_counter มีค่า 19 < Ver_counter < 264 และ 282 < Ver_counter < 526 ถ้า Ver_counter เป็นค่าอื่นนอกจากนี้สัญญาณ DPC_XYZ_V จะมีค่าเป็น 1 เมื่อสัญญาณวีดิทัศน์ออกเป็นระบบ PAL สัญญาณ DPC_XYZ_V เป็น 0 เมื่อ Ver_counter มีค่า 22 < Ver_counter < 311 และ 335 < Ver_counter < 624 ถ้า Ver_counter เป็นค่าอื่นนอกจากนี้สัญญาณ DPC_XYZ_V จะมีค่าเป็น 1



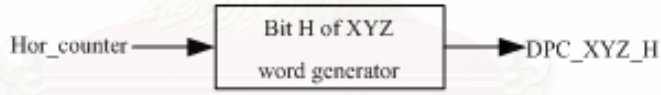
รูปที่ 3.76 โครงสร้างขาเข้าและขาออกของวงจร Bit V of XYZ word generator

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

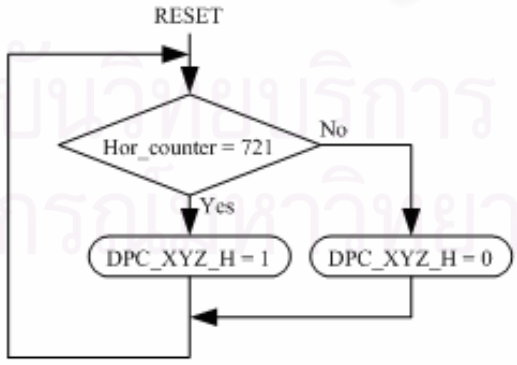


รูปที่ 3.77 การทำงานของวงจร Bit V of XYZ word generator

วงจร Bit H of XYZ word generator เป็นวงจรแบบอะซิงโครนัสแสดงในรูปที่ 3.78 เพื่อสร้างบิต H ของคำ XYZ ในสัญญาณอ้างอิงการกำหนดเวลาดังแสดงในรูปที่ 2.4 ที่มีการทำงานดังในรูปที่ 3.79 โดยสัญญาณ DPC_XYZ_H จะเป็น 1 เมื่อ Hor_counter มีค่าเท่ากับ 721 และเป็น 0 เมื่อ Hor_counter มีค่าไม่เท่ากับ 721



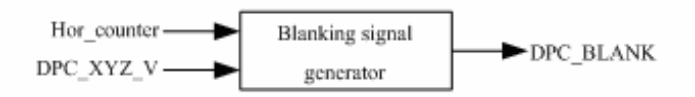
รูปที่ 3.78 โครงสร้างขาเข้าและขาออกของวงจร Bit H of XYZ word generator



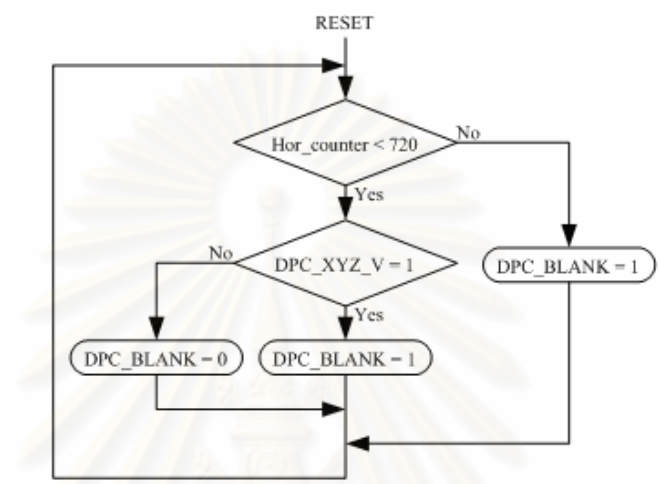
รูปที่ 3.79 การทำงานของวงจร Bit H of XYZ word generator

วงจร Blanking signal generator เป็นวงจรแบบอะซิงโครนัสแสดงในรูปที่ 3.80 และรูปที่ 3.81 แสดงการทำงานของวงจรเพื่อสร้างสัญญาณ DPC_BLANK ส่งให้กับวงจร Data path เพื่อบอกสถานะการทำงานของสัญญาณวีดิทัศน์ว่าอยู่ในช่วงการเว้นว่างหรือไม่ ถ้าอยู่ในช่วงการเว้นว่างสัญญาณ DPC_BLANK จะมีค่าเป็น

1 แต่ถ้าอยู่ในช่วงวีดิทัศน์แอ็กทิฟสัญญาณ DPC_BLANK จะมีค่าเป็น 0 รูปที่ 2.5 และ 2.6 แสดงช่วงเวลาของเฟรมวีดิทัศน์ระบบ PAL และ NTSC ตามลำดับ

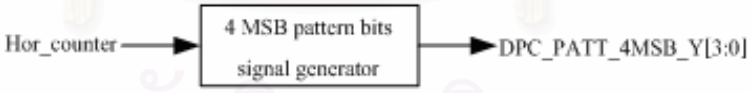


รูปที่ 3.80 โครงสร้างขาเข้าและขาออกของวงจร Blanking signal generator

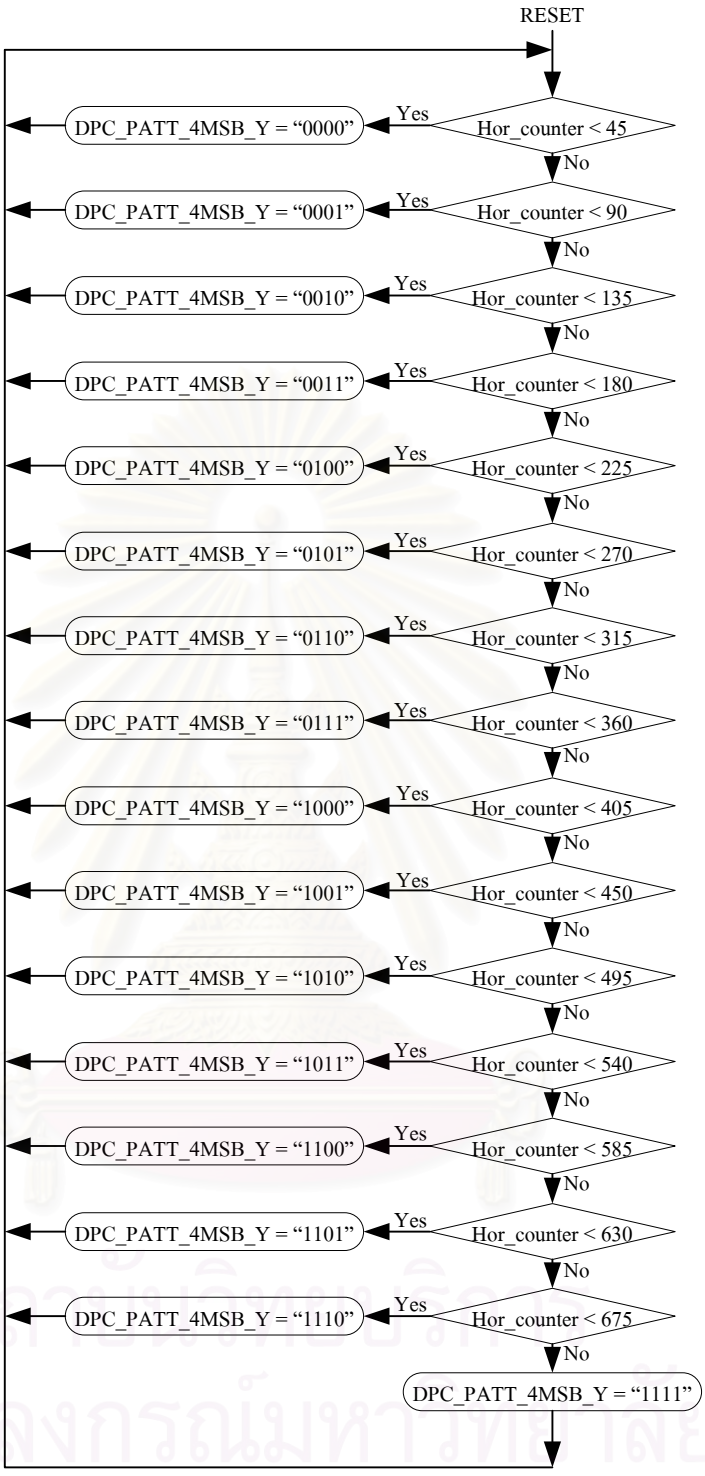


รูปที่ 3.81 การทำงานของวงจร Blanking signal generator

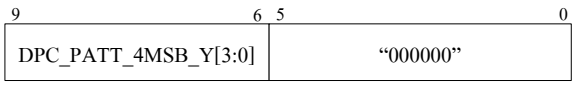
วงจร 4 MSB pattern bits signal generator เป็นวงจรแบบอะซิงโครนัสแสดงในรูปที่ 3.82 ที่มีการทำงานดังในรูปที่ 3.83 เพื่อสร้างสัญญาณภาพทดสอบที่กำเนิดขึ้นภายในวงจรนี้ สัญญาณขาออกคือสัญญาณ DPC_PATT_4MSB_Y[3:0] จะถูกใช้เป็นสัญญาณความสว่างขนาด 4 บิตซึ่งเป็นสัญญาณความสว่าง 4 บิตบนของสัญญาณความสว่าง 10 บิตดังแสดงในรูปที่ 3.84 ทำให้สัญญาณภาพขาออกบนจอวีดิทัศน์จะเป็นภาพขาวดำที่มีลักษณะเป็นแท่งในแนวตั้งจำนวน 16 แท่งที่มีความสว่างไล่กันดังในรูปที่ 3.85



รูปที่ 3.82 โครงสร้างขาเข้าและขาออกของวงจร 4 MSB pattern bits signal generator



รูปที่ 3.83 การทำงานของวงจร 4 MSB pattern bits signal generator

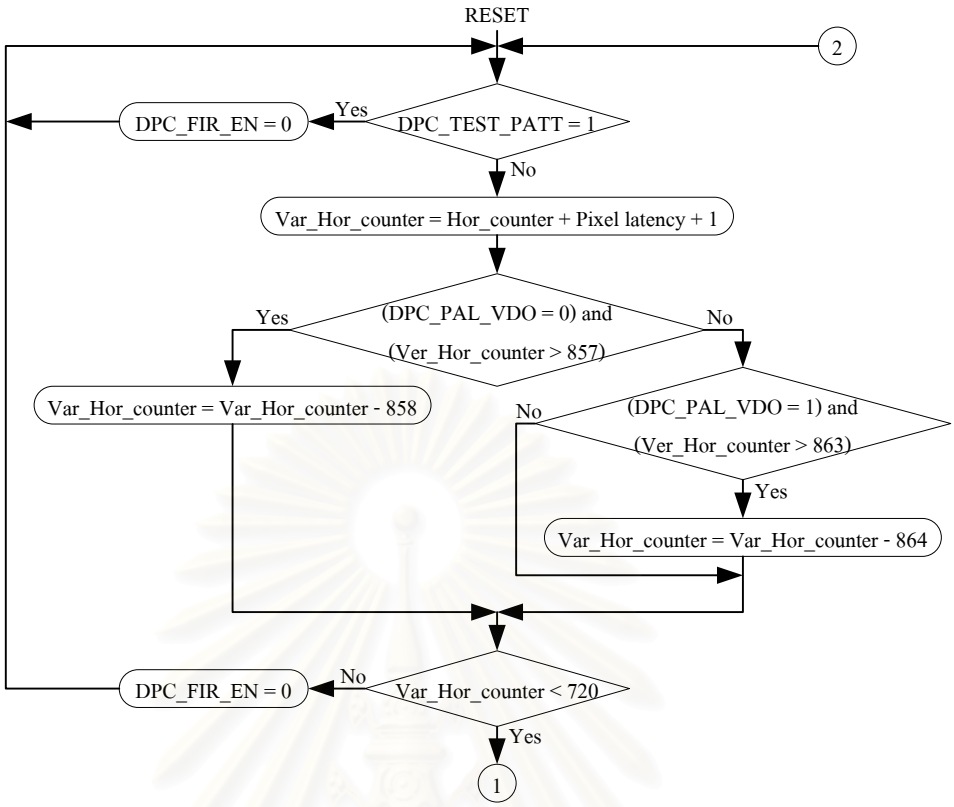


รูปที่ 3.84 การเรียงข้อมูลบิตของสัญญาณความสว่าง 10 บิตที่มีสัญญาณ DPC_PATT_4MSB_Y[3:0]

รูปที่ 3.85 ภาพทดสอบที่ปรากฏบนจอวีดิทัศน์

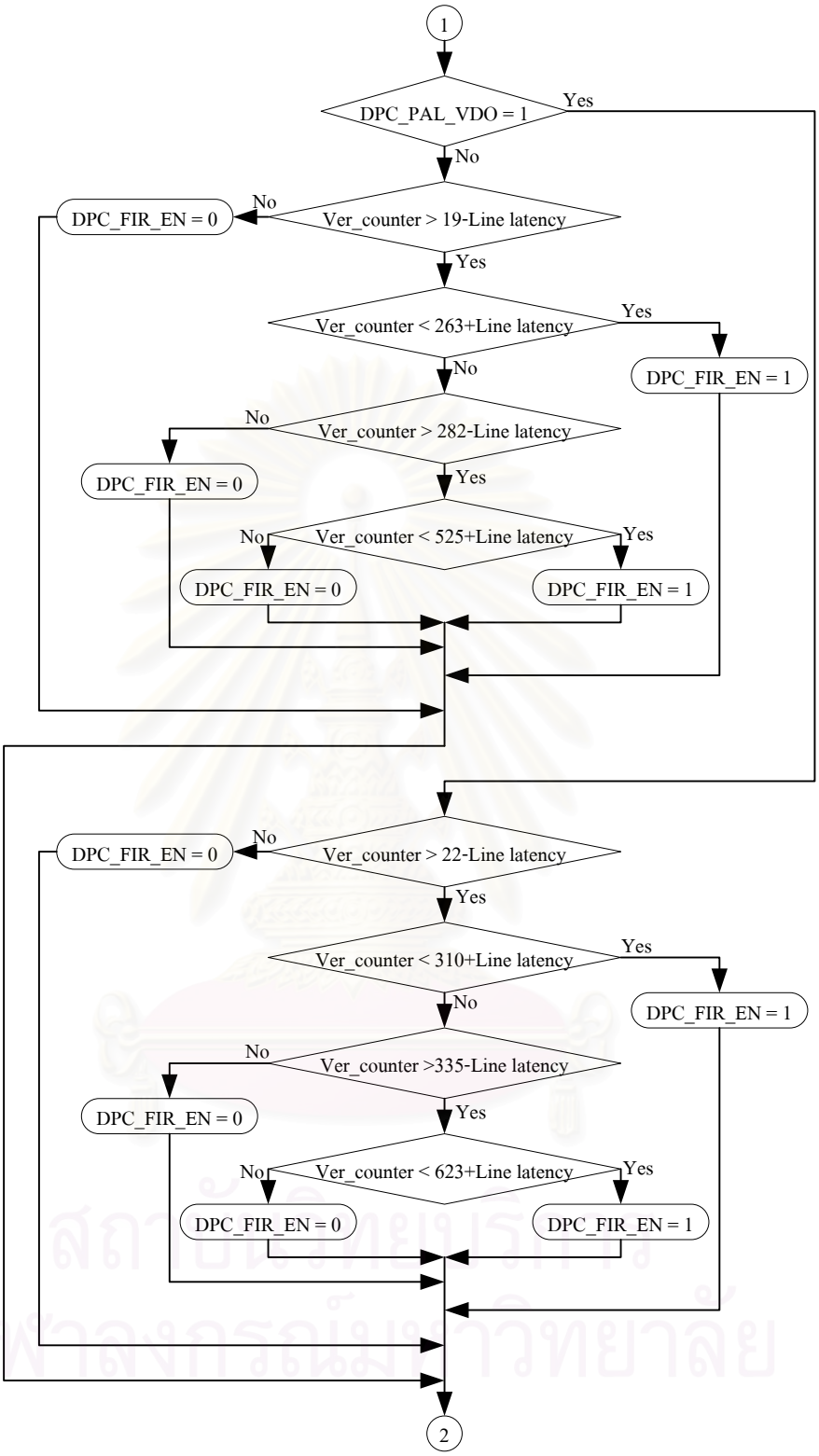
วงจร FIR filter enable signal generator เป็นวงจรแบบอะซิงโครนัสแสดงในรูปที่ 3.86 ที่มีการทำงานดังในรูปที่ 3.87 และ 3.88 เพื่อสร้างสัญญาณ DPC_FIR_EN ไปควบคุมวงจรกรองสองมิติให้รับข้อมูลภาพเข้าไปประมวลผลภายในและส่งข้อมูลที่ประมวลผลแล้วออกมาให้กับวงจร EAV and SAV symbol addition เมื่อมีการกำหนดให้ภาพออกที่จอวีดิทัศน์เป็นภาพที่เอฟพีจีเอสร้างขึ้น (สัญญาณ DPC_TEST_PATT เป็น 1) วงจรกรองสองมิติก็จะไม่ถูกเปิดใช้งาน (สัญญาณ DPC_FIR_EN เป็น 0) แต่ถ้ากำหนดให้ภาพออกที่จอวีดิทัศน์เป็นภาพที่เอฟพีจีเอได้รับจากตัวประมวลสัญญาณดิจิทัลวงจร FIR filter enable signal generator จะคำนวณตำแหน่งเพื่อหาช่วงเวลาที่จะส่งสัญญาณไปควบคุมวงจรกรองให้เปิดใช้งาน ตัวแปร Var_Hor_counter ถูกนำมาใช้ในการคำนวณหาตำแหน่งจุดภาพที่จะเปิดใช้งานวงจรกรองในแต่ละเส้นภาพซึ่งจะอยู่ในช่วงแอ็กทิฟของเส้นภาพ แต่เนื่องจากโครงสร้างของวงจรกรองสองมิติมีเวลาแฝง (latency) อยู่ 2 เส้นภาพและ 11 จุดภาพดังนั้นในการคำนวณแต่ละเส้นภาพจึงต้องบวกค่า Hor_counter ด้วยค่าเวลาแฝงจุดภาพ (pixel latency) ซึ่งเท่ากับ 11 และจะต้องบวกอีก 1 เนื่องจากการหน่วงเวลาของวงจร Delay 1 line ภายในวงจรกรอง จากนั้นจึงตรวจสอบค่าในตัวแปร Var_Hor_counter ว่ามีค่ามากกว่าตำแหน่งจุดภาพที่มากที่สุดในเส้นภาพของสัญญาณวีดิทัศน์ของระบบที่ใช้หรือไม่ ถ้ามากกว่าก็จะลบค่า Var_Hor_counter ด้วยจำนวนจุดภาพของเส้นภาพในระบบที่ใช้ (858 สำหรับระบบ NTSC และ 864 สำหรับระบบ PAL) จากนั้นจึงตรวจสอบว่า Var_Hor_counter มีค่าอยู่ในช่วงแอ็กทิฟของเส้นภาพหรือไม่ ถ้าอยู่ในช่วงการเว้นว่างแนวนอนสัญญาณ DPC_FIR_EN จะเป็น 0 แต่ถ้าอยู่ในช่วงแอ็กทิฟของเส้นภาพก็จะตรวจสอบว่าตำแหน่งของเส้นภาพนั้นอยู่ในช่วงแอ็กทิฟในแต่ละฟิลด์บวกลบเวลาแฝงเส้นภาพ (line latency) หรือไม่ ถ้าอยู่ในช่วงนี้สัญญาณ DPC_FIR_EN จะเป็น 1 แต่ถ้าไม่ได้อยู่ในช่วงนี้สัญญาณก็จะเป็น 0 ช่วงเวลาของค่าของสัญญาณ DPC_FIR_EN เทียบกับสัญญาณภาพในแต่ละฟิลด์แสดงดังในรูปที่ 3.89

รูปที่ 3.86 โครงสร้างขาเข้าและขาออกของวงจร FIR filter enable signal generator

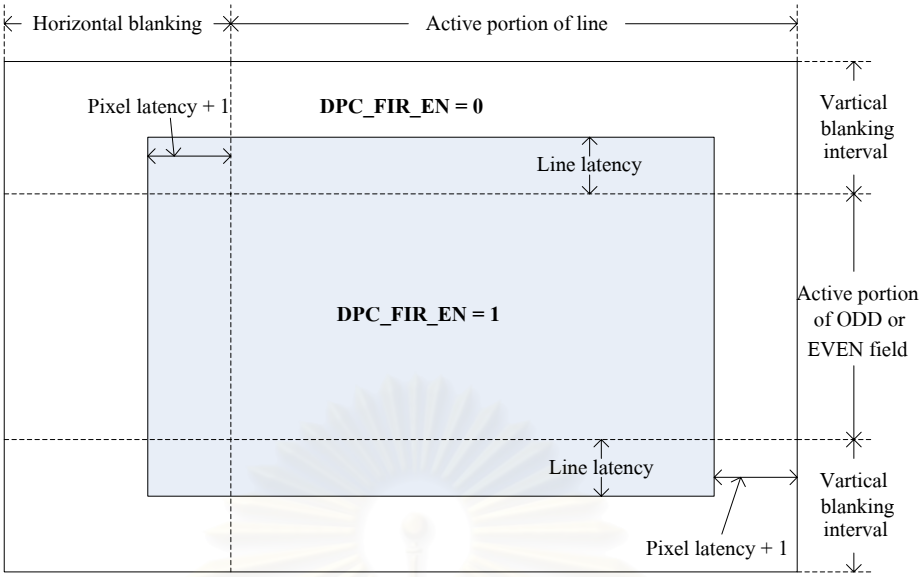


รูปที่ 3.87 การทำงานของวงจร FIR filter enable signal generator

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



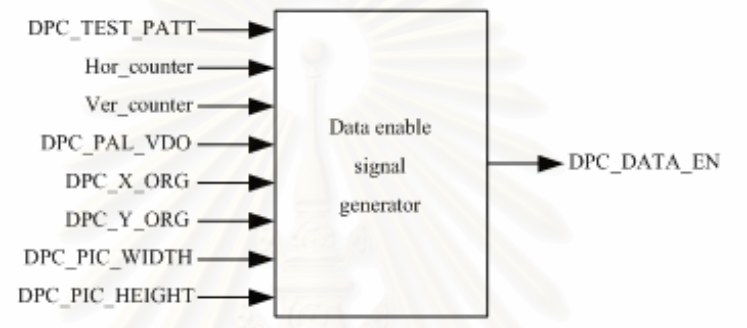
รูปที่ 3.88 การทำงานของวงจร FIR filter enable signal generator (ต่อ)



รูปที่ 3.89 ช่วงเวลาของค่าของสัญญาณ DPC_FIR_EN เทียบกับสัญญาณภาพในแต่ละฟิลด์

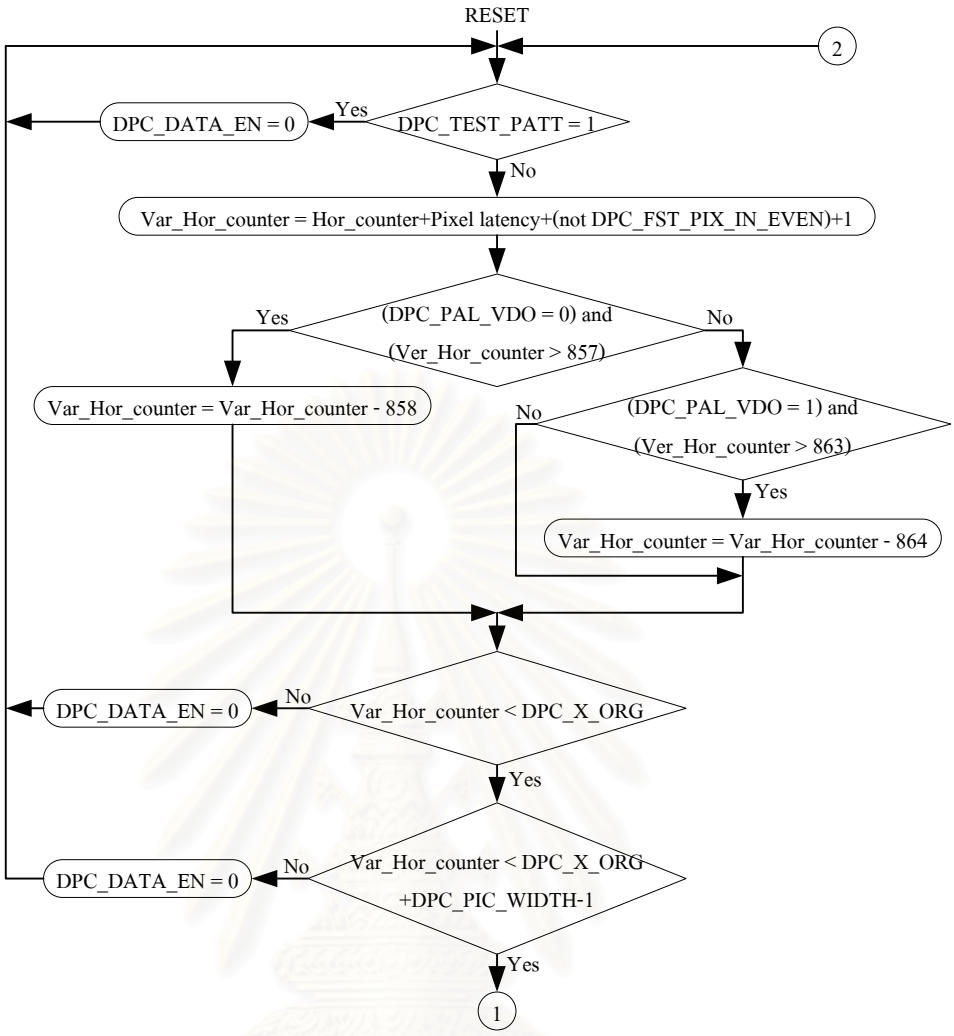
วงจร Data enable signal generator เป็นวงจรแบบอะซิงโครนัสดังแสดงในรูปที่ 3.90 ที่มีการทำงานดังในรูปที่ 3.91 และ 3.92 เพื่อสร้างสัญญาณ DPC_DATA_EN ไปควบคุมวงจร Line Buffer FIFO และวงจร Zero padding ในการส่งข้อมูลให้กับวงจรกรองสองมิติ เมื่อมีการกำหนดให้ภาพออกที่จอวีดิทัศน์เป็นภาพที่เอฟพีจีเอสร้างขึ้น (สัญญาณ DPC_TEST_PATT เป็น 1) วงจร Line Buffer FIFO และวงจร Zero padding ก็จะไม่ถูกเปิดใช้งาน (สัญญาณ DPC_DATA_EN เป็น 0) ทำให้ข้อมูลจากวงจร Line Buffer FIFO ไม่ถูกอ่านออกมา แต่ถ้ากำหนดให้ภาพออกที่จอวีดิทัศน์เป็นภาพที่เอฟพีจีเอได้รับจากตัวประมวลสัญญาณดิจิทัลวงจร Data enable signal generator จะคำนวณตำแหน่งเพื่อหาช่วงเวลาที่จะส่งสัญญาณไปควบคุมวงจรทั้งสองให้เปิดใช้งาน ตัวแปร Var_Hor_counter ถูกนำมาใช้ในการคำนวณหาตำแหน่งจุดภาพที่จะเปิดใช้งานวงจรทั้งสองในแต่ละเส้นภาพซึ่งจะอยู่ในช่วงแอ็กทิฟของเส้นภาพ แต่เนื่องจากโครงสร้างของวงจรกรองสองมิติมีเวลาแฝงอยู่ดังนั้นในการคำนวณแต่ละเส้นภาพจึงต้องบวกค่า Hor_counter ด้วยค่าเวลาแฝงจุดภาพซึ่งเท่ากับ 11 จุดภาพบวก 1 เนื่องจากการหน่วงเวลาของวงจร Delay 1 line ภายในวงจรกรองและต้องบวกค่าผกผันของสัญญาณ DPC_FST_PIX_IN_EVEN เนื่องจากถ้าสัญญาณนี้เป็น 1 จุดภาพแรกจะอยู่ที่ตำแหน่ง Y0 ของข้อมูลขนาด 32 บิตแรกของแต่ละเส้นภาพที่ตัวประมวลสัญญาณดิจิทัลส่งมาให้กับเอฟพีจีเอ แต่ถ้าสัญญาณนี้เป็น 0 จุดภาพแรกจะอยู่ที่ตำแหน่ง Y1 ของข้อมูลขนาด 32 บิตแรกของแต่ละเส้นภาพที่ตัวประมวลสัญญาณดิจิทัลส่งมาให้กับเอฟพีจีเอดังนั้นสัญญาณ DPC_DATA_EN จึงต้องเกิดเร็วขึ้นหนึ่งจุดภาพเพื่อให้จุดภาพจุดแรกในส่วนของความสว่างเกิดบนจอภาพที่ตำแหน่งเดียวกัน จากนั้นจึงตรวจสอบค่าในตัวแปร Var_Hor_counter ว่ามีค่ามากกว่าตำแหน่งจุดภาพที่มากที่สุดในเส้นภาพของสัญญาณวีดิทัศน์ของระบบที่ใช้หรือไม่ ถ้ามากกว่าก็จะลบค่า Var_Hor_counter ด้วยจำนวนจุดภาพของเส้นภาพในระบบที่ใช้ (858 สำหรับระบบ NTSC และ 864 สำหรับระบบ PAL) จากนั้นจึงตรวจสอบว่า Var_Hor_counter มีค่าอยู่ในช่วงแอ็กทิฟของเส้นภาพในบริเวณที่ต้องการแสดงหรือไม่ (บริเวณที่ต้องการแสดงภาพที่ได้รับมาจากตัวประมวลสัญญาณดิจิทัลในแต่ละเส้นภาพจะเริ่มจากจุดที่มีตำแหน่งตรงกับสัญญาณ DPC_X_ORG จนถึงจุดที่มีตำแหน่งตรงกับค่า DPC_X_ORG + DPC_PIC_WIDTH – 1) ถ้าอยู่นอกบริเวณนี้สัญญาณ DPC_DATA_EN จะเป็น 0 แต่ถ้าอยู่ในบริเวณนี้วงจรจะคำนวณว่าตำแหน่งของเส้นภาพนั้นอยู่ในบริเวณที่ต้องการแสดงหรือไม่ ตัวแปร Var_Ver_counter จะถูกใช้

ในการคำนวณหาตำแหน่งของเส้นภาพโดยการนำค่า Ver_counter บวกกับค่าเวลาแฝงเส้นภาพ (Line latency) แล้วตรวจสอบว่าค่าของ Var_Ver_counter อยู่ในบริเวณเส้นภาพที่ต้องการแสดงหรือไม่ บริเวณเส้นภาพที่ต้องการแสดงภาพที่ได้รับมาจากตัวประมวลสัญญาณดิจิทัลบนจอวีดิทัศน์เริ่มจากเส้นภาพเส้นแรกในแต่ละฟิลด์บวกกับค่าของตัวแปร Var_Y_ORG (หาได้จากการนำสัญญาณ DPC_Y_ORG มาหารด้วยสอง) จนถึงเส้นภาพที่มีค่าเท่ากับเส้นภาพเส้นแรกในแต่ละฟิลด์บวกกับค่าของตัวแปร Var_Y_ORG และบวกกับค่า Var_Height (หาได้จากการนำสัญญาณ DPC_PIC_HEIGHT มาหารด้วยสอง) ถ้าอยู่ในช่วงนี้สัญญาณ DPC_DATA_EN จะเป็น 1 แต่ถ้าไม่ได้อยู่ในช่วงนี้สัญญาณก็จะเป็น 0 ช่วงเวลาของค่าของสัญญาณ DPC_DATA_EN เทียบกับสัญญาณภาพในแต่ละฟิลด์แสดงดังในรูปที่ 3.93



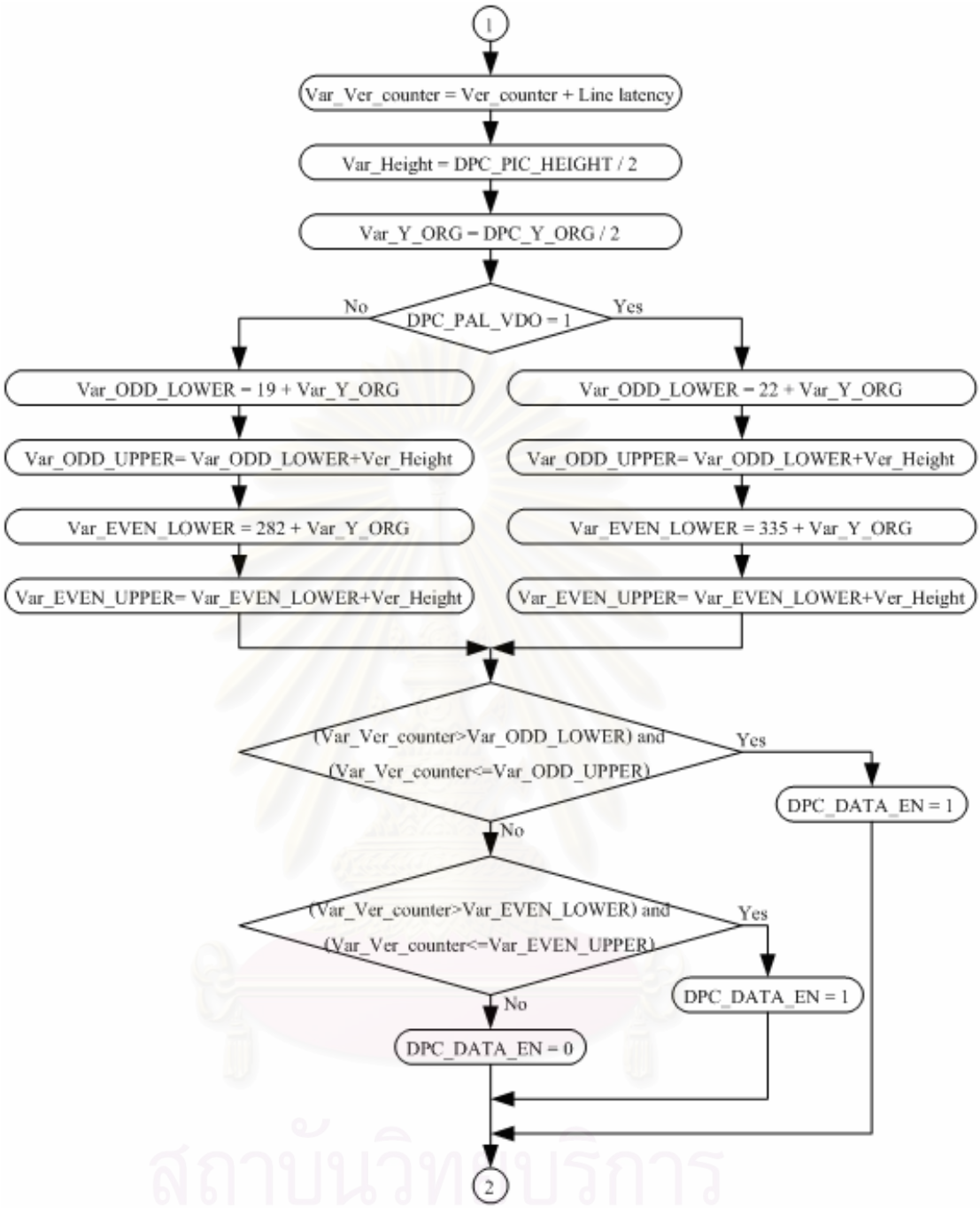
รูปที่ 3.90 โครงสร้างขาเข้าและขาออกของวงจร Data enable signal generator

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



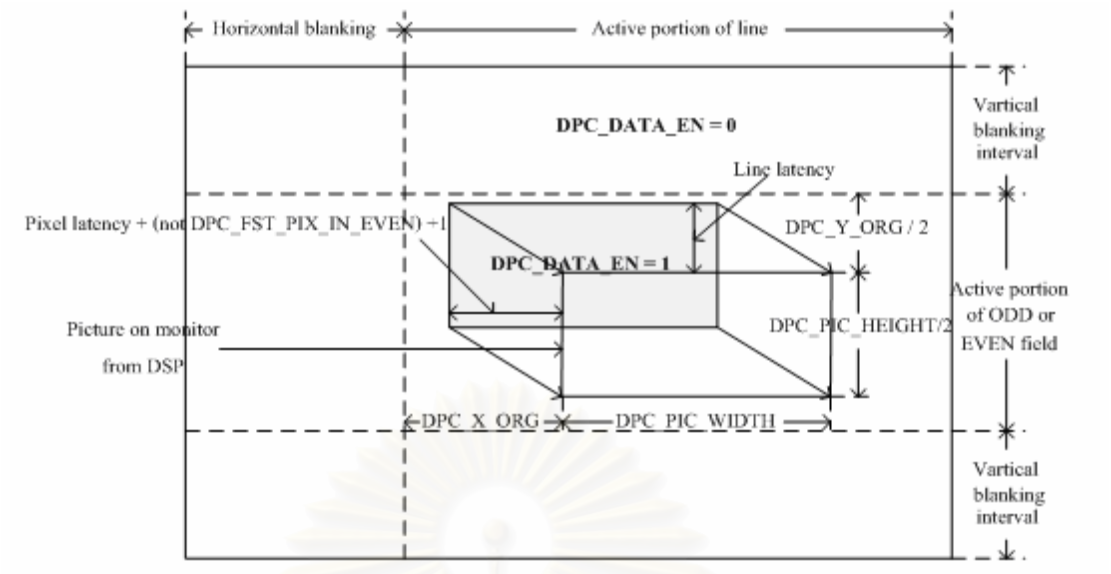
รูปที่ 3.91 การทำงานของวงจร Data enable signal generator

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



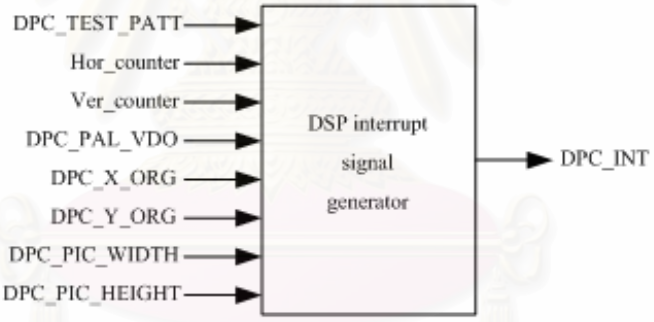
รูปที่ 3.92 การทำงานของวงจร Data enable signal generator (ต่อ)

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 3.93 ช่วงเวลาของค่าของสัญญาณ DPC_DATA_EN เทียบกับสัญญาณภาพในแต่ละฟิลด์

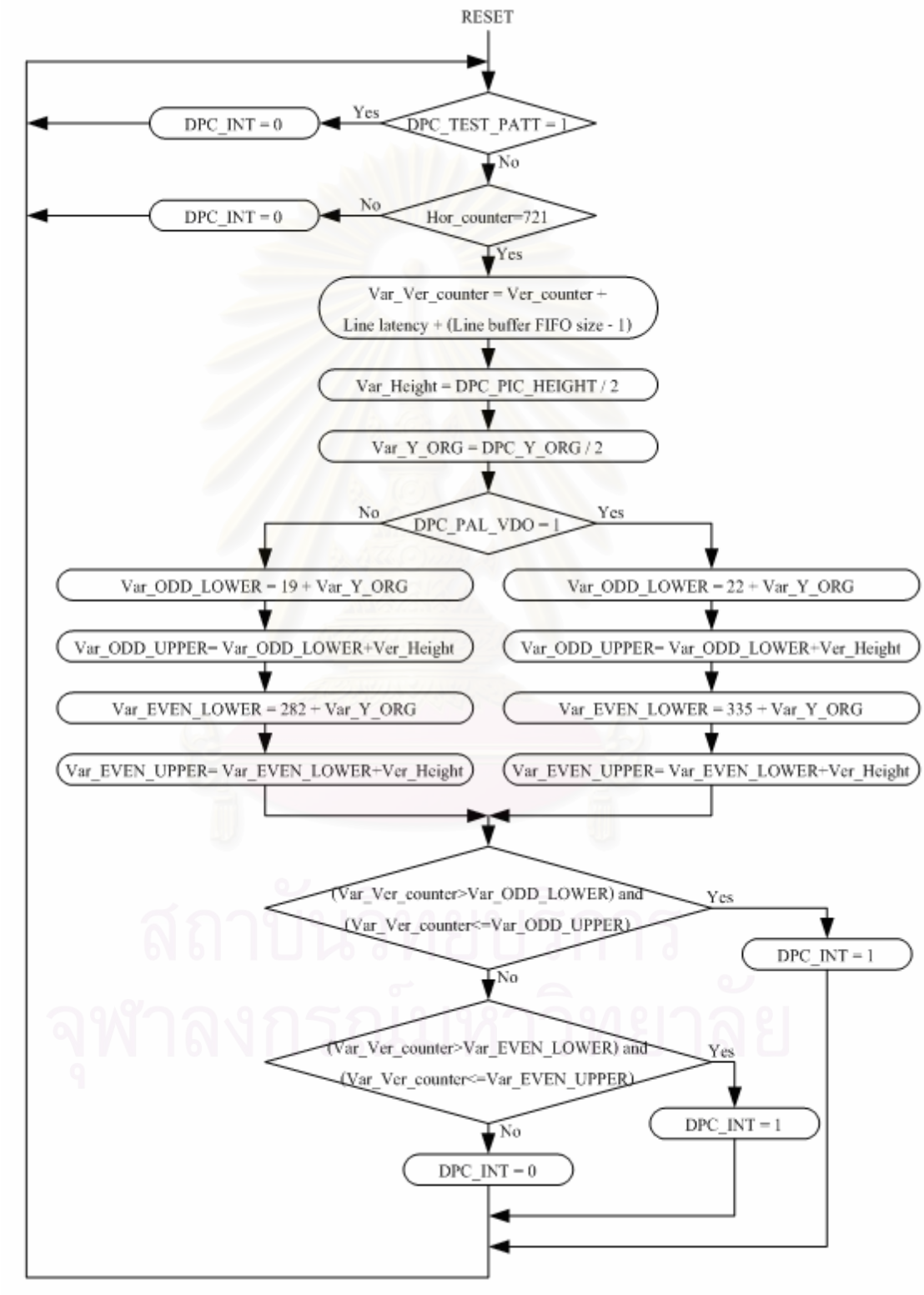
วงจร DSP interrupt signal generator เป็นวงจรแบบอะซิงโครนัสแสดงในรูปที่ 3.94 ที่มีการทำงานดังในรูปที่ 3.95 เพื่อส่งสัญญาณ DPC_INT ไปขัดจังหวะการทำงานของตัวประมวลสัญญาณดิจิทัลผ่านช่องทางขัดจังหวะที่ 5 ของตัวประมวลสัญญาณดิจิทัลในการขอข้อมูลภาพหนึ่งเส้นภาพมาให้กับเอฟพีจีเอ



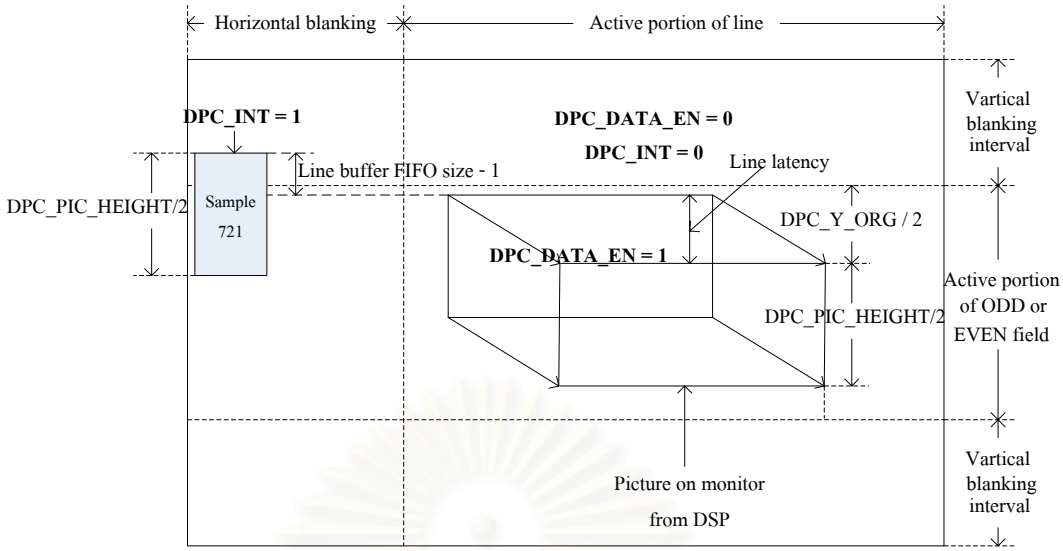
รูปที่ 3.94 โครงสร้างขาเข้าและขาออกของวงจร DSP interrupt signal generator

เมื่อมีการกำหนดให้ภาพออกที่จอวีดิทัศน์เป็นภาพที่เอฟพีจีเอสร้างขึ้น (สัญญาณ DPC_TEST_PATT เป็น 1) เอฟพีจีเอจะไม่มีการส่งสัญญาณขัดจังหวะไปยังตัวประมวลสัญญาณดิจิทัล (สัญญาณ DPC_INT เป็น 0) แต่ถ้ากำหนดให้ภาพออกที่จอวีดิทัศน์เป็นภาพที่เอฟพีจีเอได้รับจากตัวประมวลสัญญาณดิจิทัลวงจรจะคำนวณตำแหน่งเพื่อหาช่วงเวลาในการส่งสัญญาณขัดจังหวะ สัญญาณ DPC_INT จะเป็น 0 เมื่อ Hor_counter มีค่าไม่เท่ากับ 721 และเมื่อ Hor_counter มีค่าเท่ากับ 721 วงจรจะคำนวณว่าเส้นภาพนั้นเป็นเส้นภาพที่อยู่ในช่วงที่จะต้องส่งสัญญาณขัดจังหวะออกไปหรือไม่ โดยตัวแปร Var_Ver_counter จะถูกใช้ในการคำนวณหาตำแหน่งของเส้นภาพโดยการนำค่า Ver_counter บวกกับค่าเวลาแฝงเส้นภาพและบวกกับจำนวนของเส้นภาพที่วงจร Line buffer FIFO สามารถเก็บได้ซึ่งเท่ากับ 2 เส้นแล้วลบด้วยหนึ่ง แล้วตรวจสอบว่าค่าของ Var_Ver_counter อยู่ในบริเวณเส้นภาพที่ต้องการแสดงหรือไม่ บริเวณเส้นภาพที่ต้องการส่งสัญญาณขัดจังหวะไปให้ตัวประมวลสัญญาณดิจิทัลเริ่มจากเส้นภาพเส้นแรกในแต่ละฟิลด์บวกกับค่าของตัวแปร Var_Y_ORG (หาได้จากการนำสัญญาณ DPC_Y_ORG มาหารด้วยสอง) จนถึงเส้นภาพที่มีค่าเท่ากับเส้นภาพเส้นแรกในแต่ละฟิลด์บวกกับค่า

ของตัวแปร Var_Y_ORG และบวกกับค่า Var_Height (หาได้จากการนำสัญญาณ DPC_PIC_HEIGHT มาหารด้วยสอง) ถ้าอยู่วงจรทำงานในช่วงนี้สัญญาณ DPC_INT จะเป็น 1 แต่ถ้าไม่ได้อยู่ในช่วงนี้สัญญาณก็จะเป็น 0 ช่วงเวลาของค่าของสัญญาณ DPC_INT เทียบกับสัญญาณ DPC_DATA_EN และสัญญาณภาพในแต่ละฟิลด์แสดงดังในรูปที่ 3.96



รูปที่ 3.95 การทำงานของวงจร DSP interrupt signal generator



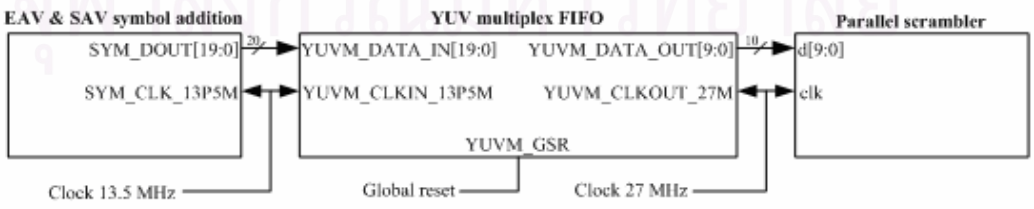
รูปที่ 3.96 ช่วงเวลาของค่าของสัญญาณ DPC_INT เทียบกับสัญญาณ DPC_DATA_EN และสัญญาณภาพในแต่ละฟิลด์

สัญญาณ DPC_RST_LBUF เป็นสัญญาณที่ใช้ในการตั้งค่าการทำงานใหม่ให้กับวงจร Line buffer FIFO และวงจรกรองสองมิติเมื่อมีการเริ่มต้นเฟรมใหม่ ดังนั้นสัญญาณนี้จึงเชื่อมต่อโดยตรงกับสัญญาณ SYSTEM_RESET ซึ่งจะเป็น 1 เมื่อต้องการเริ่มต้นเฟรมใหม่ดังแสดงในรูปที่ 3.97

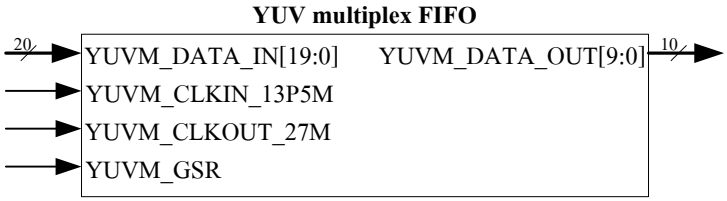
รูปที่ 3.97 การเชื่อมต่อสัญญาณ DPC_RST_LBUF เข้ากับสัญญาณ SYSTEM_RESET

3.7 วงจร YUV multiplex FIFO

วงจร YUV multiplex FIFO เป็นวงจร FIFO อะซิงโครนัสโดยสัญญาณนาฬิกาสำหรับอ่านและเขียนเป็นอิสระต่อกันเพื่อใช้ในการเปลี่ยนขนาดและความเร็วของข้อมูลภาพ โดยข้อมูลภาพที่ได้รับมาจากวงจร EAV and SAV symbol addition ซึ่งมีขนาด 20 บิตโดย 10 บิตบนเป็นสัญญาณความสว่างและ 10 บิตล่างเป็นสัญญาณสีที่ความเร็ว 13.5 เมกะเฮิรตซ์แล้วเปลี่ยนให้เป็นข้อมูลภาพขนาด 10 บิตที่ความเร็ว 27 เมกะเฮิรตซ์โดยข้อมูลสีจะถูกอ่านออกมาก่อนแล้วตามด้วยข้อมูลความสว่าง การเชื่อมต่อวงจรเข้ากับวงจรต่างๆได้แสดงไว้ในรูปที่ 3.98 ส่วนขาของสัญญาณต่างๆของวงจรแสดงไว้ในรูปที่ 3.99



รูปที่ 3.98 การเชื่อมต่อวงจร YUV multiplex FIFO เข้ากับวงจรต่างๆ

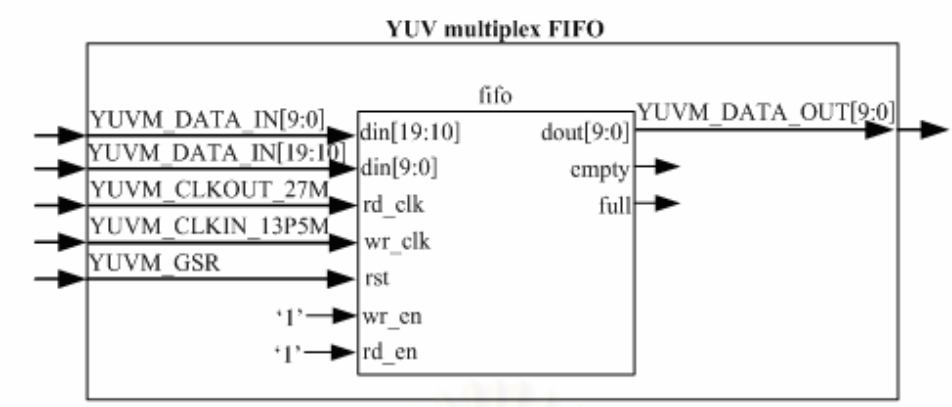


รูปที่ 3.99 โครงสร้างขาเข้าและขาออกของวงจร YUV multiplex FIFO

ตารางที่ 3.13 หน้าที่ของขาแต่ละขาของวงจร YUV multiplex FIFO

ขา	ทิศทาง	หน้าที่
YUVM_DATA_IN[19:0]	ขาเข้า	สัญญาณข้อมูลภาพเข้า 20 บิตโดยที่สัญญาณ YUVM_DATA_IN[19:10] จะเป็นค่าความสว่าง และสัญญาณ YUVM_DATA_IN [9:0] จะเป็นค่าสัญญาณภาพสี ส่วนประกอบ
YUVM_CLKIN_13P5M	ขาเข้า	สัญญาณนาฬิกาเข้าความเร็ว 13.5 เมกะเฮิรตซ์ เป็นสัญญาณนาฬิกาที่ใช้ในการเขียนข้อมูลเข้ามาในวงจร
YUVM_CLKOUT_27M	ขาเข้า	สัญญาณนาฬิกาเข้าความเร็ว 27 เมกะเฮิรตซ์ เป็นสัญญาณนาฬิกาที่ใช้ในการอ่านข้อมูลออก
YUVM_GSR	ขาเข้า	สัญญาณสำหรับตั้งค่าการทำงานใหม่เมื่อเอฟพีจีเอเริ่มทำงาน แอ็กทิฟที่ลอจิก 1 เมื่อนำไปใช้งานจะต้องเชื่อมต่อสัญญาณนี้เข้ากับสัญญาณ global reset ของเอฟพีจีเอ
YUVM_DATA_OUT[9:0]	ขาออก	สัญญาณข้อมูลภาพออก 10 บิต ซึ่งจะเป็นข้อมูลสี U ข้อมูลความสว่าง ข้อมูลสี V และข้อมูลความสว่างขนาด 10 บิต เรียงลำดับกันไปอย่างต่อเนื่อง

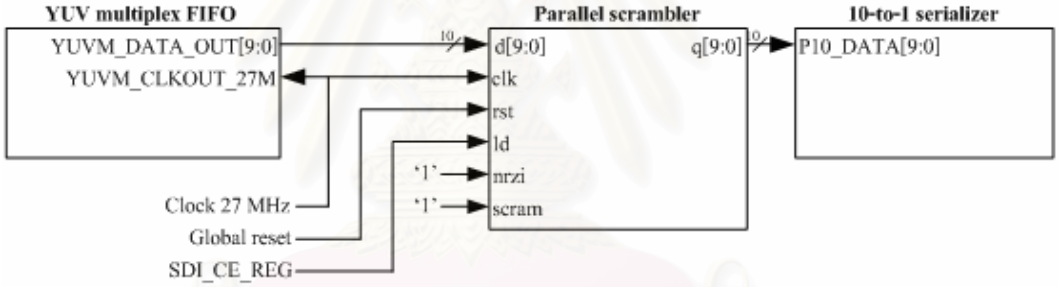
การทำงานและโครงสร้างของวงจร YUV multiplex FIFO มีลักษณะเป็น FIFO เหมือนกับวงจร Line buffer FIFO คือสร้าง FIFO โดยใช้ Core Generator ของโปรแกรม ISE โดยใช้ FIFO Generator ในการสร้าง FIFO ขึ้นมา เลือก FIFO เป็นแบบ Asynchronous FIFO ซึ่งสัญญาณนาฬิกาสำหรับอ่านและเขียนเป็นแบบ Independent clock หน่วยความจำที่นำมาใช้เลือกเป็น Block memory ที่มีความกว้างบัสข้อมูลเข้า 20 บิต ความกว้างบัสข้อมูลออก 10 บิต และสามารถเก็บข้อมูลเข้าได้ 16 ค่า เมื่อสั่งให้โปรแกรม Fifo Generator สร้างวงจรขึ้นมา FIFO จะเชื่อมต่อสัญญาณต่างๆเพื่อสร้างเป็นวงจร YUV multiplex FIFO ดังในรูปที่ 3.100



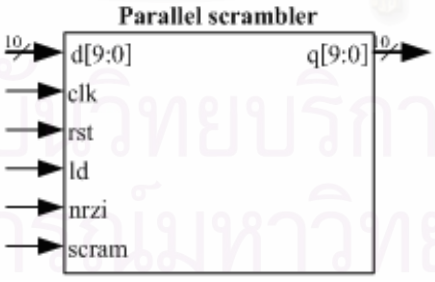
รูปที่ 3.100 การเชื่อมต่อสัญญาณต่างๆของ FIFO เข้ากับสัญญาณของวงจร YUV multiplex FIFO

3.8 วงจร Parallel scrambler

วงจร Parallel scrambler เป็นวงจรแบบซิงโครนัสทำงานที่ขอบขาขึ้นของสัญญาณ clk เพื่อเข้ารหัสข้อมูลเข้าให้เป็นไปตามมาตรฐาน SMPTE 259M-C ดังที่กล่าวมาแล้วในข้อ 2.1.2 วงจรจะเชื่อมต่อกับวงจร YUV multiplex FIFO และวงจร 10-to-1 serialzer ดังแสดงในรูปที่ 3.101 ส่วนขาของสัญญาณต่างๆของวงจรแสดงไว้ในรูปที่ 3.102



รูปที่ 3.101 การเชื่อมต่อวงจร Parallel scrambler เข้ากับวงจร YUV multiplex FIFO และวงจร 10-to-1 serializer



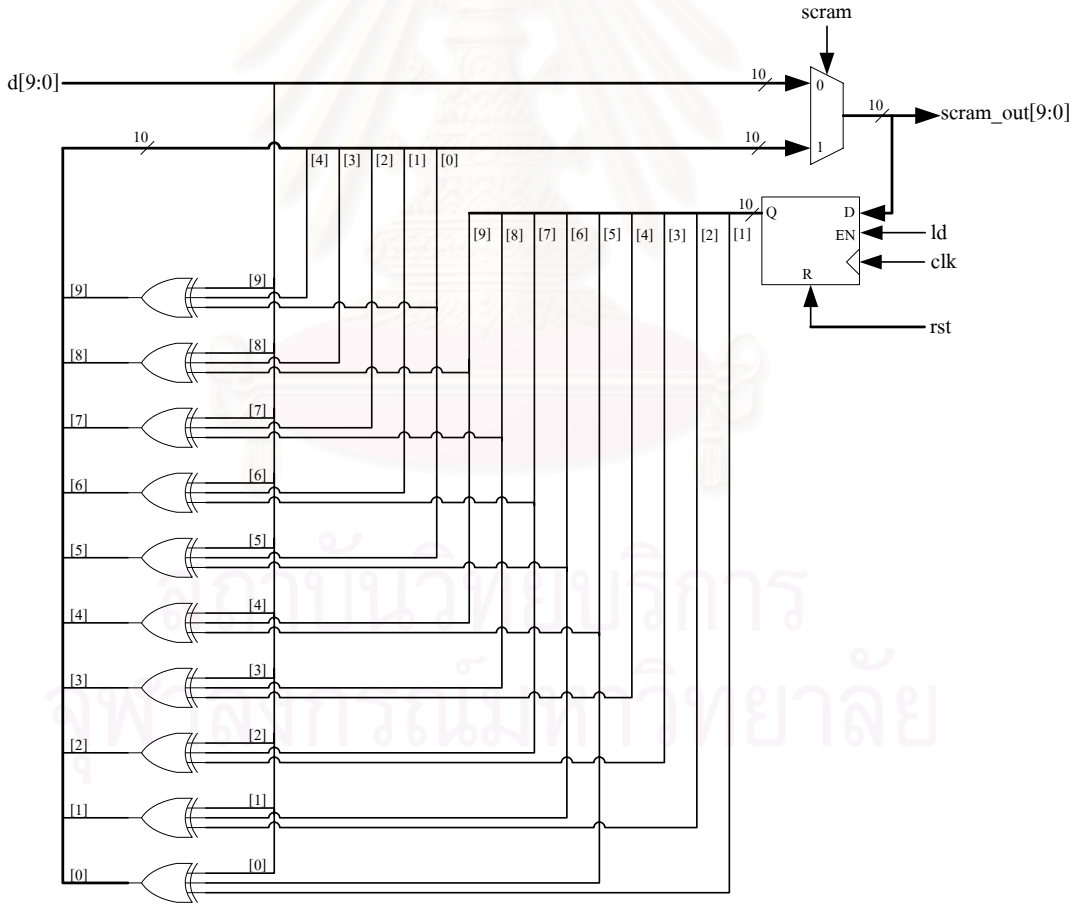
รูปที่ 3.102 โครงสร้างขาเข้าและขาออกของวงจร Parallel scrambler

ตารางที่ 3.14 หน้าที่ของขาแต่ละขาของวงจร Parallel scrambler

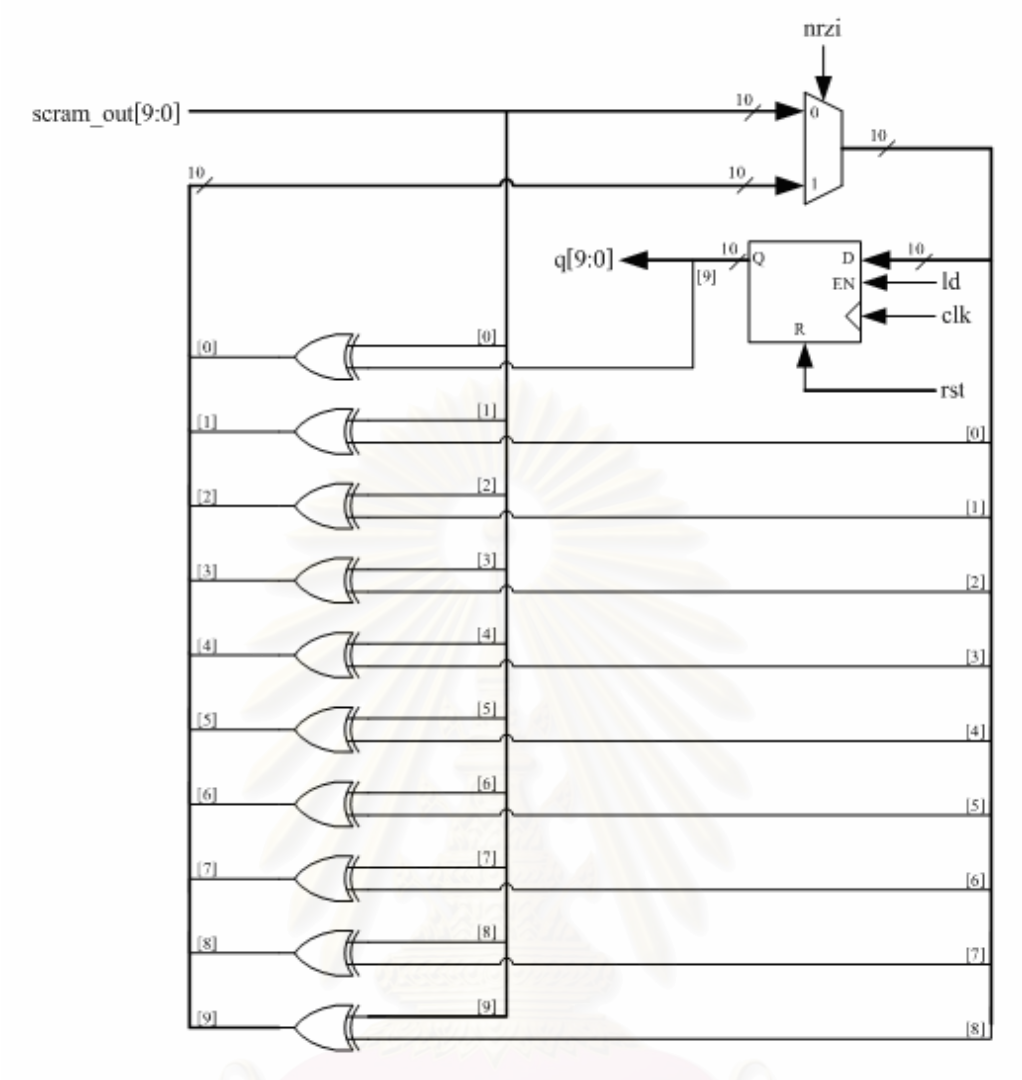
ขา	ทิศทาง	หน้าที่
d[9:0]	ขาเข้า	สัญญาณข้อมูลภาพเข้าขนาด 10 บิต
clk	ขาเข้า	สัญญาณนาฬิกาเข้าความเร็ว 27 เมกะเฮิรตซ์ เป็นสัญญาณนาฬิกาที่ใช้ในการเขียนข้อมูลให้กับวงจรซิงโครนัสภายใน

rst	ขาเข้า	สัญญาณสำหรับตั้งค่าการทำงานใหม่เมื่อเอฟพีจีเอเริ่มทำงาน แอ็กทิฟที่ลอจิก 1 เมื่อนำไปใช้งานจะต้องเชื่อมต่อสัญญาณนี้เข้ากับสัญญาณ global reset ของเอฟพีจีเอ
ld	ขาเข้า	สัญญาณเปิดการทำงานของวงจรซิงโครนัสภายในวงจร Parallel scrambler แอ็กทิฟที่ลอจิก 1
nrzi	ขาเข้า	สัญญาณเปิดการเข้ารหัสข้อมูล NRZ ให้เป็นสัญญาณแบบ NRZ-Inverted (NRZI) แอ็กทิฟที่ลอจิก 1
scram	ขาเข้า	สัญญาณเปิดการเข้ารหัสข้อมูลให้เป็นสัญญาณ non-return-to-zero (NRZ) แอ็กทิฟที่ลอจิก 1
q[9:0]	ขาออก	สัญญาณข้อมูลภาพเข้าขนาด 10 บิตที่ผ่านการเข้ารหัสข้อมูลแล้ว

การทำงานของวงจรจะแบ่งออกเป็นสองส่วนคือส่วนที่เข้ารหัสข้อมูลดิจิทัลให้เป็นข้อมูล non-return-to-zero (NRZ) แสดงในรูปที่ 3.103 และส่วนที่เข้ารหัสข้อมูล NRZ ให้เป็นข้อมูล NRZ-Inverted (NRZI) แสดงในรูปที่ 3.104 ซึ่งเป็นวงจรที่ดาวน์โหลดมาจากอินเทอร์เน็ต[10] วงจรจะเข้ารหัสข้อมูลแบบขนานขนาด 10 บิต



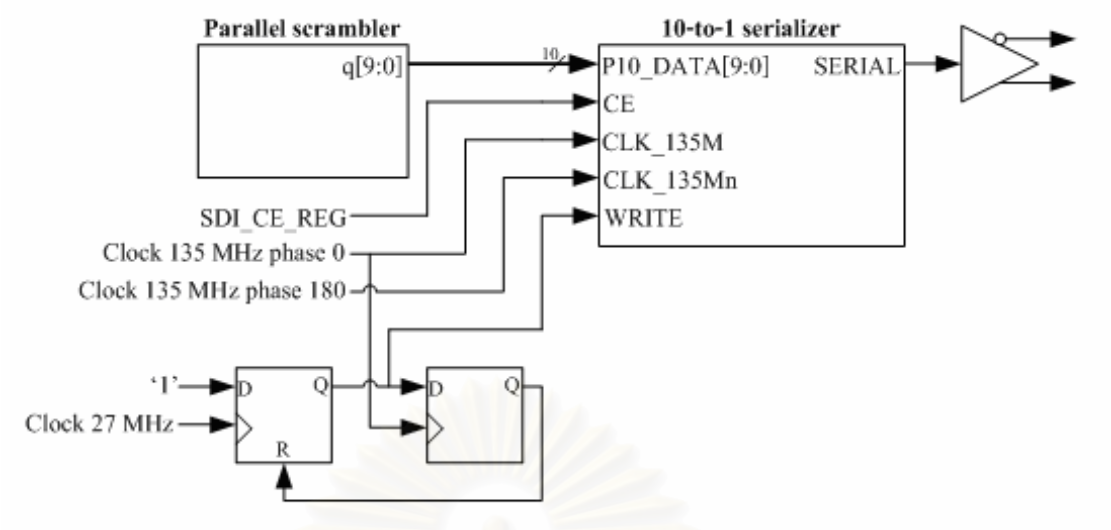
รูปที่ 3.103 วงจร เข้ารหัสข้อมูลดิจิทัลให้เป็นข้อมูล non-return-to-zero (NRZ)



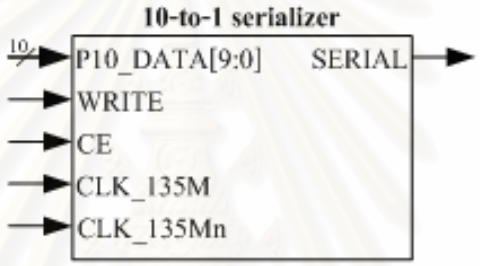
รูปที่ 3.104 วงจร เข้ารหัสข้อมูล NRZ ให้เป็นข้อมูล NRZ-Inverted (NRZI)

3.9 วงจร 10-to-1 serializer

วงจร 10-to-1 serializer เป็นวงจรซิงโครนัสทำหน้าที่แปลงข้อมูลแบบขนานขนาด 10 บิตที่ความเร็ว 27 เมกะเฮิรตซ์ให้เป็นข้อมูลอนุกรม 270 บิตต่อวินาที รูปที่ 3.105 แสดงการเชื่อมต่อวงจร 10-to-1 serializer เข้ากับวงจร Parallel scrambler และบัฟเฟอร์แบบ differential สัญญาณต่างๆของวงจรแสดงไว้ในรูปที่ 3.106



รูปที่ 3.105 การเชื่อมต่อวงจร 10-to-1 serializer เข้ากับวงจร Parallel scrambler และบัฟเฟอร์แบบ differential

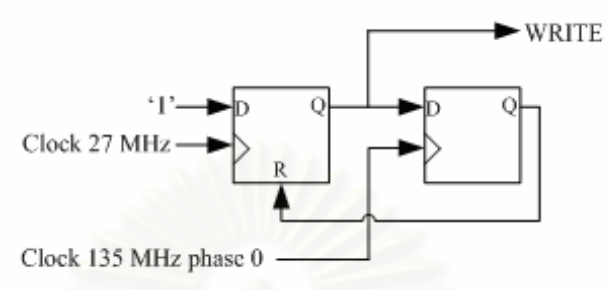


รูปที่ 3.106 โครงสร้างขาเข้าและขาออกของวงจร 10-to-1 serializer

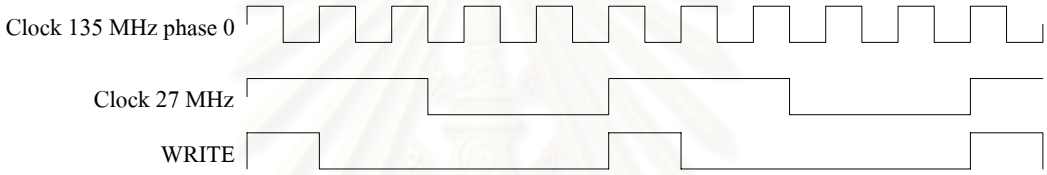
ตารางที่ 3.15 หน้าที่ของขาแต่ละขาของวงจร 10-to-1 serializer

ขา	ทิศทาง	หน้าที่
P10_DATA[9:0]	ขาเข้า	สัญญาณเข้าแบบขนานขนาด 10 บิตซึ่งเป็นข้อมูลภาพที่ถูกเข้ารหัสแล้ว
WRITE	ขาเข้า	สัญญาณเขียนข้อมูลเข้าไปประมวลผลภายในวงจร ทำงานที่ขอบขาขึ้นของสัญญาณนาฬิกา CLK_135M
CE	ขาเข้า	สัญญาณเปิดการทำงานของวงจรซิงโครนัสภายในวงจร 10-to-1 serializer แอ็กทิฟที่ลอจิก 1
CLK_135M	ขาเข้า	สัญญาณนาฬิกาเข้าความเร็ว 135 เมกะเฮิรตซ์ เป็นสัญญาณนาฬิกาที่ใช้ในการเขียนข้อมูลให้กับวงจรซิงโครนัสภายในและใช้เป็นสัญญาณนาฬิการสำหรับส่งข้อมูลออกมา
CLK_135Mn	ขาเข้า	สัญญาณนาฬิกาเข้าความเร็ว 135 เมกะเฮิรตซ์ที่มีต่างเฟสกับสัญญาณ CLK_135M อยู่ 180 องศา เป็นสัญญาณนาฬิกาที่ใช้ในการเขียนข้อมูลให้กับวงจรซิงโครนัสภายในและใช้เป็นสัญญาณนาฬิการสำหรับส่งข้อมูลออกมา
SERIAL	ขาออก	สัญญาณข้อมูลออกแบบอนุกรม

ฟลิปฟล็อปสองตัวที่ต่ออยู่ด้วยกันทำหน้าที่สร้างสัญญาณ WRITE ที่สอดคล้องกับสัญญาณนาฬิกา 135 เมกะเฮิรตซ์ให้กับวงจร 10-to-1 serializer เนื่องจากข้อมูลของวงจรนี้จะสอดคล้องกับสัญญาณนาฬิกา 27 เมกะเฮิรตซ์ไม่ใช่สัญญาณนาฬิกา 135 เมกะเฮิรตซ์ดังนั้นจึงจำเป็นที่จะต้องมีวงจรที่จะสร้างสัญญาณให้สอดคล้องกันดังในรูปที่ 3.107 และการจำลองการทำงานของวงจรได้แสดงในรูปที่ 3.108

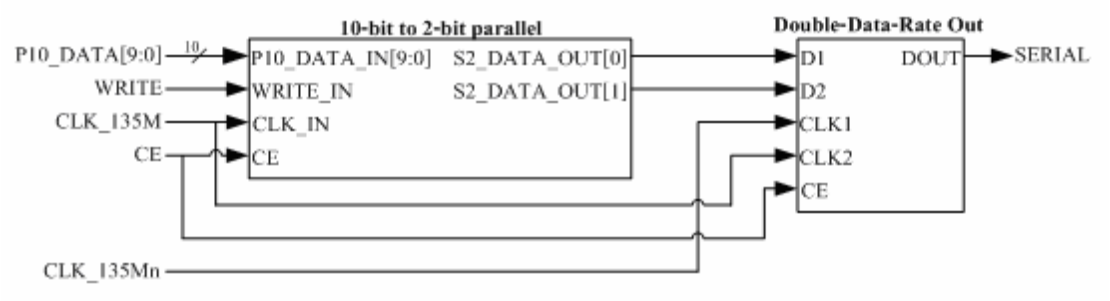


รูปที่ 3.107 วงจรสร้างสัญญาณ WRITE ให้กับวงจร 10-to-1 serializer

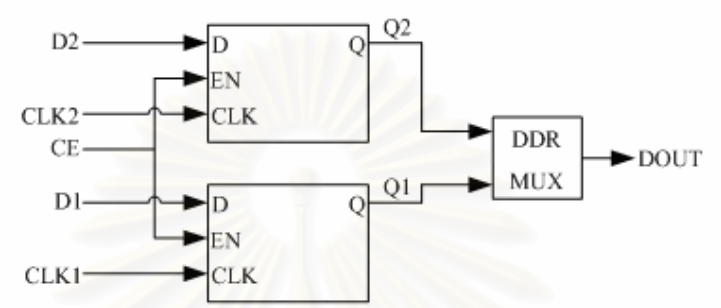


รูปที่ 3.108 การจำลองการทำงานของวงจรสร้างสัญญาณ WRITE ให้กับวงจร 10-to-1 serializer

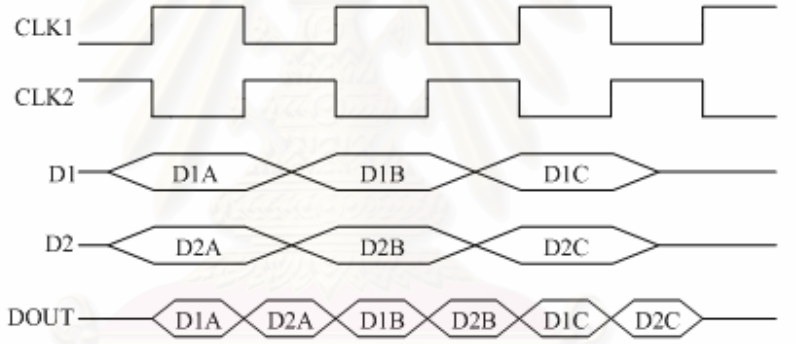
โครงสร้างของวงจร 10-to-1 serializer แสดงในรูปที่ 3.109 มีวงจรอยู่สองวงจรคือวงจร 10-bit to 2-bit parallel และวงจร Double-Data-Rate Out วงจร 10-bit to 2-bit parallel ทำหน้าที่แปลงข้อมูลขนาน 10 บิตของสัญญาณ P10_DATA_IN[9:0] ที่ความเร็ว 27 เมกะเฮิรตซ์ให้เป็นข้อมูลขนาน 2 บิตที่ความเร็ว 135 เมกะเฮิรตซ์ออกที่สัญญาณ S2_DATA_OUT[1:0] สัญญาณจะถูกเขียนเข้าไปในวงจร 10-bit to 2-bit parallel เมื่อสัญญาณ WRITE_IN เป็น 1 และสัญญาณ CE เป็น 1 ส่วนวงจร Double-Data-Rate Out เป็นวงจรส่วนประกอบที่อยู่ภายในเอฟพีจีเอเพื่อใช้ในการเพิ่มอัตราข้อมูลเป็นสองเท่าโดยการแปลงข้อมูลขนาน 2 บิตที่ความเร็ว 135 เมกะเฮิรตซ์เป็นข้อมูลอนุกรมที่ความเร็ว 270 เมกะบิตต่อวินาทีโดยใช้สัญญาณนาฬิกาที่ความเร็ว 135 เมกะเฮิรตซ์แทนที่จะใช้สัญญาณนาฬิกาที่ความเร็ว 270 เมกะเฮิรตซ์ วงจรทำงานที่ความถี่ของสัญญาณนาฬิกาต่ำกว่าทำให้สามารถนำวงจรที่มีเวลาหน่วงมากกว่ามาใช้กับสัญญาณความถี่สูงได้ โครงสร้างของวงจร Double-Data-Rate Out แสดงในรูปที่ 3.110 ประกอบด้วยฟลิปฟล็อปสองตัวที่มีสัญญาณนาฬิกาความถี่เดียวกันแต่ต่างเฟสกัน 180 องศาและจะมีมัลติเพล็กซ์ DDR ทำหน้าที่เลือกสัญญาณออกว่าจะเป็น Q1 หรือ Q2 แผนภาพเวลาของวงจรจะแสดงไว้ในรูปที่ 3.111



รูปที่ 3.109 โครงสร้างของวงจร 10-to-1 serializer



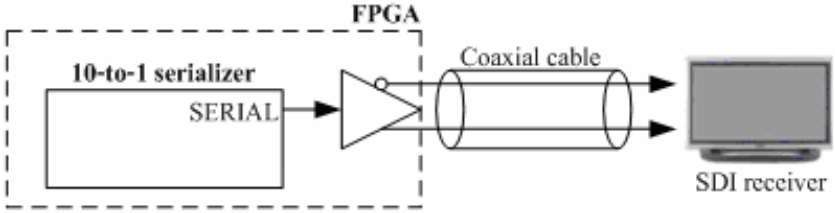
รูปที่ 3.110 โครงสร้างของวงจร Double-Data-Rate Out



รูปที่ 3.111 แผนภาพเวลาของวงจร Double-Data-Rate Out

3.10 บัฟเฟอร์ดิฟเฟอเรนเชียล

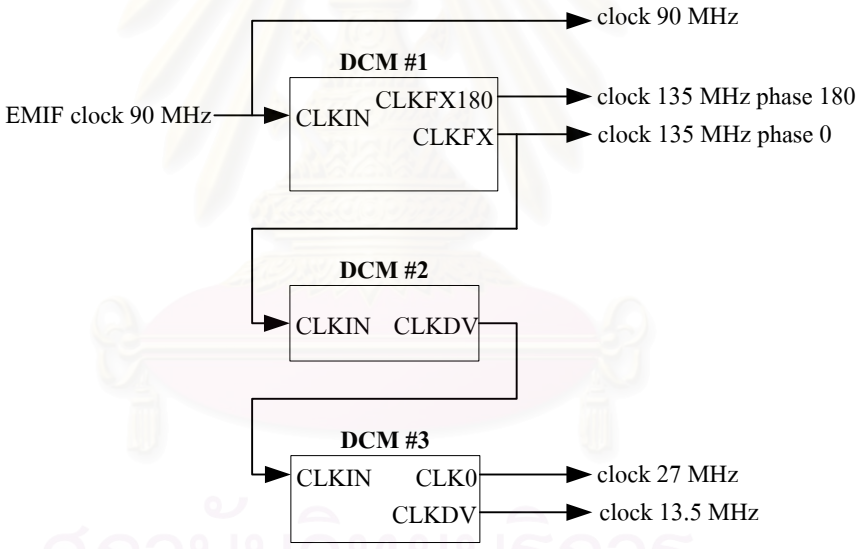
บัฟเฟอร์ดิฟเฟอเรนเชียลเป็นส่วนประกอบหนึ่งของเอฟพีจีเอที่ใช้ในการติดต่อกับอุปกรณ์ที่รับส่งข้อมูลแบบดิฟเฟอเรนเชียล บัฟเฟอร์ดิฟเฟอเรนเชียลจะถูกใช้ในการส่งข้อมูลภาพออกแบบดิฟเฟอเรนเชียลให้กับอุปกรณ์วิดิทัศน์ตามมาตรฐาน SDI การเชื่อมต่อบัฟเฟอร์เข้ากับอุปกรณ์ต่างๆจะถูกแสดงไว้ในรูปที่ 3.112



รูปที่ 3.112 การเชื่อมต่อบัฟเฟอร์ดิฟเฟอเรนเชียลเข้ากับอุปกรณ์ต่างๆเพื่อใช้ในการส่งสัญญาณวีดิทัศน์ดิจิทัล

3.11 วงจรกำเนิดสัญญาณนาฬิกา

สัญญาณนาฬิกาที่ใช้ป้อนให้กับวงจรของเอฟพีจีเอมีอยู่ด้วยกันสี่ความถี่คือความถี่ 90 เมกะเฮิรตซ์ ความถี่ 13.5 เมกะเฮิรตซ์ ความถี่ 27 เมกะเฮิรตซ์และความถี่ 135 เมกะเฮิรตซ์ ซึ่งความถี่ 135 เมกะเฮิรตซ์จะมีอยู่ด้วยกันสองสัญญาณที่มีเฟสต่างกัน 180 องศา สัญญาณนาฬิกาทุกสัญญาณจะถูกสร้างมาจากสัญญาณนาฬิกาของวงจร EMIF ของตัวประมวลสัญญาณดิจิทัลและใช้ Digital clock manager (DCM) ซึ่งเป็นวงจรที่อยู่ภายในเอฟพีจีเอแปลงให้เป็นความถี่ต่างๆ DCM ของเอฟพีจีเอนี้มีความสามารถในการจัดการกับสัญญาณนาฬิกาได้หลายรูปแบบประกอบด้วยการสังเคราะห์ความถี่ การเลื่อนเฟส และการจัดการกับการหน่วงเวลาของสัญญาณ รูปที่ 3.113 แสดงการนำ DCM มาเชื่อมต่อกันเพื่อสร้างสัญญาณนาฬิกาความถี่ต่างๆ วงจร DCM ตัวที่ 1 จะสังเคราะห์ความถี่ 135 เมกะเฮิรตซ์เฟส 0 และ 180 องศาออกมาทางสัญญาณ CLKFX และ CLKFX180 ตามลำดับจากสัญญาณนาฬิกา 90 เมกะเฮิรตซ์ของวงจร EMIF จากนั้นวงจร DCM ตัวที่สองจะหารความถี่ขาเข้า 135 เมกะเฮิรตซ์เฟส 0 ด้วยห้าจะได้เป็นสัญญาณออก CLKDV ที่มีความถี่ 27 เมกะเฮิรตซ์ส่งให้กับวงจร DCM ตัวที่สามซึ่งจะหารความถี่ขาเข้าด้วยสองทำให้ได้ความถี่ของสัญญาณนาฬิกาที่ขา CLKDV เท่ากับ 13.5 เมกะเฮิรตซ์และขา CLK0 จะมีสัญญาณนาฬิกาความถี่ 27 เมกะเฮิรตซ์ สัญญาณนาฬิกาเหล่านี้จะถูกป้อนให้กับวงจรของเอฟพีจีเอต่อไป



รูปที่ 3.113 แสดงการนำ DCM มาเชื่อมต่อกันเพื่อสร้างสัญญาณนาฬิกาความถี่ต่างๆ

3.12 วงจรเรจิสเตอร์

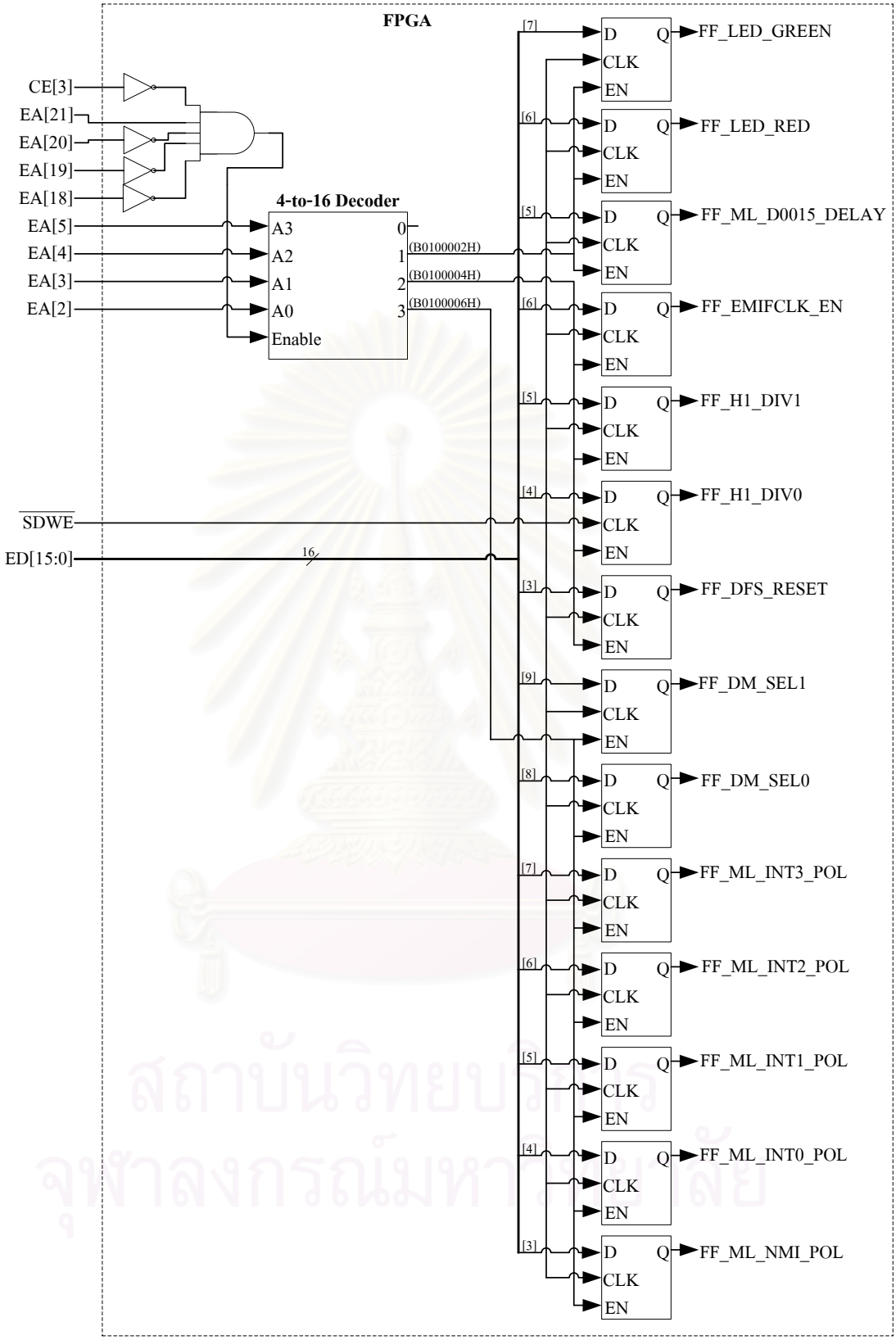
วงจรเรจิสเตอร์เป็นวงจรที่ทำหน้าที่ในการรับค่าต่างๆจากตัวประมวลสัญญาณดิจิทัลมาเก็บไว้เพื่อส่งให้กับวงจรต่างๆภายในเอฟพีจีเอในการกำหนดการทำงานของวงจร วงจรที่ต้องการค่าจากเรจิสเตอร์ในการทำงานได้แสดงไว้ในตารางที่ 3.16 วงจรเรจิสเตอร์ที่อยู่ในโปรแกรมของเอฟพีจีเอที่ให้มาพร้อมกับบอร์ด C6713Compact ได้แสดงไว้ในรูปที่ 3.114 โดยมีวงจร 4-to-16 Decoder เป็นตัวถอดรหัสเลขที่อยู่ของเรจิสเตอร์ เลขที่อยู่ของเรจิสเตอร์ในเอฟพีจีเอจะอยู่ในพื้นที่หน่วยความจำ CE3 ของตัวประมวลสัญญาณดิจิทัลซึ่งจะถูกกำหนดให้เข้าถึงข้อมูลโดยใช้ส่วนต่อประสานอะซิงโครนัส สัญญาณ SDWE จะถูกใช้เป็นสัญญาณนาฬิกาให้กับฟลิปฟล็อปของเรจิสเตอร์ ส่วนสัญญาณเปิดทางการทำงานของฟลิปฟล็อปนั้นจะได้มาจากสัญญาณขา

ออกของตัวถอดรหัส สัญญาณขาออกของตัวถอดรหัสแอ็กทิฟที่ลอจิก 1 โดยสัญญาณ 0 จะแอ็กทิฟเมื่อมีการเข้าถึงข้อมูลที่เลขที่อยู่เท่ากับ B0100000H สัญญาณ 1 จะแอ็กทิฟเมื่อมีการเข้าถึงข้อมูลที่เลขที่อยู่เท่ากับ B0100002H สัญญาณ 2 จะแอ็กทิฟเมื่อมีการเข้าถึงข้อมูลที่เลขที่อยู่เท่ากับ B0100004H สัญญาณ 3 จะแอ็กทิฟเมื่อมีการเข้าถึงข้อมูลที่เลขที่อยู่เท่ากับ B0100006H เรียงลำดับกันไปเรื่อยๆ ตัวถอดรหัสยังเหลือสัญญาณขาออกอีก 13 สัญญาณที่จะใช้ในการถอดรหัสเลขที่อยู่ดังนั้นเราจึงเลือกที่จะใช้สัญญาณขาออกที่เหลืออยู่ในการเพิ่มเติมเรจิสเตอร์สำหรับวงจรของเอฟพีจีเอที่ได้ออกแบบขึ้นโดยกำหนดเลขที่อยู่และชื่อของเรจิสเตอร์ดังในตารางที่ 3.17

ตารางที่ 3.16 สัญญาณของวงจรภายในเอฟพีจีเอที่ต้องการค่าจากเรจิสเตอร์ในการทำงาน

วงจร	สัญญาณ
SDRAM interface	Chip_CE
	ADDR_PROG[25:2]
FIR filter	FIR_BYPASS
	FIR_GRAY_PICTURE
	FIR_CONTRAST[15:0]
	FIR_BRIGHTNESS[15:0]
	FIR_COE_R1_C1[15:0] ถึง FIR_COE_R1_C5[15:0]
	FIR_COE_R2_C1[15:0] ถึง FIR_COE_R2_C5[15:0]
	FIR_COE_R3_C1[15:0] ถึง FIR_COE_R3_C5[15:0]
	FIR_COE_R4_C1[15:0] ถึง FIR_COE_R4_C5[15:0]
	FIR_COE_R5_C1[15:0] ถึง FIR_COE_R5_C5[15:0]
EAV and SAV symbol addition	SYM_EN
	SYM_PIC_WIDTH[9:0]
	SYM_PIC_HEIGHT[9:0]
	SYM_X_ORG[9:0]
	SYM_Y_ORG[9:0]
	SYM_FST_PIX_IN_EVEN
	SYM_PAL_VDO
	SYM_TEST_PATT
	SYM_RST_FRAME

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



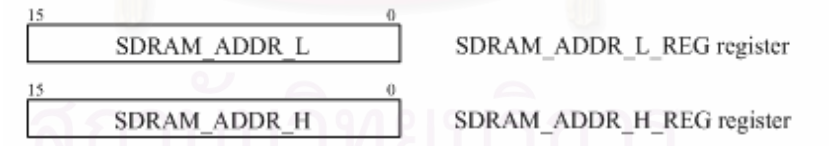
รูปที่ 3.114 วงจรเรจิสเตอร์ที่อยู่ในโปรแกรมของเอฟพีจีเอที่ให้มาพร้อมกับบอร์ด C6713Compact

ตารางที่ 3.17 เลขที่อยู่และชื่อของเรจิสเตอร์สำหรับวงจรที่ออกแบบขึ้น

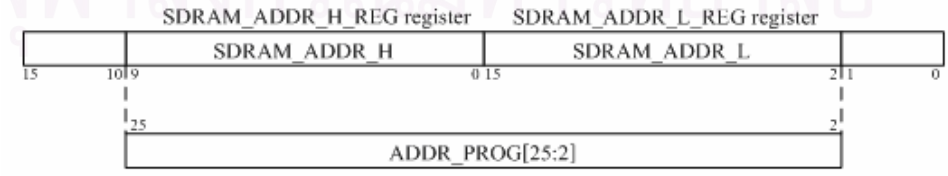
ตำแหน่งเลขที่อยู่ (ฐานสิบหก)	ชื่อเรจิสเตอร์
B0100008	SDRAM_ADDR_L_REG
B010000A	SDRAM_ADDR_H_REG
B010000C	PIC_WIDTH_REG
B010000E	PIC_HEIGHT_REG
B0100010	X_ORG_REG
B0100012	Y_ORG_REG
B0100014	SDI_VDO_CONFG_REG
B0100016	RESET_FRAME_REG
B0100018	BRIGHTNESS_REG
B010001A	CONTRAST_REG
B010001C	FIR_COEFFICIENT_REG
B010001E	FIR_CONFG_REG

เรจิสเตอร์แต่ละตัวจะมีการเรียงบิตและมีลักษณะของวงจรดังต่อไปนี้

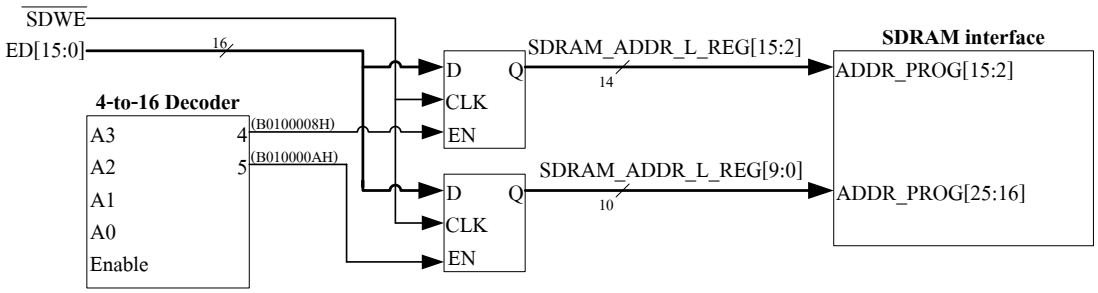
ก. เรจิสเตอร์ SDRAM_ADDR_L_REG และเรจิสเตอร์ SDRAM_ADDR_H_REG เป็นเรจิสเตอร์ที่ใช้ในการกำหนดสัญญาณ ADDR_PROG[25:2] ซึ่งเป็นเลขที่อยู่ของวงจร SDRAM interface เพื่อให้ตัวประมวลสัญญาณดิจิทัลเขียนข้อมูลให้กับเอฟพีจีเอผ่านเลขที่อยู่นี้มีการเรียงบิตดังในรูปที่ 3.115 และการเรียงบิตในการเชื่อมต่อกับสัญญาณ ADDR_PROG[25:2] ดังในรูปที่ 3.116 รูปเรจิสเตอร์ SDRAM_ADDR_L_REG และเรจิสเตอร์ SDRAM_ADDR_H_REG ที่เชื่อมต่อกับสัญญาณ ADDR_PROG[25:2] และตัวถอดรหัสดังในรูปที่ 3.117



รูปที่ 3.115 การเรียงบิตของเรจิสเตอร์ SDRAM_ADDR_L_REG และเรจิสเตอร์ SDRAM_ADDR_H_REG

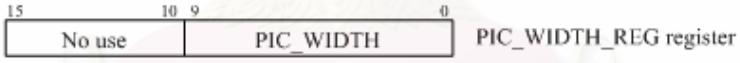


รูปที่ 3.116 การเรียงบิตของเรจิสเตอร์ SDRAM_ADDR_L_REG และเรจิสเตอร์ SDRAM_ADDR_H_REG เพื่อเชื่อมต่อกับสัญญาณ ADDR_PROG[25:2] ของวงจร SDRAM interface

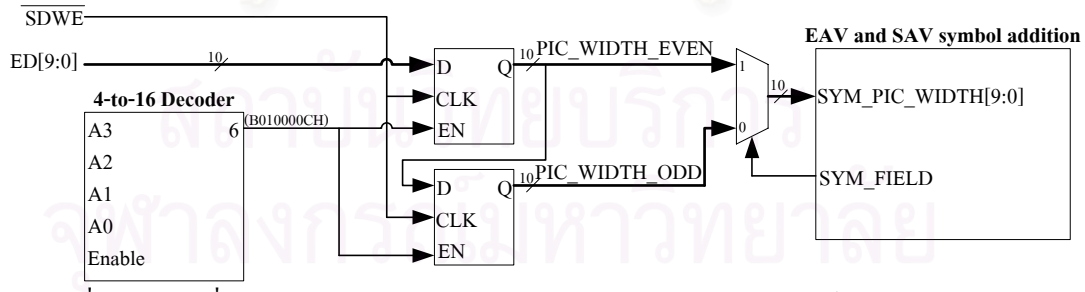


รูปที่ 3.117 วงจรเรจิสเตอร์ SDRAM_ADDR_L_REG และเรจิสเตอร์ SDRAM_ADDR_H_REG ซึ่งเชื่อมต่อกับสัญญาณ ADDR_PROG[25:2] และตัวถอดรหัส

ข. เรจิสเตอร์ PIC_WIDTH_REG เป็นเรจิสเตอร์ที่ใช้กำหนดค่าให้กับสัญญาณ SYM_PIC_WIDTH[9:0] ของวงจร EAV and SAV symbol addition ซึ่งเป็นค่าความกว้างของภาพที่ตัวประมวลสัญญาณดิจิทัลส่งให้กับเอฟพีจีเอมีการเรียงบิตดังในรูปที่ 3.118 เพื่อให้วงจร EAV and SAV symbol addition สามารถเลือกความกว้างของภาพที่ตัวประมวลสัญญาณดิจิทัลส่งให้กับเอฟพีจีเอในแต่ละฟิลด์ได้ในกรณีที่ความกว้างของภาพในฟิลด์คู่และฟิลด์คี่ไม่เท่ากันจึงได้ออกแบบให้มีมัลติเพล็กซ์ในการเลือกสัญญาณของแต่ละฟิลด์ดังแสดงในรูปที่ 3.119 โดยใช้สัญญาณ SYM_FIELD ในการเลือก เมื่อวงจร EAV and SAV symbol addition ทำงานอยู่ในฟิลด์คี่สัญญาณนี้เป็น 0 จะทำให้สัญญาณ PIC_WIDTH_ODD ถูกเลือกแต่ถ้าทำงานอยู่ในฟิลด์คู่สัญญาณนี้เป็น 1 ทำให้สัญญาณ PIC_WIDTH_EVEN ถูกเลือก สัญญาณของเรจิสเตอร์ตั้งแต่บิตที่ 0 ถึงบิตที่ 9 จะถูกใช้เชื่อมต่อกับสัญญาณ SYM_PIC_WIDTH[9:0]



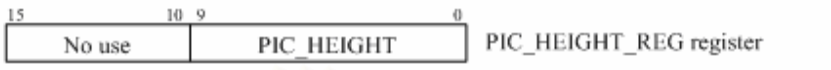
รูปที่ 3.118 การเรียงบิตของเรจิสเตอร์ PIC_WIDTH_REG



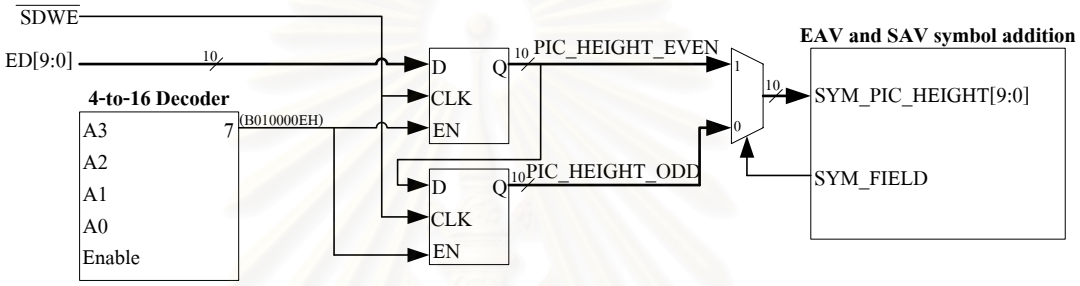
รูปที่ 3.119 การเชื่อมต่อสัญญาณ SYM_PIC_WIDTH[9:0] เข้ากับวงจรเรจิสเตอร์ PIC_WIDTH_REG

ค. เรจิสเตอร์ PIC_HEIGHT_REG เป็นเรจิสเตอร์ที่ใช้กำหนดค่าให้กับสัญญาณ SYM_PIC_HEIGHT[9:0] ของวงจร EAV and SAV symbol addition ซึ่งเป็นค่าความสูงของภาพที่ตัวประมวลสัญญาณดิจิทัลส่งให้กับเอฟพีจีเอมีการเรียงบิตดังในรูปที่ 3.120 เพื่อให้วงจร EAV and SAV symbol addition สามารถเลือกความสูงของภาพที่ตัวประมวลสัญญาณดิจิทัลส่งให้กับเอฟพีจีเอในแต่ละฟิลด์ได้ในกรณีที่ความสูงของภาพในฟิลด์คู่และฟิลด์คี่ไม่เท่ากันเราจึงได้

ออกแบบให้มีมัลติเพล็กซ์ในการเลือกสัญญาณของแต่ละฟิลด์ดังแสดงในรูปที่ 3.121 โดยใช้สัญญาณ SYM_FIELD ในการเลือก เมื่อวงจร EAV and SAV symbol addition ทำงานอยู่ในฟิลด์คี่สัญญาณนี้เป็น 0 จะทำให้สัญญาณ PIC_HEIGHT_ODD ถูกเลือกแต่ถ้าทำงานอยู่ในฟิลด์คู่สัญญาณนี้เป็น 1 ทำให้สัญญาณ PIC_HEIGHT_EVEN ถูกเลือก สัญญาณของเรจิสเตอร์ตั้งแต่บิตที่ 0 ถึงบิตที่ 9 จะถูกใช้เชื่อมต่อกับสัญญาณ SYM_PIC_HEIGHT[9:0]



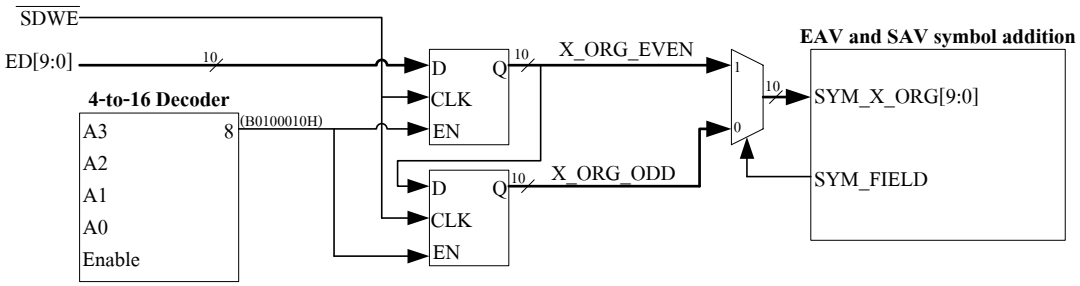
รูปที่ 3.120 การเรียงบิตของเรจิสเตอร์ PIC_HEIGHT_REG



รูปที่ 3.121 การเชื่อมต่อสัญญาณ SYM_PIC_HEIGHT[9:0] เข้ากับเรจิสเตอร์ PIC_HEIGHT_REG

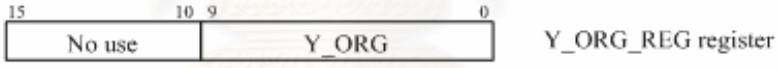
ง. เรจิสเตอร์ X_ORG_REG เป็นเรจิสเตอร์ที่ใช้กำหนดค่าให้กับสัญญาณ SYM_X_ORG[9:0] ของวงจร EAV and SAV symbol addition ซึ่งเป็นค่าระยะห่างระหว่างขอบซ้ายสุดของภาพกับขอบด้านซ้ายของภาพที่ตัวประมวลสัญญาณดิจิทัลส่งให้กับเอฟพีจีเอที่จะปรากฏบนจอวีดิทัศน์ มีการเรียงบิตดังในรูปที่ 3.122 เพื่อให้วงจร EAV and SAV symbol addition สามารถเลือกระยะห่างของภาพได้ในกรณีที่ค่าระยะห่างของภาพในฟิลด์คู่และฟิลด์คี่ไม่เท่ากันจึงได้ออกแบบให้มีมัลติเพล็กซ์ในการเลือกสัญญาณของแต่ละฟิลด์ดังแสดงในรูปที่ 3.123 โดยใช้สัญญาณ SYM_FIELD ในการเลือก เมื่อวงจร EAV and SAV symbol addition ทำงานอยู่ในฟิลด์คี่สัญญาณนี้เป็น 0 จะทำให้สัญญาณ X_ORG_ODD ถูกเลือกแต่ถ้าทำงานอยู่ในฟิลด์คู่สัญญาณนี้เป็น 1 ทำให้สัญญาณ X_ORG_EVEN ถูกเลือก สัญญาณของเรจิสเตอร์ตั้งแต่บิตที่ 0 ถึงบิตที่ 9 จะถูกใช้เชื่อมต่อกับสัญญาณ SYM_X_ORG[9:0]

รูปที่ 3.122 การเรียงบิตของเรจิสเตอร์ X_ORG_REG

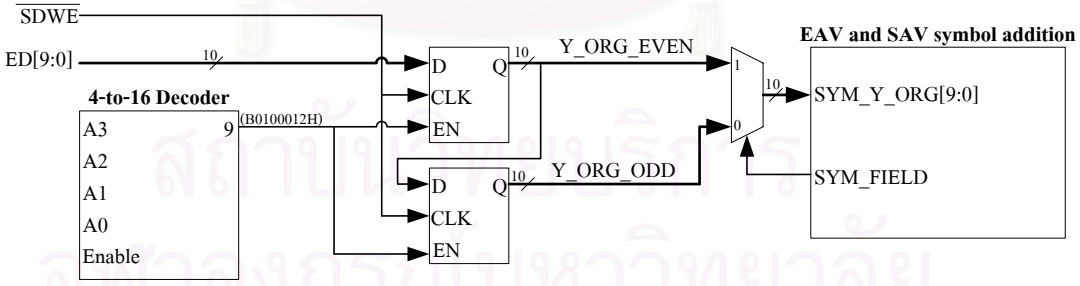


รูปที่ 3.123 การเชื่อมต่อสัญญาณ SYM_X_ORG [9:0] เข้ากับวงจรเรจิสเตอร์ X_ORG_REG

จ. เรจิสเตอร์ Y_ORG_REG เป็นเรจิสเตอร์ที่ใช้กำหนดค่าให้กับสัญญาณ SYM_Y_ORG[9:0] ของวงจร EAV and SAV symbol addition ซึ่งเป็นค่าระยะห่างระหว่างขอบบนสุดของภาพกับขอบบนสุดของภาพที่ตัวประมวลสัญญาณดิจิทัลส่งให้กับเอฟพีจีเอที่จะปรากฏบนจอวีดิทัศน์เรจิสเตอร์มีการเรียงบิตดังในรูปที่ 3.124 เพื่อให้วงจร EAV and SAV symbol addition สามารถเลือกระยะห่างของภาพได้ในกรณีที่ค่าระยะห่างของภาพในฟิลด์คู่และฟิลด์คี่ไม่เท่ากันจึงได้ออกแบบให้มีมัลติเพล็กซ์ในการเลือกสัญญาณของแต่ละฟิลด์ดังแสดงในรูปที่ 3.125 โดยใช้สัญญาณ SYM_FIELD ในการเลือก เมื่อวงจร EAV and SAV symbol addition ทำงานอยู่ในฟิลด์คี่สัญญาณนี้เป็น 0 จะทำให้สัญญาณ Y_ORG_ODD ถูกเลือกแต่ถ้าทำงานอยู่ในฟิลด์คู่สัญญาณนี้เป็น 1 ทำให้สัญญาณ Y_ORG_EVEN ถูกเลือก สัญญาณของเรจิสเตอร์ตั้งแต่บิตที่ 0 ถึงบิตที่ 9 จะถูกใช้เชื่อมต่อกับสัญญาณ SYM_Y_ORG[9:0]



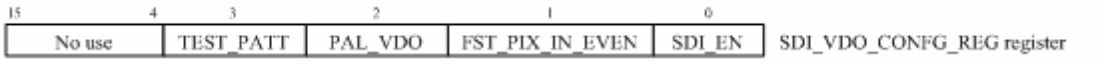
รูปที่ 3.124 การเรียงบิตของเรจิสเตอร์ Y_ORG_REG



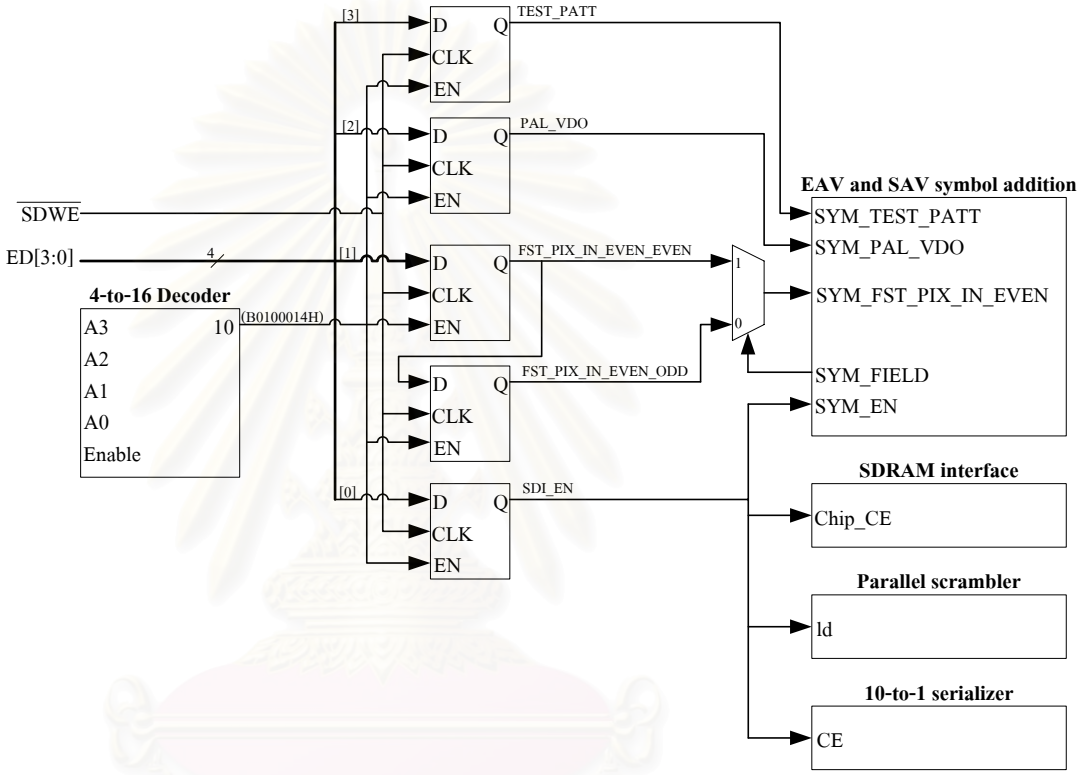
รูปที่ 3.125 การเชื่อมต่อสัญญาณ SYM_Y_ORG [9:0] เข้ากับวงจรเรจิสเตอร์ Y_ORG_REG

ฉ. เรจิสเตอร์ SDI_VDO_CONFG_REG เป็นเรจิสเตอร์ที่มีการเรียงบิตดังรูปที่ 3.126 บิต TEST_PATT PAL_VDO และ FST_PIX_IN_EVEN ใช้เชื่อมต่อกับสัญญาณ SYM_TEST_PATT SYM_PAL_VDO และ SYM_FST_PIX_IN_EVEN ของวงจร EAV and SAV symbol addition ตามลำดับ เพื่อให้วงจร EAV and SAV symbol addition สามารถเลือกจุดภาพแรกของสัญญาณภาพในจุดภาพสองจุดแรกในแต่เส้นภาพที่ตัวประมวลสัญญาณดิจิทัลส่งให้กับเอฟพีจีเอของภาพในฟิลด์คู่และฟิลด์คี่ได้จึงออกแบบให้มีมัลติเพล็กซ์ในการเลือกสัญญาณ

ของแต่ละฟิลด์ดังแสดงในรูปที่ 3.127 บิต SDI_EN ใช้เชื่อมต่อกับสัญญาณ Chip_CE สัญญาณ SYM_EN สัญญาณ ld และสัญญาณ CE ของวงจร SDRAM interface วงจร EAV and SAV symbol addition วงจร Parallel scrambler และวงจร 10-to-1 serializer ตามลำดับ

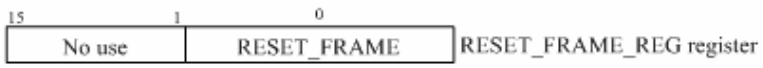


รูปที่ 3.126 การเรียงบิตของเรจิสเตอร์ SDI_VDO_CONFG_REG

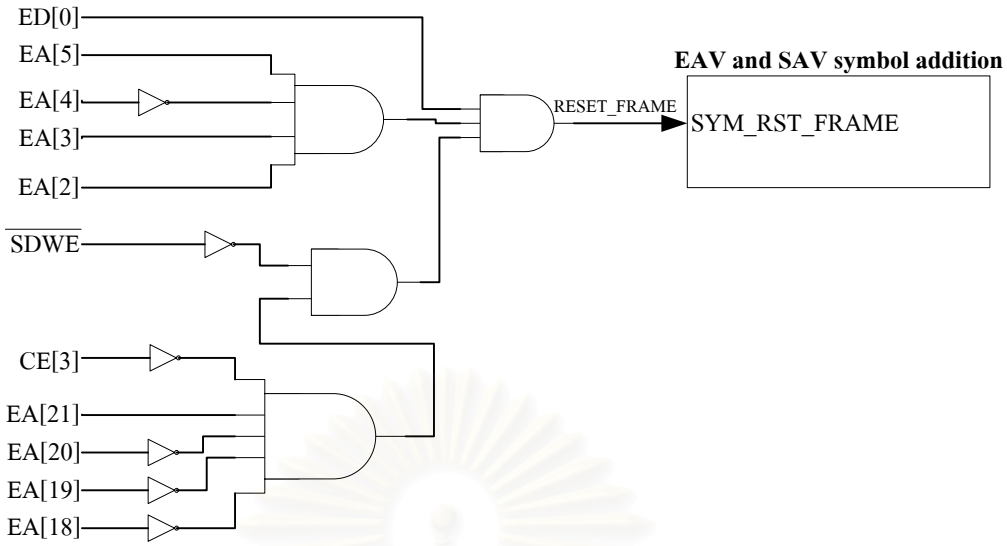


รูปที่ 3.127 การเชื่อมต่อสัญญาณต่างๆเข้ากับวงจรเรจิสเตอร์ SDI_VDO_CONFG_REG

ช. เรจิสเตอร์ RESET_FRAME_REG เป็นเรจิสเตอร์ที่ใช้ในการตั้งค่าเฟรมของสัญญาณวีดิทัศน์ใหม่มีการเรียงบิตดังรูปที่ 3.128 เรจิสเตอร์นี้จะต่างกับเรจิสเตอร์ตัวอื่นๆตรงที่เป็นวงจรอะซิงโครนัส บิต RESET_FRAME จะถูกเชื่อมต่อเข้ากับสัญญาณ SYM_RST_FRAME ของวงจร EAV and SAV symbol addition โดยตัวประมวลสัญญาณดิจิทัลจะต้องเขียนค่า 1 มาที่บิต RESET_FRAME ทุกๆ 33.33 มิลลิวินาทีสำหรับสัญญาณวีดิทัศน์ออกระบบ NTSC และ 40 มิลลิวินาทีสำหรับสัญญาณวีดิทัศน์ออกระบบ PAL เพื่อตั้งค่าเฟรมใหม่ วงจรของเรจิสเตอร์จะแสดงดังในรูปที่ 3.129

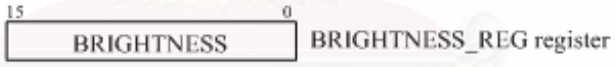


รูปที่ 3.128 การเรียงบิตของเรจิสเตอร์ RESET_FRAME_REG

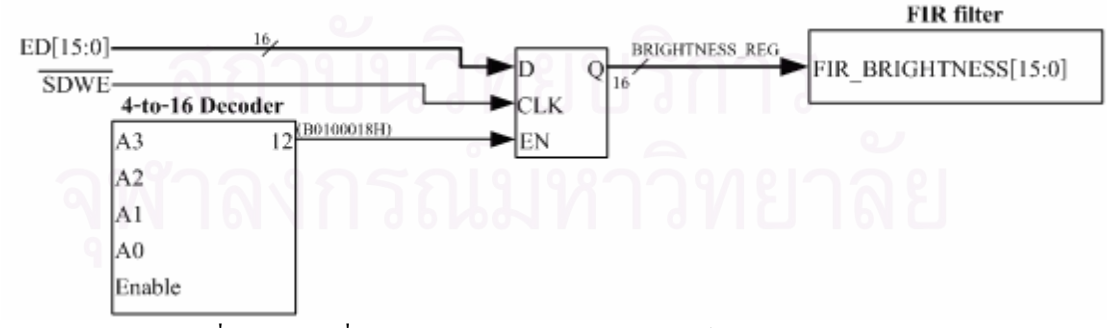


รูปที่ 3.129 การเชื่อมต่อสัญญาณต่างๆเข้ากับเรจิสเตอร์ RESET_FRAME_REG

ซ. เรจิสเตอร์ BRIGHTNESS_REG เป็นเรจิสเตอร์ที่ใช้กำหนดค่าให้กับสัญญาณ FIR_BRIGHTNESS[15:0] ของวงจร FIR filter ซึ่งใช้ในการปรับค่าความสว่างของภาพซึ่งเป็นตัวเลขแบบ Fixed-point 16 บิตมีเครื่องหมาย เป็นบิตเครื่องหมาย 1 บิต จำนวนเต็ม 12 บิต ทศนิยม 3 บิต มีค่าอยู่ในช่วง -4095.875 ถึง +4095.875 เรจิสเตอร์มีการเรียงบิตดังในรูปที่ 3.130 รูปวงจรเรจิสเตอร์ BRIGHTNESS_REG และการเชื่อมต่อกับสัญญาณต่างๆแสดงในรูปที่ 3.131



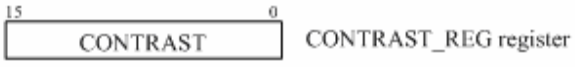
รูปที่ 3.130 การเรียงบิตของเรจิสเตอร์ BRIGHTNESS_REG



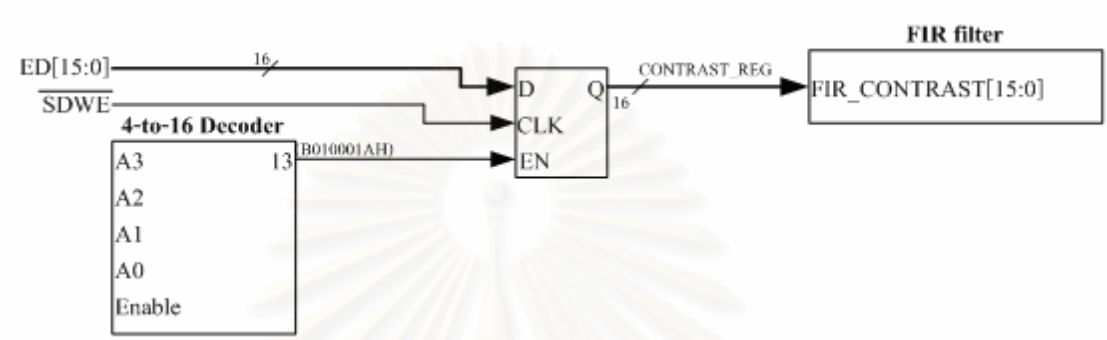
รูปที่ 3.131 การเชื่อมต่อสัญญาณต่างๆเข้ากับเรจิสเตอร์ BRIGHTNESS_REG

ฌ. เรจิสเตอร์ CONTRAST_REG เป็นเรจิสเตอร์ที่ใช้กำหนดค่าให้กับสัญญาณ FIR_CONTRAST[15:0] ของวงจร FIR filter ซึ่งใช้ในการปรับค่าความเปรียบต่างของภาพซึ่งเป็นตัวเลขแบบ Fixed-point 16 บิตไม่ระบุเครื่องหมาย เป็นจำนวนเต็ม 4 บิตทศนิยม 12 บิต มี

ค่าอยู่ในช่วง 0 ถึง +15.999755859375 เรจิสเตอร์มีการเรียงบิตดังในรูปที่ 3.132 รูปวงจรเรจิสเตอร์ CONTRAST_REG และการเชื่อมต่อกับสัญญาณต่างๆแสดงในรูปที่ 3.133



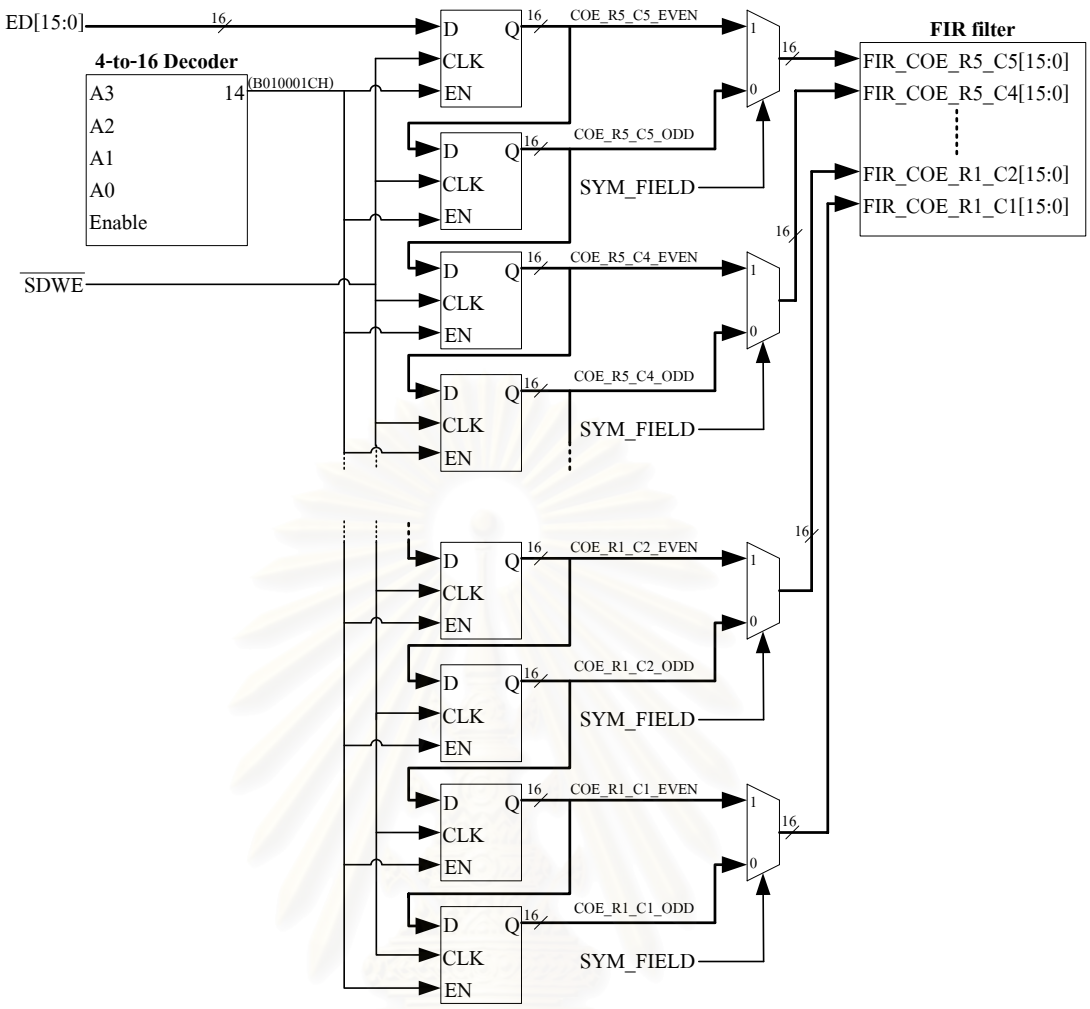
รูปที่ 3.132 การเรียงบิตของเรจิสเตอร์ CONTRAST_REG



รูปที่ 3.133 การเชื่อมต่อสัญญาณต่างๆเข้ากับเรจิสเตอร์ CONTRAST_REG

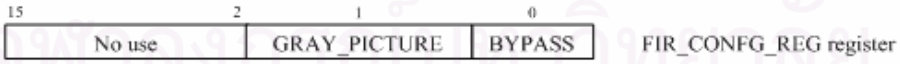
ญ. เรจิสเตอร์ FIR_COEFFICIENT_REG เป็นเรจิสเตอร์ที่ใช้กำหนดค่าสัมประสิทธิ์ของวงจร FIR filter ซึ่งมีทั้งหมด 25 ค่า แต่ละค่ามีขนาด16 บิตเป็นตัวเลขแบบ Fixed-point 16 บิตมีเครื่องหมาย เป็นบิตเครื่องหมาย 1 บิต จำนวนเต็ม 1 บิตทศนิยม 14 บิต มีค่าอยู่ในช่วง -1.99993896484375 ถึง +1.99993896484375 เรจิสเตอร์จะมีการเรียงบิตดังในรูปที่ 3.134 และเนื่องจากในการประยุกต์วงจรกรองไปใช้งานบางครั้งต้องการใช้ค่าสัมประสิทธิ์ของภาพในฟิลด์คี่และฟิลด์คู่ที่ไม่เหมือนกันดังนั้นจึงได้ออกแบบให้มีมัลติเพล็กซ์ในการเลือกสัญญาณของแต่ละฟิลด์ด้วยดังแสดงในรูปที่ 3.135 สัญญาณ SYM_FIELD ของวงจร EAV and SAV symbol addition จะถูกนำมาใช้ในการเลือกค่าสัมประสิทธิ์ เมื่อวงจร EAV and SAV symbol addition ทำงานอยู่ในฟิลด์คี่สัญญาณนี้เป็น 0 จะทำให้ค่าสัมประสิทธิ์ของฟิลด์คี่ถูกเลือกแต่ถ้าทำงานอยู่ในฟิลด์คู่สัญญาณนี้เป็น 1 ทำให้ค่าสัมประสิทธิ์ของฟิลด์คู่ถูกเลือก

รูปที่ 3.134 การเรียงบิตของเรจิสเตอร์ FIR_COEFFICIENT_REG

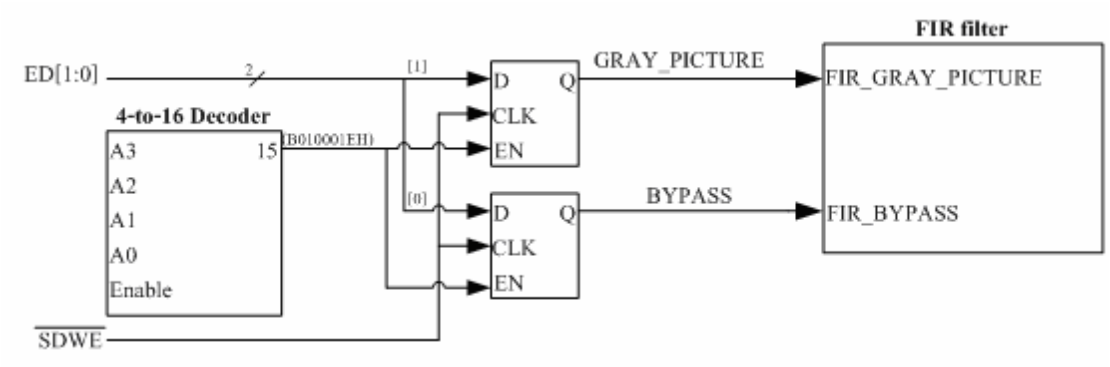


รูปที่ 3.135 การเชื่อมต่อสัญญาณต่างๆเข้ากับเรจิสเตอร์ FIR_COEFFICIENT_REG

ฎ. เรจิสเตอร์ FIR_CONFG_REG เป็นเรจิสเตอร์ที่มีการเรียงบิตดังรูปที่ 3.136 บิต GRAY_PICTURE และบิต BYPASS ใช้เชื่อมต่อกับสัญญาณ FIR_GRAY_PICTURE และสัญญาณ FIR_BYPASS ของวงจร FIR filter ตามลำดับ รูปที่ 3.137 แสดงวงจรเรจิสเตอร์ FIR_CONFG_REG และการเชื่อมต่อเข้ากับสัญญาณต่างๆ



รูปที่ 3.136 การเรียงบิตของเรจิสเตอร์ FIR_CONFG_REG



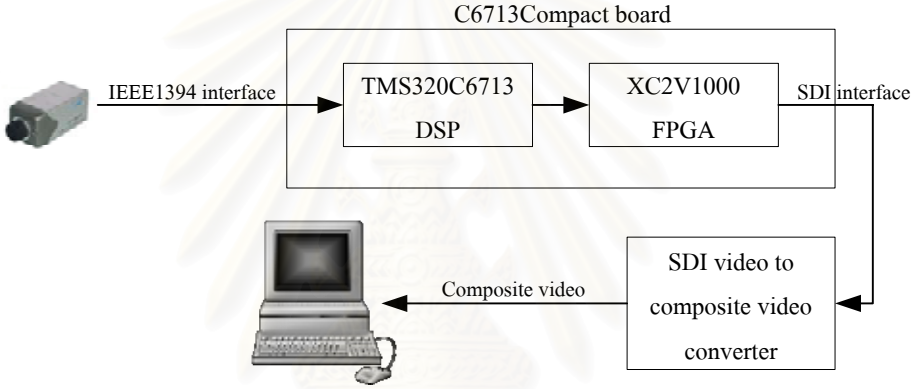
รูปที่ 3.137 การเชื่อมต่อสัญญาณต่างๆเข้ากับเรจิสเตอร์ FIR_CONFG_REG

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 4

ผลการทดสอบวงจร

ในการทดสอบวงจรได้มีการเชื่อมต่ออุปกรณ์ต่างๆเพื่อทดสอบวงจรที่สร้างขึ้นบนเอฟพีจีเอดังแสดงในรูปที่ 4.1 กล้องวีดิทัศน์เชื่อมต่อกับบอร์ด C6713Compact ด้วยส่วนต่อประสาน IEEE 1394 เพื่อถ่ายภาพที่จะเป็นข้อมูลเข้าให้กับเอฟพีจีเอผ่านทางตัวประมวลสัญญาณดิจิทัลและตัวประมวลสัญญาณดิจิทัลจะส่งสัญญาณตั้งค่าเฟรมใหม่ทุกๆ 40 มิลลิวินาทีให้กับเอฟพีจีเอ คอมพิวเตอร์จะถูกใช้ในการจับสัญญาณภาพวีดิทัศน์จากเอฟพีจีเอแต่เนื่องจากแผ่นวงจรจับสัญญาณภาพวีดิทัศน์ไม่มีช่องสัญญาณเข้าสำหรับสัญญาณวีดิทัศน์ SDI แต่มีช่องสัญญาณสำหรับสัญญาณภาพรวม ดังนั้นเราจึงใช้ตัวแปลงสัญญาณวีดิทัศน์ SDI เป็นสัญญาณภาพรวมก่อนที่จะส่งสัญญาณวีดิทัศน์ให้กับคอมพิวเตอร์



รูปที่ 4.1 การเชื่อมต่ออุปกรณ์ต่างๆเพื่อใช้ในการทดสอบวงจรที่สร้างขึ้นบนเอฟพีจีเอ

4.1 การทดสอบเอฟพีจีเอในการประมาณค่าในช่วงจุดภาพย่อย

ในการทดสอบเอฟพีจีเอเพื่อใช้ในการประมาณค่าในช่วงจุดภาพย่อยนั้นภาพที่เอฟพีจีเอได้รับมาจากตัวประมวลสัญญาณดิจิทัลจะแสดงบนจอวีดิทัศน์โดยเคลื่อนที่เป็นวงกลมมีรัศมีเท่ากับ 5 จุดภาพและมีความถี่เท่ากับ 1 เฮิรตซ์ ตัวประมวลสัญญาณดิจิทัลจะคำนวณตำแหน่งของภาพที่จะปรากฏบนจอวีดิทัศน์ ตำแหน่งที่คำนวณได้จะมีทั้งจำนวนเต็มและทศนิยม ตำแหน่งที่เป็นจำนวนเต็มในแนวนอนของฟิลด์คี่และฟิลด์คู่จะนำไปกำหนดค่าให้กับเรจิสเตอร์ X_ORG_REG ฟิลด์คี่และฟิลด์คู่ตามลำดับ และตำแหน่งที่เป็นจำนวนเต็มในแนวตั้งของฟิลด์คี่และฟิลด์คู่จะนำไปกำหนดค่าให้กับเรจิสเตอร์ Y_ORG_REG ฟิลด์คี่และฟิลด์คู่ตามลำดับ ส่วนตำแหน่งที่เป็นทศนิยมจะถูกนำไปคำนวณหาค่าสัมประสิทธิ์ทั้ง 25 ค่าของวงจรกรองทั้งในฟิลด์คี่และฟิลด์คู่เพื่อกำหนดค่าให้กับเรจิสเตอร์ FIR_COEFFICIENT_REG ในการประมาณค่าในช่วงจุดภาพย่อยของภาพ รูปที่ 4.2 ถึง 4.26 แสดงผลลัพธ์ที่ปรากฏบนจอภาพวีดิทัศน์ตั้งแต่เฟรมภาพที่ 1 ถึงเฟรมภาพที่ 25 เรจิสเตอร์ต่างๆของเอฟพีจีเอจะถูกกำหนดให้มีค่าดังต่อไปนี้

- เรจิสเตอร์ SDI_VDO_CONFG_REG = 0007H ซึ่งบิต TEST_PATT เป็น 0 บิต PAL_VDO FST_PIX_IN_EVEN และบิต SDI_EN เป็น 1

- เรจิสเตอร์ FIR_CONFG_REG = 0000H ซึ่งบิต GRAY_PICTURE เป็น 0 และบิต BYPASS เป็น 0
- เรจิสเตอร์ BRIGHTNESS_REG = 0000H ซึ่งมีค่าเท่ากับ 0.0
- เรจิสเตอร์ CONTRAST_REG = 1000H ซึ่งมีค่าเท่ากับ 1.0

รูปที่ 4.2 เฟรมภาพที่ 1 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย

รูปที่ 4.3 เฟรมภาพที่ 2 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย

รูปที่ 4.4 เฟรมภาพที่ 3 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย

รูปที่ 4.5 เฟรมภาพที่ 4 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย

รูปที่ 4.6 เฟรมภาพที่ 5 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย

รูปที่ 4.7 เฟรมภาพที่ 6 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย

รูปที่ 4.8 เฟรมภาพที่ 7 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย

รูปที่ 4.9 เฟรมภาพที่ 8 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย

รูปที่ 4.10 เฟรมภาพที่ 9 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย

รูปที่ 4.11 เฟรมภาพที่ 10 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย

รูปที่ 4.12 เฟรมภาพที่ 11 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย

รูปที่ 4.13 เฟรมภาพที่ 12 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย

รูปที่ 4.14 เฟรมภาพที่ 13 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย

รูปที่ 4.15 เฟรมภาพที่ 14 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย

รูปที่ 4.16 เฟรมภาพที่ 15 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย

รูปที่ 4.17 เฟรมภาพที่ 16 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย

รูปที่ 4.18 เฟรมภาพที่ 17 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย

รูปที่ 4.19 เฟรมภาพที่ 18 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย

รูปที่ 4.20 เฟรมภาพที่ 19 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย

รูปที่ 4.21 เฟรมภาพที่ 20 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย

รูปที่ 4.22 เฟรมภาพที่ 21 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย

รูปที่ 4.23 เฟรมภาพที่ 22 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย

รูปที่ 4.24 เฟรมภาพที่ 23 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย

รูปที่ 4.25 เฟรมภาพที่ 24 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย

รูปที่ 4.26 เฟรมภาพที่ 25 บนจอภาพแสดงผลการทดสอบการประมาณค่าในช่วงจุดภาพย่อย

4.2 การทดสอบสัญญาณภาพทดสอบที่สร้างขึ้นภายในเอฟพีจีเอ

จากการทดสอบสัญญาณภาพทดสอบที่สร้างขึ้นภายในเอฟพีจีเอจะได้ผลดังแสดงในรูปที่ 4.27 โดยกำหนดค่าให้กับเรจิสเตอร์ต่างๆของเอฟพีจีเอให้มีค่าดังต่อไปนี้

- เรจิสเตอร์ SDI_VDO_CONFG_REG = 000FH ซึ่งบิต TEST_PATT PAL_VDO FST_PIX_IN_EVEN และบิต SDI_EN เป็น 1
- เรจิสเตอร์ FIR_CONFG_REG = 0001H ซึ่งบิต GRAY_PICTURE เป็น 0 และบิต BYPASS เป็น 1
- เรจิสเตอร์ BRIGHTNESS_REG = 0000H ซึ่งมีค่าเท่ากับ 0.0
- เรจิสเตอร์ CONTRAST_REG = 1000H ซึ่งมีค่าเท่ากับ 1.0

รูปที่ 4.27 ภาพบนจอภาพแสดงภาพทดสอบที่สร้างขึ้นภายในเอฟพีจีเอ

4.3 การทดสอบการกำหนดขนาดของภาพที่เอฟพีจีเอได้รับมาจากตัวประมวลสัญญาณดิจิทัลที่จะปรากฏบนจอภาพ

จากการทดสอบการกำหนดขนาดของภาพที่เอฟพีจีเอได้รับมาจากตัวประมวลสัญญาณดิจิทัลที่ปรากฏบนจอภาพจะได้ผลลัพธ์ดังในรูปที่ 4.28 สำหรับการกำหนดให้ภาพบนจอภาพมีขนาดความกว้าง 640 จุดภาพและความสูง 480 จุดภาพ และรูปที่ 4.29 การกำหนดให้ภาพบนจอภาพมีขนาดความกว้าง 320 จุดภาพและความสูง 240 จุดภาพ โดยกำหนดค่าให้กับเรจิสเตอร์ต่างๆของเอฟพีจีเอให้มีค่าดังต่อไปนี้

ค่าของเรจิสเตอร์สำหรับภาพที่มีขนาดความกว้าง 640 จุดภาพและความสูง 480 จุดภาพ

- เรจิสเตอร์ SDI_VDO_CONFG_REG = 0007H ซึ่งบิต TEST_PATT เป็น 0 บิต PAL_VDO FST_PIX_IN_EVEN และบิต SDI_EN เป็น 1
- เรจิสเตอร์ FIR_CONFG_REG = 0001H ซึ่งบิต GRAY_PICTURE เป็น 0 และบิต BYPASS เป็น 1
- เรจิสเตอร์ BRIGHTNESS_REG = 0000H ซึ่งมีค่าเท่ากับ 0.0
- เรจิสเตอร์ CONTRAST_REG = 1000H ซึ่งมีค่าเท่ากับ 1.0
- เรจิสเตอร์ PIC_WIDTH_REG = 0280H ซึ่งมีค่าเท่ากับ 640 ทั้งฟิลด์คี่และฟิลด์คู่
- เรจิสเตอร์ PIC_HEIGHT_REG = 01E0H ซึ่งมีค่าเท่ากับ 480 ทั้งฟิลด์คี่และฟิลด์คู่
- เรจิสเตอร์ X_ORG_REG = 0000H ซึ่งมีค่าเท่ากับ 0 ทั้งฟิลด์คี่และฟิลด์คู่
- เรจิสเตอร์ Y_ORG_REG = 0000H ซึ่งมีค่าเท่ากับ 0 ทั้งฟิลด์คี่และฟิลด์คู่

ค่าของเรจิสเตอร์สำหรับภาพที่มีขนาดความกว้าง 320 จุดภาพและความสูง 240 จุดภาพ

- เรจิสเตอร์ SDI_VDO_CONFG_REG = 0007H ซึ่งบิต TEST_PATT เป็น 0 บิต PAL_VDO FST_PIX_IN_EVEN และบิต SDI_EN เป็น 1
- เรจิสเตอร์ FIR_CONFG_REG = 0001H ซึ่งบิต GRAY_PICTURE เป็น 0 และบิต BYPASS เป็น 1

- เรจิสเตอร์ BRIGHTNESS_REG = 0000H ซึ่งมีค่าเท่ากับ 0.0
- เรจิสเตอร์ CONTRAST_REG = 1000H ซึ่งมีค่าเท่ากับ 1.0
- เรจิสเตอร์ PIC_WIDTH_REG = 0140H ซึ่งมีค่าเท่ากับ 320 ทั้งฟิลด์คี่และฟิลด์คู่
- เรจิสเตอร์ PIC_HEIGHT_REG = 00F0H ซึ่งมีค่าเท่ากับ 240 ทั้งฟิลด์คี่และฟิลด์คู่
- เรจิสเตอร์ X_ORG_REG = 0000H ซึ่งมีค่าเท่ากับ 0 ทั้งฟิลด์คี่และฟิลด์คู่
- เรจิสเตอร์ Y_ORG_REG = 0000H ซึ่งมีค่าเท่ากับ 0 ทั้งฟิลด์คี่และฟิลด์คู่

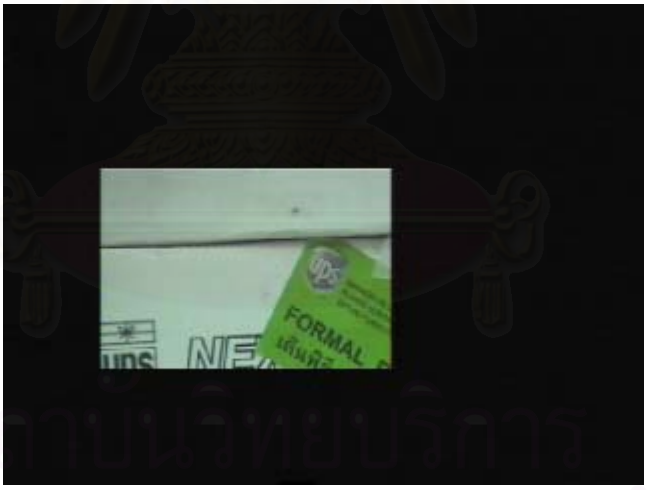
รูปที่ 4.28 ภาพบนจอภาพแสดงภาพที่มีขนาดความกว้าง 640 จุดภาพและความสูง 480 จุดภาพที่เอฟพีจีเอได้รับมาจากตัวประมวลสัญญาณดิจิทัล

รูปที่ 4.29 ภาพบนจอภาพแสดงภาพที่มีขนาดความกว้าง 320 จุดภาพและความสูง 240 จุดภาพที่เอฟพีจีเอได้รับมาจากตัวประมวลสัญญาณดิจิทัล

4.4 การทดสอบการกำหนดตำแหน่งของภาพที่เอฟพีจีเอได้รับมาจากตัวประมวลสัญญาณดิจิทัลที่จะปรากฏบนจอภาพ

จากการทดสอบการกำหนดตำแหน่งของภาพที่เอฟพีจีเอได้รับมาจากตัวประมวลสัญญาณดิจิทัลที่จะปรากฏบนจอภาพจะได้ผลลัพธ์ดังในรูปที่ 4.30 ซึ่งกำหนดให้ภาพที่เอฟพีจีเอได้รับไปปรากฏที่100 จุดภาพจากขอบซ้ายของจอภาพและ 200 จุดภาพจากขอบบนของจอภาพ โดยกำหนดค่าให้กับเรจิสเตอร์ต่างๆของเอฟพีจีเอให้มีค่าดังต่อไปนี้

- เรจิสเตอร์ SDI_VDO_CONFG_REG = 0007H ซึ่งบิต TEST_PATT เป็น 0 บิต PAL_VDO FST_PIX_IN_EVEN และบิต SDI_EN เป็น 1
- เรจิสเตอร์ FIR_CONFG_REG = 0001H ซึ่งบิต GRAY_PICTURE เป็น 0 และบิต BYPASS เป็น 1
- เรจิสเตอร์ BRIGHTNESS_REG = 0000H ซึ่งมีค่าเท่ากับ 0.0
- เรจิสเตอร์ CONTRAST_REG = 1000H ซึ่งมีค่าเท่ากับ 1.0
- เรจิสเตอร์ PIC_WIDTH_REG = 0140H ซึ่งมีค่าเท่ากับ 320 ทั้งฟิลด์คี่และฟิลด์คู่
- เรจิสเตอร์ PIC_HEIGHT_REG = 00F0H ซึ่งมีค่าเท่ากับ 240 ทั้งฟิลด์คี่และฟิลด์คู่
- เรจิสเตอร์ X_ORG_REG = 0064H ซึ่งมีค่าเท่ากับ 100 ทั้งฟิลด์คี่และฟิลด์คู่
- เรจิสเตอร์ Y_ORG_REG = 00C8H ซึ่งมีค่าเท่ากับ 200 ทั้งฟิลด์คี่และฟิลด์คู่

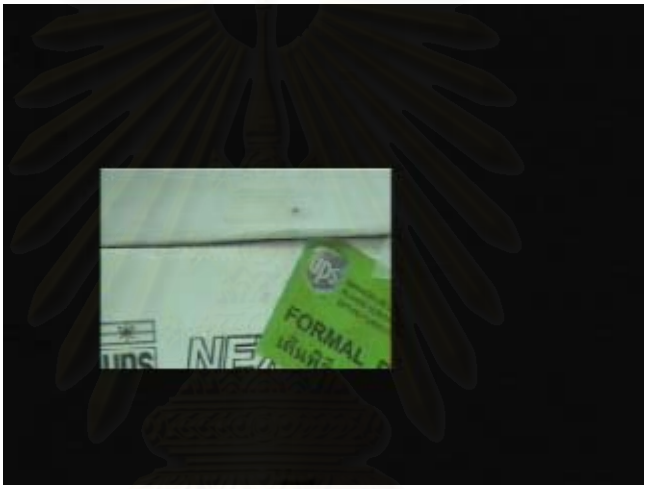


รูปที่ 4.30 ภาพบนจอภาพจากการกำหนดให้ภาพที่เอฟพีจีเอได้รับไปปรากฏที่100 จุดภาพจากขอบซ้ายของจอภาพและ 200 จุดภาพจากขอบบนของจอภาพ

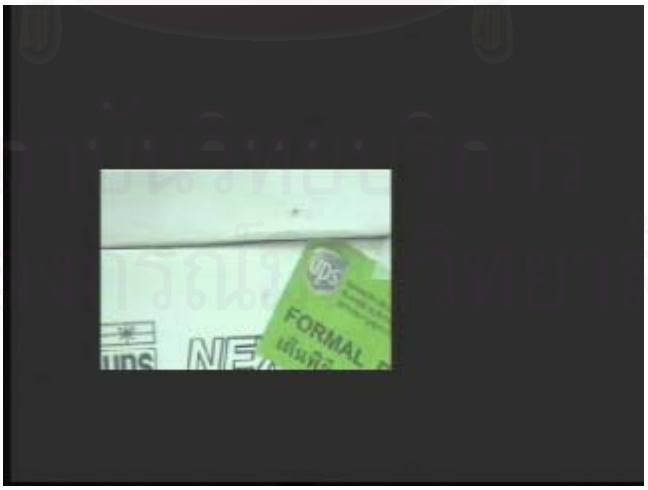
4.5 การทดสอบการปรับค่าความสว่างของภาพ

จากการทดสอบการปรับค่าความสว่างของภาพจากภาพที่มีค่าความสว่างเท่ากับ 0.0 (เรจิสเตอร์ BRIGHTNESS_REG มีค่าเท่ากับ 0000H) และค่าความเปรียบต่างเท่ากับ 1.0 (เรจิสเตอร์ CONTRAST_REG มีค่าเท่ากับ 1000H) ดังในรูปที่ 4.31 โดยปรับค่าความสว่างให้เท่ากับ 50.0 จะทำให้ได้ผลลัพธ์ดังในรูปที่ 4.32 ซึ่งจะมีการกำหนดค่าให้กับเรจิสเตอร์ต่างๆของเอฟพีจีเอให้มีค่าดังต่อไปนี้

- เรจิสเตอร์ SDI_VDO_CONFG_REG = 0007H ซึ่งบิต TEST_PATT เป็น 0 บิต PAL_VDO FST_PIX_IN_EVEN และบิต SDI_EN เป็น 1
- เรจิสเตอร์ FIR_CONFG_REG = 0001H ซึ่งบิต GRAY_PICTURE เป็น 0 และบิต BYPASS เป็น 1
- เรจิสเตอร์ BRIGHTNESS_REG = 0032H ซึ่งมีค่าเท่ากับ 50.0
- เรจิสเตอร์ CONTRAST_REG = 1000H ซึ่งมีค่าเท่ากับ 1.0
- เรจิสเตอร์ PIC_WIDTH_REG = 0140H ซึ่งมีค่าเท่ากับ 320 ทั้งฟิลด์คี่และฟิลด์คู่
- เรจิสเตอร์ PIC_HEIGHT_REG = 00F0H ซึ่งมีค่าเท่ากับ 240 ทั้งฟิลด์คี่และฟิลด์คู่
- เรจิสเตอร์ X_ORG_REG = 0064H ซึ่งมีค่าเท่ากับ 100 ทั้งฟิลด์คี่และฟิลด์คู่
- เรจิสเตอร์ Y_ORG_REG = 00C8H ซึ่งมีค่าเท่ากับ 200 ทั้งฟิลด์คี่และฟิลด์คู่



รูปที่ 4.31 ภาพบนจอภาพที่มีค่าความสว่างเท่ากับ 0.0 และค่าความเปรียบต่างเท่ากับ 1.0

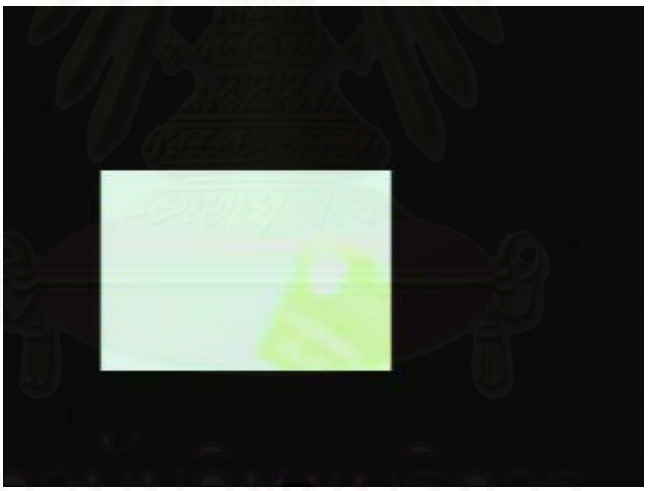


รูปที่ 4.32 ภาพบนจอภาพที่มีค่าความสว่างเท่ากับ 50.0 และค่าความเปรียบต่างเท่ากับ 1.0

4.6 การทดสอบการปรับค่าความเปรียบต่างของภาพ

จากการทดสอบการปรับค่าความเปรียบต่างของภาพจากภาพที่มีค่าความสว่างเท่ากับ 0.0 (เรจิสเตอร์ BRIGHTNESS_REG มีค่าเท่ากับ 0000H) และค่าความเปรียบต่างเท่ากับ 1.0 (เรจิสเตอร์ CONTRAST_REG มีค่าเท่ากับ 1000H) ดังในรูปที่ 4.31 โดยปรับค่าความเปรียบต่างให้เท่ากับ 10.0 จะทำให้ได้ผลลัพธ์ดังในรูปที่ 4.33 ซึ่งจะมีการกำหนดค่าให้กับเรจิสเตอร์ต่างๆของเอฟพีจีเอให้มีค่าดังต่อไปนี้

- เรจิสเตอร์ SDI_VDO_CONFG_REG = 0007H ซึ่งบิต TEST_PATT เป็น 0 บิต PAL_VDO FST_PIX_IN_EVEN และบิต SDI_EN เป็น 1
- เรจิสเตอร์ FIR_CONFG_REG = 0001H ซึ่งบิต GRAY_PICTURE เป็น 0 และบิต BYPASS เป็น 1
- เรจิสเตอร์ BRIGHTNESS_REG = 0000H ซึ่งมีค่าเท่ากับ 0.0
- เรจิสเตอร์ CONTRAST_REG = A000H ซึ่งมีค่าเท่ากับ 10.0
- เรจิสเตอร์ PIC_WIDTH_REG = 0140H ซึ่งมีค่าเท่ากับ 320 ทั้งฟิลด์คี่และฟิลด์คู่
- เรจิสเตอร์ PIC_HEIGHT_REG = 00F0H ซึ่งมีค่าเท่ากับ 240 ทั้งฟิลด์คี่และฟิลด์คู่
- เรจิสเตอร์ X_ORG_REG = 0064H ซึ่งมีค่าเท่ากับ 100 ทั้งฟิลด์คี่และฟิลด์คู่
- เรจิสเตอร์ Y_ORG_REG = 00C8H ซึ่งมีค่าเท่ากับ 200 ทั้งฟิลด์คี่และฟิลด์คู่



รูปที่ 4.33 ภาพบนจอภาพที่มีค่าความสว่างเท่ากับ 0.0 และค่าความเปรียบต่างเท่ากับ 10.0

4.7 การทดสอบการกำหนดค่าสัมประสิทธิ์ของวงจรกรองสองมิติเพื่อสร้างตัวกรองผ่านต่ำ

จากการทดสอบการกำหนดค่าสัมประสิทธิ์ของวงจรกรองสองมิติเพื่อสร้างตัวกรองผ่านต่ำจะได้ผลลัพธ์ดังในรูปที่ 4.34 โดยกำหนดค่าสัมประสิทธิ์ทุกตัวให้มีค่าเท่ากับ 0.04 เรจิสเตอร์ต่างๆของเอฟพีจีเอจะถูกกำหนดให้มีค่าดังต่อไปนี้

- เรจิสเตอร์ SDI_VDO_CONFG_REG = 0007H ซึ่งบิต TEST_PATT เป็น 0 บิต PAL_VDO FST_PIX_IN_EVEN และบิต SDI_EN เป็น 1
- เรจิสเตอร์ FIR_CONFG_REG = 0000H ซึ่งบิต GRAY_PICTURE เป็น 0 และบิต BYPASS เป็น 0

- เรจิสเตอร์ BRIGHTNESS_REG = 0000H ซึ่งมีค่าเท่ากับ 0.0
- เรจิสเตอร์ CONTRAST_REG = 1000H ซึ่งมีค่าเท่ากับ 1.0
- เรจิสเตอร์ PIC_WIDTH_REG = 0280H ซึ่งมีค่าเท่ากับ 640 ทั้งฟิลด์คี่และฟิลด์คู่
- เรจิสเตอร์ PIC_HEIGHT_REG = 01E0H ซึ่งมีค่าเท่ากับ 480 ทั้งฟิลด์คี่และฟิลด์คู่
- เรจิสเตอร์ X_ORG_REG = 0014H ซึ่งมีค่าเท่ากับ 20 ทั้งฟิลด์คี่และฟิลด์คู่
- เรจิสเตอร์ Y_ORG_REG = 0014H ซึ่งมีค่าเท่ากับ 20 ทั้งฟิลด์คี่และฟิลด์คู่
- เรจิสเตอร์ FIR_COEFFICIENT_REG = 0288H ซึ่งมีค่าเท่ากับ 0.04 ทั้ง 25 ตัวของฟิลด์คี่และฟิลด์คู่

รูปที่ 4.34 ภาพบนจอภาพจากการกำหนดค่าสัมประสิทธิ์ของวงจรกรองสองมิติให้มีค่าเท่ากับ 0.04 (0288H) ทั้ง 25 ตัวของฟิลด์คี่และฟิลด์คู่เพื่อสร้างตัวกรองผ่านต่ำ

4.8 ผลการทดสอบการกำหนดค่าสัมประสิทธิ์ของวงจรกรองสองมิติเพื่อสร้างตัวกรองตรวจหาขอบภาพ

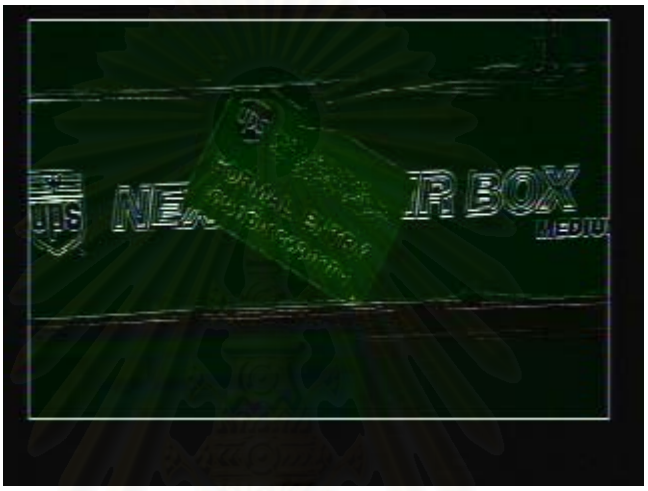
จากการทดสอบการกำหนดค่าสัมประสิทธิ์ของวงจรกรองสองมิติเพื่อสร้างตัวกรองตัวกรองตรวจหาขอบภาพจะได้ผลลัพธ์ดังในรูปที่ 4.36 โดยกำหนดค่าสัมประสิทธิ์ดังในรูปที่ 4.35 ทั้งฟิลด์คี่และฟิลด์คู่ เรจิสเตอร์ต่างๆของเอฟพีจีเอจะถูกกำหนดให้มีค่าดังต่อไปนี้

- เรจิสเตอร์ SDI_VDO_CONFG_REG = 0007H ซึ่งบิต TEST_PATT เป็น 0 บิต PAL_VDO FST_PIX_IN_EVEN และบิต SDI_EN เป็น 1
- เรจิสเตอร์ FIR_CONFG_REG = 0000H ซึ่งบิต GRAY_PICTURE เป็น 0 และบิต BYPASS เป็น 0
- เรจิสเตอร์ BRIGHTNESS_REG = 0000H ซึ่งมีค่าเท่ากับ 0.0
- เรจิสเตอร์ CONTRAST_REG = A000H ซึ่งมีค่าเท่ากับ 10.0
- เรจิสเตอร์ PIC_WIDTH_REG = 0280H ซึ่งมีค่าเท่ากับ 640 ทั้งฟิลด์คี่และฟิลด์คู่
- เรจิสเตอร์ PIC_HEIGHT_REG = 01E0H ซึ่งมีค่าเท่ากับ 480 ทั้งฟิลด์คี่และฟิลด์คู่
- เรจิสเตอร์ X_ORG_REG = 0014H ซึ่งมีค่าเท่ากับ 20 ทั้งฟิลด์คี่และฟิลด์คู่

- เรจิสเตอร์ Y_ORG_REG = 0014H ซึ่งมีค่าเท่ากับ 20 ทั้งฟิลด์คี่และฟิลด์คู่

0	0	0	0	0
0	-0.1	-0.1	-0.1	0
0	-0.1	0.8	-0.1	0
0	-0.1	-0.1	-0.1	0
0	0	0	0	0

รูปที่ 4.35 ค่าสัมประสิทธิ์ของวงจรกรองทั้งฟิลด์คี่และฟิลด์คู่เพื่อสร้างตัวกรองตรวจหาขอบภาพ



รูปที่ 4.36 ภาพบนจอภาพจากการกำหนดค่าสัมประสิทธิ์ของวงจรกรองสองมิติดังในรูปที่ 4.35 เพื่อสร้างตัวกรองตรวจหาขอบภาพ

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 5

สรุปผลการทดสอบและข้อเสนอแนะ

5.1 สรุปผลการทดสอบ

งานวิจัยนี้ได้ออกแบบและสร้างวงจรให้กับเอฟพีจีเอเพื่อนำไปใช้ในการส่งสัญญาณวีดิทัศน์ดิจิทัลและตัวกรองสองมิติสำหรับกรองข้อมูลภาพที่เอฟพีจีเอได้รับก่อนจะแปลงเป็นสัญญาณวีดิทัศน์ จากการทดลองเอฟพีจีเอสามารถส่งข้อมูลภาพที่ได้รับออกไปเป็นสัญญาณวีดิทัศน์เพื่อแสดงผลบนจอวีดิทัศน์ได้ สามารถปรับเปลี่ยนค่าสัมประสิทธิ์ของตัวกรองเพื่อใช้ในการประมาณค่าในช่วงจุดภาพย่อยได้ซึ่งทำให้ภาพที่ตัวประมวลสัญญาณดิจิทัลส่งให้กับเอฟพีจีเอเพื่อแสดงบนจอวีดิทัศน์สามารถเคลื่อนที่ได้อย่างราบรื่นไม่เกิดการกระโดด สามารถที่จะปรับเปลี่ยนขนาดและตำแหน่งของภาพที่เอฟพีจีเอได้รับบนจอวีดิทัศน์ตามต้องการได้ สามารถปรับเปลี่ยนค่าความเปรียบต่างและค่าความสว่างได้ และสามารถปรับเปลี่ยนค่าสัมประสิทธิ์ของตัวกรองเพื่อสร้างเป็นวงจรกรองแบบต่างๆตามต้องการได้

5.2 ข้อเสนอแนะ

งานวิจัยนี้ได้มีการกรองข้อมูลภาพก่อนที่จะแปลงเป็นสัญญาณวีดิทัศน์ ภาพที่ปรากฏบนจอวีดิทัศน์จะมีทั้งภาพในส่วนที่ได้รับจากตัวประมวลสัญญาณดิจิทัลและภาพในส่วนที่เอฟพีจีเอเพิ่มเติมเพื่อที่จะให้ภาพทั้งหมดมีขนาดเท่ากับภาพแอ็กทิฟของสัญญาณวีดิทัศน์ ภาพจะผ่านการกรองทั้งหมดรวมทั้งบริเวณที่ไม่ใช่ส่วนที่เอฟพีจีเอได้รับมาจากตัวประมวลสัญญาณดิจิทัลด้วย ดังนั้นข้อมูลภาพในบริเวณนี้จึงมีผลต่อภาพที่ผ่านการกรองด้วย ถ้าไม่ต้องการให้ภาพในส่วนนี้มีผลต่อการกรองเอฟพีจีเอจะต้องกรองภาพที่ได้รับมาก่อนที่จะเพิ่มเติมภาพส่วนที่เหลือ

เมื่อนำงานวิจัยนี้ไปใช้กับเอฟพีจีเอที่อยู่บนบอร์ด C6713Compact เพื่อทำให้สัญญาณภาพวีดิทัศน์จากกล้องมีเสถียรภาพโดยใช้ตัวประมวลสัญญาณดิจิทัลเป็นตัวประมวลผลแล้วส่งข้อมูลที่ผ่านการประมวลผลให้กับเอฟพีจีเอเพื่อแสดงผลบนจอภาพ ภาพที่ปรากฏบนจอภาพบริเวณด้านบนของจอภาพจะมีลักษณะเหมือนมีสัญญาณรบกวนสาเหตุเนื่องจากไม่มีข้อมูลภาพในบัฟเฟอร์เมื่อเอฟพีจีเอต้องการข้อมูลภาพเพื่อสร้างสัญญาณวีดิทัศน์เพราะตัวประมวลสัญญาณดิจิทัลไม่สามารถส่งข้อมูลให้กับเอฟพีจีเอได้ทันเวลาเมื่อเอฟพีจีเอส่งสัญญาณขัดจังหวะไป ซึ่งสามารถแก้ไขได้โดยการเพิ่มขนาดของบัฟเฟอร์ที่ใช้รับข้อมูลภาพจากตัวประมวลสัญญาณดิจิทัลจากที่สามารถเก็บข้อมูลเข้าได้ 1024 ค่าให้เพิ่มเป็น 2048 ค่า

รายการอ้างอิง

1. Hardware Reference Guide Micro-Line® C6713Compact High performance DSP / FPGA / IEEE 1394 board. Germany: Orsys Orth System GmbH, 2003.
2. TMS320C6000 Peripherals Reference Guide. Texas: Texas Instruments Incorporated, 2001.
3. Ralf Kreuger. Virtex-EM FIR Filter for Video Application. Xilinx application note XAPP241, Available on www.xilinx.com, 2005.
4. Keshab K. Parhi. VLSI digital signal processing systems : design and implementation. New York : John Wiley & Sons, Inc., 1999.
5. Stephen D. Brown, Zvonko G. Vranesic. Fundamentals of digital logic with VHDL design. The McGraw-Hill Companies, Inc, 2000.
6. John F. Snow. Digital Video Test Pattern Generators. Xilinx application note XAPP248, Available on www.xilinx.com, 2005.
7. John F. Snow. Serial Digital Interface (SDI) Physical Layer Implementation. Xilinx application note XAPP247, Available on www.xilinx.com,2005 .
8. John F. Snow. Serial Digital Interface (SDI) Video Encoder. Xilinx application note XAPP298, Available on www.xilinx.com,2005 .
9. Keith Jack. Video Demystified A Handbook for the Digital Engineer. LLH Technology Publishing, Eagle Rock, 2001.
10. John G. Proakis, Dimitris G. Manolakis. Introduction to Digital Signal Processing. New York : McGraw- Hill, 1988.

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

ประวัติผู้เขียนวิทยานิพนธ์

นายกิตติ ทองประดับเพชร เกิดเมื่อวันที่ 26 ธันวาคม พ.ศ. 2520 ที่อำเภอหาดใหญ่ จังหวัดสงขลา สำเร็จการศึกษาปริญญาวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมอิเล็กทรอนิกส์และโทรคมนาคม จากมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี เมื่อ พ.ศ.2544 หลังจากนั้นได้เข้าศึกษาต่อในหลักสูตรวิศวกรรมศาสตรมหาบัณฑิตสาขาวิศวกรรมไฟฟ้า จุฬาลงกรณ์มหาวิทยาลัย ในปี พ.ศ. 2547

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย