การลดขนาดโปรแกรมในระบบฝังในโดยใช้วงจรแปลงรหัสไบต์

นายภานุพันธ์ นันทนาวุฒิ

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมคอมพิวเตอร์ ภาควิชาวิศวกรรมคอมพิวเตอร์
คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย
ปีการศึกษา 2547

ISBN 974-17-6380-8

ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย

CODE-SIZE REDUCTION FOR EMBEDDED SYSTEMS USING A BYTECODE TRANSLATOR CIRCUIT

Mr. Phanupan Nanthanavoot

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

A Thesis Submitted in Partial Fulfillment of the Requirements
for the Degree of Master of Engineering in Computer Engineering
Department of Computer Engineering
Faculty of Engineering
Chulalongkorn University
Academic Year 2004

ISBN 974-17-6380-8

หัวข้อวิทยานิพนธ์	การลดขนาดโปรแกรมในระบบฝังในโดยใช้วงจรแปลงรหัสไบต์
โดย	นายภานุพันธ์ นันทนาวุฒิ
สาขาวิชา	วิศวกรรมคอมพิวเตอร์
อาจารย์ที่ปรึกษา	รองศาสตราจารย์ ดร.ประภาส จงสถิตย์วัฒนา

คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย อนุมัติให้นับวิทยานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญามหาบัณฑิต

..... คณบดีคณะวิศวกรรมศาสตร์
(ศาสตราจารย์ ดร.ดิเรก ลาวัณย์ศิริ)

คณะกรรมการสอบวิทยานิพนธ์

..... ประธานกรรมการ
(อาจารย์ ดร.อาทิตย์ ทองทักษ์)

..... อาจารย์ที่ปรึกษา
(รองศาสตราจารย์ ดร.ประภาส จงสถิตย์วัฒนา)

..... กรรมการ
(ดร.พันศักดิ์ ศิริรัชตพงษ์)

..... กรรมการ
(รองศาสตราจารย์ ดร.เอกชัย ลีลารัศมี)

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

นายภานุพันธ์ นันทนาวุฒิ : การลดขนาดโปรแกรมในระบบฝังในโดยใช้วงจรแปลงรหัสไบต์. (CODE-SIZE REDUCTION FOR EMBEDDED SYSTEMS USING A TRANSLATOR CIRCUIT) อ.ที่ปรึกษา : รศ.ดร.ประภาส จงสถิตย์วัฒนา, 104 หน้า. ISBN 974-17-6380-8.

วิทยานิพนธ์นี้นำเสนอวิธีลดขนาดโปรแกรมสำหรับระบบฝังตัวโดยใช้แนวคิดของเครื่องเสมือนซึ่งเปิดโอกาสให้ระบบสามารถใช้โปรแกรมในรูปแบบชุดคำสั่งรหัสไบต์แทนชุดคำสั่งเดิมได้ ทำให้ขนาดของโปรแกรมฝังตัวมีขนาดเล็กลง แต่เครื่องเสมือนทำให้การทำงานของระบบช้าลงมากเนื่องจากเครื่องเสมือนจำเป็นต้องใช้ซอฟต์แวร์แปลคำสั่งในการทำงาน ในวิทยานิพนธ์นี้จึงนำเสนอการใช้วงจรแปลคำสั่งแทนซอฟต์แวร์แปลคำสั่งเพื่อเพิ่มสมรรถนะการทำงาน

ในงานวิจัยนี้ได้ประยุกต์วิธีดังกล่าวบนหน่วยประมวลผล C1 การทดลองใช้โปรแกรมวัดเปรียบเทียบสมรรถนะแบบจำนวนเต็มของแสตนฟอร์ดเพื่อขนาดของโปรแกรมฝังตัว พบมีอัตราการบีบอัดเฉลี่ยเท่ากับ 0.63 และการทำงานของเครื่องเสมือนช้าลงประมาณ 3 เท่าของการทำงานกับชุดคำสั่งเดิม

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

ภาควิชา.... วิศวกรรมคอมพิวเตอร์..... ลายมือชื่อนิสิต....ภานุพันธ์ นันทนาวุฒิ.....
สาขาวิชา....วิศวกรรมคอมพิวเตอร์..... ลายมือชื่ออาจารย์ที่ปรึกษา.....ประภาส จงสถิตย์วัฒนา
ปีการศึกษา .....2547..... ลายมือชื่ออาจารย์ที่ปรึกษาร่วม.....

45704652 : MAJOR Computer Engineering

KEY WORD: CODE-SIZE REDUCTION / EMBEDDED SYSTEMS / BYTECODE / INTERPRETER CIRCUIT / HARDWARE DESIGN

PHANUPAN NANTHANAVOOT : CODE-SIZE REDUCTION FOR EMBEDDED SYSTEMS USING A TRANSLATOR CIRCUIT. THESIS ADVISOR : ASSOC. PROF. PRABHAS CHONGSTITVATANA, 104 pp.

ISBN 974-17-6380-8.

This thesis proposes a technique of code-size reduction for embedded systems by using the concept of virtual machine which allows for using the programs compiled into bytecodes instead of native codes. The total size of program is, therefore, smaller. However, the virtual machine will slow down the system execution because it must use software interpreter to interpret the bytecode during its execution. This research proposes using an interpreter circuit instead of a software interpreter to improve the performance.

The interpreter circuit is applied to a prototype based on C1 processor. The experiments using Stanford integer benchmark show that a program written in bytecodes has an average compression ratio 0.63. The overhead of using interpreter circuit is approximately 3 times of executing native codes directly.

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

Department..... Computer Engineering....	Student's.....Phanupan Nanthanavoot.....
Field of study.... Computer Engineering....	Advisor's.....P. Chongstitvatana.....
Academic year .....2004.....	Co-advisor's.....

กิตติกรรมประกาศ

วิทยานิพนธ์นี้สำเร็จออกมาได้ด้วยความกรุณาของ รศ.ดร.ประภาส จงสถิตย์วัฒนา อาจารย์ที่ปรึกษา ซึ่งนอกจากจะช่วยให้คำแนะนำและความคิดเห็นเกี่ยวกับงานวิจัยแล้ว ยังสอนความรู้อื่นๆ อีกมากมายซึ่งมีส่วนในการเปิดโลกทัศน์การเรียนรู้ของข้าพเจ้าเป็นอย่างมาก

ขอขอบคุณแอนนี่ที่ช่วยตรวจแก้บทความและบทพูดที่เป็นภาษาอังกฤษให้หลายครั้ง และที่สำคัญยังช่วยสนับสนุนและให้กำลังใจข้าพเจ้าเสมอมา

ขอขอบคุณเพื่อนๆ พี่ๆ และน้องๆ ทุกคนในห้องปฏิบัติการชั้น 20 ที่ช่วยแก้ปัญหาเบ็ดเตล็ดต่างๆ ทั้งที่เกี่ยวกับงานวิจัยและนอกเหนือจากงานวิจัย

และเหนือสิ่งอื่นใดข้าพเจ้าคงไม่มีทางทำงานวิจัยนี้สำเร็จถ้าขาดพระคุณของคุณพ่อและคุณแม่ที่ให้กำเนิด อบรมเลี้ยงดู สอนความรู้ ให้โอกาส และห่วงใยดูแลข้าพเจ้าเสมอมา

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญ

หน้า

บทคัดย่อภาษาไทย ..... ง

บทคัดย่อภาษาอังกฤษ ..... จ

กิตติกรรมประกาศ ..... ฉ

สารบัญ ..... ช

สารบัญภาพ ..... ญ

สารบัญตาราง ..... ฐ

บทที่

1 บทนำ 1

1.1 ความเป็นมาและความสำคัญของปัญหา 1

1.1.1 การลดขนาดโปรแกรม 4

1.1.2 ชุดคำสั่งกลาง และการแปลคำสั่ง 5

1.2 วัตถุประสงค์ 7

1.3 ขอบเขตงานวิจัย 7

1.4 ขั้นตอนและวิธีดำเนินงานวิจัย 8

1.5 ประโยชน์ที่คาดว่าจะได้รับ 8

1.6 ลำดับการจัดเรียงเนื้อหาในวิทยานิพนธ์ 8

1.7 ผลงานที่ตีพิมพ์จากวิทยานิพนธ์ 9

2 งานวิจัยที่เกี่ยวข้อง 11

2.1 การดัดแปลงการออกแบบชุดคำสั่งของหน่วยประมวลผลแบบริสก์ 12

2.2 การบีบอัดโปรแกรมในระดับชุดคำสั่ง 13

2.2.1 การบีบอัดโปรแกรมสำหรับหน่วยประมวลผลแบบริสก์ 13

2.2.2 วิธีจัดเก็บในพจนานุกรม 14

2.2.3 IBM CodePack 16

2.3 การแปลคำสั่ง 17

2.3.1 BRISC 17

2.3.2 Pipeline Interpreter 19

3 รายละเอียดของอุปกรณ์พื้นฐาน 20

3.1 แสตกและการทำงานของหน่วยประมวลผล 20

สารบัญ(ต่อ)

บทที่ หน้า

3.1.1 กลไกในการหาค่านิพจน์ 21
3.1.2 กลไกในการเรียกโปรแกรมย่อย 22
3.1.3 แสตกแคชชิ่ง 23
3.2 ชุดคำสั่งแบบแสตก SM1 24
3.3 รายละเอียดของหน่วยประมวลผล C1 28
3.3.1 รายละเอียดชุดคำสั่ง 28
3.3.2 สถาปัตยกรรม 34
4 การออกแบบเครื่องเสมือน 41
4.1 การออกแบบเครื่องเสมือนแบบแสตก 41
4.1.1 การทำงานตามชุดคำสั่งรหัสไบต์ด้วยชุดคำสั่งเดิม 43
4.1.2 แนวคิดการทำงานของเครื่องเสมือน 44
4.1.3 การจัดสรรทรัพยากรในการประมวลผลคำสั่งรหัสไบต์ 47
4.1.4 การออกแบบเครื่องเสมือน 48
4.2 การปรับปรุงหน่วยประมวลผล 50
4.3 การออกแบบวงจรแปลคำสั่ง 51
4.3.1 รายละเอียดหน่วยควบคุม 52
4.3.2 ส่วนทางเดินข้อมูล 55
5 การทดลอง 60
5.1 โปรแกรมวัดเปรียบเทียบสมรรถนะ 60
5.2 การแปลโปรแกรม 61
5.2.1 การแปลโปรแกรมให้เป็นชุดคำสั่งรหัสไบต์ 61
5.2.2 การแปลโปรแกรมให้เป็นชุดคำสั่งเดิม 61
5.3 การทดลอง 61
5.3.1 พื้นที่เลขที่อยู่ของหน่วยความจำข้อมูล 62
5.3.2 การจำลองระบบอ้างอิงพื้นฐาน 63
5.3.3 การจำลองการทำงานของระบบเครื่องเสมือน 65
5.4 ผลการทดลอง 67
5.4.1 อัตราการบีบอัด 67
5.4.2 สมรรถนะการทำงาน 67

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญ(ต่อ)

บทที่ หน้า

5.4.3 รายละเอียดการสังเคราะห์วงจร 68
5.4.4 การปรับปรุงชุดคำสั่งรหัสไบต์ 68
5.4.5 การทดลองการทำงานของชุดคำสั่งรหัสไบต์ด้วยชุดคำสั่งอื่นๆ 71
5.5 สรุปผลการทดลอง 71
6 สรุปผลการวิจัยและข้อเสนอแนะ 73
6.1 สรุปผลการวิจัย 73
6.2 ข้อเสนอแนะ 75
รายการอ้างอิง 76
ภาคผนวก 78
ก รายละเอียดภาษาส้ม 79
ข โปรแกรมวัดเปรียบเทียบสมรรถนะ 82
ข.1 โปรแกรม hanoi 82
ข.2 โปรแกรม quick 83
ข.3 โปรแกรม bubble 84
ข.4 โปรแกรม matmal 85
ข.5 โปรแกรม sieve 86
ข.6 โปรแกรม perm 87
ข.7 โปรแกรม queen 88
ค การแปลโปรแกรมภาษาส้มให้เป็นภาษาแอสเซมบลี 89
ค.1 การแปลข้อความสั่งในการคำนวณ 91
ค.2 การเรียกโปรแกรมย่อย 93
ค.3 การแปลข้อความสั่งควบคุม 94
ง การอธิบายคำสั่งรหัสไบต์ด้วยคำสั่งของหน่วยประมวลผลแบบเรจิสเตอร์ 96
ง.1 การอธิบายคำสั่งรหัสไบต์ด้วยคำสั่งของหน่วยประมวลผล C1 96
ง.2 การอธิบายคำสั่งรหัสไบต์ด้วยคำสั่งของหน่วยประมวลผล Q-Chip 98
ง.3 การอธิบายคำสั่งรหัสไบต์ด้วยคำสั่งของหน่วยประมวลผล 8086/88 101
จ บทความที่ได้รับการตีพิมพ์ 104
ประวัติผู้เขียนวิทยานิพนธ์ 109

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญภาพ

หน้า

รูปที่ 1.1 ส่วนประกอบของระบบฝังตัว 2
รูปที่ 1.2 ดายของไมโครคอนโทรลเลอร์ MC68HC908GP20 2
รูปที่ 1.3 ดายของไมโครคอนโทรลเลอร์ MC68HC908GP32 3
รูปที่ 1.4 ดายของไมโครคอนโทรลเลอร์ HP DeskJet 820C 3
รูปที่ 1.6 การเปรียบเทียบโครงสร้างระหว่างระบบฝังตัวปกติกับระบบเครื่องเสมือน 6
รูปที่ 1.7 แผนภาพบล็อกแสดงองค์ประกอบทั้งหมดของเครื่องเสมือนแบบแสตก 10
รูปที่ 2.1 รูปแสดงโครงสร้างของคำสั่งใน MIPS16 12
รูปที่ 2.2 กลไกการทำงานของหน่วยประมวลผลที่มีการดัดแปลงขนาดชุดคำสั่ง 13
รูปที่ 2.3 กลไกการบีบอัดและทำงานของ CCRP 13
รูปที่ 2.4 การเข้ารหัสกับโปรแกรมทีละแคชไลน์ 14
รูปที่ 2.5 รูปแสดงการแทนที่ของรหัสในโปรแกรม 15
รูปที่ 2.6 โครงสร้างของการถอดรหัส 15
รูปที่ 2.7 การบีบอัดคำสั่งของวิธี CodePack 16
รูปที่ 2.8 โครงสร้างของตัวชี้แคช 16
รูปที่ 2.9 แสดงการคลายโปรแกรมของ CodePack 18
รูปที่ 2.10 การบีบอัดของ BRISC 18
รูปที่ 3.1 แสตกและตัวดำเนินการของแสตก 20
รูปที่ 3.2 การใช้แสตกในการคำนวณแบบสัญกรณ์เติมหลัง 21
รูปที่ 3.3 โครงสร้างของแอคทิเวชันเรคคอร์ดและกลไกการเรียกโปรแกรมย่อย 23
รูปที่ 3.4 หลักการของแสตกแคชชิ่ง 24
รูปที่ 3.5 รูปแบบของชุดคำสั่งแบบแสตก SM1 24
รูปที่ 3.6 สายสัญญาณระหว่างหน่วยประมวลผลและหน่วยความจำ 28
รูปที่ 3.7 โครงสร้างของคำสั่ง 29
รูปที่ 3.8 โครงสร้างของคำสั่งในโหมดสัมพัทธ์ 29
รูปที่ 3.9 โครงสร้างของคำสั่งในโหมดสัมบูรณ์ 30
รูปที่ 3.10 โครงสร้างของคำสั่งในโหมดแบบทันที 30
รูปที่ 3.11 โครงสร้างของคำสั่งในโหมดแบบเรจิสเตอร์ 30

สารบัญภาพ(ต่อ)

หน้า

รูปที่ 3.12 โครงสร้างของคำสั่งในโหมดแบบโดยตรง....31
รูปที่ 3.13 โครงสร้างของคำสั่งในโหมดแบบอ้างอิง....31
รูปที่ 3.14 โครงสร้างภายในหน่วยประมวลผล C1....34
รูปที่ 3.15 แผนภาพสถานะของหน่วยควบคุม....35
รูปที่ 3.16 วงจรถอดรหัสคำสั่ง....37
รูปที่ 3.17 รายละเอียดส่วนทางเดินข้อมูล....38
รูปที่ 3.18 แผนภาพบล็อกแฟ้มเรจิสเตอร์....39
รูปที่ 3.19 รายละเอียดวงจรถอดรหัสค่า PC....40
รูปที่ 4.1 แผนภาพสถานะแสดงขั้นตอนการทำงานอย่างคร่าวๆ ของเครื่องเสมือน....42
รูปที่ 4.2 สถาปัตยกรรมเครื่องเสมือนแบบแสตก....42
รูปที่ 4.3 วงจรแปลคำสั่งและหน่วยประมวลผลในเครื่องเสมือน....44
รูปที่ 4.4 จังหวะการทำงานของระบบเครื่องเสมือน....45
รูปที่ 4.5 โครงสร้างของเรจิสเตอร์ PC ที่ใช้ในเครื่องเสมือนแบบแสตก....46
รูปที่ 4.6 โครงสร้างในการอ่านคำสั่งรหัสไบต์และกลไกในการเข้าถึงลำดับคำสั่งเดิม
ของเครื่องเสมือนแบบแสตก....47
รูปที่ 4.7 แผนภาพบล็อกของระบบฝังตัวที่ใช้เครื่องเสมือนแบบแสตก....48
รูปที่ 4.8 ส่วนประกอบของเครื่องเสมือนแบบแสตก....49
รูปที่ 4.9 วงจรถอดรหัสค่าเรจิสเตอร์ PC ที่ปรับปรุงแล้ว....50
รูปที่ 4.10 แผนภาพบล็อกส่วนประกอบของวงจรแปลคำสั่ง....52
รูปที่ 4.11 แผนภาพสถานะของหน่วยควบคุม....54
รูปที่ 4.12 แผนภาพบล็อกของส่วนทางเดินข้อมูล....56
รูปที่ 4.13 โครงสร้างของเรจิสเตอร์ IR....57
รูปที่ 4.14 แผนภาพบล็อกของวงจรเรจิสเตอร์ IR....57
รูปที่ 4.15 แผนภาพบล็อกวงจรส่งตัวถูกดำเนินการ....59
รูปที่ 5.1 ขั้นตอนการแปลโปรแกรมให้อยู่ในรูปแบบชุดคำสั่งแบบแสตก....61
รูปที่ 5.2 โครงสร้างหน่วยความจำที่ใช้ในการจำลองการทำงาน....63
รูปที่ 5.3 โครงสร้างระบบฝังตัวธรรมดาที่ใช้ในการจำลองการทำงาน....64
รูปที่ 5.4 แผนผังการตรวจสอบในการจำลองการทำงานของระบบอ้างอิงพื้นฐาน....64

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญภาพ(ต่อ)

หน้า

รูปที่ 5.5 โครงสร้างระบบเครื่องเสมือนที่ใช้ในการจำลองการทำงาน.....65
รูปที่ 5.6 แผนผังการตรวจสอบในการจำลองการทำงานของระบบฝังตัวที่ใช้เครื่องเสมือน.....66
รูปที่ 5.7 กราฟแสดงจำนวนคำสั่งที่ใช้มากที่สุด 12 คำสั่ง.....68
รูปที่ 5.8 กราฟแสดงจำนวนคำสั่งที่ประมวลผลมากที่สุด 12 คำสั่ง.....69
รูปที่ ค.1 ตัวอย่างโครงสร้างการจัดเก็บค่าในหน่วยความจำข้อมูล.....89
รูปที่ ค.2 ตัวอย่างส่วนประกอบในนิพจน์.....91

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญตาราง

หน้า

ตารางที่ 1.1 พื้นที่ของวงจรในส่วนต่างๆ ของไมโครคอนโทรลเลอร์ Q-Chip 4
ตารางที่ 3.1 รายละเอียดของรูปแบบคำสั่งของ 2 บิตแรกในรหัสดำเนินการ 24
ตารางที่ 3.2 สัญลักษณ์และหน้าที่ของเรจิสเตอร์ที่ใช้ในชุดคำสั่ง SM1 25
ตารางที่ 3.3 การดำเนินการดันและดึงของคำสั่งรหัสไบต์ 25
ตารางที่ 3.4 รายละเอียดของชุดคำสั่งแบบแสตก SM1 26
ตารางที่ 3.5 สัญลักษณ์ที่ใช้ในการอธิบายถึงการทำงานของคำสั่ง 29
ตารางที่ 3.6 รายละเอียดการทำงานของชุดคำสั่งของหน่วยประมวลผล C1 32
ตารางที่ 3.7 สรุปจำนวนสัญญาณนาฬิกาการทำงานของแต่ละคำสั่ง 36
ตารางที่ 3.8 การคำนวณของหน่วยคำนวณและตรรกะ 39
ตารางที่ 4.1 การอธิบายการทำงานของคำสั่งรหัสไบต์ ADD ด้วยชุดคำสั่งเดิม 43
ตารางที่ 4.2 การอธิบายการทำงานของคำสั่งรหัสไบต์ GET ด้วยชุดคำสั่งเดิม 44
ตารางที่ 4.3 ความสัมพันธ์ระหว่างเรจิสเตอร์ของหน่วยประมวลผลกับเครื่องเสมือน 48
ตารางที่ 4.4 หน้าที่การทำงานของสัญญาณต่างๆ ของเครื่องเสมือนแบบแสตก 48
ตารางที่ 4.5 สัญญาณระหว่างวงจรแปลคำสั่งและหน่วยประมวลผล 49
ตารางที่ 4.6 รายละเอียดสัญญาณของหน่วยควบคุม 52
ตารางที่ 4.7 การเลือกสถานะถัดไปของสถานกระทำการ 55
ตารางที่ 4.8 การเลือกค่าผลลัพธ์ของมัลติเพล็กเซอร์ 4 ต่อ 1 59
ตารางที่ 5.1 รายละเอียดโปรแกรมวัดเปรียบเทียบสมรรถนะจำนวนเต็มของแสตนฟอร์ด 60
ตารางที่ 5.2 รายละเอียดการใช้ Memory-mapped I/O ในตำแหน่งต่างๆ 63
ตารางที่ 5.3 อัตราบีบอัดของโปรแกรม 67
ตารางที่ 5.4 สมรรถภาพของระบบเครื่องเสมือนเทียบกับระบบอ้างอิงพื้นฐาน 67
ตารางที่ 5.5 รายละเอียดของวงจรที่สังเคราะห์ได้ 68
ตารางที่ 5.6 รายละเอียดคำสั่งรหัสไบต์ใหม่ที่เพิ่มเข้าไปในชุดคำสั่งรหัสไบต์ 69
ตารางที่ 5.7 อัตราการบีบอัดของโปรแกรมในชุดคำสั่งรหัสไบต์ที่ถูกปรับปรุง 70
ตารางที่ 5.8 สมรรถนะเปรียบเทียบระหว่างชุดคำสั่งรหัสไบต์ที่ปรับปรุงเทียบกับคำสั่งเดิม 70
ตารางที่ ก.1 ตัวดำเนินการของภาษาส้ม 79
ตารางที่ ค.1 ภาษาแอสเซมบลีของตัวดำเนินการดันและดึง 90

สารบัญตาราง(ต่อ)

หน้า

ตารางที่ ค.2 ภาษาแอสเซมบลีในการเข้าถึงค่าในตัวแปรต่างๆ 91
ตารางที่ ค.3 ตัวอย่างการแปลงนิพจน์ให้อยู่ในรูปแอสเซมบลี 92
ตารางที่ ค.4 ภาษาแอสเซมบลีในการกำหนดค่าให้กับตัวแปร 93
ตารางที่ ค.5 ภาษาแอสเซมบลีของการเรียกโปรแกรมย่อย 94
ตารางที่ ค.6 ภาษาแอสเซมบลีสำหรับข้อความสั่ง if-then-else 95
ตารางที่ ง.1 การอธิบายคำสั่งรหัสไบต์ด้วยคำสั่งของหน่วยประมวลผล C1 96
ตารางที่ ง.2 ความสัมพันธ์ระหว่างเรจิสเตอร์ของ Q-Chip กับคำสั่งรหัสไบต์ 98
ตารางที่ ง.3 การอธิบายคำสั่งรหัสไบต์ด้วยคำสั่งของหน่วยประมวลผล Q-Chip 99
ตารางที่ ง.4 ความสัมพันธ์ระหว่างเรจิสเตอร์ของ Q-Chip กับคำสั่งรหัสไบต์ 101
ตารางที่ ง.5 การอธิบายคำสั่งรหัสไบต์ด้วยคำสั่งของหน่วยประมวลผล 8086/88 101

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย