รายการอ้างอิง

1. มานะ ศรียุทธศักดิ์. ตัวตรวจรู้ชีวภาพ: ไบโอเซนเซอร์ (เอกสารประกอบการสอนวิชาไบโอเซนเซอร์ (2102589)). กรุงเทพมหานคร: คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย, 2534.
2. Tamada, J. A.; Lesho, M.; and Tierney, M. J. Keeping Watch On Glucose. IEEE Spectrum Vol. 39 (Apr 2002): 52-57.
3. Reay, R. J., et al. Microfabricated Electrochemical Analysis System for Heavy Metal Detection. IEEE Digest of Technical Papers, Solid-State Sensors and Actuators Vol. 2 (Jun 1995): 932-935.
4. Fidler, J. C.; Penrose, W. R.; and Bobis J. P. A Potentiostat Based on a Voltage-Controlled Current Source for Use with Amperometric Gas Sensors. IEEE Trans. Instrumentation and Measurement Vol. 41 (Apr 1992): 308-310.
5. Lin, C. W., et al. Development of Micromachined Electrochemical Sensor and Portable Meter System. IEEE Proc. Engineering in Medicine and Biology Society Vol. 20, No. 4 (1998): 1834-1836.
6. Lauwers, E. Y., et al. A CMOS Multi-Parameter Biochemical Microsensor with Temperature Control and Signal Interfacing. IEEE Digest of Technical Papers, Solid-State Circuits Conference (2001): 244-245, 452.
7. Mana Sriyudthsak, Tara Cholapranee, and Montree Sawadsaringkarn. Enzyme-epoxy membrane based glucose analyzing system & medical applications. Biosensors & Bioelectronics Vol. 11. No.8 (1996): 735-742, อ้างถึงใน มานะ เมฆถาวรวัฒนา. การออกแบบวงจรรวมใช้กำลังงานต่ำสำหรับแปลงสัญญาณแอนะลอกจากหัววัดแบบแอมเพอโรเมตริกเพื่อแสดงผลทางจอแบบผลึกเหลว. วิทยานิพนธ์ปริญญามหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย, 2543.
8. มานะ เมฆถาวรวัฒนา. การออกแบบวงจรรวมใช้กำลังงานต่ำสำหรับแปลงสัญญาณแอนะลอกจากหัววัดแบบแอมเพอโรเมตริกเพื่อแสดงผลทางจอแบบผลึกเหลว. วิทยานิพนธ์ปริญญามหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย, 2543.

9. Gert van der Horn, Johan L. Huijsing. Integrated Smart Sensors: Design and Calibration. Netherlands: Kluwer Academic Publishers, 1998.

10. Turner, R. F. B.; Harrison, D. J. And Baltes, H.P. A CMOS Potentiostat for Amperometric Chemical Sensors. IEEE J. Solid-State Circuits Vol. SC-22, No. 3 (1987): 473-478.

11. Kakerow, R. G., et al. Low-Power Single-Chip CMOS Potentiostat. IEEE Digest of Technical Papers, Solid-State Sensors and Actuators Vol. 1 (Jun 1995): 142-145.

12. Reay, R. J.; Kounaves, S. P. and Kovacs, G. T. A. An Integrated CMOS Potentiostat for Miniaturized Electroanalytical Instrumentation. IEEE Digest of Technical Papers, Solid-State Circuits Conference (Feb 1994): 162-163.

13. Breten, M.; Lehmann, T.; and Bruun, E. Integrating Data Converters for Picoampere Currents from Electrochemical Transducers. IEEE Proc. Circuits and Systems Vol. 5 (2000): 709-712.

14. Reimann, T., et al. A CMOS Readout Circuit for Pico-Ampere Thin Film Pyroelectric Array Detectors. IEEE Proc. Custom Integrated Circuits Conference (2000): 395-398.

15. Vanisri, T.; Wiren,F.G.; and Toumazou, C. Low-Noise Optimisation of Current-Mode, Common-Gate Transimpedance Optical Preamplifiers. IEE Colloquium on Linear Analogue Circuits and Systems (1992): 10/1-10/6.

16. Vanisri, T.; and Toumazou, C. Integrated High Frequency Low-Noise Current-Mode Optical Transimpedance Preamplifiers: Theory and Practice. IEEE J. Solid-state Circuits Vol. 30. No.6 (1995): 677-685.

17. Self, P., et al. A Photodetector Array for a One Terabyte Optical Tape Recorder. IEEE Proc. Custom Integrated Circuits Conference (May 1991): 27.4/1-27.4/5.

18. Johns, D. A.; and Martin, K. Analog Integrated Circuit Design. USA: John Wiley & Sons, Inc., 1997.

19. Toumazou, C.; Lidgey J. Current-Mode Circuits: Techniques in High Frequency Analog Design (A Lecture Note on An IEEE CAS Advanced Continuing Education: Video and Wireless Communications). Bangkok: Mahanakorn University of Technology, 1998.

20. ณพงศ์ ปณิธานธรรม. การออกแบบวงจรขยายที่มีอัตราส่วนลดขจัดแบบวิธีร่วมสูง สัญญาณรบกวนและออฟเซตต่ำด้วยเทคนิคชอปเปอร์และวงจรสวิตช์ตัวเก็บประจุ. วิทยานิพนธ์ปริญญามหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย, 2544.

21. Bruun, E. Harmonic Distortion in CMOS Current Mirrors. IEEE Proc. Circuits and Systems Vol. 1 (1998): 567-570.

22. Bult, K.; Geelen, G. J. G. M. A Fast-Settling CMOS Op Amp for SC Circuits with 90-dB DC Gain. IEEE J. Solid-State Circuits Vol.25, No. 6 (1990): 1379-1384.

23. Gordon, B. M. Linear Electronic Analog/Digital Conversion Architectures, Their Origins, Parameters, Limitations, and Applications. IEEE Trans. Circuits and Systems Vol. 25, No. 7 (1978): 391-418.

24. MAX135 15-Bit ADC with Parallel Interface. Maxim Integrated Products, 1991.

25. Robert, J., et al. A 16-bit Low-Voltage CMOS A/D Converter. IEEE J. Solid-State Circuits Vol. 22, No. 2 (1987): 157-163.

26. Lye, B.; Syrzycki, M. Current-Mode A/D Converter Architectures for Integrated Sensor Systems. IEEE Proc. Canadian Conference on Electrical and Computer Engineering Vol. 1 (1996): 194-197.

27. Chen, C. C.; Wu, C. Y. Design Techniques for 1.5-V Low-Power CMOS Current-Mode Cyclic Analog-to-Digital Converters. IEEE Trans. Circuits and Systems Vol. 45, No. 1 (1998): 28-40.

28. Gray, P. R.; Meyer, R. G. Analysis and Design of Analog Integrated Circuits. 3rd ed. USA: John Wiley & Sons, Inc., 1993.

29. Oguey, H. J. and Aebischer, D. CMOS Current Reference Without Resistance. IEEE J. Solid-State Circuits Vol.32, No. 7 (1997): 1132-1135.

30. Song, B. S. and Gray, P. R. A Precision Curvature-Compensated CMOS Bandgap Reference. IEEE J. Solid-State Circuits Vol. SC-18, No. 6 (1983): 634-643.

31. Michejda, J. and Kim, S. K. A Precision CMOS Bandgap Reference. IEEE J. Solid-State Circuits Vol. SC-19, No. 6 (1984): 1014-1020.

32. Rincon-Mora, G. A. and Allen, P. E. A 1.1-V Current-Mode and Piecewise-Linear Curvature-Corrected Bandgap Reference. IEEE J. Solid-State Circuits Vol. 33, No. 10 (1998): 1551-1554.

33. Sanduleanu, M. A. T; Tuijl, A. J. M. and Wassenaar, R. F. Accurate Low Power Bandgap Voltage Reference in 0.5 μm CMOS Technology. Electronics Letters Vol. 34, No. 10 (1998): 1025-1026.

34. Groeneveld, D. W. J., et. al. A Self-Calibration Technique for Monolithic High-Resolution D/A Converters. IEEE J. Solid-State Circuits Vol.24, No.6 (1989): 1517-1522.

35. Schouwenaars, H. J.; Groeneveld, D. W. J. and Termeer, H. A. H. A Low-Power Stereo 16-bit CMOS D/A Converter for Digital Audio. IEEE J. Solid-State Circuits Vol.23, No.6 (1988): 1290-1297.

36. Sandige, R. S. Modern Digital Design. Singapore: McGraw-Hill, Inc., 1990.

37. Standard Cell Design Data Book 0.7μm CMOS: Library MTC22000. Belgium: Alcatel Microelectronics, 1997.

38. Lakshmikumar, K. R.; Hadaway, R. A. and Copeland, M. A. Characterization and Modeling of Mismatch in MOS Transistors for Precision Analog Design. IEEE J. Solid-State Circuits Vol. SC-21, No. 6 (1986): 1057-1066.

39. Technology Engineering CMOS. Electrical Parameters CMOS 0.7μm – C07MA and C07MD. Belgium: Alcatel Microelectronics, 1999.

40. Pelgrom, M. J. M.; Duinmaijer, A. C. J. and Welbers, A. P. G. Matching Properties of MOS Transistors. IEEE J. Solid-State Circuits Vol. 24, No. 5 (1989): 1433-1440.

41. Steyaert, M., et al. Custom Analog Low Power Design: The problem of low voltage and mismatch. IEEE Proc. Custom Integrated Circuits Conference (1997): 285-292.

42. Forti, F. and Wright, M. E. Measurement of MOS Current Mismatch in the Weak Inversion Region. IEEE J. Solid-State Circuits Vol. 29, No. 2 (1994): 138-142.

43. Chen, M.-J.; Ho, J.-S. and Huang, T.-H. Dependence of Current Match on Back-Gate Bias in Weakly Inverted MOS Transistors and Its Modeling. IEEE J. Solid-State Circuits Vol. 31, No. 2 (1996): 259-262.

44. Gregorian, R. and Temes, G. C. Analog MOS Integrated Circuits for Signal Processing. Singapore: John Wiley & Sons, Inc., 1986.

45. Rizzi, A. N-Delta and Differential Average Signal Processors: Detailing of Their Signal and Noise Response. IEEE J. Solid-State Circuits Vol. 28, No. 1 (1993): 49-58.

46. Mistlberger, F. and Koch, R. Class-AB High-Swing CMOS Power Amplifier. IEEE J. Solid-State Circuits Vol. 27, No. 7 (1992): 1089-1092.

47. Song, B.-S.; Lee, S.-H. and Tompsett, M. F. A 10-bit 15-MHz CMOS Recycling Two-Step A/D Converter. IEEE J. Solid-State Circuits Vol. 25, No. 6 (1990): 1328-1338.

48. Hastings, A. The Art of Analog Layout. USA: Prentice-Hall, Inc., 2001.

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

ภาคผนวก

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

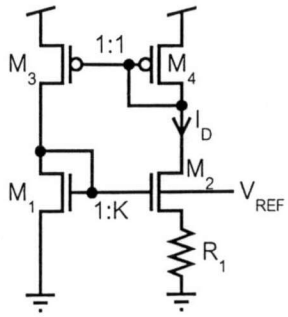
ภาคผนวก ก
วงจรไบแอสซีมอสที่น่าสนใจ

วงจรไบแอสซีมอสมีข้อดีกว่าวงจรแบนด์แกปตรงที่ต้องการองค์ประกอบน้อยกว่า จึงประหยัดพื้นที่บนลายวงจรรวม และยังทำงานได้ที่แรงดันแหล่งจ่ายต่ำกว่าวงจรแบนด์แกปเนื่องจากไม่ต้องการแรงดันตกคร่อมไดโอด (V_{BE}) วงจรรูปแบบแรกที่จะกล่าวถึงคือวงจรไบแอสทรานส์-คอนดักแตนซ์คงที่ โดยสร้างกระแสไบแอสซึ่งชดเชยผลของอุณหภูมิและกระบวนการผลิต [1] มีอีกชื่อหนึ่งคือวงจรอ้างอิงแรงดันแบบตัวคูณบีตา (Beta-multiplier voltage reference) [2] วงจรในรูปที่ ก-1 ทำงานโดยอาศัยผลต่างของแรงดันเกตซอร์สระหว่างทรานซิสเตอร์ M_1 กับ M_2 มาแปลงเป็นกระแสด้วยตัวต้านทาน R_1 หากละเลยผลของความต้านทานขาออกและปรากฏการณ์ตัวฐาน-รอง (Body effect) จะหากระแสและค่าทรานส์คอนดักแตนซ์ของทรานซิสเตอร์ในวงจรได้ดังสมการ

$$I_D = \frac{2}{R_1^2 \beta_1}\left(1-\frac{1}{\sqrt{K}}\right)^2 \qquad \text{(ก-1)}$$

$$g_{m1} = \frac{2}{R_1}\left(1-\frac{1}{\sqrt{K}}\right) \qquad \text{(ก-2)}$$

เมื่อ $\beta = \mu \cdot C_{ox} \cdot (W/L)$ คือพารามิเตอร์ทรานส์คอนดักแตนซ์ (Transconductance parameter) ของทรานซิสเตอร์มอส จะเห็นได้ว่าข้อดีของวงจรดังกล่าวอยู่ที่ค่า g_m ซึ่งขึ้นอยู่กับค่าความต้านทาน R_1 และอัตราส่วน K ถ้าตัวต้านทานที่ใช้เป็นตัวต้านทานภายนอกซึ่งมีค่าค่อนข้างแม่นยำและแปรเปลี่ยนตามอุณหภูมิน้อยแล้วจะพบว่าค่า g_m ของทรานซิสเตอร์ที่ถูกไบแอสด้วยกระแสที่สร้างขึ้นจากวงจรไบแอสนี้จะคงที่ ซึ่งมีประโยชน์ต่อวงจรซึ่งต้องการแบนด์วิดท์ (Bandwidth) หรือเวลาหน่วง (Delay time) มีค่าคงที่ไม่ขึ้นกับแรงดันแหล่งจ่าย อุณหภูมิ และกระบวนการผลิต เช่น วงจรกรอง และวีซีโอ (Voltage-Controlled Oscillator, VCO) เป็นต้น อย่างไรก็ตามถ้าหากตัวต้านทานที่ใช้ในวงจรนี้เป็นตัวต้านทานในกระบวนการผลิตซีมอสซึ่งแปรเปลี่ยนตามอุณหภูมิและกระบวนการผลิตได้มาก (สัมประสิทธิ์อุณหภูมิของตัวต้านทานชนิดพีบวก (p+ resistor) โดยทั่วไปมีค่าประมาณ 1500 ppm/°C และค่าสัมบูรณ์มีค่าอยู่ในช่วง ±20% ของค่าที่ตั้งไว้ (Nominal value)) ค่า g_m ของทรานซิสเตอร์ที่ได้ก็จะไม่คงที่อีกต่อไป



รูปที่ ก-1 วงจรไบแอสทรานส์คอนดักแตนซ์คงที่

นอกเหนือจากคุณสมบัติดังกล่าวข้างต้น วงจรอ้างอิงแรงดันแบบตัวคูณบีตายังสามารถนำมาใช้เป็นวงจรสร้างแรงดันอ้างอิง (V_{REF}) ซึ่งมีสัมประสิทธิ์อุณหภูมิต่ำกว่า 500 ppm/°C ได้ [2] แรงดัน V_{REF} และสัมประสิทธิ์อุณหภูมิของแรงดันเป็นดังสมการ

$$V_{REF} = V_{GS1} = \frac{2}{R_1\beta_1}\left(1-\frac{1}{\sqrt{K}}\right)+V_{thn} \qquad \text{(ก-3)}$$

$$\frac{dV_{REF}}{dT} = \frac{dV_{thn}}{dT} - \frac{2}{R_1\beta_1}\left(1-\frac{1}{\sqrt{K}}\right)\left(\frac{1}{R_1}\frac{dR_1}{dT}+\frac{1}{\beta_1}\frac{d\beta_1}{dT}\right) \qquad \text{(ก-4)}$$

ค่าปกติ (Typical value) ของ dV_{thn}/dT, $R^{-1}\cdot dR/dT$ และ $\beta_n^{-1}\cdot d\beta_n/dT$ ในสมการ (ก-4) สามารถหาได้จากคู่มือของโรงงานผลิต [3] เมื่อให้ค่าทางด้านซ้ายมือของสมการ (ก-4) มีค่าเป็นศูนย์ จะสามารถแก้สมการหาค่า R_1, β_1 และ K ที่ทำให้สัมประสิทธิ์อุณหภูมิของแรงดัน V_{REF} เป็นศูนย์ที่อุณหภูมิที่ต้องการ (T) ได้

วงจรในรูปที่ ก-1 ยังสามารถดัดแปลงเป็นวงจรสร้างกระแสพีแทต (Proportional To Absolute Temperature, PTAT) ซึ่งให้กระแสออกแปรผันตรงกับอุณหภูมิสัมบูรณ์ โดยออกแบบให้ทรานซิสเตอร์ M_1 และ M_2 ทำงานในย่านซับเทรชโฮลด์ (Sub-threshold region) [4]

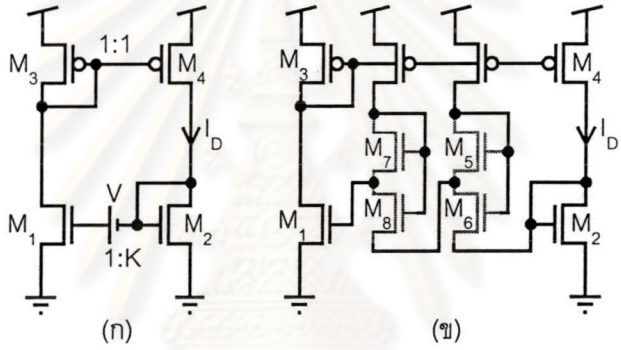
จะเห็นได้ว่าวงจรไบแอสทรานส์คอนดักแตนซ์คงที่ยังมีตัวแปรที่สำคัญคือค่าความต้านทานที่แปรเปลี่ยนตามกระบวนการผลิตได้มาก จึงมีการดัดแปลงวงจรไบแอสที่ไม่มีตัวต้านทานอยู่ในวงจรขึ้นมา [5], [6] วงจรแรกใช้เทคนิคเลื่อน (shift) ระดับแรงดันระหว่างเกตของทรานซิสเตอร์ M1 กับ M2 โดยเติมแหล่งแรงดัน (V) เข้าไปดังรูปที่ ก-2 (ก) การสร้างแหล่งแรงดันจากทรานซิสเตอร์มอสทำได้ดังรูป (ข) คู่ทรานซิสเตอร์ M5 กับ M6 และ M7 กับ M8 จะต้องทำงานในย่านซับเทรชโฮลด์เพื่อให้แรงดันตกคร่อมเดรนซอร์สของทรานซิสเตอร์ M8 หรือ M6 ที่ได้เป็นแรงดันพีแทต เช่น แรงดันที่ได้จากทรานซิสเตอร์ M8 เป็นดังสมการ [4]

$$V_{DS8} = \frac{kT}{q}\ln\left(1+\frac{(W/L)_7}{(W/L)_8}\cdot\frac{I_8}{I_7}\right) \quad \text{(ก-5)}$$

และกระแสที่ไหลในวงจรนี้เป็นดังสมการ

$$I_D = \frac{\beta_1}{2}\frac{\left(V+V_{th2}-V_{th1}\right)^2}{\left(1-\sqrt{1/K}\right)^2} \propto \beta_1 V_T^2 \quad \text{(ก-6)}$$

เมื่อวิเคราะห์ผลของอุณหภูมิที่มีต่อ I_D จะพบว่า $I_D \propto T^{2-\alpha}$ (α มีค่าอยู่ระหว่าง 1.5-2.0) เนื่องจาก $\beta \propto T^{-\alpha}$ และ $V \propto T$ ทั้งนี้ได้ละเลยผลจากปรากฏการณ์ตัวฐานรอง จะเห็นได้ว่ากระแสที่ได้จากวงจรในรูปที่ ก-2 มีความไวต่ออุณหภูมิต่ำ และวงจรไม่ต้องมีตัวต้านทาน วงจรนี้เหมาะสำหรับสร้างกระแสขนาดเล็ก (ไม่เกิน 10 ไมโครแอมป์) เนื่องจากทรานซิสเตอร์ที่ต้องทำงานในย่านซับเทรชโฮลด์จะมีขนาดใหญ่มากถ้ากระแสที่ไหลผ่านมีค่ามาก



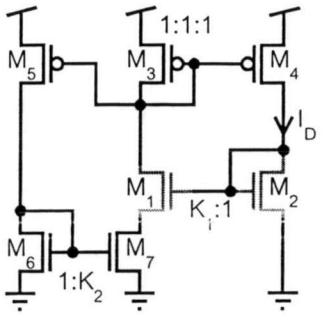
รูปที่ ก-2 วงจรไบแอสซึ่งใช้เทคนิคเลื่อนระดับแรงดัน (ก) แนวคิด (ข) วงจรจริง

วงจรไบแอสอีกวงจรหนึ่งได้รับการดัดแปลงจากวงจรในรูปที่ ก-1 โดยเปลี่ยนจากตัวต้านทานมาใช้ทรานซิสเตอร์มอสที่ทำงานในย่านไทรโอด (Triode region) แทนดังรูปที่ ก-3 โดยทรานซิสเตอร์ M_1 กับ M_2 ทำงานในย่านซับเทรชโฮลด์ และทรานซิสเตอร์ M_7 ทำงานในย่านไทรโอด ส่วนตัวที่เหลือทำงานในย่านอิ่มตัว (Saturation region) แรงดันคร่อมเดรนซอร์สของทรานซิสเตอร์ M_7 และกระแส I_D เป็นไปตามสมการ [6]

$$V_{DS7} = V_T \ln(K_1) \quad \text{(ก-7)}$$

$$I_D = n^2\beta_7 V_T^2 \cdot \left\{K_2 - 0.5 + \sqrt{K_2(K_2-1)}\right\}\cdot \ln^2(K_1) \quad \text{(ก-8)}$$

เมื่อ n เป็นตัวประกอบแก้ (Correction factor) สำหรับแรงดันเดรนซอร์สค่าต่ำ ($n = \beta_{lin}/\beta_{sat}$) กระแสของวงจรนี้จะแปรผันตาม $T^{2-\alpha}$ เช่นเดียวกันกับวงจรก่อนหน้า และไม่ต้องการตัวต้านทานในวงจร รวมทั้งเหมาะกับการสร้างกระแสค่าเล็กในระดับนาโนแอมป์อีกด้วย



รูปที่ ก-3 วงจรไบแอสที่ใช้ทรานซิสเตอร์ในย่านไทรโอด

รายการอ้างอิง

1. Johns, D. A.; and Martin, K. Analog Integrated Circuit Design. USA: John Wiley & Sons, Inc., 1997.
2. Liu, S. and Baker, R. J. Process and Temperature Performance of a CMOS Beta-Multiplier Voltage Reference. IEEE Proc. Midwest Symposium on Circuits and Systems (1998): 33-36.
3. Technology Engineering CMOS. Electrical Parameters CMOS 0.7μm – C07MA and C07MD. Belgium: Alcatel Microelectronics, 1999.
4. Vittoz, E. A. and Neyroud, O. A Low-Voltage CMOS Bandgap Reference. IEEE J. Solid-State Circuits Vol. SC-14, No. 3 (1979): 573-577.
5. Sansen, W. M.; Eynde, F. O. and Steyaert, M. A CMOS Temperature-Compensated Current Reference. IEEE J. Solid-State Circuits Vol. 23, No.3 (1988): 821-824.
6. Oguey, H. J. and Aebischer, D. CMOS Current Reference Without Resistance. IEEE J. Solid-State Circuits Vol.32, No. 7 (1997): 1132-1135.

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

ภาคผนวก ข
การหาออฟเซตของวงจรขยายผลต่าง

กำหนดให้ทรานซิสเตอร์ทุกตัวในวงจรขยายผลต่างซึ่งแสดงในรูปที่ ข-1 ทำงานอยู่ในย่านอินเวอร์ชันแรงและละเลยผลของความต้านทานขาออก เมื่อให้แรงดันเข้ามีค่าเป็นศูนย์และไม่คิดผลของความไม่เข้าคู่จะพบว่ากระแสที่ไหลผ่านทรานซิสเตอร์ทั้งสองข้างมีค่าเท่ากับ I_d และกระแสออฟเซต (I_o) มีค่าเท่ากับศูนย์ เมื่อเติมแบบจำลองความไม่เข้าคู่ดังสมการ [1]

$$\frac{\sigma_{Id}^2}{I_d^2} = 4\frac{\sigma_{Vth}^2}{V_{dssat}^2} + \frac{\sigma_{\beta}^2}{\beta^2} \qquad \text{(ข-1)}$$

ให้กับทั้งเอ็นมอสและพีมอส จะได้กระแสออฟเซตเป็นดังสมการ

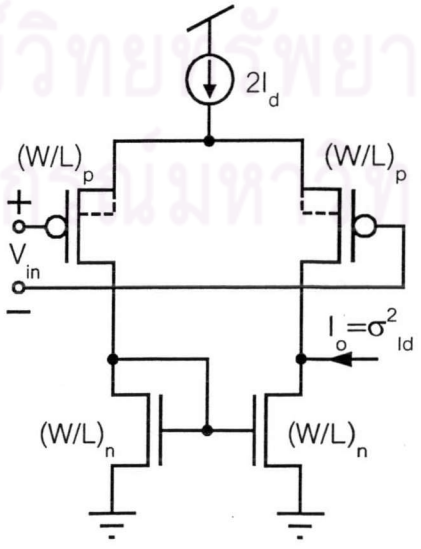
$$I_o = \sigma_{Id}^2 = I_d^2 \cdot \left(4\frac{\sigma_{Vthp}^2}{V_{dssatp}^2} + \frac{\sigma_{\beta p}^2}{\beta_p^2} + 4\frac{\sigma_{Vthn}^2}{V_{dssatn}^2} + \frac{\sigma_{\beta n}^2}{\beta_n^2} \right) \qquad \text{(ข-2)}$$

จากกระแสออฟเซตดังกล่าวสามารถแปลงเป็นแรงดันขาเข้าสมมูล หรือแรงดันออฟเซตของวงจรขยายผลต่างได้ดังนี้

$$\sigma_{Vos}^2 = \frac{\sigma_{Id}^2}{g_{mp}^2} = \frac{I_d^2}{g_{mp}^2} \cdot \left(4\frac{\sigma_{Vthp}^2}{V_{dssatp}^2} + \frac{\sigma_{\beta p}^2}{\beta_p^2} + 4\frac{\sigma_{Vthn}^2}{V_{dssatn}^2} + \frac{\sigma_{\beta n}^2}{\beta_n^2} \right) \qquad \text{(ข-3)}$$

เมื่อแทนค่า $g_{mp} = 2 \cdot I_d / V_{dssatp}$ ลงในสมการ (ข-3) จะได้

$$\sigma_{Vos}^2 = \sigma_{Vthp}^2 + \frac{V_{dssatp}^2}{V_{dssatn}^2}\sigma_{Vthn}^2 + \frac{V_{dssatp}^2}{4} \cdot \left(\frac{\sigma_{\beta p}^2}{\beta_p^2} + \frac{\sigma_{\beta n}^2}{\beta_n^2} \right) \qquad \text{(ข-4)}$$



รูปที่ ข-1 วงจรขยายผลต่าง

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

โดยทั่วไปความแปรปรวนของค่าคงตัวทรานส์คอนดักแตนซ์ (σ_β^2) จะมีผลต่อค่าออฟเซต น้อยมากจนสามารถละเลยได้ [2] โดยเฉพาะอย่างยิ่งเมื่อแรงดัน V_{dssatp} น้อยกว่า 1 โวลต์ ทำให้สมการ (ข-4) ลดรูปลง

$$\sigma_{Vos}^2 \approx \sigma_{Vthp}^2 + \frac{V_{dssatp}^2}{V_{dssatn}^2}\sigma_{Vthn}^2 = \sigma_{Vthp}^2 + \frac{\beta_n}{\beta_p}\sigma_{Vthn}^2 \qquad \text{(ข-5)}$$

จากสมการข้างต้นสามารถวิเคราะห์แนวทางในการลดแรงดันออฟเซตได้ดังนี้

- เพิ่มขนาดของทรานซิสเตอร์เพื่อลดความแปรปรวนของแรงดันเทรชโฮลด์ทั้งทรานซิสเตอร์ที่เป็นคู่รับเข้า (Input pair) และคู่สะท้อนกระแส
- ออกแบบแรงดัน V_{dssat} ของคู่รับเข้าให้มีค่าน้อย แรงดันมีค่ามากสำหรับคู่สะท้อนกระแส เพื่อให้อัตราส่วนระหว่างแรงดันทั้งสองค่ามีค่าน้อย ทำให้ผลของความแปรปรวนจากแรงดันเทรชโฮลด์ของคู่สะท้อนกระแส (พจน์ที่สองในสมการ (ข-5)) ลดลง อย่างไรก็ตาม ยิ่งแรงดัน V_{dssat} ต่างกันมากจะยิ่งทำให้ช่วงแรงดันรับเข้าโหมดร่วม (Common-mode input voltage) แคบลง

แนวทางดังกล่าวเป็นจริงสำหรับวงจรขยายผลต่างที่มีเอ็นมอสเป็นคู่รับเข้าด้วยเช่นกัน

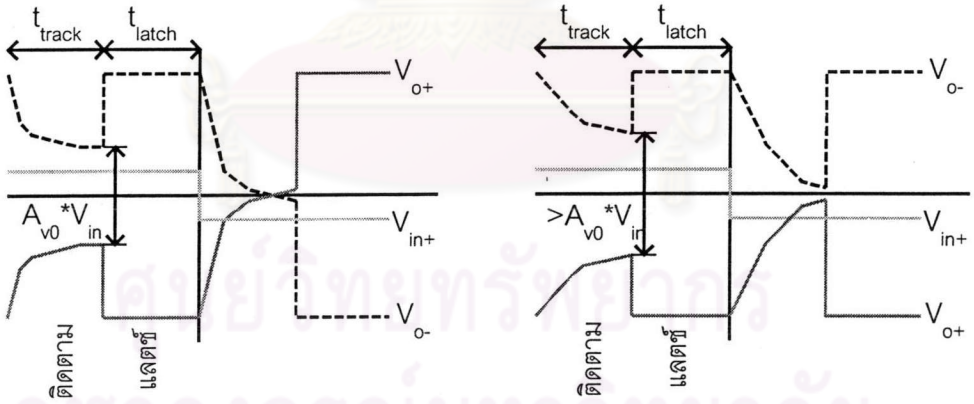
รายการอ้างอิง

1. Pelgrom, M. J. M.; Duinmaijer, A. C. J. and Welbers, A. P. G. Matching Properties of MOS Transistors. IEEE J. Solid-State Circuits Vol. 24, No. 5 (1989): 1433-1440.
2. Steyaert, M., et al. Custom Analog Low Power Design: The problem of low voltage and mismatch. IEEE Proc. Custom Integrated Circuits Conference (1997): 285-292.

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

ภาคผนวก ค
ผลจากแบนด์วิดท์ของตัวเปรียบเทียบต่อผลการเปรียบเทียบ

ความไม่เป็นอุดมคติของตัวเปรียบเทียบแบบติดตามและแลตช์เกิดขึ้นเนื่องจากแบนด์วิดท์ของวงจรขยายมีค่าจำกัด ทำให้แรงดันที่ขาออกของตัวเปรียบเทียบต้องใช้เวลาช่วงหนึ่งเพื่อเปลี่ยนจากค่าในสถานะแลตช์ไปอยู่ในสถานะติดตาม ดังแสดงในรูปที่ ค-1 กรณีที่แบนด์วิดท์มีค่ามากพอ แรงดัน Vo จะสามารถลู่เข้าสู่ค่า Av*Vin ได้ดังรูป (ก) ในทางกลับกันถ้าแบนด์วิดท์มีค่าน้อยเกินไป แรงดัน Vo จะลู่เข้าไม่ถึงค่าที่ควรจะเป็น และวงจรจะกลับสู่สถานะแลตช์ดังรูป (ข) เมื่อแรงดันเข้ามีค่าเปลี่ยนแปลงในลักษณะที่จะทำให้เกิดการสลับค่าระหว่างแรงดัน Vo+ กับ Vo- ตัวเปรียบเทียบที่มีแบนด์วิดท์เพียงพอดังในรูป (ก) จะสามารถให้ผลลัพธ์ของการเปรียบเทียบที่ถูกต้องได้ ขณะที่วงจรซึ่งมีแบนด์วิดท์ไม่เพียงพอ แรงดัน Vo+ และ Vo- จะไม่สามารถตัดกันได้ เมื่อวงจรเข้าสู่สถานะแลตช์แล้วแรงดัน Vo ที่ได้จะเหมือนกับแรงดัน Vo ในสถานะแลตช์ครั้งล่าสุด ปัญหานี้คล้ายกับมีฮิสเทอเรซิสในตัวเปรียบเทียบ วิธีแก้ปัญหาดังกล่าวทำได้สามทางด้วยกัน ได้แก่ การเพิ่มค่าเล็กสุดของแรงดันที่ต้องการเปรียบเทียบ การเพิ่มเวลาที่ใช้ในการติดตาม t_{track} และการเพิ่มแบนด์วิดท์ของตัวเปรียบเทียบ ในที่นี้เราจะเลือกวิเคราะห์วิธีแก้ปัญหาแบบที่สาม



รูปที่ ค-1 ผลของแบนด์วิดท์ต่อการเปรียบเทียบ (ก) เมื่อแบนด์วิดท์กว้าง (ข) แบนด์วิดท์แคบ

วิเคราะห์ตัวเปรียบเทียบในรูปที่ 3-23 โดยใช้แบบจำลองสัญญาณขนาดเล็กของวงจรในสถานะติดตาม ดังรูปที่ ค-2 จากแบบจำลองดังกล่าวจะสามารถเขียนสมการแรงดัน Vo ในรูปที่ ค-3 ได้ดังสมการ

$$v_{o+} = A_{v0}\frac{v_{in}}{2} + \left(v_{o+}^{0-} - A_{v0}\frac{v_{in}}{2}\right)e^{-t\cdot\omega_{p1}} \qquad \text{(ค-1)}$$

$$v_{o-} = -A_{v0}\frac{v_{in}}{2} + \left(v_{o-}^{0-} + A_{v0}\frac{v_{in}}{2}\right)e^{-t\cdot\omega_{p1}} \qquad \text{(ค-2)}$$

เมื่อ v_{o+}^{0-} และ v_{o-}^{0-} คือเงื่อนไขตั้งต้นของแรงดันขาออก v_{o+} และ v_{o-} ตามลำดับ เงื่อนไขตั้งต้นดังกล่าวมีค่าที่เป็นไปได้เพียงสองค่าคือค่าต่ำสุดหรือสูงสุดที่ได้จากการแลตช์เท่านั้น ผลต่างของแรงดันขาออกมีค่าเท่ากับ

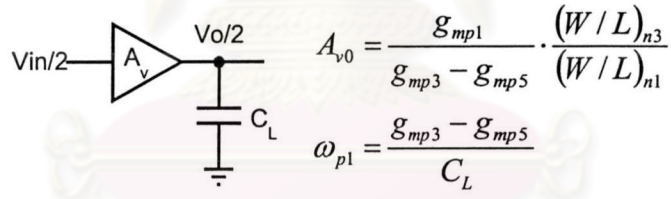
$$v_{o+} - v_{o-} = A_{v0}v_{in} + \left(v_{o+}^{0-} - v_{o-}^{0-} - A_{v0}v_{in}\right)e^{-t\cdot\omega_{p1}} \qquad \text{(ค-3)}$$

จะสามารถหาแบนด์วิดท์ต่ำสุดที่ทำให้แรงดัน v_o เปลี่ยนแรงดัน v_{in} อย่างถูกต้องได้ โดยสมมติให้เดิม $v_{in} > 0$ ทำให้ผลลัพธ์จากการแลตช์คือ $v_{o+} = V_{DD}$ และ $v_{o-} = 0$ แรงดันเข้าต่ำสุดที่ต้องการเปรียบเทียบมีค่าเท่ากับ $v_{in,min}$ และเวลาที่ใช้ในการติดตามเท่ากับ t_{track} เงื่อนไขที่จำเป็นที่ทำให้ผลลัพธ์ถูกต้องคือ v_{o+} ต้องตัดกับ v_{o-} เมื่อ v_{in} มีการกลับขั้ว จากสมการ (ค-3) จะได้

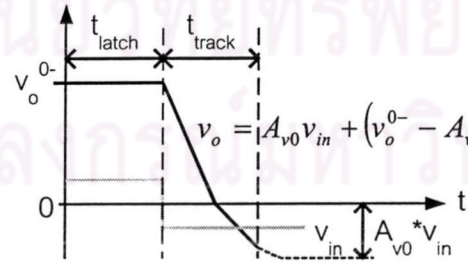
$$v_{o+} - v_{o-} = 0 = A_{v0}\cdot\left(-v_{in,\min}\right) + \left(V_{DD} - A_{v0}\cdot\left(-v_{in,\min}\right)\right)e^{-t_{track}\cdot\omega_{p1}} \qquad \text{(ค-4)}$$

แก้สมการเพื่อหาค่าแบนด์วิดท์ จะได้

$$\omega_{p1} = \ln\left(\frac{V_{DD} + A_{v0}v_{in,\min}}{A_{v0}v_{in,\min}}\right)\Big/ t_{track} \qquad \text{(ค-5)}$$



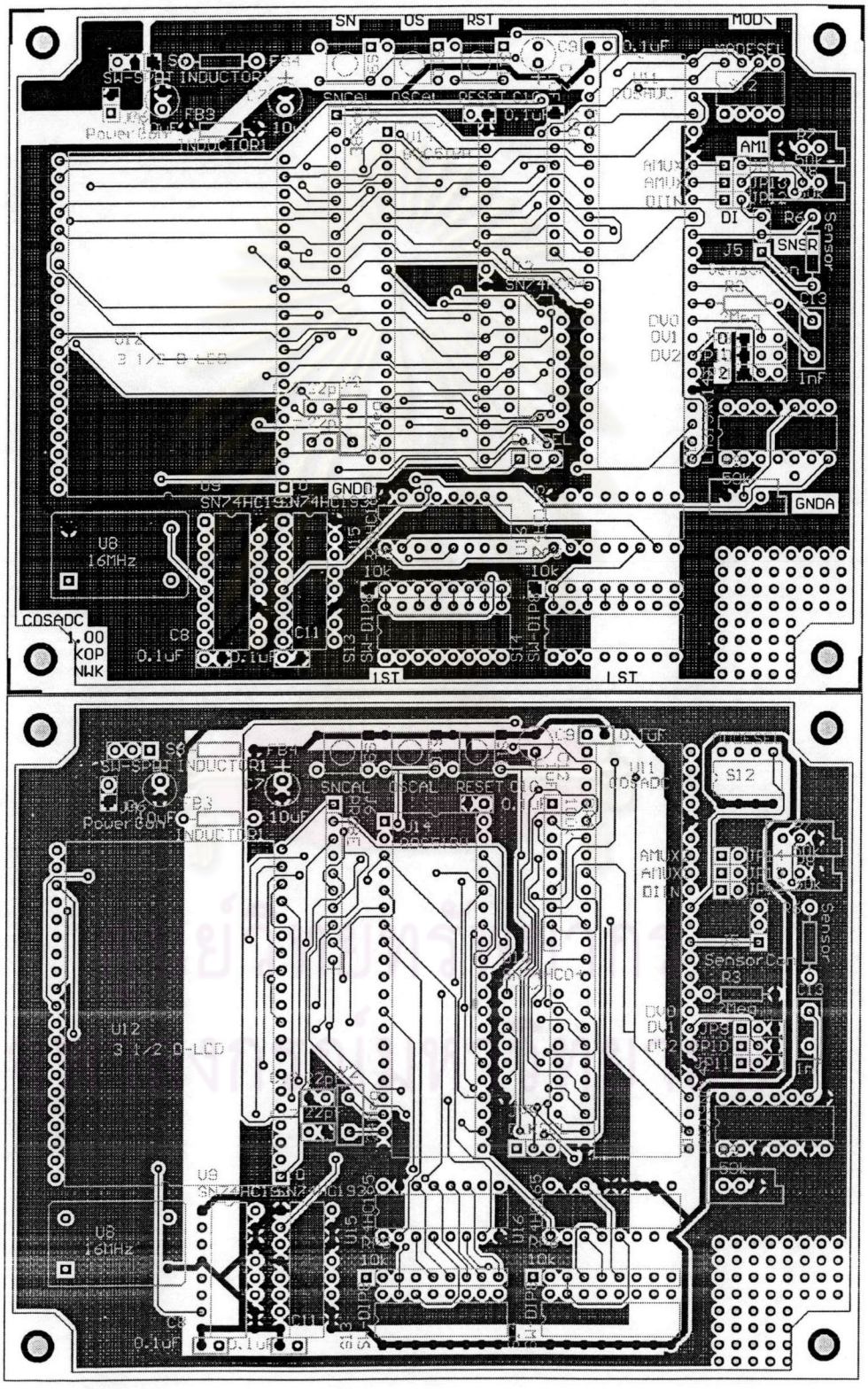
รูปที่ ค-2 แบบจำลองสัญญาณขนาดเล็กของตัวเปรียบเทียบในสถานะติดตาม



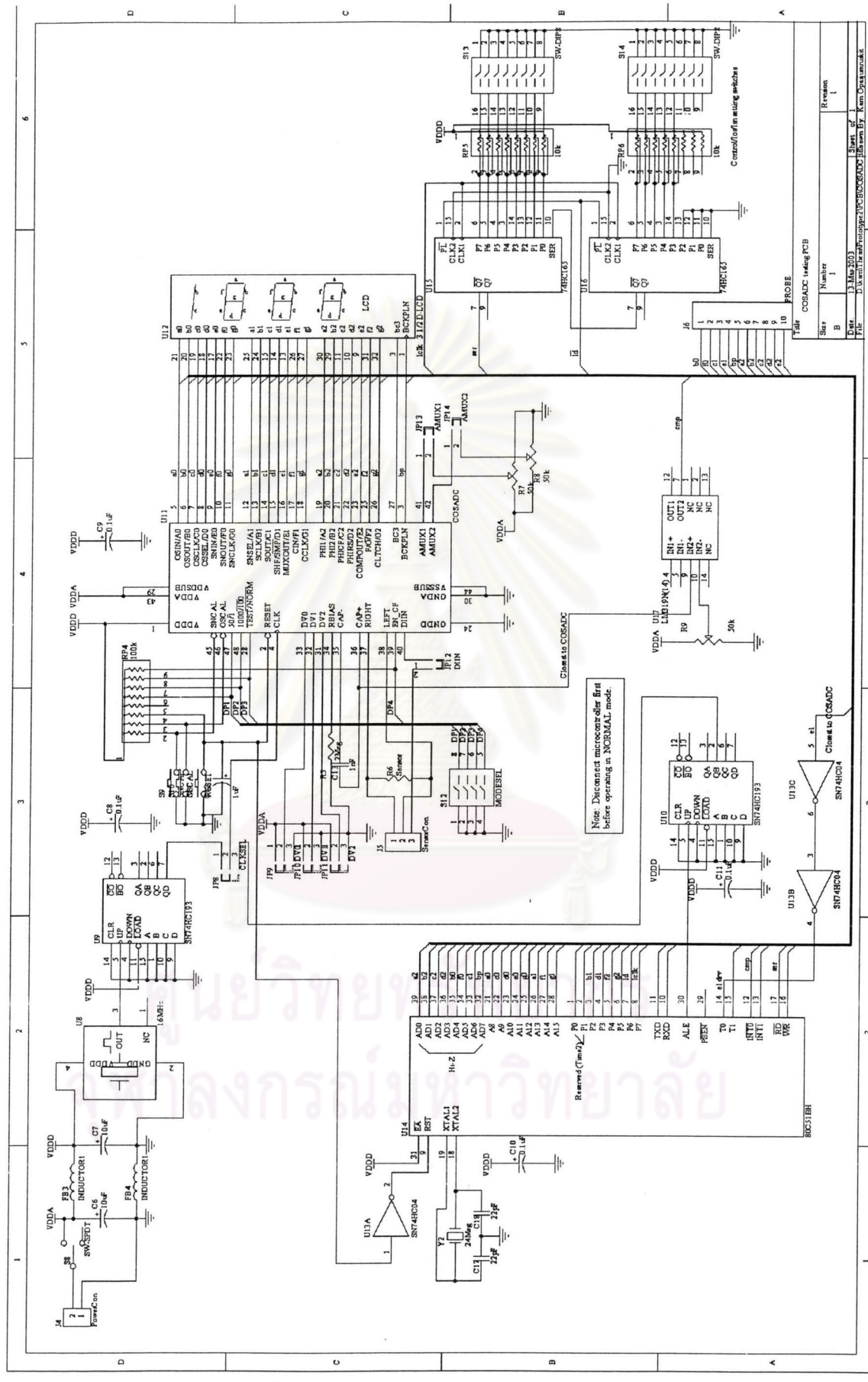
รูปที่ ค-3 ผลตอบชั่วครู่ของแรงดัน v_o เมื่อวงจรอยู่ในสถานะติดตาม

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

ภาคผนวก ง
ข้อมูลเกี่ยวกับแผ่นทดสอบวงจรรวม



รูปที่ ง-1 ลายวงจรพิมพ์ของแผ่นทดสอบด้านบน (บน) และด้านล่าง (ล่าง)



รูปที่ ง-2 ผังวงจรของแผ่นทดสอบวงจรรวม

ภาคผนวก จ
บทความที่ได้รับการตีพิมพ์ใน
2001 IEEJ International Analog VLSI Workshop

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

A Low-power Monolithic Analog-to-LCD interface for Amperometric sensors

Mana Mekthawornwathana, Karn Opasjumruskit, Mana Sriyudthsak and Naiyavudhi Wongkomet
Department of Electrical Engineering, Faculty of Engineering Chulalongkorn University
Phyathai Rd. Pathumwan Bangkok 10330
Tel. (66-2) 2186488 E-mail:karn@digital.ee.eng.chula.ac.th

Abstract

This paper presents the design and measurement results of a low power analog-to-LCD monolithic interface for amperometric sensors such as glucose sensors. To be suitable for portable applications, the circuit integrates most of the necessary components and operates with a wide supply range of 2.2 to 5.0 volts and consumes 377 μW at a supply voltage of 3.0 volts. The circuit consists of four parts: a sensor interface front-end, a dual-slope analog-to-digital converter, an offset and sensitivity calibration circuit, and a display driver. The circuit is implemented in a 0.7 μm CMOS technology and can measure sensor current from 5 to 1000nA with error smaller than 0.6 percent of full scale. The calibration portion has been designed to calibrate the offset from 0-255 nA and to calibrate the sensitivity from 0.5-5 nA/(mg/dl), but does not function properly in the current implementation.

Keywords: Amperometric sensors, Glucose sensors, Analog-to-LCD interface, Current input front-end, Current buffer, Dual-slope analog-to-digital converters, Sensor interface, Offset and sensitivity calibration

1. Introduction

An amperometric sensor is an electrochemical sensor that converts the measured quantity into electrical current. Recently, amperometric sensors are often substituted for old measurement processes to measure chemical and biological quantities such as oxygen concentration and glucose concentration. The output current of the sensor must be converted into a suitable format for further processing. Previously, this task was performed by several electronic components assembled on a printed circuit board, thus requiring large space and power.

This paper presents a design of a prototype integrated circuits for glucose sensors for measuring glucose quantity in human blood. The glucose sensors used in this paper were described in reference [1] and the circuit integrates most of the necessary components into a single chip.

In the following sections, the glucose sensors will be introduced, then the block diagram and each component of the circuit will be explained. Finally, the measurement results of the fabricated circuit will be presented.

2. Glucose Amperometric Sensor

Glucose amperometric sensor has a current output with the amplitude being proportional to the concentration of the glucose in the sample solution. The sensor operates at optimum when biased at 0.2 volt. The transfer function of the glucose sensors used in this work [1] is shown in Figure 1. This type of sensors can have an offset current up to 20nA, but has fairly good linearity. The sensitivity (measured as output current per concentration of glucose) of the sensor can vary between 0.5 to 5 nA/(mg/dl) as shown in Figure 1. Due to the offset and the variation in sensitivity, calibrations must be performed prior to using the sensor in order to obtain accurate concentration value. The calibration processes will be described in a later section.

Since the concentration of glucose in human blood is in the range of 80-150 mg/dl, the output current of the sensor can vary from 40 to 750 nA. The prototype circuit is designed to measure current from 5 to 1000 nA with an error less than 3% in order to detect any abnormality in glucose level in human blood.

3. Circuit and operation

The prototype circuit, as shown in Figure 2, consists of four parts: a current input front-end, an

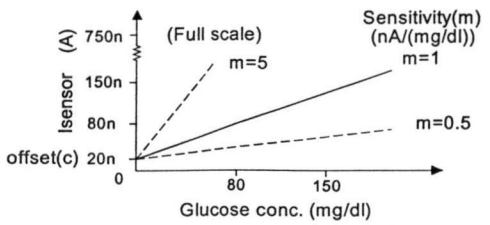


Figure 1 Glucose sensor transfer function

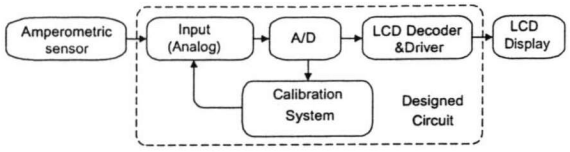


Figure 2 Overall system block diagram

analog-to-digital converter, a calibration system, and a LCD decoder and driver.

3.1 Current input front-end

As shown in Figure 3, the front-end circuit biases the two terminals of the sensor. Transistor M1 (M6) is connected as a diode with an addition of M3 (M7) to function as a current driver for the sensor. This configuration decreases the output resistance of the bias terminal from $1/g_{m1}$ to $1/(g_{m1}A_V)$ where A_V is a closed loop gain of M1 and M3 (M6 and M7). This low output resistance implies that the bias voltage is very stable regardless of the current drawn by the sensor. Another merit of this circuit is that the bias voltages are supply-independent.

Glucose sensors require the voltage difference between V_{GS1} and V_{GS6} to be 0.2 volt. In this prototype, V_{GS1} and V_{GS6} are chosen to be 0.7 and 0.5 volt, respectively; hence, M1 and M6 operate in sub-threshold region and consume very small power.

The right-side circuit has another function, which is to receive the sensor output current and mirror into a buffer. The buffer, which drives the analog-to-digital converter circuit, consists of M10 – M13 connected as a cascode current mirror.

3.2 Dual-slope analog-to-digital converter

The concept of a dual-slope ADC is to charge the integrating capacitor with the signal current for a specified period, then discharge the capacitor with a reference current. The time required to discharge the capacitor then becomes proportional to the signal current. This type of ADC is very suitable for this application because it has good linearity and requires minimal additional circuitry. The dual-slope structure implemented in this paper is shown in Figure 4. The relationship between the time required to discharge the capacitor in phase ϕ_2 with the sensor current is

$$t_{\phi 2} = \frac{t_{\phi 1}}{I_{ref}} I_S \qquad (1)$$

The conversion rate of this ADC is 500 Hz and the pulse frequency is 500 kHz. The number of output pulses is proportional to the time $t_{\phi 2}$ and thus the sensor

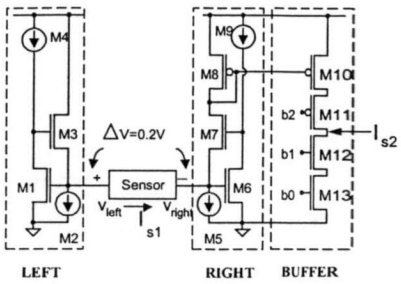


Figure 3 Simplified current input front-end circuit

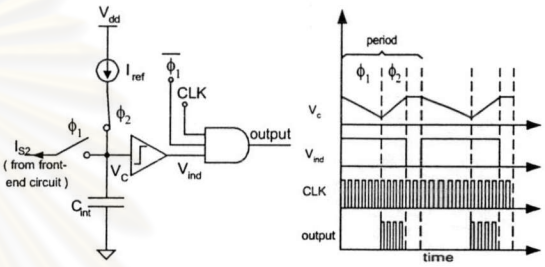


Figure 4 Block diagram and waveform of the dual-slope ADC

current. The maximum number of pulses (full scale) is 500 pulses, thus the dynamic range is 54 dB.

3.3 Calibration circuit

Since each sensor has different offset and sensitivity, each sensor has to be calibrated. From Figure 1, the transfer characteristic of sensors can be written in the form of $I_{S1} = mx + c$ where x is the concentration of glucose. So, the circuit must be calibrated twice, once each for the sensitivity (m) and the offset (c).

First, the offset compensation is performed, then followed by the sensitivity compensation. The reason for performing the calibration in this sequence is because the sensitivity is in the slope form; hence, the compensation will be accurate only if there is no offset in the slope calibration process. For the offset compensation, the sensor is dipped into a 0 mg/dl glucose solution or pure water. The calibration circuitry utilizes an 8-bit binary-search algorithm. Figure 5 shows eight current sources for offset compensation with the current value increases in 2^n manner. The compensation is realized by injecting current I_{off} into the drain of M13, which is a part of the buffer in Figure 3, to cancel the offset current. Switch Sw0 – Sw7, which control the compensation current I_{off} are controlled by a logic circuit performing the binary search algorithm [2].

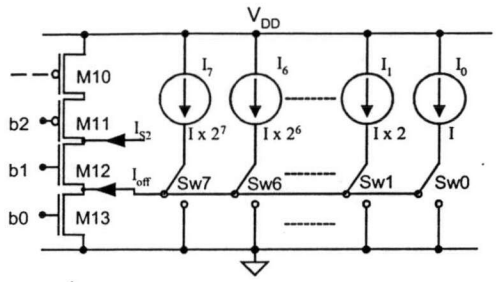


Figure 5 Offset calibration current sources

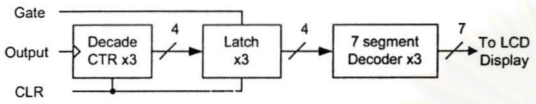


Figure 6 LCD display driver block diagram

For the sensitivity calibration (m), sensors are dipped into a reference concentration glucose solution and then the calibration process begins. Normally, the reference concentration is selected from the middle of the measuring range, which is 100 mg/dl in this case. The sensitivity calibration system has a similar structure to that of the offset calibration system except that the compensation is taken to I_{ref} instead of I_{off} by using 9 current sources. This can compensate the sensitivity between 0.5 - 5 nA/(mg/dl).

3.4 LCD display driver

Output pulses from the ADC in Figure 4 are sent to the display section. This section consists of three divide-by-ten counters to display three digits of output results. Signals from the counters pass latch circuits to BCD-to-seven segment decoder/driver. Then, the output is sent to an LCD display. The block diagram of this section is shown in Figure 6.

4. Measurement results

The prototype circuit shown in Figure 7 was fabricated in a 0.7 micron CMOS technology by Alcatel [3]. The digital circuits utilize MTC-2200 library [3] from Alcatel. Measurement results show that the performance of the input front-end and the ADC closely matches the designed and simulated parameters, while the offset calibration and sensitivity calibration do not function. Therefore, the measurement results reported here focus on the sensor biasing, the accuracy of the circuit and the power consumption. To illustrate the validity of the calibration systems, their simulation results are also reported.

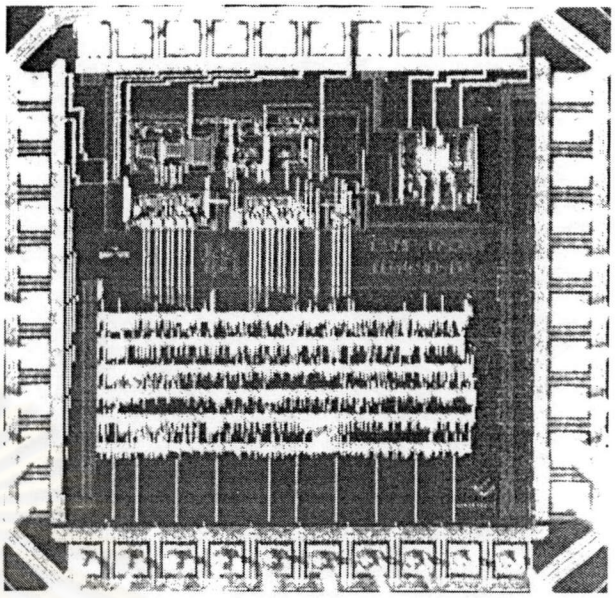


Figure 7 A photograph of prototype circuit

Table 1 Voltage at sensor bias node

Voltage	V_{DD} = 2.20 V		V_{DD} = 3.30 V		V_{DD} = 4.50 V	
	Measure	Simu-lation	Measure	Simu-lation	Measure	Simu-lation
Vleft (V)	0.580	0.70	0.580	0.70	0.583	0.70
Vright (V)	0.381	0.50	0.380	0.50	0.383	0.50

Table 1 shows the measured voltage at the sensor bias node V_{left} and V_{right}. The results are somewhat lower than the simulation results. This is caused by an inaccurate MOS modeling in subthreshold (this problem has been fixed by the later version of model). Nevertheless, the differential voltage is still 0.2 volt. The results also show that the bias voltages are independent of the supply voltage. This ensures that the circuit can operates over wide supply range.

For accuracy measurement, Table 2 shows that the circuit can measure sensor current from 5 to 1000nA with error smaller than 0.6 percent of full scale. The error is likely caused by the nonlinearity in front-end buffer.

Since the offset and sensitivity calibration circuits do not operate as designed, our current effort focuses on investigating this malfunction. Simulation results of these circuits will be discussed below.

When the sensor is dipped into a 0 mg/dl concentration glucose solution, the offset calibration circuit will adjust I_{S2} until it is zero by increasing I_{off} until I_{M11} equal to I_{M13}. From Figure 8, the solid line

Table 2 The accuracy of the circuit

I_{S1} (nA)		
Input	Measured	% of full scale error
4.95	4.79	-0.02
9.92	10.77	0.08
19.4	25.39	0.59
53.3	51.31	-0.20
103	102.00	-0.10
202	201.92	-0.01
382	377.20	-0.48
746	742.95	-0.31
982	986.28	0.43

represents I_{M11} adapting to the dashed line (I_{M13}) by increasing current using the binary search algorithm. The calibration stops when two values are within 1 nA of each other.

Similarly, for sensitivity calibration, the sensitivity calibration circuit adjusts I_{ref}. This changes the slope and discharge time of the analog-to-digital conversion during phase ϕ_2. The calibration will attempt to make the period $t_{\phi 2}$ equals to 0.1 ms as shown in Figure 9 where Sn is the variation in capacitor voltages when the calibration takes place at bit n (n = 8, 7, ... , 1, 0 respectively). Calibration at bit 5 to 0 cannot be identified in the figure since the graphs are too close together and appear as a bold line.

Since the low power consumption is one of the main objectives in designing this circuit, the power consumption is measured at different supply voltages and the results are shown in Table 3.

5. Conclusion

The design and measurement of a low-power monolithic analog-to-LCD interface for amperometric sensors are presented. The circuit consists of front-end circuit, analog-to-digital converter, calibration system and LCD display driver.

Measurements of the prototype chips show that front-end circuit and ADC function properly, while the calibration system and the LCD driver do not. The circuit can measure sensor current from 5 to 1000nA with error smaller than 0.6 percent of full scale. Operating voltage range is from 2.2 to 5.0 volt, thus supporting operation with two to three dry cells through out the battery life cycle. Power consumption of this circuit is very low. At 3.0 V supply voltage, the circuit consumes only 377 μW.

Current work focuses on identifying and correcting the circuit problems in the digital part, and increase the accuracy by improving the linearity of the front-end and the ADC.

References

[1] Sriyudthsak M., Cholapranee T., & Sawadsaringkarn M., "Enzyme-epoxy membrane based glucose analyzing system & medical applications", Biosensors & Bioelectronics Vol.11, No.8, 1996, pp 735-742.

[2] Mekthawornwathana M., Sriyudthsak M., & Wongkomet N., "A Design of Low-power Monolithic Analog-to-LCD Interface for Amperometric Sensors", 22nd Electrical Engineering Conference, Bangkok, Thailand, pp 29-32.

[3] Europractice ASIC service Dep., "Alcatel Microelectronics 0.7 μm CMOS Documentation", IMEC, Leuven , Belgium, 1999.

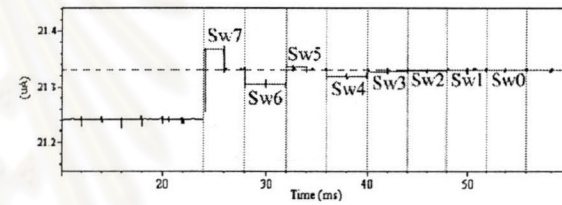


Figure 8 Changing in I_{M11} when calibrates offset (from simulation)

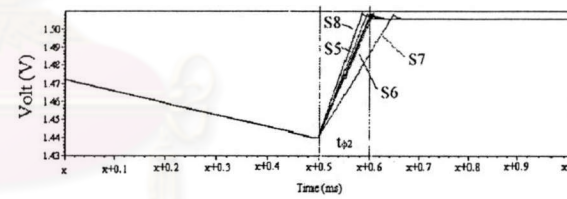


Figure 9 Changing in V_C when calibrates sensitivity (from simulation)

Table 3 Current from power supply at different supply voltage (Measure at full load)

Vdd	2.20 V	3.30 V	4.50 V
I_{supply} (μA)	99.0	114.3	492.4
Power (μW)	218	377	2216

ภาคผนวก ฉ

บทความที่ได้รับการพิจารณาตอบรับใน

2003 IEEE International Symposium on Circuits and Systems

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

A CMOS CURRENT-TO-LCD INTERFACE FOR PORTABLE AMPEROMETRIC SENSING SYSTEMS

Karn Opasjumruskit and Naiyavudhi Wongkomet

Department of Electrical Engineering, Faculty of Engineering,
Chulalongkorn University
Pathumwan Bangkok 10330, Thailand

ABSTRACT

A new design of a portable system for reading current from amperometric sensors and displaying the results on LCD is presented. The system integrates most of the required components: a front-end circuit, an A/D converter, a calibration unit and a digital control block. The exceptions are two external devices: a 2MΩ resistor and a 1nF capacitor. Input current from 0-1000nA can be measured with a resolution of 1 nA. Internal bandgap voltage reference generates a polarization voltage for biasing a sensor. The voltage can be adjusted from 0.1V to 0.8V in 0.1V step. The A/D converter uses the quad-slope conversion technique, which eliminates the effects of offsets. Simulation shows that the system is virtually independent of the ambient temperature and is able to operate from a 2.0 to 5.0V supply. The prototype circuit has been designed in a 0.7μm CMOS technology.

1. INTRODUCTION

In recent years, amperometric sensors have been vastly utilized to measure the concentration of target chemical substances. Examples are glucose in human blood, heavy metal contaminant in water and carbon monoxide in open air. Though the sensors are widely developed, the signal-processing system to use with the sensors is far less explored. Previous research on the system can be categorized into two cases: a system implemented by a micro-controller [1] and by a custom-designed ASIC [2],[3]. The first one requires a potentiostat to convert the signal from current to voltage, while an ASIC can be designed to directly accept current signal input. In literature [3], however, their system needs external reference current and polarization voltage.

In this paper, a new portable interface for amperometric sensors improved from [2] is proposed. The interface provides polarization voltage (V_{pol}) for biasing sensors and gives a readable figure that represents a corresponding output current to users. It integrates all the important parts in handling amperometric sensors and is able to operate at supply voltages provided by 2-3 dry cells. Also, the circuit can tolerate variations of supply voltage and ambient temperature. The system supports sensors with two electrodes.

This paper is organized as follows. In Section 2, concepts used in system operation are explained. Implementations of the circuits are presented in Section 3. Then, simulation results are given in Section 4. Finally, the conclusion is given.

2. SYSTEM OPERATION

The prototype circuit consists of five main parts: front-end circuit, quad-slope A/D converter, bandgap voltage reference, calibration unit and digital logic circuit as shown in Figure 1. Front-end circuit biases a sensor with user-selectable polarization voltage and buffers current between the sensor and the A/D converter. The current from the front-end will be converted by the A/D converter employing a quad-slope conversion scheme which will be explained in section 2.1. During the operation, a bandgap reference provides constant voltage and current for the circuit. An error in the transfer curve of a sensor can be calibrated by the calibration system. Both the A/D conversion and the calibration are controlled by the digital logic circuit, which also decodes converted data into a 7-segment code and drives an off-chip LCD.

2.1 Quad-Slope Conversion Scheme

Since a dual-slope converter suffers from offsets of the front-end buffer (?$_{ofst}$), integrator ($\tilde{V}_{ofst,oa}$) and comparator ($\tilde{V}_{ofst,cmp}$) as depicted in Figure 2. The solution is to use a quad-slope conversion scheme to measure and cancel the offset.

A quad-slope conversion cycle shown in Figure 3 is composed of two dual-slope cycles. During the first cycle, the input current and offset current are integrated. Additionally, the integrator and comparator offsets add an error to the final voltage V_f and initial voltage V_i of the integrator. These offsets extend the down-integration time (t_1), thus adding a few counts to the counter. The objective of the second cycle is to measure the offsets and subtract them from the value obtained during the first cycle. It is important to note that this scheme will work properly only if the total offset is positive, i.e. t_2 is larger than zero; hence, an artificial offset must be added to ensure that total offset is always positive.

Another aspect of the quad-slope method is the ability to suppress low-frequency noise. The effect of this process to voltage noise can be represented by the transfer function [4]

$$\|H(f)\| = 2\left|\sin[\pi f(T_1 + T_2)]\right| . \quad (1)$$

For current noise, the signal is first converted into a voltage by a finite-time integrator giving the transfer function

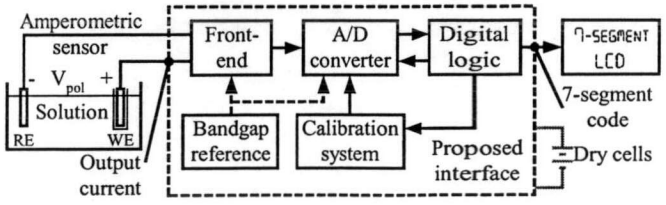


Figure 1. Block diagram of the prototype circuit

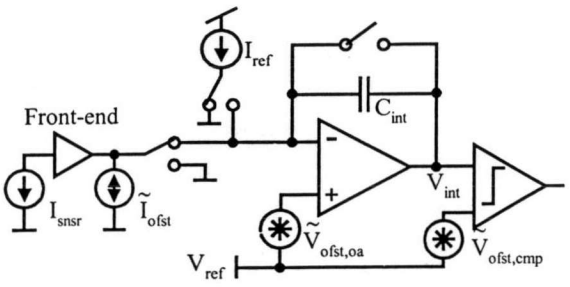


Figure 2. Contribution of offsets in a dual-slope converter.

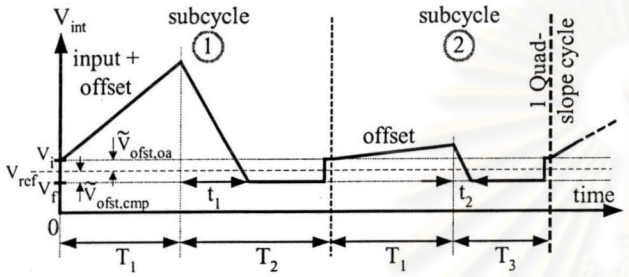


Figure 3. The output voltage of an integrator in the quad-slope conversion scheme.

$$\|H(f)\| = 2\frac{T_1}{C_{int}}\left|\operatorname{sinc}(\pi f T_1)\sin[\pi f(T_1+T_2)]\right|. \qquad (2)$$

Above expressions are necessary in computing equivalent input-referred noise of the system.

The quad-slope A/D converter used in the system has a resolution of 1 nA, an input range of 1000nA and a conversion rate of 250Hz. The reference current I_{ref} has a nominal value of 1μA. The period shown in Figure 3 are set as follows: T_1=1ms, T_2=1.2ms and T_3=0.8ms. T_2 has to be slightly larger than T_1 because of the offsets and T_3 has been reduced to compensate for increase in T_2.

Since the system must operate properly at supply voltage as low as 2V, an operating point of the circuit must be chosen carefully to allow the largest output voltage swing for the integrator. A large output swing provides better SNR and comparator resolution. Overheads of the integrator come from headroom of the opamp, offsets and deviation of reference voltage (V_{ref}) and capacitor (C_{int}) shown in Figure 4. Offset voltage and V_{ref} variation cause the output to shift from nominal V_{ref}, while offset current and C_{int} deviation can increase the maximum of the integrator output voltage. After all the overheads have been accounted for, an optimal choice for V_{ref} and voltage swing is 0.4 and 1.0V respectively. For T_1=1ms, C_{int} must be 1nF to obtain 1V swing for full-scale input (1μA).

2.2 Sensor Characteristic Calibration

The objective of the calibration is to adjust for errors in the transfer curve of the sensor. These errors are typically in the forms of offset and sensitivity variation. The system performs the offset calibration by injecting a neutralizing current I_{oscal} to cancel the offset. For sensitivity calibration, I_{ref} is adjusted to match the change in the gain of the sensor. These require both I_{oscal} and I_{ref} to be adjustable.

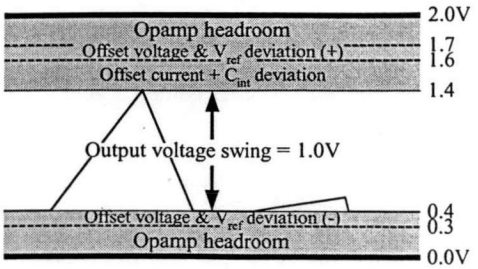


Figure 4. Overhead and available range of the integrator.

Figure 5 shows an array of current sources used to generate I_{ref}. Such an array comprises of 13-bit binary-weighted current-source array and switches SW_0- SW_{12} controlled the value of I_{ref}. These switches are controlled by the digital logic and their correct setting is looked up by performing binary search algorithm [2]. I_{oscal} is derived from an array with similar structure except that it contains only the lower 8 bits of current sources.

2.3 Digital Logic Circuit

The digital section can be divided functionally into three parts: the A/D-converter (ADC) controller, the display unit and the calibration unit as shown in Figure 6. The ADC control unit operates simultaneously with the integrator to control the quad-slope conversion and the output from the comparator will be fetched back to the controller to calculate the result.

From the ADC controller, the result enters the display unit and is latched for viewing at the display rate of 5 Hz. The result in BCD format from the latch is converted into a 7-segment code and modulated by a driver to produce a 125Hz signal for driving the LCD. For the prototype circuit, the clock frequency was set to 1MHz.

In normal operation, the calibration unit only holds the value that controls SW_0-SW_{12}. During the calibration process, it performs a search and takes the result from the latch to make a decision on how to control each switch.

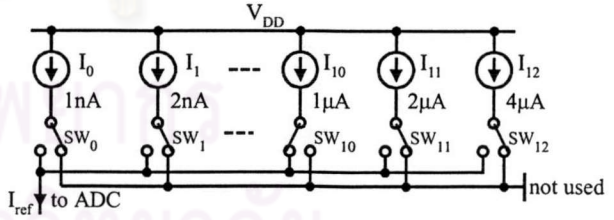


Figure 5. Binary-weighted calibration current sources.

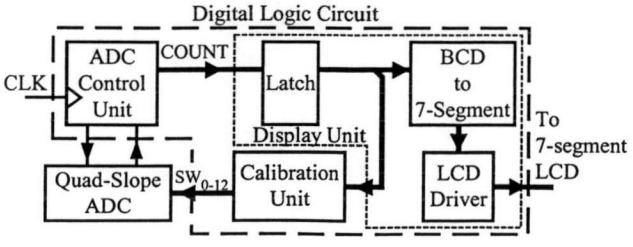


Figure 6. Block diagram of the digital part.

3. CIRCUIT DESCRIPTION

3.1 Bandgap Voltage & Current Reference

V_{ref} and I_{ref} mentioned previously must have low dependency on process variation, supply voltage change and temperature shift. These requirements can be partially satisfied by employing a bandgap reference circuit [5]. The circuit shown in Figure 7 was adapted from [5]. In this figure, start-up circuit and high-swing cascode transistors have been omitted for clarity.

The circuit uses vertical PNP transistors available in the n-well CMOS process to generate a p-n junction voltage (V_{BE}) on the left and a proportional-to-absolute-temperature voltage (V_{PTAT}) on the right. The voltages are converted into currents by R_1 and R_2 respectively, and the currents are combined in a proper scale to create current I_B. The temperature coefficience (TC) of R1 and R2, however, causes I_B to be temperature dependent so R_3 is added to cancel the effect of TC and convert I_B into a bandgap voltage. The resistor string generates the V_{pol} used to bias a sensor. The value of V_{pol} can be adjusted by shorting unwanted resistors out of the string.

To generate the bandgap current, bandgap voltage of 0.5V is buffered and applied to an external 2MΩ 1%-error resistor to create a constant current of 250nA, which will be used by the calibration system. This bias scheme allows the conversion range to be altered by changing the value of R_{ext}. This possibility will be explored in the future.

3.2 Input Front-End

Amperometric sensors have 2 electrodes, working (WE) and reference electrodes (RE) [3]. This circuit provides a polarization voltage across the two electrodes and acts as a current buffer that sends the current signal to the A/D converter. A polarization voltage is generated from the bandgap reference and can be adjusted from 0.1 to 0.8V in 0.1V step. This enables the system to be compatible with various types of amperometric sensors.

The circuit in Figure 8 (cascode transistors not shown) is the improved version of the current buffer in [2],[6]. On the left side, opamp OA1 and transistor M1 form a voltage buffer biasing the RE electrode. On the other side, OA2 and M2 also act as a buffer biasing the WE electrode. Voltages supplied at each side are 0.2V and V_{pol} + 0.2V respectively. This differential bias reduces the effect of process variation to V_{pol} as well as the power supply noise.

While the output of the front-end is forced to voltage V_{ref} by the virtual ground input of the integrator, drain of M2 cannot be directly connected to a voltage as low as 0.4V. So, M3 is inserted in the folded-cascode fashion to increase the level of drain voltage of M2. M4-M6 form a replica bias to reduce systematic offset of the current buffer.

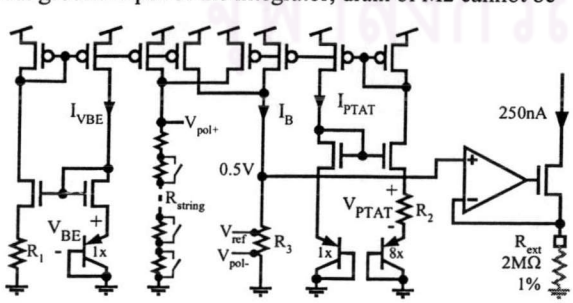


Figure 7. Simplified low-voltage bandgap reference.

3.3 Integrator and Comparator

Main components in the quad-slope ADC are an opamp operated as the integrator and a comparator as shown in Figure 3. The opamp has a two-stage structure with a pseudo-source-follower output stage [6] as displayed in Figure 9. The integrator requires a pseudo source follower to help driving a current into C_{int} and allow the output to swing from rail to rail. Care must be taken in compensating the output stage since an amplifier with rail-to-rail input has a dominant pole varying with its input level.

The comparator in the system is a track-and-latch type [8]. The bandwidth of the comparator has been designed to ensure that the delay time is smaller than 1μs for an input-signal slope of 1mV/1μs, implying an error of less than 1LSB for a 1MHz clock.

3.4 Current-Source Array for Calibration

A 250nA constant current from bandgap reference is mirrored for using in the calibration unit. To generate a very small current, i.e. 1nA, from 250nA, a current mirror technique is not practical; instead, a current divider circuit [9] is used to perform the task. Figure 10 shows how the calibration array is configured.

Lower eight bits of the array are created from the current divider. The 8-bit divider consists of 256 equal-size transistors configured in the common-gate manner. The n^{th}-bit of the divider is formed by 2^n unit transistors. The remaining bits of the array are formed by scaled current mirrors. All switches in the figure are NMOS transistors operating in triode region. .

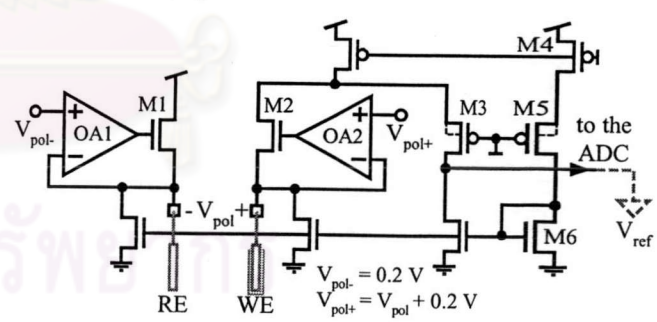


Figure 8. Current-input front-end with adjustable V_{pol}.

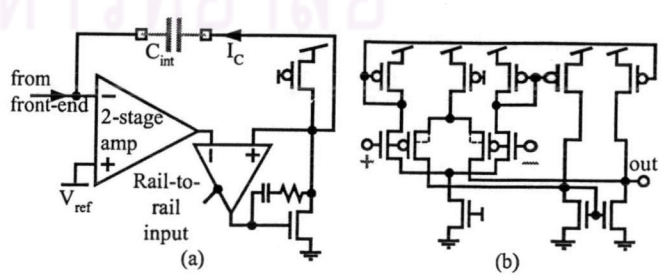


Figure 9. Components in the integrator (a) buffered-output opamp (b) rail-to-rail-input amplifier

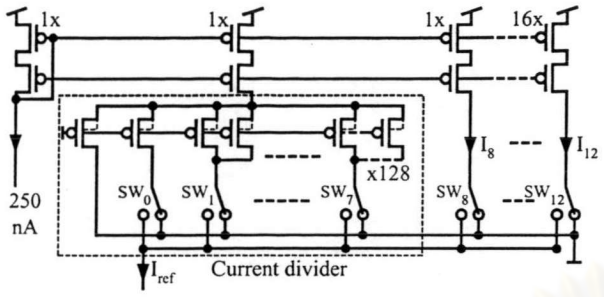


Figure 10. Implementation of the current-source array.

When the calibration is not performed, only SW_{10} is connected to I_{ref} and I_{10} flows to the ADC. After the calibration, SW_0-SW_{12} will have a new combination creating an appropriate I_{ref}, which can range from 1 to 8000nA. This allows the sensor gain to be calibrated from 0.1 to 800% of nominal sensitivity. However, the practical adjusting range of I_{ref} is from 10% to 800%.

4. SIMULATION RESULTS

The system is designed in a 0.7μm CMOS process and is simulated in typical, fast and slow process at supply voltage of 2,3 and 5V respectively. The prototype circuit is currently being fabricated.

The simulation results of the prototype circuit shows that this circuit can operate under supply voltage from 2.0 to 5.0V and temperature between 0 and 70°C. Power dissipation of the circuit when operating at 3V supply is around 510μW. Table 1 summarizes the simulation results from the prototype circuit. V_{ref} and I_{ref} have 0.45% and 1.4% maximum deviation, respectively, when varying temperature from 0 to 70°C and supply from 2.0-5.0V. The current experiences larger deviation because of limited output resistance of the current source; so, the variation of supply voltage dominates the error of I_{ref}.

The front-end circuit provides the sensor with a polarization voltage ranging from 0.1 to 0.8V in 0.1V step. The input resistance R_{in} and output resistance R_{out} are approximately 0.17Ω and 73MΩ, respectively. This R_{out} is large enough for current in the order of nanoampere. The input referred noise with the effect of the quad-slope conversion (2) taken into account is 158pA.

The ADC input referred noise after the effect of (1) has been taken into account is 302pA. Then, the total input referred noise of the system is approximately 340pA, which is lower than the LSB of 1nA. The current divider circuit can operate at all simulated conditions. This allows the calibration current to be adjusted with a step of 1nA.

5. CONCLUSION

A new portable system for reading the current output from amperometric sensors has been designed. The prototype circuit consists of five parts: front-end circuit, quad-slope A/D converter, bandgap voltage reference, calibration unit and digital controller. Simulation results show that the reference voltage and current generated by bandgap reference circuit is very slightly dependent on the temperature and supply voltage. The sensor output current is buffered by the front-end and converted to digital with 1 nA resolution by the quad-slope ADC. Total input referred noise is less than one LSB of the converter. The transfer-curve calibration unit can correct offset up to 250nA with 1nA step and the full-scale current I_{ref} is adjustable from 1-8000nA. The prototype chip is being fabricated in a 0.7-μm CMOS process.

Table 1. Summary of simulation results.

Supply voltage				2.0-5.0	V
Temperature				0-70	°C
Total power consumption (typical)				510	μW
Bandgap reference characteristics (typical, fast, slow):					
V_{ref}(400mV)	Mean	399.7	397.1	401.9	mV
	Δ	± 0.08	± 0.18	± 0.23	%
I_{ref} (1μA)	Mean	1.004	0.998	1.008	μA
	Δ	± 0.45	± 0.7	± 0.6	%
Front-end characteristics (typical):					
Polarization voltage				0.1-0.8	V
R_{in} (V_{pol} = 0.2V)				0.17	Ω
R_{out}				73	MΩ
Equivalent input referred noise				158	pA
A/D converter characteristics (typical):					
Resolution				1	nA
Equivalent input referred noise				340	pA
Conversion time				4	ms
Transfer-curve calibration unit characteristics:					
Offset calibration current	Range			1-250	nA
	Step			1	nA
Gain calibration current	Range			1-8000	nA
	Step			1	nA

6. REFERENCES

[1] C.-W. Lin, C.-Y. Jan, O. T.-C. Chen, S. Wang, T. Kao, "Development of Micromachined Electrochemical Sensor and Portable Meter System," *IEEE Proc. Engineering in Medicine and Biology Society*, vol. 20, pp. 1834-1836, 1998.

[2] M. Mekthawornwathana, K. Opasjumruskit, M. Sriyudthsak, N. Wongkomet, "A Low-Power Monolithic Analog-to-LCD Interface for Amperometric Sensors," *IEEJ International Analog VLSI Workshop*, pp. 144-147, May 2001.

[3] M. Breten, T. Lehmann and E. Bruun, "Integrating Data Converters for Picoampere Currents from Electrochemical Transducers," *IEEE ISCAS*, pp. V- 709-712, May 2000

[4] A. Rizzi, "N-Delta and Differential Average Signal Processors: Detailing of Their Signal and Noise Response," *IEEE J. Solid-State Circuits*, vol. 28, pp. 49-58, Jan. 1993.

[5] P. R. Gray, R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, chap. 4, John Wiley & Sons, 1993.

[6] C. Toumazou, J. Lidgey, *Current-Mode Circuits: Techniques in High Frequency Analog Design*, chap. 9, 1998.

[7] F. Mistlberger, R. Koch, "Class-AB High-Swing CMOS Power Amsplifier," *IEEE J. Solid-State Circuits*, vol. 27, pp. 1089-1092, July 1992.

[8] B.-S.Song, S.-H. Lee, M. F. Tompsett, "A 10-bit 15-MHz CMOS Recycling Two-Step A/D Converter," *IEEE J. Solid-State Circuits*, vol. 25, pp. 1328-1338, Dec. 1990.

[9] H. J. Schouwenaars, D. W. J. Groeneveld, H. A. H. Termeer, "A Low-Power Stereo 16-bit CMOS D/A Converter for Digital Audio," *IEEE J. Solid-State Circuits*, vol. 23,pp. 1290-1297, Dec.1988.

ประวัติผู้เขียนวิทยานิพนธ์

นายกานต์ โอภาสจำรัสกิจ สำเร็จการศึกษาปริญญาตรีวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมไฟฟ้า เกียรตินิยมอันดับ 2 จากคณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย ในปีการศึกษา 2542 และเข้าศึกษาต่อในหลักสูตรวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า ที่คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย ในปีการศึกษา 2543

ระหว่างการศึกษาในหลักสูตรวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า ที่คณะวิศวกรรมศาสตร์ ได้ทำหน้าที่เป็นผู้ช่วยสอนให้กับภาควิชาวิศวกรรมไฟฟ้า ระหว่างปี 2543-2544

ผู้เขียนได้รับรางวัลชมเชยจากการแข่งขันการออกแบบวงจรรวมแห่งประเทศไทยครั้งที่ 1 ประเภทวงจรรวมแอนะล็อก จากโครงงาน “ดำเนิน 1.0” ในปีพ.ศ. 2543 และรางวัลชนะเลิศจากการแข่งขันการออกแบบวงจรรวมแห่งประเทศไทยครั้งที่ 2 ประเภทวงจรรวมแอนะล็อกจากโครงงาน “ดำเนิน 2.0” ในปีพ.ศ. 2544 จัดโดยศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติหรือเนคเทค นอกจากนี้ยังได้รับรางวัลรองชนะเลิศอันดับที่ 1 จากการแข่งขันพัฒนาโปรแกรมคอมพิวเตอร์แห่งประเทศไทยครั้งที่ 2 หรือ NSC 2000 ประเภทโปรแกรมเกมระดับนักเรียน นิสิต นักศึกษา ปีพ.ศ. 2543 จัดโดยเนคเทค

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย