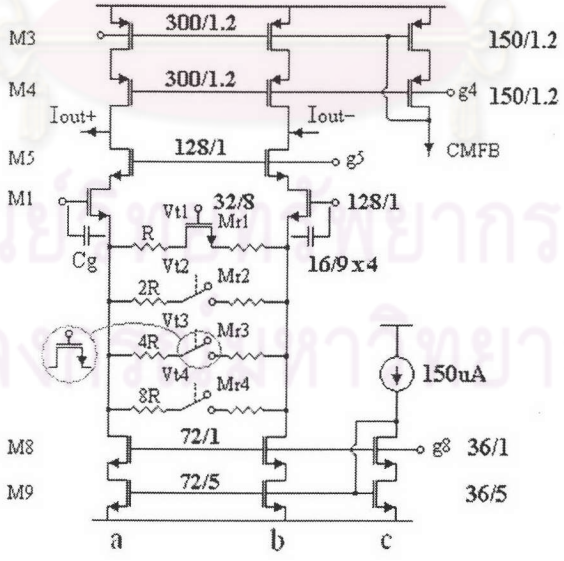
บทที่ 7

การวางผังวงจรรวมและผลการจำลองการทำงาน

การวางผังวงจรรวมเป็นงานที่สำคัญไม่น้อยไปกว่าการออกแบบวงจรรวมเนื่องจาก ปัญหาความไม่เข้าคู่กัน (mismatch) ของทรานซิสเตอร์ ตัวต้านทานและตัวเก็บประจุที่ใช้ ผลจากตัวต้านทานและตัวเก็บประจุแบบปรสิตต่อวงจรรวม ปัญหา Latchup ปัญหาการรบกวนกันของวงจรที่อยู่บริเวณใกล้ๆกัน และผลลัพธ์ที่ไม่คาดคิดอื่นๆล้วนเป็นผลมาจากการวางผังวงจรรวมทั้งสิ้น ดังนั้นการวางผังวงจรรวมจึงเป็นศาสตร์แห่งความสำเร็จในการสร้างวงจรรวมที่สำคัญ

7.1 การวางผังวงจรทรานส์คอนดักเตอร์

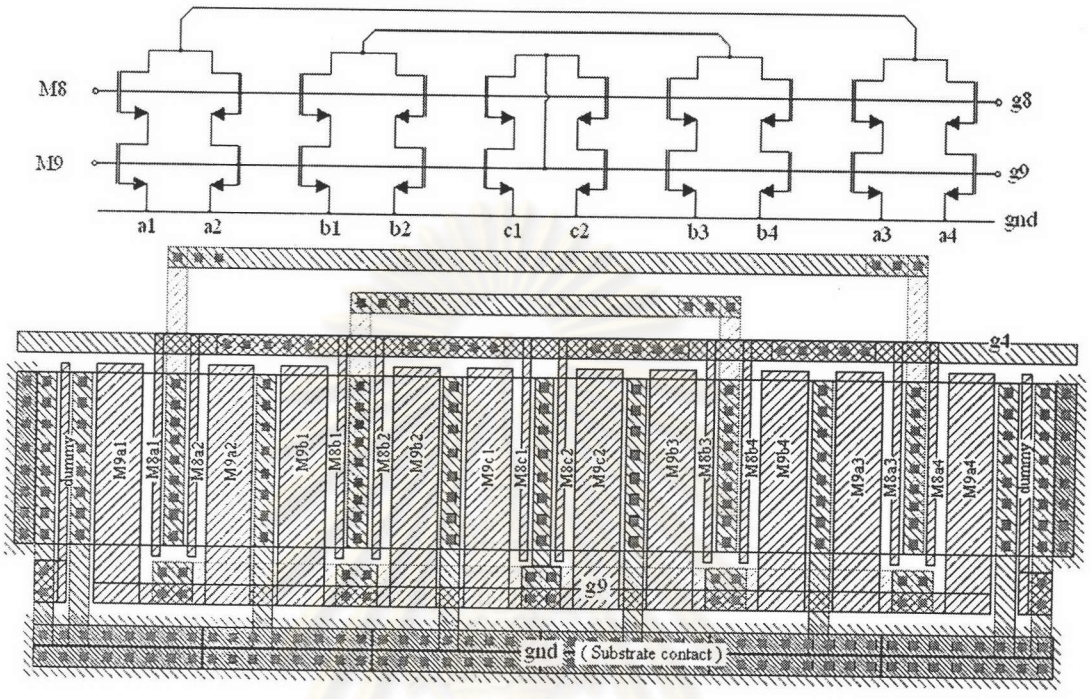
วงจรทรานส์คอนดักเตอร์เป็นวงจรหลักที่แสดงถึงคุณสมบัติของวงจรกรอง โดยจากการจำลองการทำงานดังที่กล่าวมาแล้วในบทที่ 5 พบว่าหากวงจรทรานส์คอนดักเตอร์มีขั้วหรือศูนย์แบบปรสิตอยู่ไกลถึง 1GHz จะทำให้อัตราขยายสัญญาณของวงจรกรองคลาดเคลื่อนจาก 1 เท่าไปถึงประมาณ 1±0.04 เท่าหรือ ±0.34dB ซึ่งเป็นค่าที่มากเมื่อเทียบกับคุณสมบัติที่ต้องการ ดังนั้นการวางผังทรานส์คอนดักเตอร์จึงควรคิดถึงผลของตัวปรสิตเป็นสำคัญ



รูปที่ 7.1 วงจรทรานส์คอนดักเตอร์

วงจรทรานส์คอนดักเตอร์ดังในบทที่ 5 ถูกนำมาแสดงอีกครั้งดังรูปที่ 7.1 การวางผังวงจรจะเริ่มจากทรานซิสเตอร์ M8a M9a และ M8b M9b ซึ่งเป็นแหล่งกระแสแบบ wide swing

cascode ของวงจรทรานส์คอนดักเตอร์โดยมี M8c M9c เป็นตัวไบอัส ในการวางผังวงจรให้ทรานซิสเตอร์เหล่านี้เข้าคู่กัน (matching) ดังการจำลองการทำงานจะต้องแบ่งแหล่งกระแส (M8 และ M9 ต่อกันแบบ cascode) ออกเป็นชุดย่อยๆแล้ววางตำแหน่งโดยให้มีจุดศูนย์ถ่วงอยู่จุดเดียวกัน (common centroid) ดังรูปที่ 7.2(บน) ซึ่งสามารถนำไปวางผังวงจรจริงได้ดังรูปที่ 7.2(ล่าง)



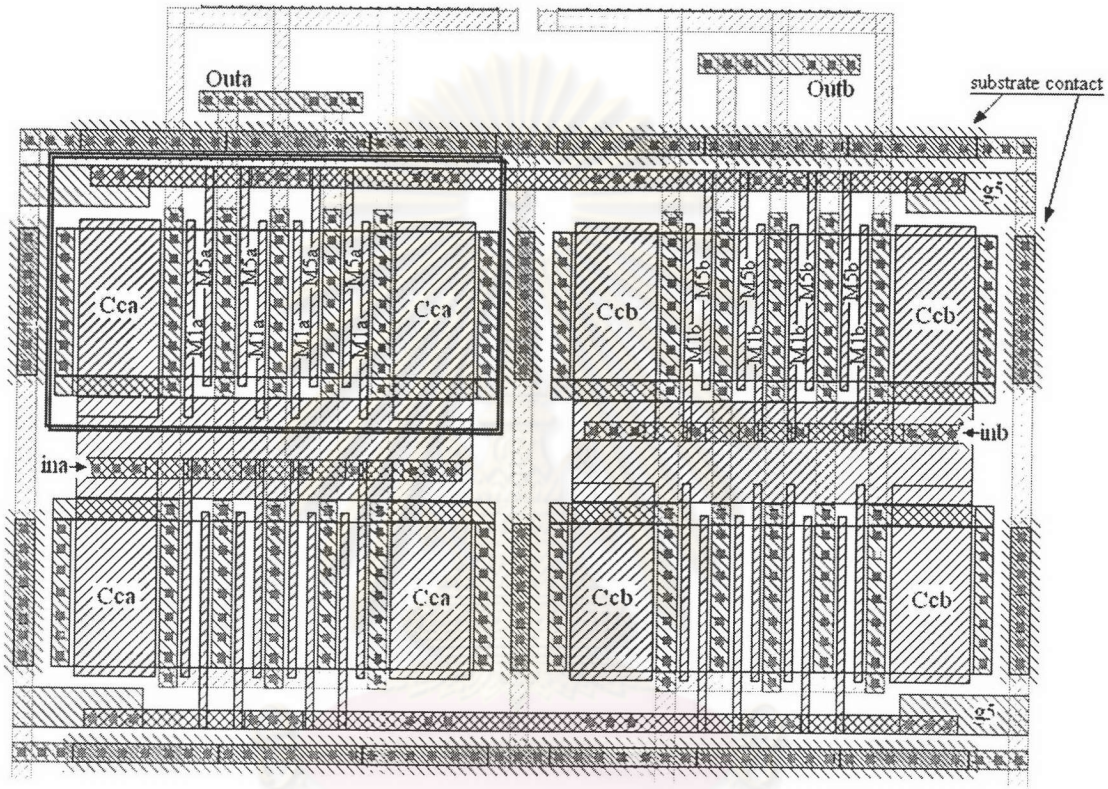
รูปที่ 7.2 การวางผังทรานซิสเตอร์ M8a, M9a, M8b, M9b, M8c, M9c ในวงจรทรานส์คอนดักเตอร์

นอกจากนั้นยังมีทรานซิสเตอร์หุ่น (dummy) วางที่ด้านซ้ายสุดและขวาสุดดังรูปที่ 7.2(ล่าง) เพื่อให้ทรานซิสเตอร์ M9a1 และ M9a4 มีขอบเหมือนๆกับทรานซิสเตอร์อื่นๆข้างใน และข้อควรระวังอีกข้อหนึ่งสำหรับกระบวนการผลิตนี้คือ ไม่ควรวางให้ทรานซิสเตอร์อยู่ห่างจาก substrate contact เกิน 35μm เพื่อให้ทรานซิสเตอร์มีคุณสมบัติใกล้เคียงการจำลองการทำงาน

สำหรับตัวเก็บประจุ Cg ดังในรูปที่ 7.1 จะสร้างจากทรานซิสเตอร์ชนิดเอ็นมอสแล้ววางไว้เป็นชุดเดียวกับ M5 และ M1 ดังรูปที่ 7.3(ซ้ายบน) ซึ่งรูปที่ 7.3 นี้จะประกอบด้วยชุด M5, M1, และ Cc ดังกล่าวทั้งหมด 4 ชุดเหมือนๆกัน โดยทางด้านซ้าย (บนและล่าง) จะเป็นทรานซิสเตอร์ M5a, M1a และ Cca ส่วนทางขวา(บนและล่าง)จะเป็นทรานซิสเตอร์ M5b, M1b และ Ccb

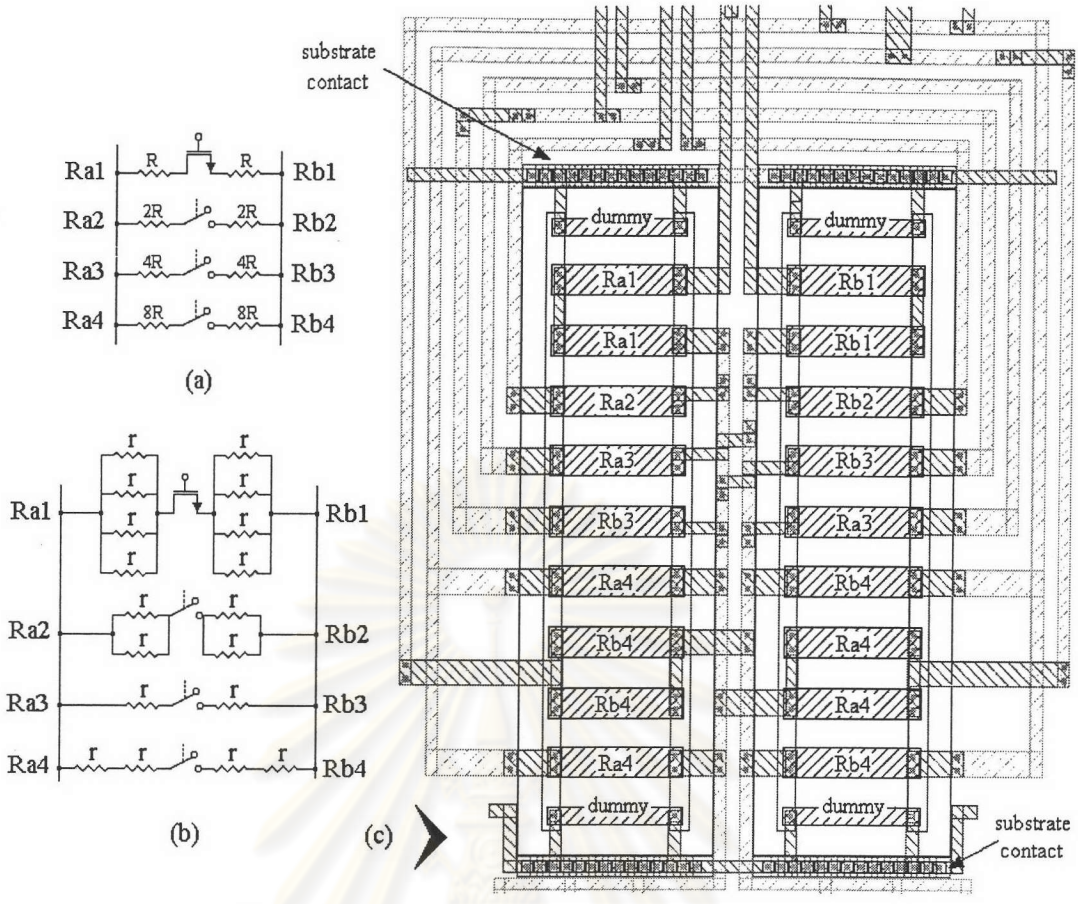
ในกรณีที่ต้องการให้ M5a, M1a, Cca และ M5b, M1b, Ccb เข้าคู่กัน (matching) ให้ดีกว่าการวางดังรูปที่ 7.3 ก็อาจสลับชุด M5a, M1a, Cca ล่างซ้ายกับชุด M5b, M1b, Ccb ล่างขวาเพื่อให้ชุด a และ b มีจุดศูนย์ถ่วงอยู่จุดเดียวกัน (common centroid) แต่การเชื่อมต่อวงจร (routing) จะซับซ้อนขึ้นซึ่งเป็นผลให้ตัวเก็บประจุชนิดปรสิตที่เกิดจากการการเชื่อมต่อวงจรมากขึ้นตามไปด้วย และจากการจำลองการทำงาน (ดังจะกล่าวต่อไปในหัวข้อที่ 7.4) พบว่าหากมีตัวเก็บประจุ

ชนิดปรสิตเพิ่มขึ้นที่โนด a1 และ b1 เพียงเล็กน้อยก็จะมีผลทำให้อัตราขยายในแถบผ่านของวงจรกรองที่ความถี่บริเวณ 5MHz คลาดเคลื่อนจากอุดมคติออกไป ดังนั้นการวาง M5a, M1a, Cca ทางด้านซ้าย(บนและล่าง)และ M5b, M1b, Ccb ทางด้านขวา(บนและล่าง) ดังรูปที่ 7.3 ก็เพื่อลดผลจากตัวเก็บประจุชนิดปรสิตที่เกิดจากการการเชื่อมต่อวงจร อีกทั้ง M5a, M1a, Cca และ M5b, M1b, Ccb ก็ยังไม่ต้องการความเข้าคู่มากนักเพราะค่าทรานส์คอนดักแตนซ์ของวงจรทรานส์คอนดักเตอร์ดังรูปที่ 7.1 ขึ้นอยู่กับตัวต้านทานที่ใช้ในวงจรเป็นหลัก



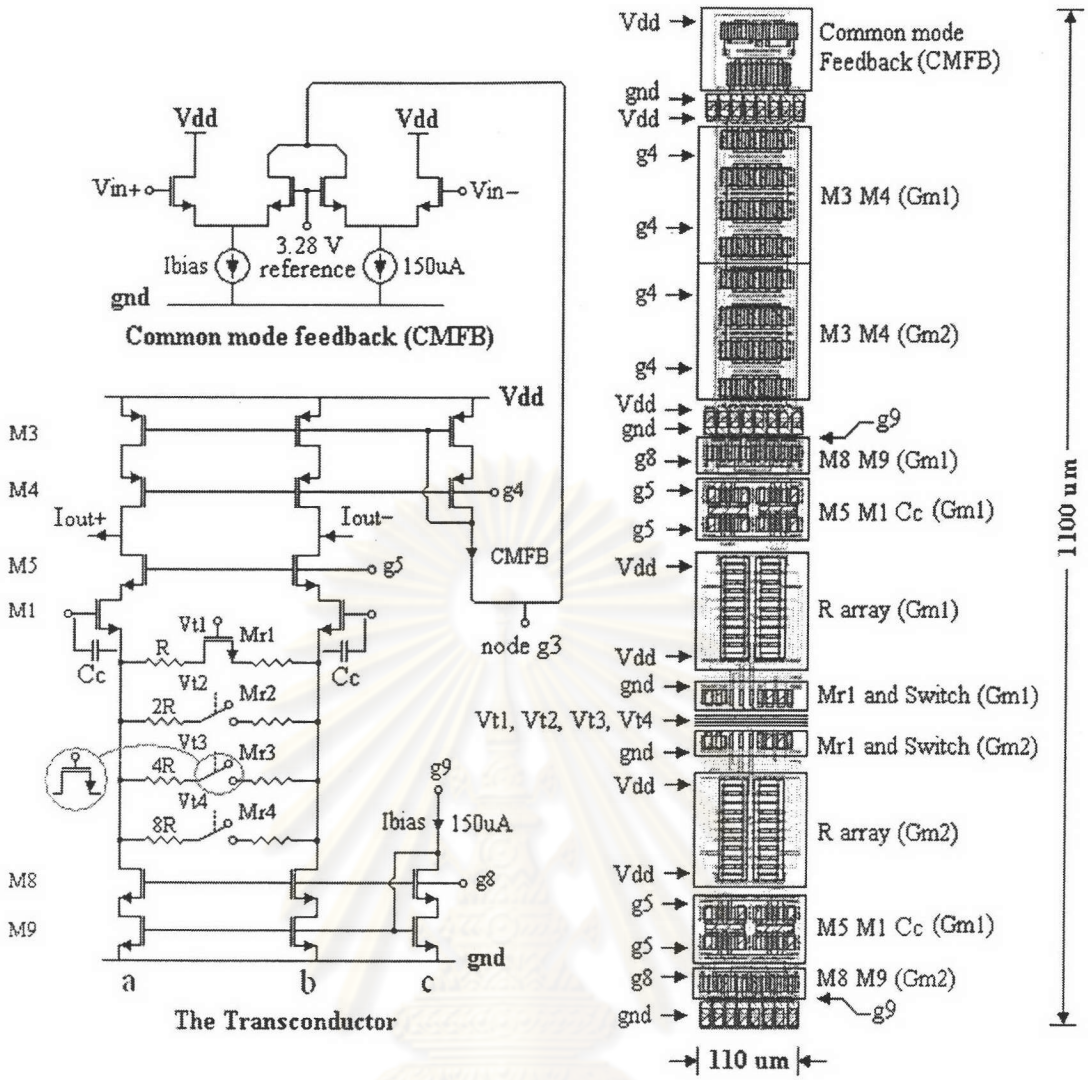
รูปที่ 7.3 การวางผังทรานซิสเตอร์ M1a, M5a, M1b, M5b ในวงจรทรานส์คอนดักเตอร์

ตัวต้านทานที่ใช้ในวงจรทรานส์คอนดักเตอร์มีลักษณะเป็นแบบ binary weighted ดังรูปที่ 7.4(a) โดยสามารถแบ่งเป็นตัวต้านทานย่อยๆค่า 3.5k โอห์มเท่ากันทุกตัวได้ดังรูปที่ 7.4(b) โดยตัวต้านทางฝั่งซ้าย (Ra) ควรจะมีค่าเท่ากับ (maching) ฝั่งขวา (Rb) เพื่อความสมมาตรของวงจรทรานส์คอนดักเตอร์ ดังนั้นการวางผังวงจรจึงพยายามให้ Ra และ Rb มีจุดศูนย์ถ่วงอยู่จุดเดียวกัน ดังรูป 7.4(c) แต่การวางผังวงจรควรคำนึงถึงตัวเก็บประจุชนิดปรสิตด้วยเนื่องจากอัตราขยายในแถบผ่านของวงจรกรองมีความไวต่อตัวเก็บประจุชนิดปรสิตที่เกิดจากการเชื่อมต่อความต้านทานเหล่านี้มากพอสมควร (ดังจะกล่าวต่อไปในหัวข้อที่ 7.4) ดังนั้นตัวต้านทานบางคู่ได้แก่ Ra1 และ Rb1 จึงวางให้การเชื่อมวงจรง่าย



รูปที่ 7.4 การวางผังตัวต้านทานในวงจรทรานส์คอนดักเตอร์

สำหรับทรานซิสเตอร์ M3a, M4a, M3b, M4b, M3c, M4c ก็ใช้รูปแบบการวางผังวงจรเหมือนการวางตัวทรานซิสเตอร์ M8, M9 ต่อจากนั้นก็นำอุปกรณ์ที่วาดไว้มาต่อเป็นตัวทรานส์คอนดักเตอร์ดังรูที่ 7.5 ซึ่งประกอบด้วยตัวทรานส์คอนดักเตอร์ 2 ตัวมีการวางอุปกรณ์ต่างๆต่อเป็นชั้นๆ ในแนวตั้ง มีสายไบอัส g4, g5, g8 ไบอัสตัวทรานซิสเตอร์ M4, M5, M8 ซึ่งทำหน้าที่ cascode, สายควบคุมการปรับค่าทรานส์คอนดักแตนซ์ Vt1, Vt2, Vt3, Vt4, สายไฟเลี้ยงและสายกราวนด์วางยาวในแนวนอน และสำหรับ M3, M4 ของทรานส์คอนดักเตอร์ตัวล่างจะถูกนำไปวางข้างบนรวมกับ M3, M4 ของทรานส์คอนดักเตอร์ตัวบน เพื่อให้วางใกล้กับวงจรป้อนกลับแรงดันขาออก (CMFB) ซึ่งมีข้อดีคือ ตัวเก็บประจุชนิดปรสิตที่เกิดจากการเชื่อมวงจรที่โนด g3 ซึ่งเป็นขั้ว (pole) ที่ 2 ของวงจรวงจรป้อนกลับแรงดันขาออกจะน้อยลง

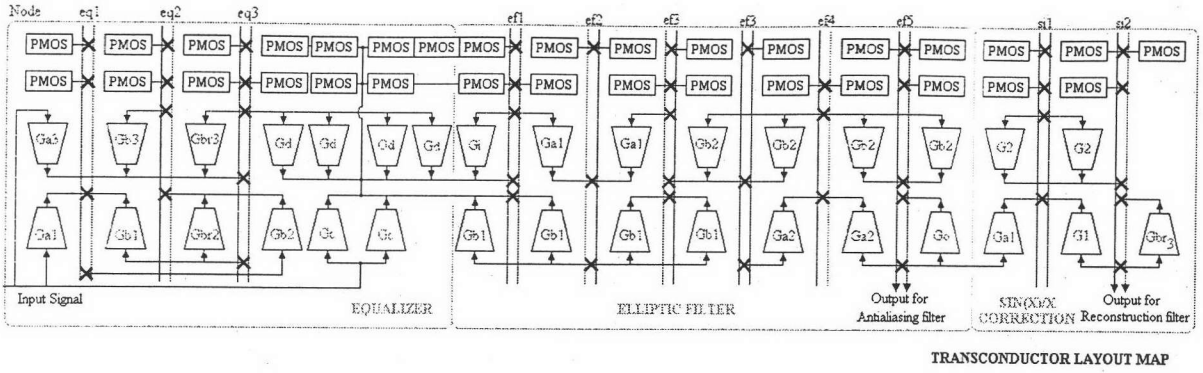


รูปที่ 7.5 การวางผังวงจรของวงจรทรานส์คอนดักเตอร์

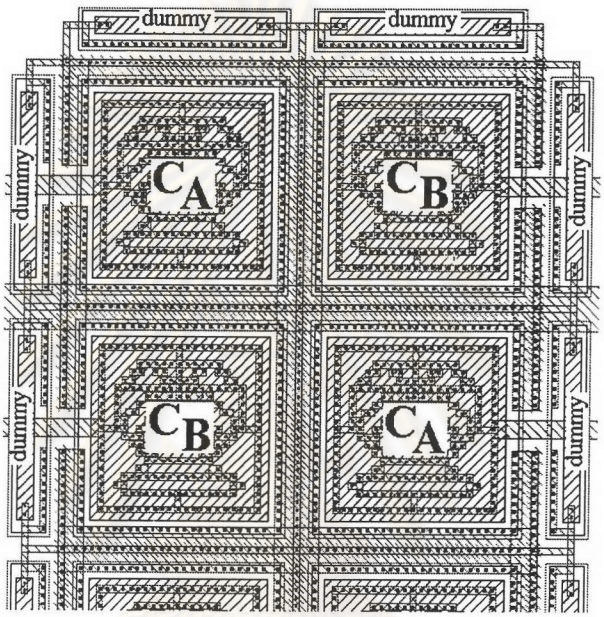
7.2 การวางผังวงจรกรอง

วงจรกรองทั้งหมดประกอบด้วย วงจรกรองผ่านต่ำชนิดเอลลิปติกอันดับ 5 วงจร Equalizer และวงจรแก้ไข Sin(x)/x ดังรูปที่ 4.5, 4.12(b), 4.16 ตามลำดับ รวมไปถึงการจัดกลุ่มทรานส์คอนดักเตอร์ของวงจร Equalizer และวงจรแก้ไข Sin(x)/x ดังที่กล่าวไว้ในหัวข้อ 4.2 และ 4.3 ตามลำดับ สามารถนำมาวางผังวงจรโดยจัดให้ทรานส์คอนดักเตอร์กลุ่มเดียวกันอยู่ใกล้กันได้ดังรูปที่ 7.6 (PMOS ในรูปแทน M3, M4)

ตัวเก็บประจุของวงจรกรองจะวางไว้ข้างล่างตัวทรานส์คอนดักเตอร์ดังรูปที่ 7.8 โดยแบ่งเป็นหน่วยย่อยๆหน่วยละ 1.75pF (48.3μm x 48.3μm) และตัวเก็บประจุที่เป็นคู่ fully-differential ซึ่งกันและกันทุกคู่ใดๆจะวางแบบให้มีจุดศูนย์ถ่วงอยู่ที่เดียวกันดังรูปที่ 7.7



รูปที่ 7.6 การวางผังตัวทรานส์คอนดักเตอร์ในวงจรกรอง



รูปที่ 7.7 การวางผังตัวเก็บประจุให้มีจุดศูนย์ถ่วงอยู่ที่เดียวกัน

7.3 การวางผังวงจรรวม

การวางผังวงจรของวงจรอื่นๆ หากเป็นอุปกรณ์ที่ต้องการความเข้าคู่กัน (matching) อย่างเช่น differential pair ของวงจรออปแอมป์ต่างๆ วงจรสะท้อนกระแส รวมไปถึงไบโพล่าร์ทรานซิสเตอร์ (Vertical CMOS well transistor) ในวงจรสร้างแรงดันอ้างอิง ก็ใช้หลักการวางให้มีจุดศูนย์ถ่วงอยู่ที่เดียวกันและวางให้ใกล้กันมากที่สุด โดยวงจรทั้งหมดสามารถวางผังวงจรรวมได้ดังรูปที่ 7.8 ซึ่งประกอบด้วยวงจรส่วนต่างๆดังต่อไปนี้

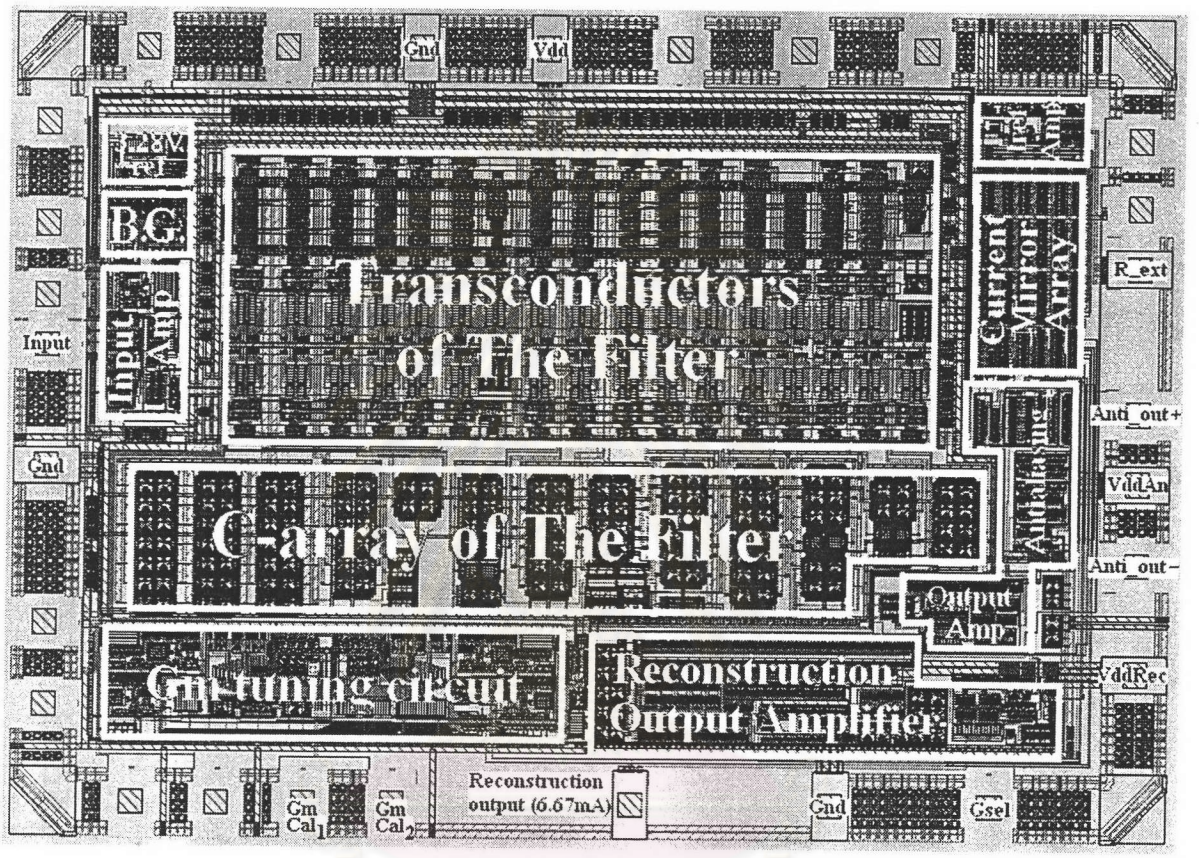
1) ส่วนของวงจรกรองซึ่งประกอบด้วยแถวของตัวทรานส์คอนดักเตอร์และตัวเก็บประจุ
2) วงจรช่วยปรับค่าทรานส์คอนดักเตอร์ (Gm tuning circuit)
3) วงจรรับสัญญาณขาเข้า (Input Amp)
4) วงจรขยายขาออกของวงจรกรองสร้างสัญญาณกลับ (Reconstruction output amplifier)

5) วงจรขยายขาออกของจรกรองแก้การซ้อนทับสัญญาณ
(Anti-aliasing output amplifier)

6) วงจรสร้างแรงดันอ้างอิง (Bandgap voltage reference circuit : B.G.)

7) วงจรสร้างแรงดันอ้างอิง 3.28 โวลต์สำหรับแรงดันโหมดร่วมในวงจรกรอง

8) วงจรสร้างกระแสอ้างอิงและวงจรสะท้อนกระแสอ้างอิงไปใช้ไบอัสวงจรต่างๆ



รูปที่ 7.8 แสดงผังวงจรรวมทั้งหมด

สายจ่ายไฟเลี้ยงและสายกราวนด์ซึ่งวางคู่กันรอบๆ ตัวเก็บประจุ ทรานส์คอนดักเตอร์ทั้ง 32 ตัวและวงจรป้อนกลับโหมดร่วมทั้งหมดของวงจรกรองมีความกว้างถึงเส้นละ 50μm เนื่องจากวงจรส่วนนี้กินกระแสมากถึง 34mA โดยใช้กราวนด์แพ็ด (Pad) รอบๆวงจรรวมถึง 3 แพ็ด ส่วนสายไฟเลี้ยงก็จะใช้ 3 แพ็ดโดยแยกสำหรับวงจรขยายขาออกของวงกรองแก้การซ้อนทับ (Anti-aliasing Filter) จากการสุ่มสัญญาณ สำหรับวงจรขยายขาออกของวงจรกรองสร้างสัญญาณกลับ (Reconstruction Filter) หนึ่งแพ็ด และสำหรับวงจรกรองส่วนที่เหลืออื่นๆ อีกหนึ่งแพ็ด โดยสายจ่ายไฟเลี้ยงซึ่งวางคู่กันกับสายกราวนด์จะมีตัวเก็บประจุชนิดเอ็นมอสวางอยู่ข้างใต้เป็นแนวยาวและวางจุดเชื่อมต่อสายกราวนด์กับ substrate เป็นกำแพงยาวรอบๆ วงจรต่างๆ รวมไปถึงมีการ์ดริงวางรอบๆ ตัวเก็บประจุและตัวทรานส์คอนดักเตอร์ และยิ่งไปกว่านั้นพื้นที่ที่เหลือระหว่างแพ็ดก็ยังมีการวางตัวเก็บประจุชนิดเอ็นมอสคร่อมแรงดันไฟเลี้ยงแทรกลงไปอีกด้วย

แรงดันอ้างอิงจากวงจร Bandgap ซึ่งถูกลากไปใช้เป็นแรงดันอ้างอิงในวงจรต่างๆโดยบางเส้นยาวถึง 3 มิลลิเมตรจะถูกลากไปโดยมีสายกราวนด์ประกบอยู่สองข้าง มีตัวเก็บประจุชนิดเอ็นมอสวางอยู่ข้างใต้และวางจุดเชื่อมต่อสายกราวนด์กับ substrate เป็นกำแพงยาวตลอดทาง

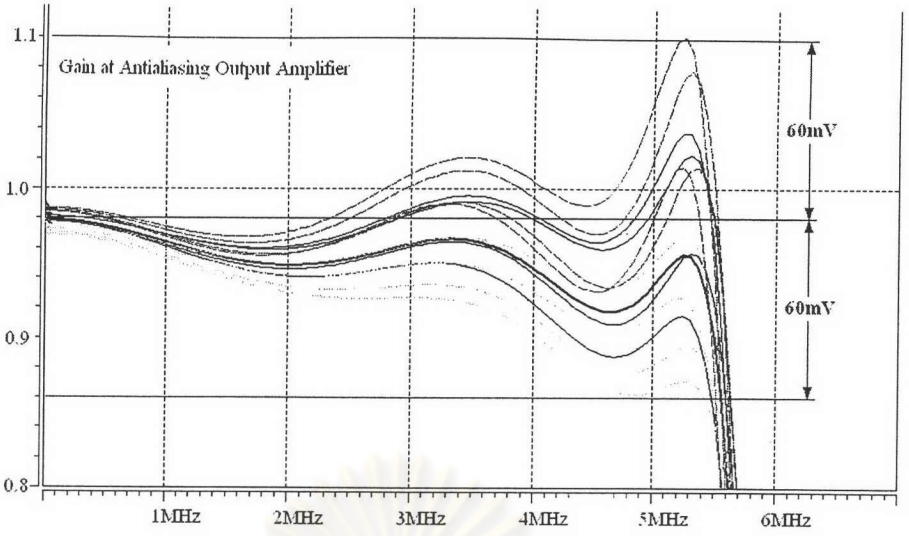
7.4 ผลการจำลองการทำงาน

วงจรกรองที่สร้างได้จะนำมาวัดคุณสมบัติที่ต้องการต่างๆดังในหัวข้อ 2.5 โดยคำนึงถึงความปรวนแปรของกระบวนการผลิตของทรานซิสเตอร์ ตัวต้านทานและตัวเก็บประจุดังนี้

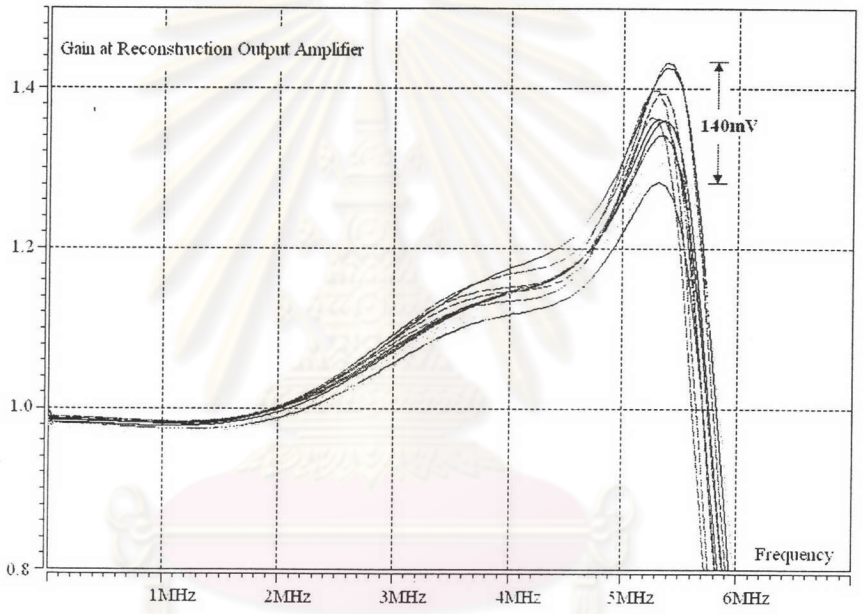
ตารางที่ 7.1 ความปรวนแปรของกระบวนการผลิตสำหรับวัดคุณสมบัติต่างๆของวงจรกรอง

	กระบวนการผลิต	ความปรวนแปรของตัวเก็บประจุ	ความปรวนแปรของตัวต้านทาน
1	แบบปกติ ที่อุณหภูมิ 27 C	0%	0%
2		- 14%	- 20%
3			+ 20%
4		+ 14%	- 20%
5			+ 20%
6	แบบเร็ว ที่อุณหภูมิ 0 C	- 14%	- 20%
7			+ 20%
8		+ 14%	- 20%
9			+ 20%
10	แบบช้า ที่อุณหภูมิ 70 C	- 14%	- 20%
11			+ 20%
12		+ 14%	- 20%
13			+ 20%

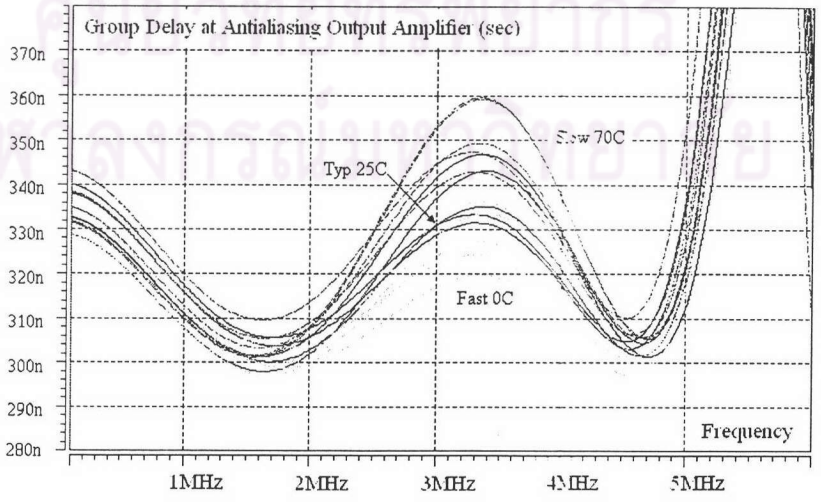
ความปรวนแปรแบบสุดขอบทั้งหมดดังตารางนี้เมื่อนำมาวัดค่าการกระเพื่อมในแถบผ่าน (Rp) กระเพื่อมของการประวิงกลุ่ม (Td) และอัตราส่วนสัญญาณต่อสัญญาณรบกวน (SNR) ของวงจรกรองแก้การซ้อนทับสัญญาณและวงจรกรองสร้างสัญญาณกลับ ได้ดังกราฟรูปที่ 7.9 ถึงรูปที่ 7.12 และตารางสรุปผลการทดลองที่ 7.2



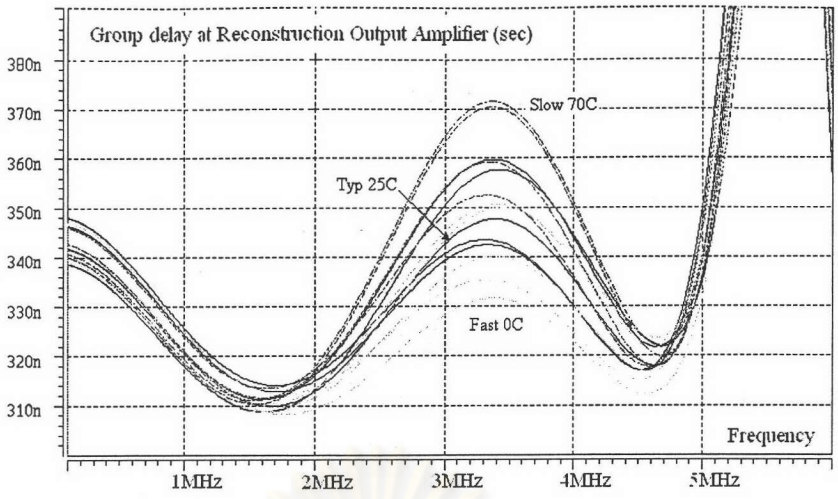
รูปที่ 7.9 การกระเพื่อมในแถบผ่านที่ขาออกของวงจรกรองแก้การซ้อนทับสัญญาณ



รูปที่ 7.10 การกระเพื่อมในแถบผ่านที่ขาออกของวงจรกรองสร้างสัญญาณกลับ

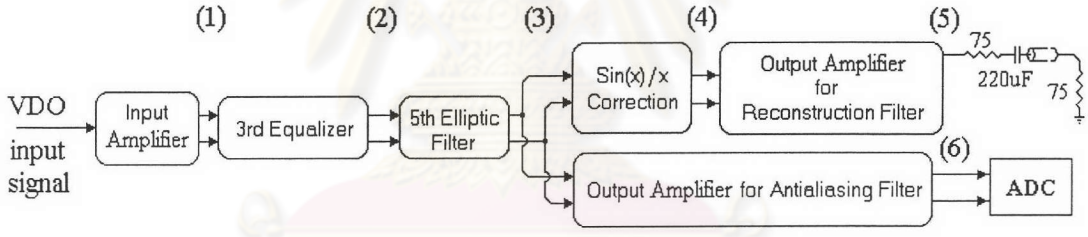


รูปที่ 7.11 การกระเพื่อมของการประวิงกลุ่มที่ขาออกของวงจรกรองแก้การซ้อนทับสัญญาณ



รูปที่ 7.12 การกระเพื่อมของการประวิงกลุ่มที่ขาออกของวงจรกรองสร้างสัญญาณกลับ

การวัดค่า DG/DP จะเลือกสุ่มเงื่อนไขจากตารางที่ 7.1 มา 6 แบบโดยแบ่งเป็นกระบวนการผลิตแบบปกติ แบบช้าและแบบเร็วอย่างละ 2 แบบ จากผลการจำลองการทำงานค่า DG ที่ได้มากสุดต่ำกว่า 0.1% ซึ่งน้อยกว่าค่าที่มาตรฐานดังตารางที่ 2.1 กำหนดไว้ สำหรับค่า DP ที่โนดต่างๆในวงจรดังรูปที่ 7.13 ของผลการจำลองการทำงานทั้งหมด 6 ครั้งถูกนำมาแสดงดังตารางที่ 7.2



รูปที่ 7.13 แสดงโครงสร้างของวงจรกรอง

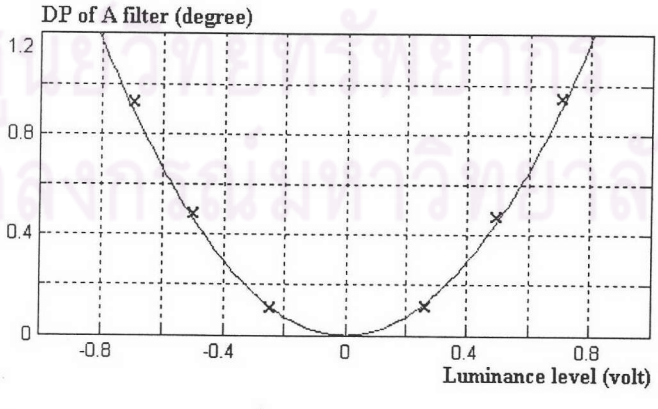
ตารางที่ 7.2 ค่า DP ที่โนดต่างๆในวงจรรูปที่ 7.13

ค่า DP ที่ / การผลิต	โนด (1) (องศา)	โนด (2) (องศา)	โนด (3) (องศา)	โนด (4) (องศา)	โนด (5) (องศา)	โนด (6) (องศา)
แบบปกติ (1)	0.025	0.46	0.41	0.44	0.49	0.42
แบบปกติ (3)	0.020	0.36	0.43	0.45	0.52	0.46
แบบเร็ว (7)	0.019	0.22	0.36	0.38	0.46	0.39
แบบเร็ว (9)	0.016	0.48	0.42	0.39	0.49	0.41
แบบช้า (10)	0.030	0.05	0.53	0.55	0.70	0.58
แบบช้า (13)	0.032	0.41	0.63	0.65	0.77	0.70

ค่า DP ที่ขาออกของวงจรกรองตามมาตรฐานระดับ Desktop ต้องการน้อยกว่า 0.5 องศา แต่จากตารางที่ 7.2 ค่า DP ที่ขาออกของวงจรกรอง (โนด(5) และ โนด(6)) ยังคงผ่านเพียงกระบวนการผลิตในแบบปกติและแบบเร็วและเมื่อดูค่า DP ที่โนดอื่นๆจะพบว่าค่า DP ส่วนใหญ่มาจากส่วนของวงจรกรอง และส่วนวงจรขยายขาออกของวงจรสร้างสัญญาณกลับ ในส่วนของวงจรกรองอาจแก้ได้หลายวิธีแต่ก็ต้องแลกกับคุณสมบัติที่ต้องการอื่นๆดังนี้

- เพิ่มความเป็นเชิงเส้นของวงจรกรองด้วยการเพิ่มกระแสไบอัสตัวทรานส์คอนดักเตอร์โดยให้ค่าความต้านทานทุกตัวคงที่ หรือก็คือทำให้อัตราส่วนกระแสสัญญาณต่อกระแสไบอัสลดลง แต่ก็ต้องแลกกับค่าการกระเพื่อมในแถบผ่านที่เพิ่มขึ้นซึ่งอธิบายไว้ในบทที่ 5 เรื่องความเป็นเชิงเส้นของวงจรกรอง
- เพิ่มความเป็นเชิงเส้นของวงจรกรองด้วยการลดช่วงความต้านท้านที่ปรับได้ของทรานซิสเตอร์ Mr1 ในรูปที่ 5.2 แต่ก็ทำให้ช่วงการปรับค่าทรานส์คอนดักแตนซ์แบบละเอียดของตัวทรานส์คอนดักเตอร์ลดลงตามไปด้วย
- ลดขนาดสัญญาณที่แกว่งในวงจรกรองลงซึ่งเป็นการลดค่า DP ของวงจรลงอย่างรวดเร็ว เนื่องจากวงจรกรองมีโครงสร้างแบบ fully differential จึงทำให้ทรานส์คอนดักเตอร์ที่ใช้มีค่าความไม่เป็นเชิงเส้นเฉพาะกำลังคู่ดังสมการที่ (7-1) และจากผลการทดลองวัดค่า DP ที่ความสว่างของสัญญาณ (luminance) ค่าต่างๆดังกราฟรูปที่ 7.14 ก็พบว่ามีลักษณะเป็นฟังก์ชันกำลังสองรูปพาลาโบล่าร์ แต่การลดขนาดสัญญาณก็ทำให้ค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวน (SNR) เพิ่มมากขึ้นด้วย

$$Gm(v_{in}) = k_0 + k_2 v_{in}^{\ 2} + k_4 v_{in}^{\ 4} + \ldots \qquad (7\text{-}1)$$



รูปที่ 7.14 ค่า DP ของวงจรกรองที่ความสว่างของสัญญาณ (luminance) ค่าต่างๆ

- นำช่วงกว้างของไฟเลี้ยงมาลดสัญญาณรบกวนแบบอิเล็กทรอนิกส์แล้วลดขนาดสัญญาณที่แกว่งในวงจรกรองลงโดยให้อัตราส่วนสัญญาณต่อสัญญาณรบกวน (SNR) คงที่ (ดังที่กล่าวไว้ในบทที่ 5 หน้า 40)
- ลดอันดับของวงจรกรองลงหรือก็คือลดจำนวนอุปกรณ์ที่ใช้ในวงจรกรองลง ซึ่งการลดอันดับของวงจรกรองผ่านต่ำก็จะทำให้การลดทอนในแถบหยุดน้อยลง หากลดอันดับของ Equalizer ก็เป็นการเพิ่มการกระเพื่อมของการประวิงกลุ่ม (Group delay) ให้มากขึ้น

วิธีลดค่า DP ต่างๆที่กล่าวมาทั้งหมดนี้ได้ถูกนำมาใช้จนได้คุณสมบัติของวงจรกรองอื่นๆได้แก่ การกระเพื่อมในแถบผ่าน (Rp) การลดทอนในแถบหยุด(Rs) การกระเพื่อมของการประวิงกลุ่ม (Td) อัตราส่วนสัญญาณต่อสัญญาณรบกวน (SNR) รวมไปถึงช่วงกว้างไฟเลี้ยง 5 โวลต์ ให้อยู่ในมาตรฐานระดับ Desktop ทั้งหมดแล้ว ดังนั้นการปรับปรุงค่า DP ให้ดีขึ้นอีกจึงยังคงเป็นปัญหาต่อไป

ตารางที่ 7.3 สรุปผลการจำลองการทำงานของวงจรกรอง

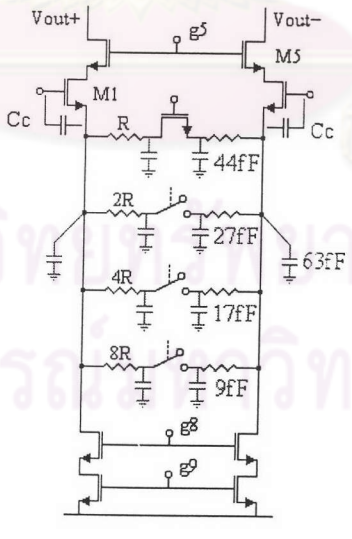
คุณสมบัติของวงจรกรอง	แบบ Anti-aliasing	แบบ Reconstruction
การกระเพื่อมในแถบผ่าน (Rp)	±0.5dB	±0.47dB
การลดทอนในแถบหยุด (Rs)	42dB	37dB
การกระเพื่อมของการประวิงกลุ่ม (Td)	±30ns	±30ns
อัตราส่วนสัญญาณต่อสัญญาณรบกวน (SNR)	55dB	52dB
ความต่างอัตราขยาย (DG)	< 0.1%	< 0.1%
ความต่างเฟส (DP)	≈ 0.49 องศา	≈ 0.57 องศา
อัตราการขจัดสัญญาณรบกวนจากแหล่งจ่ายไฟ (PSRR) (ที่ความถี่ 5.5MHz)	> 80dB	35dB
ไฟเลี้ยง	4.5 – 5.5 โวลต์	
กำลังงานรวม	61.9mA x 5V = 309.5mW	
• ส่วนวงจรกรอง • วงจรขยายสัญญาณขาเข้า • วงจรขยายสัญญาณขาออกแบบ Anti-aliasing • วงจรขยายสัญญาณขาออกแบบ Reconstruction • วงจรช่วยปรับค่าทรานส์คอนดักแตนซ์ • วงจรไบอัสอื่นๆ	35.7mA 1.6mA 5.2mA 15mA 1.2mA 3.2mA	

สำหรับค่า DP ที่มาจากส่วนวงจรขยายขาออกแบบ Reconstruction อาจเปลี่ยนโครงสร้างตัวขับโหลดไปใช้ไบโพลาร์ทรานซิสเตอร์ภายนอกชิพช่วยได้ดังรูปที่ 6.5(d) ซึ่งให้ค่า DP ที่น้อยกว่าโครงสร้างดังรูปที่ 6.5(b) ซึ่งใช้เอ็นมอสเป็นตัวขับโหลดดังที่ได้กล่าวไว้ในบทที่ 6

7.5 ผลจากปรสิตของการเดินสายเชื่อมต่อผังวงจร (routing)

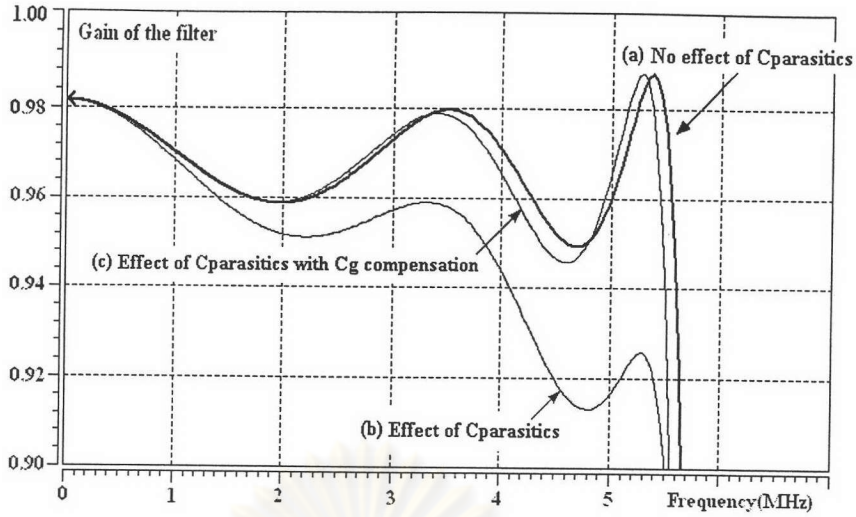
ดังที่กล่าวไว้ในหัวข้อที่ 5.1 ว่าความคลาดเคลื่อนเฟส (phase error) หรือผลจากขั้วและศูนย์ชนิดปรสิตมีผลต่ออัตราขยายในแถบผ่านของวงจรกรองเป็นอย่างมาก และเพื่อให้ง่ายต่อการวิเคราะห์ผลตอบสนองทางความถี่ โครงสร้างทรานส์คอนดักเตอร์อย่างง่ายดังรูปที่ 5.2(b) จึงถูกสมมติขึ้นโดยสามารถเขียนแบบจำลองสัญญาณขนาดเล็กได้ดังรูปที่ 5.2(c) ซึ่งมี 1 ขั้วและ 1 ศูนย์ ดังสมการที่ (5-2)

ตัวเก็บประจุ Cd ในสมการที่ (5-2) มาจากปรสิตของตัวทรานซิสเตอร์และการเดินสายเชื่อมต่อผังวงจร (routing) ปรสิตของตัวทรานซิสเตอร์สามารถคำนวณได้ด้วยแบบจำลองของทรานซิสเตอร์ (Transistor model) ดังนั้นผลของตัวเก็บประจุดังกล่าวถึงถูกรวมไว้ในผลการจำลองการทำงานในระดับวงจรดังหัวข้อ 7.4 แต่ผลจากปรสิตของการเดินสายเชื่อมต่อผังวงจรต้องลองวาดผังวงจรให้เสร็จเสียก่อนจึงจะคำนวณได้ จากผังวงจรที่วาดได้จะพบว่ามีตัวเก็บประจุแบบปรสิตที่โนดต่างๆดังรูปที่ 7.15 และเมื่อนำมาจำลองการทำงานอีกครั้งจะพบว่าอัตราขยายในแถบผ่านของวงจรกรองจะคลาดเคลื่อนออกไปดังรูปที่ 7.16



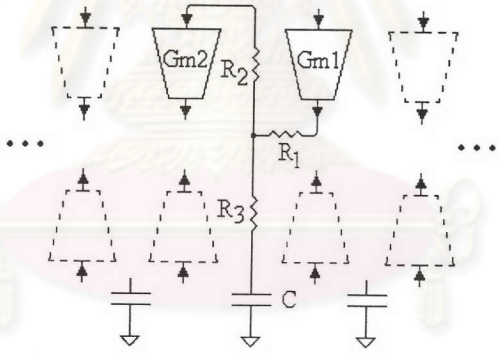
รูปที่ 7.15 ตัวเก็บประจุแบบปรสิตที่โนดต่างๆจากการสายเชื่อมต่อวงจรทรานส์คอนดักเตอร์

การแก้ผลของ Cd ซึ่งเกิดจากปรสิตของการเดินสายเชื่อมต่อผังวงจรดังกล่าวอาจทำด้วยวิธีเดียวกับการชดเชยความคลาดเคลื่อนเฟสดังที่กล่าวไว้ในหัวข้อที่ 5.1 ซึ่งก็คือการเพิ่มค่า Cg ในวงจรที่ 5.2(a) เข้าไปอีกเพื่อชดเชยผลจากการเพิ่มขึ้นของ Cd



รูปที่ 7.16 ผลจากตัวเก็บประจุแบบปรสิตที่โนดต่างๆจากการสายเชื่อมต่อวงจรทรานส์คอนดักเตอร์(b) และผลการใช้ Cg ชดเชยกลับคืน(c)

นอกจากนั้นการวางผังวงจรกรองดังรูปที่ 7.8 ซึ่งวางทรานส์คอนดักเตอร์แยกกับตัวเก็บประจุซึ่งหากกันถึงประมาณ 800μm จึงเป็นผลให้ตัวอินทิเกรตในวงจรกรองมีความคลาดเคลื่อนเฟส (phase error) ที่เกิดจากความต้านทานจากการเชื่อมต่อทรานส์คอนดักเตอร์กับตัวเก็บประจุ โดยอาจแสดงตัวอย่างได้ดังรูปที่ 7.17

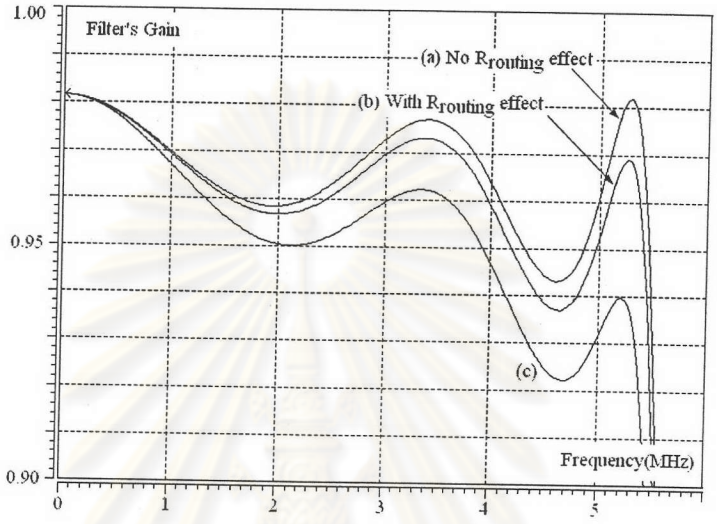


รูปที่ 7.17 ตัวอย่างความต้านทานชนิดปรสิตจากการเชื่อมต่อทรานส์คอนดักเตอร์กับตัวเก็บประจุ

จากรูปที่ 7.17 จะแบ่งตัวต้านทานเป็น 3 ตัว R_1 และ R_2 ซึ่งต่อกับขาออกของ Gm_1 และขาเข้าของ Gm_2 ตามลำดับจะไม่มีผลกับวงจรกรองเนื่องจากทั้งขาออกของ Gm_1 และขาเข้าของ Gm_2 เป็นโนดที่มีความต้านทานสูงอยู่แล้ว แต่สำหรับ R_3 ซึ่งต่ออนุกรมกับตัวเก็บประจุจะทำให้เกิดความคลาดเคลื่อนเฟส (phase error) ของตัวอินทิเกรตได้ ดังนั้นการเลือกขนาดสายสัญญาณในการเชื่อมต่อวงจรกรองจึงควรเลือกให้เหมาะสม โดยสายที่ต่อจากขาออกและขาเข้าของทรานส์คอนดักเตอร์อาจใช้ความกว้างไม่มากนักก็ได้ (มีความต้านทานมากได้) แต่สายที่เชื่อมต่อตัวเก็บประจุควรจะกว้างพอสมควรเพื่อลดค่าความต้านทานในสาย

การเลือกค่าความกว้างสายที่เชื่อมตัวเก็บประจุจะแปรตามค่าตัวเก็บประจุที่ใช้ที่โนดนั้น เพื่อให้ตัวเก็บประจุแบบปรสิตที่เกิดจากการวางสายสัญญาณไม่มีผลมากนัก ตัวอย่างเช่น โนดที่

ใช้ตัวเก็บประจุ 40pF จะใช้สายสัญญาณกว้างถึง 24.2μm ในขณะที่โนดที่ใช้ตัวเก็บประจุ 4pF จะใช้สายสัญญาณกว้างเพียง 4.4μm เป็นต้น จากนั้นจึงนำความกว้างสายต่างๆที่วาดผังวงจรมาคำนวณค่าความต้านทานแล้วนำไปจำลองการทำงานอีกครั้งจะได้ผลดังกราฟรูปที่ 7.18(b) และหากเลือกสายที่เชื่อมต่อตัวเก็บประจุที่ทุกโนดให้กว้างเพียง 2.2μm เท่ากันหมดจะได้ผลการจำลองดังกราฟรูปที่ 7.18(c) ซึ่งจะเห็นได้ชัดว่าการเลือกขนาดสายสัญญาณในวงจรกรองก็เป็นข้อควรระวังอย่างหนึ่ง



รูปที่ 7.18 ผลจากตัวต้านทานแบบปรสิตที่เกิดจากการเชื่อมต่อวงจรกรอง

7.6 สรุป

เทคนิคการวางผังวงจรที่ใช้สำหรับวงจรกรองสามารถสรุปได้ดังนี้

- การวางทรานซิสเตอร์ ตัวต้านทานและตัวเก็บประจุให้เข้าคู่กัน (match) ใช้หลักการวางให้อุปกรณ์ที่ต้องการวางให้เข้าคู่ มีจุดศูนย์ถ่วงอยู่ร่วมกัน (Common centroid)
- วางทรานส์คอนดักเตอร์ในวงจรกรองที่อยู่ในกลุ่มเดียวกัน ดังที่แบ่งไว้ในบทที่ 4 ให้อยู่ใกล้ๆกัน เพื่อลดความปรวนแปรของอัตราขยายในแถบผ่านที่เกิดจากความไม่เข้าคู่กันของทรานส์คอนดักเตอร์
- วาง Substrate contact ให้อยู่ใกล้กับทรานซิสเตอร์ (ห่างไม่เกิน 35 μm) เพื่อให้ทรานซิสเตอร์มีคุณสมบัติจริงใกล้เคียงกับการจำลองการทำงาน
- วาง Guard ring ล้อมรอบวงจรต่างๆเพื่อลดการรบกวนซึ่งกันและกัน
- วางตัวเก็บประจุชนิดเอ็นมอสคร่อมแหล่งจ่ายไฟในพื้นที่ว่าง เช่น ที่วางระหว่างแพ็ด ที่ว่างใต้สายไฟเลี้ยงและสายกราวด์ที่วางขนานกัน เป็นต้น เพื่อลดการรบกวนจากแหล่งจ่ายไฟ

การจำลองการทำงานด้วยความปรวนแปรของอุปกรณ์แบบสุดขอบทั้งหมดได้คุณสมบัติตามมาตรฐาน CCIR601 ในระดับ desktop ทั้งหมดยกเว้นในกระบวนการผลิตแบบช้าเท่านั้นที่ค่า DP (Differential Phase) มากกว่ามาตรฐานไปเล็กน้อย

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย