

การออกแบบวงจรและแบบจำลองความหน่วงของวงจรระกะไตรภาคแบบอสมวาร
โดยใช้ความพยายามเชิงตรรกะ



นายชนสิน บุญนาม

คุณย์วิทยทรัพย์ากร
วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมคอมพิวเตอร์ ภาควิชาวิศวกรรมคอมพิวเตอร์

จุฬาลงกรณ์มหาวิทยาลัย
คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย

ปีการศึกษา 2551

ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย

**A CIRCUIT DESIGN AND DELAY MODEL OF ASYNCHRONOUS TERNARY LOGIC
CIRCUITS USING LOGICAL EFFORT**



Mr. Thanasin Bunnam

**A Thesis Submitted in Partial Fulfillment of the Requirements
for the Degree of Master of Engineering Program in Computer Engineering**

Department of Computer Engineering

Faculty of Engineering

Chulalongkorn University

Academic Year 2008

Copyright of Chulalongkorn University

หัวข้อวิทยานิพนธ์

การออกแบบวงจรและแบบจำลองความหน่วง
ของวงจรทรานซิสเตอร์ภาคแบบอสมมาตร โดยใช้
ความพยายามเชิงตรรกะ

โดย

นายธนสิน บุญนาม

สาขาวิชา

วิศวกรรมคอมพิวเตอร์

อาจารย์ที่ปรึกษาวิทยานิพนธ์หลัก

ผู้ช่วยศาสตราจารย์ ดร.อาทิตย์ ทองทักษ์

คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย อนุมัติให้นับ
วิทยานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาค้นคว้าหลักสูตรปริญญาโทบัณฑิต

.....
(รองศาสตราจารย์ ดร.บุญสม เลิศหิรัญวงศ์)

คณะกรรมการสอบวิทยานิพนธ์

..... ประธานกรรมการ
(รองศาสตราจารย์ ดร.สมชาย ประสิทธิ์จตุระกุล)

..... อาจารย์ที่ปรึกษาวิทยานิพนธ์หลัก
(ผู้ช่วยศาสตราจารย์ ดร.อาทิตย์ ทองทักษ์)

..... กรรมการ
(นายชำนาญ ปัญญาใส)

..... กรรมการ
(ผู้ช่วยศาสตราจารย์ ดร.เศรษฐา ปานงาม)

ธนสิน บุญนาม : การออกแบบวงจรและแบบจำลองความหน่วงของวงจรทรานซิสเตอร์
 ภาคแบบอสมวารโดยใช้ความพยายามเชิงตรรกะ. (A CIRCUIT DESIGN AND
 DELAY MODEL OF ASYNCHRONOUS TERNARY LOGIC CIRCUITS
 USING LOGICAL EFFORT) อ.ที่ปรึกษาวิทยานิพนธ์หลัก :
 ผศ.ดร.อาทิตย์ ทองทักษ์, 89 หน้า.

วงจรทรานซิสเตอร์ภาคชนิดบีถูกนำเสนอเป็นทางเลือกหนึ่งสำหรับการออกแบบ
 วงจรอสมวาร ซึ่งสามารถลดการใช้พื้นที่ที่ไม่เกิดความหมายและลดสายเชื่อมต่อภายในได้
 สองเท่าเมื่อเทียบกับวงจรรางคู่ ในขณะที่จำนวนทรานซิสเตอร์ใกล้เคียงกัน ที่ผ่านมามีการ
 นำเสนอวงจรทรานซิสเตอร์ภาคชนิดบีในระดับตรรกะเท่านั้น ยังไม่มีการนำเสนอรูปแบบของ
 ความหน่วงภายในวงจร ซึ่งเป็นเครื่องชี้วัดประสิทธิภาพของระบบ นอกจากนี้ วงจรทรานซิสเตอร์
 ภาคชนิดบียังมีปัญหาทางโครงสร้าง และต้องใช้ทรานซิสเตอร์ที่มีลักษณะพิเศษ กล่าวคือ
 ใช้พีเอมอสที่มีความต่างศักย์เริ่มเปลี่ยนเป็นค่าบวกและเอ็นเอมอสที่มีความต่างศักย์ขีดเริ่ม
 เปลี่ยนเป็นค่าลบ ทำให้เกิดความซับซ้อนในการออกแบบ งานวิจัยนี้นำเสนอวงจรทรานซิสเตอร์
 ภาคชนิดซี ซึ่งมีลักษณะการทำงานใกล้เคียงกับวงจรทรานซิสเตอร์ภาคชนิดบี แต่มีข้อดีคือ
 สามารถทำงานได้โดยไม่จำเป็นต้องใช้ทรานซิสเตอร์ที่มีลักษณะดังกล่าว นอกจากนี้ยัง
 นำเสนอการใช้วิธีการของความพยายามเชิงตรรกะสร้างแบบจำลองความหน่วงของวงจร และ
 ช่วยปรับขนาดทรานซิสเตอร์เพื่อให้วงจรมีความหน่วงน้อยที่สุด จากการทดสอบพบว่า
 ความหน่วงจากการประมาณมีค่ามากกว่าความหน่วงจากการจำลองการทำงานประมาณ 30
 เปอร์เซ็นต์ และการปรับขนาดทรานซิสเตอร์ให้เหมาะสมกับโหลด สามารถช่วยลด
 ความหน่วงในวงจรทรานซิสเตอร์ภาคชนิดซีได้ ในตอนท้ายได้ทดสอบการทำงานของเกตเชิง
 ประกอบแบบตรรกะชนิดซี เปรียบเทียบกับวงจรรางคู่พบว่า วงจรทรานซิสเตอร์ภาค
 ชนิดซีทำงานช้ากว่าประมาณ 12 เปอร์เซ็นต์ อย่างไรก็ตามระบบอสมวารแบบตรรกะชนิดภาค
 ชนิดซีมีความซับซ้อนน้อย เพราะมีโครงสร้างใกล้เคียงกับเกตแบบตรรกะฐานสอง ในขณะที่
 ระบบอสมวารแบบตรรกะรางคู่ใช้เกตสายสัญญาณจำนวนมากทำให้วงจรซับซ้อนมากกว่า

ในงานวิจัยนี้ออกแบบและทดสอบด้วยเทคโนโลยีซีมอสขนาด 0.35 μm
 ทรานซิสเตอร์ทุกตัวมีความยาวแขนแนล 0.35 μm และใช้สัญญาณทดสอบที่มีช่วงเวลาขา
 ขึ้นและช่วงเวลาลง 100ps

ภาควิชา.....วิศวกรรมคอมพิวเตอร์...ลายมือชื่อนิสิต.....
 สาขาวิชา.....วิศวกรรมคอมพิวเตอร์...ลายมือชื่ออาจารย์ที่ปรึกษาวิทยานิพนธ์หลัก.....
 ปีการศึกษา..2551.....

4870313821 : MAJOR COMPUTER ENGINEERING

KEYWORDS: ASYNCHRONOUS CIRCUITS / TERNARY LOGIC / LOGICAL EFFORT

THANASIN BUNNAM : A CIRCUIT DESIGN AND DELAY MODEL OF ASYNCHRONOUS TERNARY LOGIC CIRCUITS USING LOGICAL EFFORT.

ADVISOR : ASST. PROF ARTHIT THONGTAK, Ph.D., 89 pp.

B-ternary logic was introduced in designing asynchronous circuit. It has the advantages having of no unused codeword and interconnects reduction by half, which reduces the area cost, compared to the dual-rail logic with equivalent number of transistors. Since it was introduced, the delay estimation, which indicates the circuit performance, has not been proposed. Moreover, the use of special characteristic transistors is required, positive threshold voltage for PMOS transistor and negative threshold voltage for NMOS one, thus increases the circuit and fabrication process complexity. This research proposes the asynchronous C-ternary logic circuit, which operates correctly without these special transistors. The logic operations are similar to B-ternary one, therefore, these circuits can be interchanged. We also introduce the circuit delay estimation using logical effort scheme, which is the delay optimization method. Using the method of the logical effort, the delay of the circuit is greater than the simulation by about 30 percent and the gate sizing for matching the load, makes the circuit operate faster. Finally, the asynchronous system with C-ternary compound gate is constructed and its delay compared with dual-rail logic asynchronous system. The simulation result shows that the C-ternary compound gate is slower by approximately 12 percent. Due to fewer number of logic gates and interconnections, however, the C-ternary logic asynchronous system has less design complexity than the dual-rail logic one.

All designs in this research is based on CMOS $0.35 \mu m$ technology, each transistor has a length of $0.35 \mu m$ and the simulation signals have rise and fall time of 100ps.

Department: Computer Engineering

Student's Signature: *Thanasin Bunnam*

Field of Study: Computer Engineering

Advisor's Signature: *Arthit Thongtak*

Academic Year: 2008

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงได้ ด้วยความช่วยเหลืออย่างดียิ่งจาก ผู้ช่วยศาสตราจารย์ ดร. อาทิตย์ ทองทักษ์ อาจารย์ที่ปรึกษา ซึ่งได้สละเวลาให้คำแนะนำ เสนอแนะข้อคิดเห็นและแนวทาง ในการวิจัยด้วยดีตลอดมา ซึ่งผู้วิจัยขอขอบพระคุณเป็นอย่างสูง

ขอขอบพระคุณ รองศาสตราจารย์ ดร.สมชาย ประสิทธิ์จตุระกุล คุณชำนาญ ปัญญาไส ผู้ช่วยศาสตราจารย์ ดร.เศรษฐา ปานงาม รองศาสตราจารย์ ดร.เอกชัย ลีลารัมย์ อาจารย์บุญช่วย ทรัพย์มันชัยที่ได้กรุณาให้คำแนะนำในการแก้ไขวิทยานิพนธ์ให้มีคุณภาพมากยิ่งขึ้น และขอขอบพระคุณคณาจารย์ในภาควิชาวิศวกรรมคอมพิวเตอร์ จุฬาลงกรณ์มหาวิทยาลัยทุกท่านที่ประ สติธิประสาทความรู้อันมีค่ายิ่งแก่ผู้วิจัย

กราบขอบพระคุณ บิดา ที่ให้การส่งเสริมสนับสนุนการศึกษาแก่ผู้วิจัยอย่างดียิ่ง ขอขอบคุณ พี่ๆ เพื่อนๆ น้องๆ ทุกคน ที่ให้คำปรึกษาในการทำวิจัยและความช่วยเหลือในด้านต่างๆ ตลอดมา

ท้ายสุดนี้ผู้วิจัยหวังเป็นอย่างยิ่งว่างานวิจัยนี้จะเป็นประโยชน์ต่อผู้ที่สนใจหรือเกี่ยวข้อง ทั่วไป และหากมีข้อผิดพลาดประการใด ผู้วิจัยขออภัยมา ณ ที่นี้

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญ

หน้า

บทคัดย่อภาษาไทย.....	ง
บทคัดย่อภาษาอังกฤษ.....	ฉ
กิตติกรรมประกาศ.....	ค
สารบัญ.....	ช
สารบัญตาราง.....	ฉ
สารบัญภาพ.....	ฐ

บทที่

1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 วัตถุประสงค์ของการวิจัย.....	2
1.3 ขอบเขตของการวิจัย.....	2
1.4 ขั้นตอนการวิจัย.....	3
1.5 ประโยชน์ที่คาดว่าจะได้รับ.....	3
1.6 ผลงานที่ตีพิมพ์จากวิทยานิพนธ์.....	3
2 ทฤษฎีและงานวิจัยที่เกี่ยวข้อง.....	4
2.1 ทฤษฎีพื้นฐานที่เกี่ยวข้อง.....	4
2.1.1 การออกแบบวงจรอสมาร์.....	4
2.1.2 มอสมารานซิสเตอร์.....	4
2.1.3 ปฏิกิริยาการบอดี้.....	6
2.1.4 อุปกรณ์ชนิดซี มัลติเพล็กซ์ แบบพลวัต.....	7
2.1.5 วงจรรางคู่ชนิดกลับคู่ศูนย์.....	8
2.1.6 วงจรตรรกะไตรภาคชนิดบี.....	11
2.1.7 ความหน่วงในเกตเชิงตรรกะ.....	12
2.1.8 ความพยายามเชิงตรรกะ.....	14
2.1.9 แบบจำลองความหน่วงของเกต.....	18
2.1.10 การประมาณความหน่วงแฝง.....	20
2.1.11 การเลือกจำนวนสเตจของเส้นทาง.....	21

บทที่	หน้า
22 เอกสารและงานวิจัยที่เกี่ยวข้อง.....	21
3 การออกแบบวงจรระไทรภาค	27
31 วงจรระไทรภาคชนิดบีแบบใหม่.....	27
31.1 วงจรแบบ V_{GH} ตัดลบ.....	28
31.2 วงจรแบบ V_{GH} มีค่าศูนย์.....	28
32 ทรระไทรภาคชนิดซี.....	29
33 วงจรระไทรภาคชนิดซี.....	30
331 วงจรตรวจจับสัญญาณแบ่งรอบการทำงาน	30
332 เกตแบบทรระไทรภาคชนิดซี.....	31
333 วงจรเชิงผสมแบบทรระไทรภาคชนิดซี.....	36
34 การออกแบบระบบดิจิทัลแบบอสมวารด้วยทรระไทรภาคชนิดซี.....	37
341 เรจิสเตอร์แบบทรระไทรภาคชนิดซี.....	38
341.1 วงจรร็องขอ.....	38
341.2 ส่วนความจำ.....	39
341.3 วงจรตอบรับ.....	39
341.4 เรจิสเตอร์ 1 บิต	40
342 การออกแบบวงจรควบคุม.....	40
4 ความพยายามเชิงทรระไทรภาคของวงจรระไทรภาคชนิดซี.....	42
41 วงจรตรวจจับสัญญาณแบ่งรอบการทำงาน.....	43
41.1 เกตผกผันแบบดี	43
41.2 เกตผกผันแบบจี 1.....	44
41.3 การประมาณความหน่วงของวงจรตรวจจับสัญญาณแบ่งรอบการทำงาน	45
41.31 ความหน่วงจากการตอบสนองต่อทรระไทรภาค $1/2$ กับ 1.....	46
41.32 ความหน่วงจากการตอบสนองต่อทรระไทรภาค 0 กับ $1/2$	47
42 วงจรบัฟเฟอร์.....	48
43 เกตแบบทรระไทรภาคชนิดซี.....	49

บทที่	หน้า
5 การทดลอง ผลการทดลองและวิเคราะห์ผลการทดลอง	51
5.1 การทดสอบการทำงานของระบบอสมวารแบบตรรกะไตรภาคชนิดซี	51
5.2 การวิเคราะห์แบบจำลองความหน่วงของวงจรตรวจจับสัญญาณแบ่งรอบการทำงาน ด้วยความพยายามเชิงตรรกะ	53
5.21 การวิเคราะห์ความหน่วงจากกระบวนการผลิต τ	53
5.22 การจำลองความหน่วงของวงจรตรวจจับสัญญาณแบ่งรอบการทำงาน	55
5.221 ความหน่วงจากการตอบสนองต่อตรรกะ $1/2$ กับ 1	55
5.222 ความหน่วงจากการตอบสนองต่อตรรกะ 0 กับ $1/2$	56
5.3 การปรับแต่งวงจรตรวจจับสัญญาณแบ่งรอบการทำงาน	57
5.31 การวิเคราะห์จำนวนสเตจ	58
5.32 การปรับขนาดของทรานซิสเตอร์	58
5.4 ความพยายามเชิงตรรกะของเกตแบบตรรกะไตรภาคชนิดซี	62
5.41 เกตผกผันแบบตรรกะไตรภาคชนิดซี	62
5.42 เกตแนนด์แบบตรรกะไตรภาคชนิดซี	65
5.43 เกตเนอร์แบบตรรกะไตรภาคชนิดซี	68
5.44 เกตแอนด์-ออร์-อินเวิร์ตแบบตรรกะไตรภาคชนิดซี	70
5.5 การปรับแต่งเกตแบบตรรกะไตรภาคชนิดซี	74
5.51 การวิเคราะห์จำนวนสเตจ	75
5.52 การปรับขนาดของทรานซิสเตอร์	76
5.6 การเปรียบเทียบความหน่วงของวงจรอสมวารแบบตรรกะไตรภาคชนิดซีกับวงจรอสม วารแบบตรรกะรางคู่	77
6 สรุปผลการวิจัย และข้อเสนอแนะ	80
6.1 สรุปผลการวิจัย	80
6.2 ข้อจำกัดของงานวิจัย	80
6.3 ข้อเสนอแนะ	81
รายการอ้างอิง	82
ภาคผนวก	83
ภาคผนวก ก	84

บทที่	หน้า
ตัวอย่างการคำนวณความพยายามเชิงเส้นทาง.....	84
ภาคผนวก ข	85
การจำลองการทำงานของเกต	85
ประวัติผู้เขียนวิทยานิพนธ์.....	89



ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญตาราง

ตารางที่	หน้า
21 ตารางค่าความจริงของตัวดำเนินการบนตรรกะไตรภาคชนิดบี.....	11
22 สรุปลสมการความหวังเชิงตรรกะ	14
23 ความพยายามเชิงตรรกะของเกตแบบตรรกะฐานสอง ($\gamma=3$).....	18
24 แรงดันขีดเริ่มเปลี่ยนของทรานซิสเตอร์ในวงจรถอดรหัสสัญญาณแบบตรรกะไตรภาค	25
25 ตารางค่าความจริงของวงจรถอดรหัสสัญญาณแบบตรรกะไตรภาค	25
31 ตารางค่าความจริงของตัวดำเนินการบนตรรกะไตรภาคชนิดซี.....	29
32 ผลการจำลองกระแสของวงจรถอดรหัสสัญญาณแบบตรรกะ $1/2$	34
41 ความพยายามเชิงตรรกะและความหวังแฝงของเกตฐานสอง.....	45
42 ผลการคำนวณค่าที่เกี่ยวข้องกับความหวังของวงจรถอดรหัสสัญญาณแบบรอบการทำงานที่มีแฟนเอาท์ 2.....	48
43 ผลการคำนวณค่าที่เกี่ยวข้องกับความหวังของวงจรถอดรหัสสัญญาณแบบรอบการทำงานที่มีแฟนเอาท์ 8.....	48
44 สรุปความพยายามเชิงตรรกะและความหวังแฝงของเกตแบบตรรกะไตรภาคชนิดซี	50
51 ผลการจำลองความหวังแพร่กระจายเปรียบเทียบกับโหลดของเกตผกผันฐานสอง	54
52 ผลการประมาณความหวังของวงจรถอดรหัสสัญญาณแบบรอบการทำงาน	57
53 ผลการคำนวณความกว้างทรานซิสเตอร์ของวงจรถอดรหัสสัญญาณแบบรอบการทำงาน.....	61
54 ผลการจำลองความหวังของวงจรถอดรหัสสัญญาณแบบรอบการทำงาน	62
55 ผลการจำลองความหวังของวงจรถดสอบความพยายามเชิงตรรกะของเกตผกผันแบบตรรกะไตรภาคชนิดซี	64
56 ผลการวิเคราะห์ความหวังจากกระบวนการผลิตและความหวังแฝงของเกตผกผันแบบตรรกะไตรภาคชนิดซี	65
57 ผลการจำลองความหวังของวงจรถดสอบความพยายามเชิงตรรกะของเกตแนนด์แบบตรรกะไตรภาคชนิดซี	66
58 ผลการวิเคราะห์ความพยายามเชิงตรรกะและความหวังแฝงของเกตแนนด์แบบตรรกะไตรภาคชนิดซี.....	67
59 ผลการจำลองความหวังของวงจรถดสอบความพยายามเชิงตรรกะของเกตนอร์แบบตรรกะไตรภาคชนิดซี.....	69
510 ผลการวิเคราะห์ความพยายามเชิงตรรกะและความหวังแฝงของเกตนอร์แบบตรรกะไตรภาคชนิดซี.....	70

ตารางที่	หน้า
511 ผลการจำลองความหน่วงของวงจรทดสอบความพยายามเชิงตรรกะของเกตแอนด์-ออร์-อินเวิร์ตแบบตรรกะไตรภาคชนิดซีที่ถูกโหลดด้วยขา I_{n0}	71
512 ผลการจำลองความหน่วงของวงจรทดสอบความพยายามเชิงตรรกะของเกตแอนด์-ออร์-อินเวิร์ตแบบตรรกะไตรภาคชนิดซีที่ถูกโหลดด้วยขา I_{n2}	73
513 ผลการวิเคราะห์ความพยายามเชิงตรรกะและความหน่วงแฝงของเกตแอนด์-ออร์-อินเวิร์ตแบบตรรกะไตรภาคชนิดซี.....	74
514 เปรียบเทียบความพยายามเชิงตรรกะและความหน่วงแฝงที่ได้จากการคำนวณและการจำลองการทำงาน.....	74
515 ขนาดทรานซิสเตอร์ในเกตแอนด์-ออร์-อินเวิร์ตที่ถูกปรับแต่ง.....	76
516 ผลการจำลองความหน่วงของเกตแอนด์-ออร์-อินเวิร์ตแบบปกติกับเกตเดียวกันที่ได้รับการปรับแต่ง.....	76
517 ผลการจำลองความหน่วงเทียบกับแฟนเอาท์ของเกตแอนด์-ออร์-อินเวิร์ตที่ได้รับการปรับแต่ง.....	77

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญภาพ

ภาพที่	หน้า
21	วิธีส่งข้อมูลแบบข้อมูลรวมชุด 4
22	สัญลักษณ์ของมอสทรานซิสเตอร์..... 5
23	ภาคตัดขวางของมอสชนิดพี..... 5
24	สัญลักษณ์โดยย่อของมอสทรานซิสเตอร์..... 6
25	มอสทรานซิสเตอร์พร้อมชื่อ 6
26	มอสทรานซิสเตอร์พร้อมความกว้างของแชนแนล..... 6
27	อุปกรณ์ชนิดซี มัลเลอร์ แบบพลวัตที่มี n อินพุต..... 7
28	รูปแบบการส่งข้อมูลด้วยวงจรรางคู่..... 8
29	วงจรถ่วงสมแบบอสมวารที่ใช้รหัสรางคู่ชนิดกลับสู่ศูนย์..... 8
210	เกตแบบตรรกะฐานสองและเกตตรรกะรางคู่ไว้ตัวผกผัน..... 9
211	วงจรถอรับสำหรับวงจรรางคู่ไว้ตัวผกผัน 10
212	ระบบอสมวารแบบตรรกะรางคู่ของฟังก์ชันแอนด์-ออร์-อินเวิร์ต..... 10
213	รูปแบบการส่งข้อมูลด้วยตรรกะไตรภาค 11
214	เกตแบบตรรกะไตรภาคชนิดบีที่ออกแบบโดย Nagata (1997)..... 12
215	ลำดับขั้นตอนการสร้างวงจรรวม 16
216	วงจรรดับทรานซิสเตอร์ของเกตแบบตรรกะฐานสอง ($\gamma = 3$)..... 18
217	แบบจำลองทางไฟฟ้าของเกตแบบตรรกะฐานสองแบบสถิต 19
218	เกตแบบตรรกะไตรภาคชนิดบีที่ออกแบบโดย Nagata (2003)..... 22
219	เกตแบบตรรกะไตรภาคที่ออกแบบโดย Choi (2006) 24
220	วงจรถอรับสัญญาณตรรกะไตรภาค..... 24
31	วงจรถรกะไตรภาคชนิดบีแบบใหม่..... 28
32	วงจรถ่วงจับสัญญาณแบ่งรอบการทำงาน 30
33	เกตผกผันแบบดีและเกตผกผันแบบจี 1 ในระดับทรานซิสเตอร์ 31
34	โครงสร้างของเกตแบบตรรกะไตรภาคชนิดซีในระดับทรานซิสเตอร์..... 32
35	แบบจำลองทางไฟฟ้าของเกตแบบตรรกะไตรภาคชนิดซี..... 33
36	วงจรถ่วงการทำงานของเกตแบบตรรกะไตรภาคชนิดซีที่สถานะต่างๆ..... 34
37	เกตแบบตรรกะไตรภาคชนิดซี..... 35
38	เกตแอนด์-ออร์-อินเวิร์ตแบบตรรกะไตรภาคชนิดซี..... 35
39	แบบจำลองทางไฟฟ้าของเกตแบบตรรกะไตรภาคชนิดซี..... 36

ภาพที่	หน้า
310 โครงสร้างทั่วไปของวงจรเชิงผสมแบบตรรกะไตรภาคชนิดซีที่มี n อินพุต.....	37
311 โครงสร้างของระบบดิจิทัลแบบอสมวาร	38
312 วงจรรีจิสเตอร์.....	38
313 ส่วนความจำ.....	39
314 วงจรตอบรับ.....	40
315 วงจรเรจิสเตอร์ 1 บิต.....	40
316 แผนภูมิเวลาของวงจรควบคุม	41
317 วงจรควบคุม.....	41
41 วงจรผสมแบบตรรกะไตรภาคชนิดซีเพื่อวิเคราะห์ความหน่วง.....	42
42 วงจรสำหรับจำลองกระแสเดรนของเกตผลกผันฐานสอง	43
43 วงจรสำหรับจำลองกระแสเดรนของเกตผลกผันแบบดี.....	44
44 เกตผลกผันแบบจี 1 สำหรับวิเคราะห์ความพยายามเชิงตรรกะ.....	44
45 วงจรตรวจจับสัญญาณแบ่งรอบการทำงานและตัวแปรที่เกี่ยวข้อง.....	46
46 วงจรบัฟเฟอร์แบบสาขา 1-2.....	49
47 วงจรบัฟเฟอร์แบบสาขา 2-3.....	49
51 ระบบทดสอบวงจรตรรกะไตรภาคชนิดซี.....	52
52 ผลการจำลองการทำงานของระบบทดสอบ	53
53 วงจรทดสอบหาค่า t	54
54 กราฟความสัมพันธ์ความหน่วงกับ โหลดของเกตผลกผันฐานสอง.....	55
55 วงจรทดสอบความหน่วงเส้นทางบนของวงจรตรวจจับสัญญาณแบ่งรอบการทำงาน	56
56 วงจรทดสอบความหน่วงเส้นทางล่างของวงจรตรวจจับสัญญาณแบ่งรอบการทำงาน.....	57
57 วงจรทดสอบความพยายามเชิงตรรกะของเกตผลกผันแบบตรรกะไตรภาคชนิดซี.....	63
58 กราฟความสัมพันธ์ระหว่างความหน่วงกับความพยายามเชิงไฟฟ้าของเกตผลกผันแบบตรรกะ ไตรภาคชนิดซี.....	64
59 วงจรทดสอบความพยายามเชิงตรรกะของเกตแนนด์แบบตรรกะไตรภาคชนิดซี	66
510 กราฟความสัมพันธ์ระหว่างความหน่วงกับความพยายามเชิงไฟฟ้าของเกตแนนด์แบบตรรกะ ไตรภาคชนิดซี.....	67
511 วงจรทดสอบความพยายามเชิงตรรกะของเกตนอร์แบบตรรกะไตรภาคชนิดซี	68
512 กราฟความสัมพันธ์ระหว่างความหน่วงกับความพยายามเชิงไฟฟ้าของเกตนอร์แบบตรรกะ ไตรภาคชนิดซี.....	69

ภาพที่	หน้า
513	71
514	72
515	72
516	73
517	75
518	75
519	78
520	78
521	79
ก.1	84
ข.1	85
ข.2	86
ข.3	86
ข.4	87
ข.5	87
ข.6	88

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ด้วยการออกแบบวงจรแบบอสมวาร (**asynchronous circuits**) ซึ่งไม่ใช่สัญญาณนาฬิกาเป็นที่สนใจมากขึ้นเนื่องจากปัญหาต่างๆ ของวงจรแบบสมวาร (**synchronous circuits**) [1] เช่น

- ระยะทางที่ใช้ส่งสัญญาณนาฬิกา (**clock**) ไปยังส่วนต่างๆ ของวงจรไม่เท่ากัน แต่ละส่วนของวงจรจึงได้รับสัญญาณนาฬิกาไม่พร้อมกัน (**clock skew**)
- ระบบสัญญาณนาฬิกาของวงจรแบบสมวารถูกกำหนดด้วยเส้นทางที่ทำงานช้าที่สุด (**critical path**)
- วงจรแบบสมวารมีการส่งสัญญาณนาฬิกาไปยังทุกๆ ส่วนของวงจร ถึงแม้ว่าส่วนนั้นจะไม่เกี่ยวข้องกับการคำนวณ ทำให้เกิดการบริโภคพลังงาน (**power consumption**) ในส่วนที่ไม่จำเป็น (**unused path**)

ปัญหาที่กล่าวมาทำให้ประสิทธิภาพของวงจรสมวารลดลง ในขณะที่วงจรแบบอสมวารไม่เกิดปัญหาดังกล่าวเนื่องจากไม่ใช่สัญญาณนาฬิกา แต่วงจรจะมีความซับซ้อนมากขึ้น ดังนั้นจึงจำเป็นต้องพัฒนาวงจรแบบอสมวารให้มีประสิทธิภาพทัดเทียมกับวงจรแบบสมวารที่มีอยู่ในปัจจุบัน

การสื่อสารข้อมูลสำหรับออกแบบวงจรอสมวารมีหลายประเภทเช่น วงจรรางคู่ (**dual-rail**) [2, 3] ซึ่งมีความเร็วสูง โดยใช้สัญญาณ **01** แทนตรรกะ **0**, **10** แทนตรรกะ **1** และ **00** แทนสัญญาณแบ่งรอบการทำงาน การส่งข้อมูลจะสลับกันระหว่างข้อมูลและสัญญาณแบ่งรอบการทำงาน ซึ่งมีข้อดีคือมีการเข้ารหัสสัญญาณรบกวนไว้กับข้อมูลทำให้ฝ่ายรับสัญญาณสามารถแยกแยะข้อมูลเก่าและข้อมูลใหม่ได้ แต่วงจรรางคู่มีข้อเสียคือขนาดของวงจรใหญ่ขึ้นสองเท่า เนื่องจากต้องใช้สายสัญญาณ **2** เส้นสำหรับข้อมูล **1** บิต ต่อมา มีการนำเสนอตรรกะไตรภาคชนิดบี [3, 4, 5] โดยกำหนดให้สัญญาณ **0** กับ **1** แทนข้อมูลตรรกะ **0** กับ **1** ตามลำดับ และมีสัญญาณ **1/2** แทนสัญญาณแบ่งรอบการทำงาน การส่งข้อมูลจะสลับกันระหว่างข้อมูลและสัญญาณแบ่งรอบการทำงานเช่นกัน

ข้อดีของวงจรตรรกะไตรภาคชนิดบีคือวงจรมีขนาดเล็กกว่าวงจรรางคู่เพราะใช้สายสัญญาณน้อยกว่า แต่มีข้อเสียคือการออกแบบวงจรทั้งในระดับทรานซิสเตอร์และระดับผังภูมิ (**layout**) มีความซับซ้อน เนื่องจากต้องออกแบบวงจรให้สามารถตอบสนองต่อแรงดันถึง **3** ระดับ ที่ผ่านมา มีการนำทรานซิสเตอร์ที่มีแรงดันขีดเริ่มเปลี่ยนที่แตกต่างกัน (**multi-threshold voltage**) มาใช้

[10] โดยมีเทคโนโลยีซิลิคอนบนฉนวน (**silicon on insulator, SOI**) [6] เป็นเทคโนโลยีหนึ่งที่จะช่วยให้ปรับแต่งแรงดันขีดเริ่มเปลี่ยนได้ง่ายขึ้น อย่างไรก็ตาม วงจรตรรกะไตรภาคชนิดนี้ยังจำเป็นต้องได้รับการพัฒนาสามารถออกแบบได้ด้วยเทคโนโลยีที่มีความแพร่หลายเช่น เทคโนโลยี ซีมอส เป็นต้น

ในขณะเดียวกันยังไม่มีเครื่องมือ (**tools**) ช่วยออกแบบวงจรรวมที่สามารถหาปรับแต่งวงจรให้เกิดความหน่วงน้อยที่สุด ผู้ออกแบบจึงต้องแก้ไขวงจรและจำลองผลการทำงานเข้าไปเรื่อยๆ จนกว่าจะได้วงจรที่มีลักษณะความหน่วงตามต้องการ ทำให้เสียเวลามาก

ความพยายามเชิงตรรกะ (**logical effort**) [7, 8] เป็นแนวทางหนึ่งที่จะช่วยให้ นักออกแบบใช้เวลาออกแบบวงจรที่มีความหน่วงตามต้องการน้อยลง โดยมีสมมติฐานว่าความหน่วงแปรผกผันกับความสามารถในการขับเคลื่อนของวงจร ซึ่งความสามารถในการขับเคลื่อนแปรผันตามขนาดของทรานซิสเตอร์และจำนวนของสเตจ (**stage**) ดังนั้น วงจรที่ใช้ทรานซิสเตอร์ขนาดใหญ่ หรือมีจำนวนสเตจมาก จะทำงานได้เร็ว แต่ขนาดของทรานซิสเตอร์มีผลต่อการใช้พลังงานและขนาดของวงจร ยิ่งไปกว่านั้น ความเร็วจากการเพิ่มจำนวนสเตจยังถูกจำกัดด้วยความหน่วงแฝง (**parasitic delay**) ที่เพิ่มขึ้นตามขนาดของทรานซิสเตอร์ และจำนวนสเตจ

ปัจจุบันมีการนำความพยายามเชิงตรรกะมาใช้กับวงจรอสมวาร [9] ซึ่งช่วยลดเวลาในการออกแบบวงจรอสมวารฐานสองได้ แต่ยังไม่มีการนำมาช่วยออกแบบวงจรตรรกะไตรภาค จึงควรมีการพัฒนา นำความพยายามเชิงตรรกะมาใช้กับวงจรตรรกะไตรภาคด้วย

งานวิจัยนี้เป็นแนวทางหนึ่งในการศึกษาการออกแบบวงจรตรรกะไตรภาคด้วยเทคโนโลยี ซีมอสและการนำความพยายามเชิงตรรกะมาใช้ในการออกแบบดังกล่าวเพื่อลดขั้นตอนและเวลาในการออกแบบวงจรตรรกะไตรภาคให้มีประสิทธิภาพตามความต้องการ

1.2 วัตถุประสงค์ของการวิจัย

1.2.1 เพื่อสร้างแบบจำลองความหน่วงของวงจรตรรกะไตรภาคที่สามารถประมาณความหน่วงได้ใกล้เคียงความจริงโดยใช้ความพยายามเชิงตรรกะ

1.2.2 เพื่อลดเวลาในการออกแบบวงจรตรรกะไตรภาค

1.3 ขอบเขตของการวิจัย

1.3.1 วิเคราะห์ความพยายามเชิงตรรกะสำหรับการออกแบบวงจรตรรกะไตรภาค

1.3.2 จำลองการทำงานของวงจรในระดับทรานซิสเตอร์โดยใช้ **SPICE**

1.3.3 เปรียบเทียบการประมาณการความหน่วงกับวงจรตัวอย่างในระดับเกตเชิงประกอบ (**compound gate**) เป็นอย่างน้อย

1.4 ขั้นตอนการวิจัย

- 1.41 ศึกษางานวิจัยอื่นเพิ่มเติม
- 1.42 วิเคราะห์แบบจำลองของทรานซิสเตอร์เพื่อหาความพยายามเชิงตรรกะของวงจรรหัสไตรภาค
- 1.43 ออกแบบวงจรรหัสไตรภาคด้วยความพยายามเชิงตรรกะ
- 1.44 ทดสอบความเร็วกับวงจรที่ออกแบบด้วยวงจรรางคู่ชนิดกลับสู่ศูนย์
- 1.45 สรุปผลการทดสอบและข้อเสนอแนะ

1.5 ประโยชน์ที่คาดว่าจะได้รับ

- 1.51 สามารถนำหลักการความพยายามเชิงตรรกะมาใช้ในการออกแบบวงจรรหัสไตรภาค เพื่อให้มีประสิทธิภาพและลดเวลาในการออกแบบได้
- 1.52 ได้แนวทางการออกแบบวงจรรหัสสายท่อ (pipeline) และวงจรรหัสอื่น ๆ ด้วยวงจรรหัสไตรภาคโดยใช้ความพยายามเชิงตรรกะสำหรับระบบบอสมวารในอนาคต

1.6 ผลงานที่ตีพิมพ์จากวิทยานิพนธ์

1.61 “A Design of 2-Phase C-Ternary Logic Asynchronous Digital System Using Conventional CMOS Process Technology” โดย ธนสิน บุญนาม, อาทิตย์ ทองทักษ์, ในงานประชุมวิชาการ **The 2008 International Conference on Embedded Systems and Intelligent Technology (ICESIT2008)** ณ โรงแรมฟอร์จูน กรุงเทพมหานคร ประเทศไทย ระหว่างวันที่ 27-29 กุมภาพันธ์ พ.ศ. 2551

1.62 “An Approach for the Delay Simulation of D-Inverter in C-Ternary Logic Circuits” โดย ธนสิน บุญนาม, อาทิตย์ ทองทักษ์, ในงานประชุมวิชาการ **The 2008 International Conference on Computer Design (CDES'08)** ณ เมืองลาส เวกัส รัฐเนวาดา ประเทศสหรัฐอเมริกา ระหว่างวันที่ 14-17 มิถุนายน พ.ศ. 2551

จุฬาลงกรณ์มหาวิทยาลัย

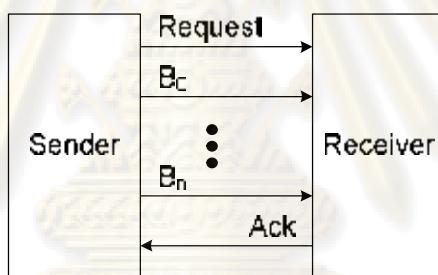
บทที่ 2

ทฤษฎีและงานวิจัยที่เกี่ยวข้อง

21 ทฤษฎีพื้นฐานที่เกี่ยวข้อง

21.1 การออกแบบวงจรอสมวาร (a design of asynchronous circuit)

เทคโนโลยีวงจรรวมความจุสูงมากในปัจจุบันส่งผลให้ความหน่วงในสายมีความสำคัญต่อวงจร ทำให้การออกแบบวงจรอสมวาร, ไม่ใช่สัญญาณนาฬิกา, ด้วยวิธีการส่งข้อมูลรวมชุด (bundle data) [1] ดังรูปที่ 21 ไม่เหมาะสมกับเทคโนโลยีในปัจจุบัน เนื่องจากความหน่วงในสายสัญญาณร็องขอ (request) อาจน้อยกว่าความหน่วงของสายสัญญาณข้อมูล ทำให้สัญญาณร็อง, B_0 ถึง B_n ของจากฝ่ายส่งข้อมูล (sender) ไปถึงฝ่ายรับข้อมูล (receiver) ได้ก่อนสัญญาณข้อมูล (request signal) เป็นผลให้วงจรฝ่ายรับทำงานผิดพลาด



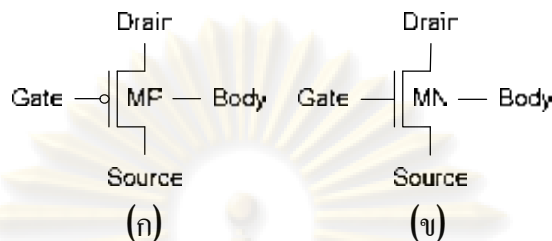
รูปที่ 21 วิธีส่งข้อมูลแบบข้อมูลรวมชุด

เพื่อแก้ปัญหาดังกล่าว, จึงต้องใช้สัญญาณข้อมูลเป็นตัวกระตุ้นฝ่ายรับข้อมูลแทนการใช้สัญญาณร็องขอ แต่เนื่องจากการส่งข้อมูลโดยใช้สายหนึ่งเส้นต่อข้อมูลหนึ่งบิตจะทำให้ฝ่ายรับข้อมูลไม่สามารถแยกอินพุต (input) เก่าและอินพุตใหม่ออกจากกันเมื่อมีการส่งข้อมูลสองชุดที่เหมือนกันและต่อเนื่องกัน ไปยังฝ่ายรับข้อมูล ดังนั้นการส่งข้อมูลด้วยวิธีนี้สัญญาณข้อมูลจำเป็นต้องมีการเข้ารหัสเพื่อให้วงจรฝ่ายรับข้อมูลสามารถแยกอินพุตเก่าและอินพุตใหม่ออกจากกันได้เช่น การใช้รหัสแรงคู่ชนิดกลับสู่ศูนย์ และการใช้ตรรกะไตรภาคชนิดบี เป็นต้น

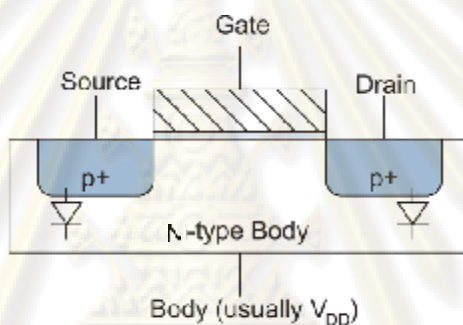
21.2 มอสมทรานซิสเตอร์ (MOS transistor)

มอสมทรานซิสเตอร์ (metal-oxide-silicon transistor) แบ่งออกได้ 2 ประเภทคือ มอสมชนิดพี (PMOS) มีสัญลักษณ์ดังรูปที่ 2.2(ก), และมอสมชนิดเอ็น (NMOS) มีสัญลักษณ์ดังรูปที่ 2.2(ข) จากรูปดังกล่าว, มอสมทรานซิสเตอร์เป็นอุปกรณ์ที่มีขา (terminal) 4 ขา คือ เดรน (drain), เกต (gate), ซอร์ส (source) และบอดี้ (body) เมื่อพิจารณาภาคตัดขวาง (cross section) ของมอสมชนิดพีในรูปที่ 2.3 จะ

พบว่ามอสทรานซิสเตอร์มีลักษณะโครงสร้างแบบสมมาตร (**symmetric**) ระหว่างขาเดรนและซอร์ส ดังนั้นในการใช้งานจึงสามารถเรียกชื่อสลับกันระหว่างขาเดรนและขาซอร์สได้



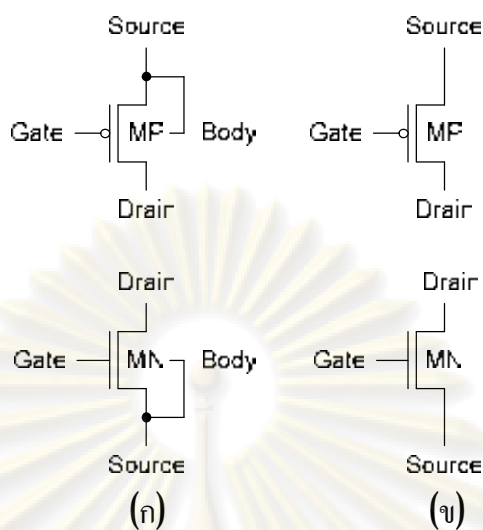
รูปที่ 22 สัญลักษณ์ของมอสทรานซิสเตอร์
(แถวบนคือมอสชนิดเอ็น และแถวล่างคือมอสชนิดพี)



รูปที่ 23 ภาคตัดขวางของมอสชนิดพี

ในวิทยานิพนธ์นี้อาจใช้สัญลักษณ์โดยย่อของมอสทรานซิสเตอร์ที่มีขาบอดีเชื่อมอยู่กับขาซอร์สดังรูปที่ 24(ก) ด้วยสัญลักษณ์ในรูปที่ 24(ข) และกำหนดให้ตัวอักษรที่อยู่ตรงกลางสัญลักษณ์หมายถึงชื่อของทรานซิสเตอร์เมื่อมีอักษร **M** นำหน้าดังรูปที่ 25(ก) คือมอสชนิดพีชื่อ **M1** และ 25(ข) คือมอสชนิดเอ็นชื่อ **M2** ส่วนสัญลักษณ์มอสทรานซิสเตอร์ที่มีแต่ตัวเลข ไม่มีอักษร **M** นำหน้าหมายถึงกว้างของแชนแนล (**channel width**) ในหน่วยไมครอน, **mm**, ของทรานซิสเตอร์นั้น ดังรูปที่ 26(ก) คือมอสชนิดพีที่มีความกว้างแชนแนล **3mm** และรูปที่ 26(ข) คือมอสชนิดเอ็นที่มีความกว้างแชนแนล **1mm**

จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 24 สัญลักษณ์โดยย่อของมอสทรานซิสเตอร์



รูปที่ 25 มอสทรานซิสเตอร์พร้อมข้อ



รูปที่ 26 มอสทรานซิสเตอร์พร้อมความกว้างของแขนแนล

21.3 ปรากฏการณ์บอดี้ (body effect)

ในการใช้งานทรานซิสเตอร์ในวงจรรวมดิจิทัล (**digital IC**) โดยทั่วไปมีสมมติฐานว่าความต่างศักย์ระหว่างบอดี้และซอร์ส (V_{SB}) มีค่าเท่ากับ **0** หรือกล่าวได้ว่าซอร์สกับบอดี้ถูกเชื่อมกัน แต่ในกรณีที่ V_{SB} มีค่าต่างออกไปแล้วจะมีผลกระทบต่อแรงดันขีดเริ่มเปลี่ยนของทรานซิสเตอร์ตามสมการที่ 21

$$V_t = V_{t0} + \gamma (\sqrt{\phi_s + V_{SB}} - \sqrt{\phi_s}) \quad (21)$$

เมื่อ

V_{t0} คือ แรงดันขีดเริ่มเปลี่ยนเมื่อ $V_{SB}=0$

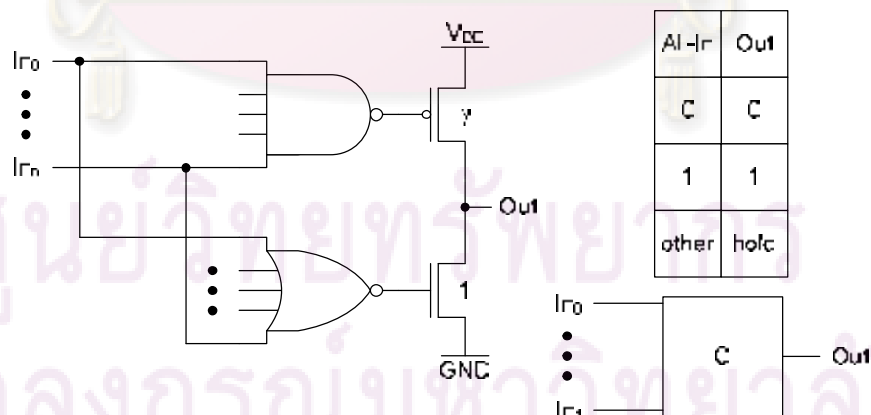
γ คือ สัมประสิทธิ์ปรากฏการณ์บอดี้ (body effect coefficient)

ϕ_s คือ ศักย์พื้นผิว (surface potential)

ถึงแม้ว่าจะสามารถปรับแรงดันขีดเริ่มเปลี่ยนให้เป็นไปตามที่ต้องการได้ แต่ไม่ควรให้ V_{SB} ของมอสชนิดเอ็นเป็นค่าลบ หรือเป็นค่าบวกสำหรับมอสชนิดพี ดังแสดงโครงสร้างเชิงไดโอดของมอสชนิดพีในรูปที่ 2.3, เมื่อความต่างศักย์ระหว่างซอร์สกับบอดี้มีค่าบวกจะทำให้เกิดกระแสรั่วไหลออกไปยังบอดี้

2.1.4 อุปกรณ์ชนิดซี มัลเลอร์ แบบพลวัต (dynamic Muller C-element)

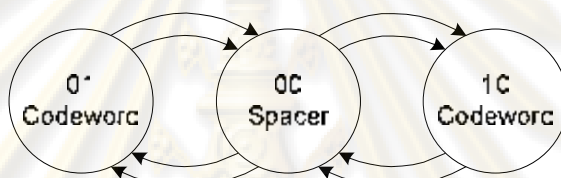
อุปกรณ์ชนิดซี มัลเลอร์แบบพลวัตถูกใช้ในวงจรอสมวารเพื่อตรวจสอบว่าวงจรทำงานเสร็จสิ้นหรือไม่, โดยแสดงการนำไปใช้งานในหัวข้อที่ 5.6, วงจรจะให้เอาต์พุตตรรกะ 1 เมื่อสัญญาณอินพุตทั้งหมดเป็นตรรกะ 1, ส่งสัญญาณเอาต์พุตเป็นตรรกะ 0 เมื่อสัญญาณอินพุตทั้งหมดเป็นตรรกะ 0 และคงสัญญาณเอาต์พุตไว้เมื่อสัญญาณอินพุตเป็นตรรกะที่ไม่ตรงกัน อุปกรณ์ชนิดซี มัลเลอร์แบบพลวัตที่มี n อินพุตมีวงจรแสดงดังรูปที่ 2.7 โดยความกว้างของทรานซิสเตอร์มอสชนิดพีสามารถวิเคราะห์ได้ตามแนวทางในหัวข้อที่ 2.1.8



รูปที่ 2.7 อุปกรณ์ชนิดซี มัลเลอร์ แบบพลวัตที่มี n อินพุต

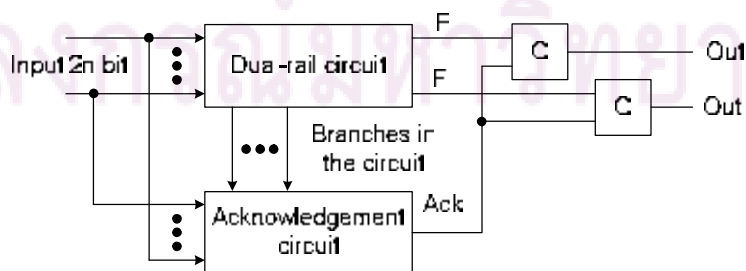
21.5 วงจรรางคู่ชนิดกลับสู่ศูนย์ (dual-rail return-to-zero circuits)

รหัสรางคู่ [2] เป็นรหัสที่ใช้ค่าตรรกะฐานสอง 2 บิตแทนค่าข้อมูล 1 บิตโดยใช้รหัส 01 แทนตรรกะ 0, 10 แทนตรรกะ 1 และใช้รหัส 00 แทนรหัสแบ่งรอบการทำงาน (spacer) ส่วนรหัส 11 ไม่มีนิยามการใช้งาน ดังนั้นเมื่อข้อมูลมีจำนวน n บิตจะใช้สายสัญญาณเป็นจำนวน $2n$ เส้น โดยเป็นรหัสข้อมูล (codeword) เมื่อคู่สาย (d, d') ทุกคู่สายมีค่าเป็น (0, 1) หรือ (1, 0) เป็นรหัสแบ่งรอบการทำงานเมื่อคู่สายทุกคู่สายมีค่าเป็น (0, 0) ส่วนรหัสที่เหลือ (1, 1) เป็นรหัสที่ไม่มีความหมาย (non-codeword) รหัสรางคู่มีรูปแบบการส่งข้อมูลแบบสองขั้นชนิดกลับสู่ศูนย์ (2-phase return-to-zero) ดังรูปที่ 28 การส่งข้อมูลจะสลับกันไปมาระหว่างรหัสแบ่งรอบการทำงาน (0, 0) กับรหัสตรง (0, 1) หรือ (1, 0) เท่านั้น



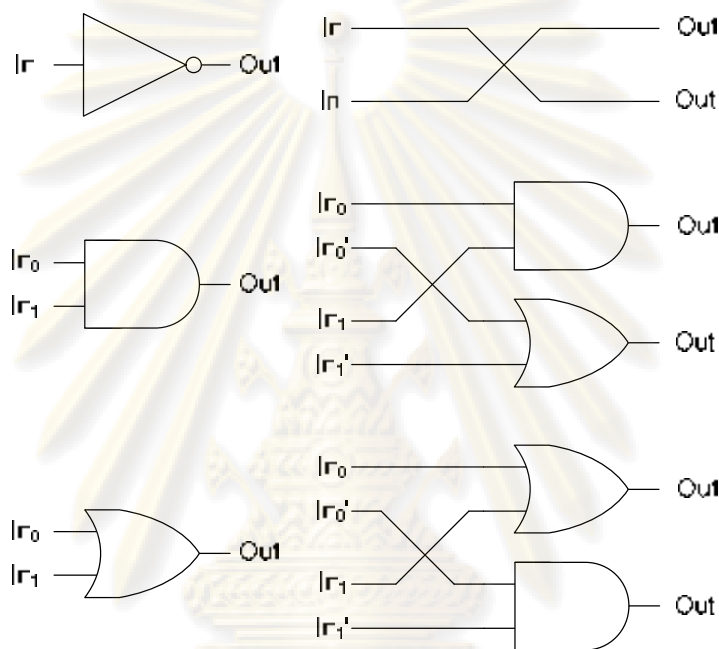
รูปที่ 28 รูปแบบการส่งข้อมูลด้วยวงจรรางคู่

เมื่อออกแบบวงจรเชิงผสมโดยใช้แบบจำลองการทำงานสิ่งแวดล้อมแบบภาวะแวดล้อมรับเข้าส่งออก (I/O mode), มีสัญญาณอินพุตจากสิ่งแวดล้อมมาถึงในขณะที่วงจรยังประมวลผลไม่เสร็จสิ้น, วงจรจะต้องประกอบด้วย 2 ส่วนคือ ส่วนที่ทำหน้าที่ประมวลผลและส่วนวงจรตอบรับ (acknowledgement circuit) ซึ่งทำหน้าที่ในการตรวจสอบการสิ้นสุดการเปลี่ยนแปลงสัญญาณภายในของวงจรประมวลผลดังรูปที่ 29 สำหรับวงจรเชิงผสมที่ใช้รหัสรางคู่จะใช้วงจรรางคู่ในส่วนของวงจรประมวลผล วงจรรางคู่สามารถออกแบบได้สองวิธี คือการออกแบบวงจรรางคู่โดยใช้แผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ (reduced ordered-binary decision diagram implementation หรือ ROBDD) และการออกแบบวงจรรางคู่โดยใช้ตรรกะรางคู่ไร้ตัวผกผัน (inverter-free 2-rail logic implementation) ซึ่งจะนำมาใช้ในวิทยานิพนธ์นี้



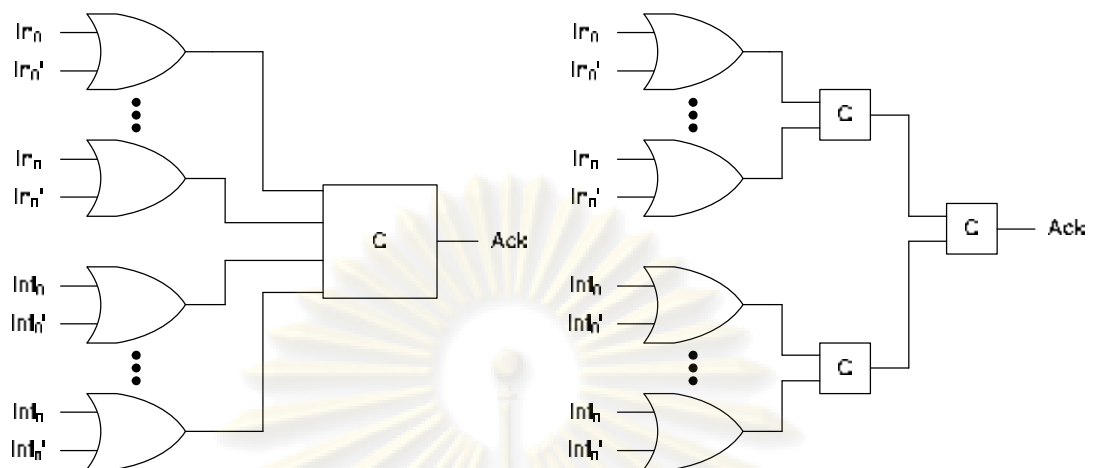
รูปที่ 29 วงจรเชิงผสมแบบบอสวาร์ที่ใช้รหัสรางคู่ชนิดกลับสู่ศูนย์

การออกแบบวงจรรางคู่โดยใช้ตรรกะรางคู่ไว้ตัวผกผันทำได้โดยใช้เกต 2 ตัวคือเกต แอนด์ (AND) และเกตออร์ (OR) อย่างละ 1 ตัวแทนเกตแอนด์หรือเกตออร์ทั่วไป 1 ตัวในวงจรแบบ สมวาร แต่เกตผกผันสำหรับวงจรรางคู่ใช้การไขว้สายดังรูปที่ 210 โดยรูปด้านขวาถือเกตที่ใช้ สำหรับวงจรรางคู่เมื่อเทียบกับเกตทั่วไปสำหรับวงจรแบบสมวารในด้านซ้าย ด้วยเหตุนี้การ ออกแบบวงจรรางคู่จึงใช้เกตและสายประมาณ 2 เท่าของวงจรแบบสมวารทั่วไป

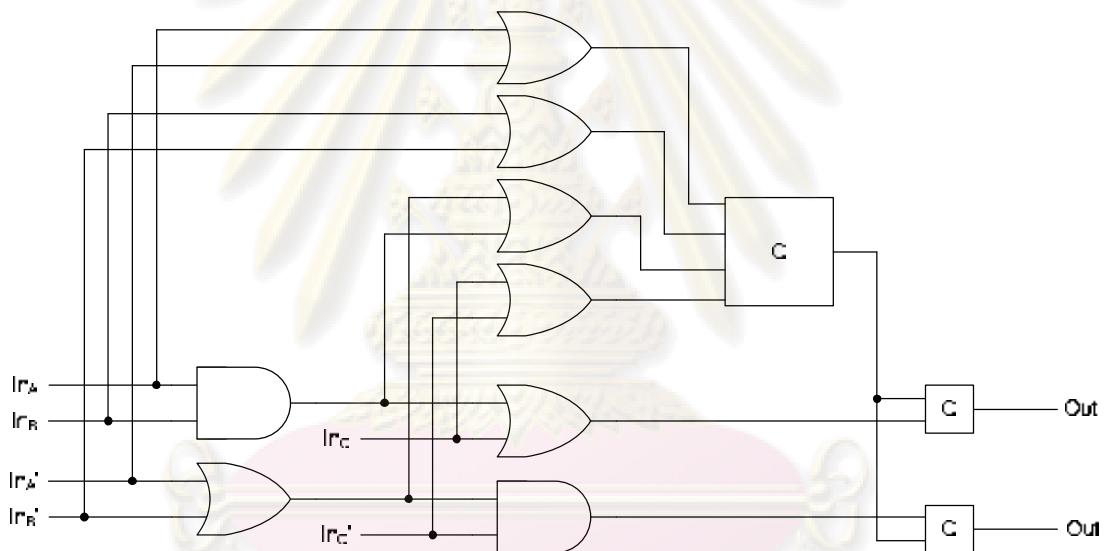


รูปที่ 210 เกตแบบตรรกะฐานสอง (ซ้าย) และเกตตรรกะรางคู่ไว้ตัวผกผัน (ขวา)

สำหรับวงจรตอบรับนั้นใช้วิธีการตรวจสอบคู่สายสัญญาณแต่ละคู่โดยดึงคู่สายอินพุต (I_n , I_n) และคู่สายสัญญาณภายใน (I_{n_0} , I_{n_1}) แต่ละคู่มาเป็นอินพุตของเกตออร์และสร้างสัญญาณตอบรับรวมโดยใช้อุปกรณ์ชนิดซีดังรูปที่ 211(ซ้าย) ใช้อุปกรณ์ชนิดซี มัลเลอร์เพียงตัวเดียว แต่ถ้าต้องรับสัญญาณอินพุตจำนวนมาก จะทำให้อุปกรณ์ชนิดซี มัลเลอร์ มีขนาดใหญ่ และเกิดโหลดกับเกตออร์ในสเตจก่อนหน้ามากเกินไป ส่งผลให้วงจรทำงานช้า ดังนั้นในกรณีที่มีอินพุตจำนวนมาก ควรแบ่งอุปกรณ์ชนิดซี มัลเลอร์ ออกเป็นหลายสเตจ ดังรูปที่ 211(ขวา) เป็นการแบ่งสัญญาณจากคู่สายอินพุต (I_n , I_n) ให้กับอุปกรณ์ชนิดซี มัลเลอร์ด้านบน และแบ่งสัญญาณจากคู่สายภายใน (I_{n_0} , I_{n_1}) ให้กับอุปกรณ์ชนิดซี มัลเลอร์ในด้านล่าง สุดท้าย, เอาท์พุตจากอุปกรณ์ชนิดซี มัลเลอร์ ทั้งสองจะถูกส่งไปให้อุปกรณ์ชนิดซี มัลเลอร์ ที่อยู่ในสเตจสุดท้าย รูปที่ 212 แสดงตัวอย่างวงจรแอนด์-ออร์-อินเวอร์ต, $Out = \sim((A.B)+C)$, แบบตรรกะรางคู่ โดยจะนำวงจรนี้มาเป็นวงจรทดสอบความเร็วเทียบกับวงจรตรรกะไตรภาคชนิดซีต่อไป



รูปที่ 211 วงจรตอบรับสำหรับวงจรรางคู่ไร้ตัวผกผัน



รูปที่ 212 ระบบอสมวารแบบตรรกะรางคู่ของฟังก์ชันแอนด์-ออร์-อินเวิร์ต

ข้อดีของวงจรรางคู่ชนิดกลับสู่ศูนย์คือมีการเข้ารหัสสัญญาณร้องขอเข้า ไปด้วยข้อมูล จึงแก้ปัญหาการส่งข้อมูลแบบรวมชุดดังที่กล่าวไว้ในหัวข้อที่ 21.1 ได้ แต่มีข้อเสียคือวงจรมีขนาดใหญ่ขึ้นประมาณ 2 เท่า เนื่องจากมีสัญญาณให้ประมวลผลเพิ่มขึ้น 2 เท่า และใช้พื้นที่สำหรับสายสัญญาณมากขึ้นอีกประมาณ 2 เท่าเนื่องจากต้องใช้สายสัญญาณ 2 เส้นสำหรับการส่งข้อมูลแต่ละบิต

21.6 วงจรตรรกะไตรภาคชนิดบี (B-ternary logic circuits)

ตรรกะฐานสองที่ใช้กันอยู่ทั่วไปในปัจจุบันเป็นระบบพีชคณิตที่มีตัวดำเนินการ (operator) และตัวแปรที่กระทำอยู่บนเซต V_2 เมื่อ $V_2 = \{0, 1\}$ ส่วนตรรกะไตรภาคเป็นตรรกะที่มีตัวดำเนินการ และตัวแปรที่กระทำอยู่บนเซต V_3 เมื่อ $V_3 = \{0, 1/2, 1\}$ โดยที่ $0 \leq 1/2 \leq 1$ ตัวดำเนินการประกอบด้วย **AND** (\cdot), **OR** ($+$) และ **Inverter** (\sim) โดยที่

$$X \cdot Y = \min(X, Y) \quad (22)$$

$$X + Y = \max(X, Y) \quad (23)$$

$$\sim X = 1 - X \quad (24)$$

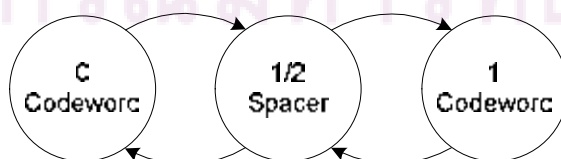
และมีตารางค่าความจริง (truth table) ดังตารางที่ 21

ตารางที่ 21 ตารางค่าความจริงของตัวดำเนินการบนตรรกะไตรภาคชนิดบี

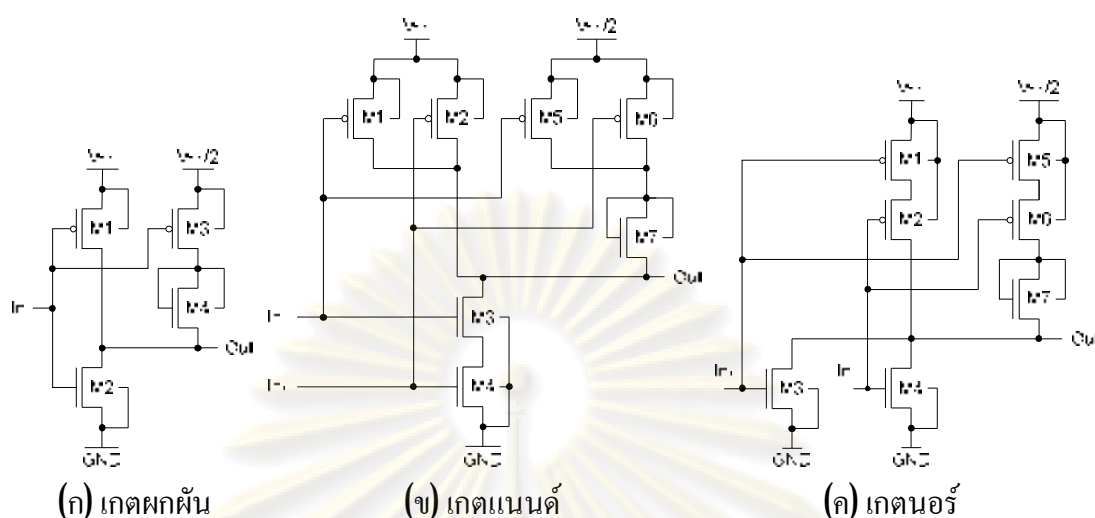
(ก) AND (\cdot)				(ข) OR ($+$)				(ค) Inverter (\sim)			
AND	0	1/2	1	OR	0	1/2	1	INV	0	1/2	1
0	0	0	0	0	0	1/2	1	$\sim X$	1	1/2	0
1/2	0	1/2	1/2	1/2	1/2	1/2	1				
1	0	1/2	1	1	1	1	1				

ผลจากนิยามและความหมายของตัวดำเนินการต่างๆ ของตรรกะไตรภาคชนิดบี ทำให้ตรรกะไตรภาคชนิดบีมีคุณสมบัติของกฎต่างๆ เช่นเดียวกับตรรกะฐานสอง ยกเว้นกฎส่วนเติมเต็ม (complementary laws): $X + \sim X = 1$, $X \cdot \sim X = 0$

เนื่องจากคุณสมบัติของตรรกะไตรภาคชนิดบีมีตัวดำเนินการอยู่บนเซตที่ประกอบด้วยค่า 3 ค่า ดังนั้นจึงสามารถนำไปใช้แทนรหัสวางคู่ซึ่งมีรหัส 4 รหัสแต่ใช้เพียง 3 รหัสได้ โดยใช้รหัส '0' แทนตรรกะ '0', '1' แทนตรรกะ '1' และ '1/2' แทนรหัสแบ่งรอบการทำงานดังรูปที่ 213 จะพบว่า การส่งข้อมูลจำนวน n บิต จะใช้สายสัญญาณเป็นจำนวน n เส้น



รูปที่ 213 รูปแบบการส่งข้อมูลด้วยตรรกะไตรภาค



รูปที่ 214 เกตแบบตรรกะไตรภาคชนิดบีที่ออกแบบโดย Nagata (1997)

จากเกตผกผันแบบตรรกะไตรภาคชนิดบีในรูปที่ 2.14 วงจรตรรกะไตรภาคชนิดบีใช้สายสัญญาณจำนวน n เส้น แทนข้อมูลจำนวน n บิต จึงสามารถลดจำนวนสายสัญญาณได้ 2 เท่าเมื่อเทียบกับวงจรรางคู่ และเนื่องจากวงจรยังคงใช้ตรรกะ 0 และ 1 แทนข้อมูลเช่นเดียวกับวงจรฐานสอง ดังนั้นจึงไม่จำเป็นต้องมีการเข้ารหัสหรือถอดรหัสข้อมูลเมื่อใช้วงจรตรรกะไตรภาคชนิดบีร่วมกับวงจรตรรกะฐานสอง แต่เนื่องจากวงจรตรรกะไตรภาคชนิดบีมีการใช้แรงดันถึง 3 ระดับจึงทำให้การออกแบบวงจรเกิดความซับซ้อนมากขึ้น

2.1.7 ความหน่วงในเกตเชิงตรรกะ (delay in a logic gate)

ความหน่วงที่เกิดขึ้นในเกตเกิดจากหลายปัจจัยได้แก่ ประจุเชิงไหลดที่เกิดขึ้นต้องขับความจุไหลด (capacitive load) และรูปแบบการต่อวงจร (topology) เมื่อความจุไหลดเพิ่มขึ้นส่งผลให้ความหน่วงเพิ่มขึ้น, พลังงานของเกตซับซ้อนขึ้นก็ทำให้ความหน่วงมากขึ้นเช่นกัน นอกจากนี้ยังมีความหน่วงจากความจุแฝง (parasitic capacitance) ที่เพิ่มขึ้นตามขนาดของอุปกรณ์ด้วย

ความหน่วงสัมบูรณ์ (absolute delay, d_{abs}) ของวงจรคือความหน่วงที่เกิดขึ้นจริง หาได้จากผลคูณระหว่างความหน่วงของเกต (d) กับความหน่วงอันเนื่องมาจากระบวนการผลิต (τ)

$$d_{abs} = d\tau \quad (25)$$

ความหน่วงของเกตแบ่งได้สองส่วนคือความหน่วงแฝง (p) และความหน่วงพยายาม (effort delay) หรือความพยายามเชิงสเตจ (stage effort, f)

$$d = f + p \quad (26)$$

ความพยายามเชิงสเตจคือคุณสมบัติของเกต ประกอบด้วยความพยายามเชิงตรรกะ (logical effort, g) และ ความพยายามเชิงไฟฟ้า (electrical effort, h)

$$f = gh \quad (27)$$

ความพยายามเชิงตรรกะจะอธิบายถึงความสามารถในการขับเคลื่อนของเกตส่วนความพยายามเชิงไฟฟ้าจะกล่าวถึงผลกระทบจากโหลด และขนาดของเกต

$$h = C_{out}/C_{in} \quad (28)$$

เมื่อ

C_{out} คือ ความจุเอาต์พุต (output capacitance)

C_{in} คือ ความจุอินพุต (input capacitance)

เกตที่มีความซับซ้อน สามารถสร้างได้จากการทำงานของเกตอื่นๆ เข้าด้วยกัน ทำให้เกิดเส้นทาง (path) โดยในเส้นทางหนึ่งๆ จะมีค่าต่างๆ ที่เกี่ยวข้องคือ ความพยายามเชิงตรรกะของเส้นทาง (path logical effort, G) ซึ่งก็คือผลคูณของความพยายามเชิงตรรกะของแต่ละเกตในเส้นทางนั้น

$$G = \prod g \quad (29)$$

ความพยายามเชิงไฟฟ้าของเส้นทาง (path electrical effort, H) คืออัตราส่วนระหว่างความจุเอาต์พุตต่อความจุอินพุตของเส้นทางหรือผลคูณความพยายามเชิงไฟฟ้าของแต่ละเกตในเส้นทางนั้น

$$H = C_{out(path)}/C_{in(path)} \quad (210)$$

ความพยายามเชิงเส้นทาง (path effort, F) คือผลคูณของความพยายามเชิงตรรกะ

$$F = \prod f_i \quad (211)$$

ในกรณีที่มีสาขา (branch) จะต้องคำนวณค่า ความพยายามเชิงสาขา (branching effort, b) โดย

$$b = (C_{onpath} + C_{offpath})/C_{onpath} \quad (212)$$

สังเกตว่า ถ้าไม่เกิดสาขาแล้ว ความพยายามเชิงสาขาจะมีค่าเท่ากับ 1, ส่วนความพยายามเชิงสาขาของเส้นทาง (path branching effort, B) คือผลคูณของความพยายามเชิงสาขาที่เกิดขึ้นในเส้นทางนั้น

$$B = \prod b_i \quad (213)$$

ดังนั้นความพยายามเชิงเส้นทางที่มีสาขาอยู่ภายใน (สูตรทั่วไป) คือ

$$F = GBH \quad (214)$$

ตัวอย่างการคำนวณความพยายามเชิงตรรกะแสดงในภาคผนวก ก., ความหน่วงของของเส้นทาง (D) เท่ากับผลรวมของความหน่วงในแต่ละสเตจ

$$\begin{aligned} D &= \sum d_i \\ &= D_F + P \end{aligned} \quad (215)$$

เมื่อ

$$D_F = \sum f_i$$

$$P = \sum p_i$$

ความพยายามเชิงเส้นทางจะน้อยที่สุดเมื่อทุกสเตจในเส้นทางมีความพยายามเท่ากัน ดังนั้นถ้าในเส้นทางหนึ่งมี N สเตจแล้ว แต่ละสเตจจะต้องมีความพยายามน้อยที่สุด

$$\begin{aligned} f_i &= gh \\ &= F^{1/N} \end{aligned} \quad (216)$$

จากสมการที่ 2.16 พบว่าความพยายามเชิงเส้นทางจากการคำนวณมีโอกาสที่จะไม่ใช่จำนวนเต็ม จึงนำมาคำนวณความพยายามเชิงตรรกะและความพยายามเชิงไฟฟ้าได้ลำบาก อย่างไรก็ตาม สามารถใช้ค่าประมาณที่เป็นจำนวนเต็มได้เพราะความหน่วงเกิดจากการออกแบบตามค่าประมาณมีค่าไม่แตกต่างกันมาก [7, 8]

ความหน่วงต่ำที่สุดที่จะเกิดขึ้นได้คือ

$$D = NF^{1/N} + P \quad (217)$$

จากสมการ 2.17 พบว่าความหน่วงสามารถถูกวิเคราะห์ได้โดยไม่ต้องสนใจขนาดของทรานซิสเตอร์, สมการที่กล่าวมาทั้งหมด สามารถสรุปเป็นตารางได้ดังตารางที่ 2.2

ตารางที่ 2.2 สรุปสมการความหน่วงเชิงตรรกะ

Term	Stage expression	Path expression
Logical effort	g	$G = \prod g$
Electrical effort	$h = C_{out}/C_{in}$	$H = C_{out(path)}/C_{in(path)}$
Branching effort	-	$B = \prod b_i$
Effort	$f = gh$	$F = GBH = \prod f_i$
Effort delay	f	$D_F = \prod f_i$ minimized when $f_i = F^{1/N}$
Number of stages	1	N
Parasitic delay	p	$P = \sum p_i$
Delay	$d = f + p$	$D = NF^{1/N} + P$

2.1.8 ความพยายามเชิงตรรกะ (logical effort)

การออกแบบวงจรรวมสามารถแยกออกเป็นขั้นตอนต่างๆ ดังผังงาน (flowchart) ในรูปที่ 2.15, เริ่มต้นด้วยการกำหนดฟังก์ชันการทำงาน และคุณสมบัติต่างๆ ของชิป (chip) จากนั้นแบ่งชิปออกเป็นส่วนย่อยหรือบล็อก (block) เพื่อแจกจ่ายไปให้นักออกแบบ จากนั้นนักออกแบบแต่ละคนเขียน RTL (register transfer level) ด้วยภาษาบรรยายพฤติกรรมฮาร์ดแวร์ (hardware description language) เช่น verilog หรือ VHDL จนกว่าบล็อกนั้นๆ จะทำงานได้ถูกต้องและมีคุณสมบัติตามต้องการ ซึ่งในขั้นตอนนี้ นักออกแบบจะสามารถประมาณขนาดของบล็อกต่างๆ เพื่อนำมาจัดผัง (floorplan) ในขั้นตอนถัดไป

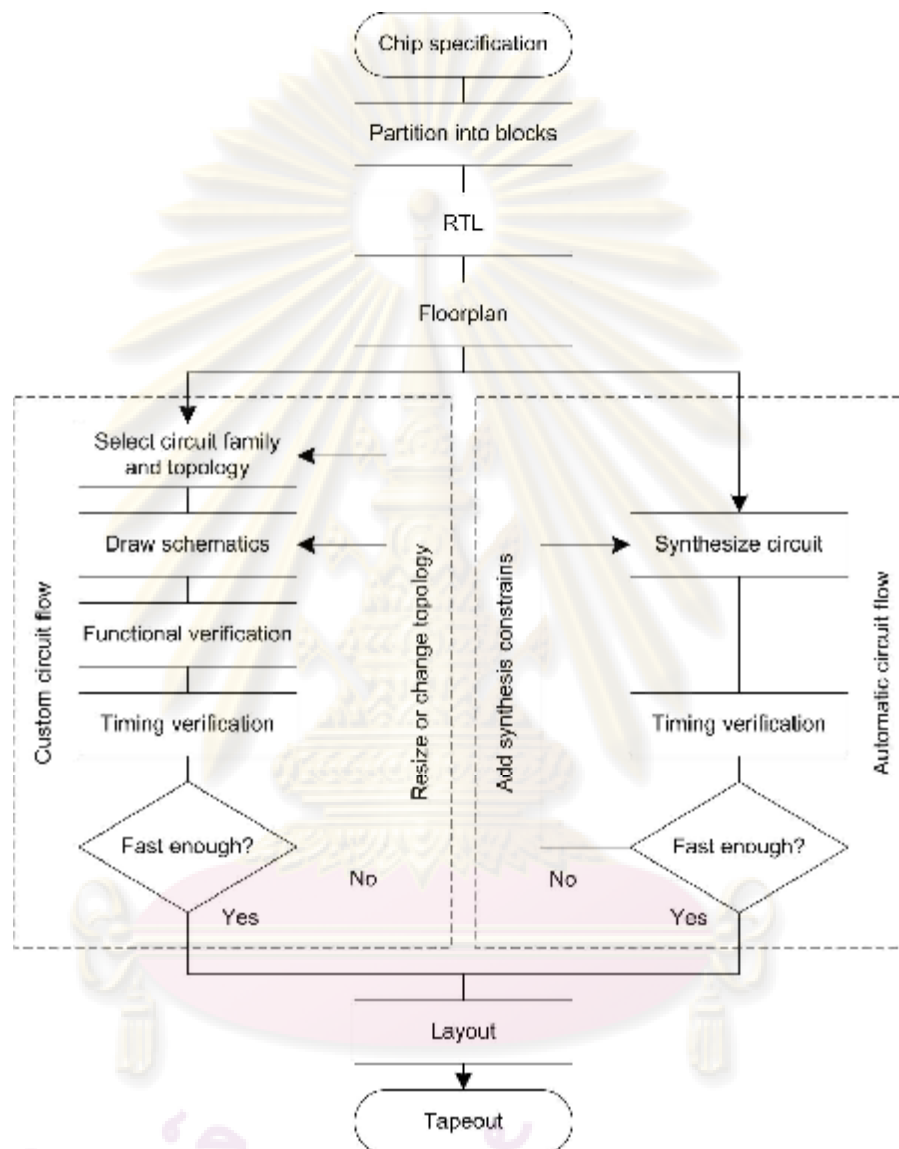
ขั้นตอนการออกแบบวงจรแบ่งออกได้ 2 ประเภทคือ การออกแบบเอง (**custom**) และการออกแบบอัตโนมัติ (**automatic**) สำหรับการออกแบบเอง วงจรที่ได้จะมีประสิทธิภาพดีกว่าแบบอัตโนมัติ แต่ต้องใช้เวลาและแรงงานมากกว่า ผู้ออกแบบจะต้องเลือกสกุล (**family**) เช่น ซิมอสแบบสถิต (**static CMOS**) หรือโดมิโน (**domino**) และรูปแบบการต่อวงจร (**topology**) ที่เหมาะสมต่อฟังก์ชันของบล็อกเช่น การต่อวงจรด้วยเกตแนนด์, เกตเนอร์ หรือแบบผสม ขั้นตอนต่อมาเป็นการออกแบบในระดับเกต (**schematic**) ซึ่งในขั้นตอนนี้จะต้องพิจารณาขนาดของเกตให้เหมาะสม กล่าวคือ การใช้เกตขนาดใหญ่ จะสามารถขับเคลื่อนได้ดี ทำงานเร็ว แต่จะเป็นการเพิ่มโหลดให้กับสเตจก่อนหน้า อาจทำให้การทำงานของวงจรโดยรวมช้าลง นอกจากนั้นยังใช้พื้นที่และบริโภคพลังงานมากขึ้น เมื่อเสร็จสิ้นขั้นตอนนี้ วงจรที่ออกแบบจะถูกทดสอบฟังก์ชันการทำงาน (**functional verification**) ว่าถูกต้องตามที่ออกแบบไว้ในระดับ RTL หรือไม่ จากนั้นวงจรจะถูกนำไปทดสอบทางด้านเวลา (**timing verification**) ว่าวงจรสามารถทำงานได้เร็วตามที่ต้องการหรือไม่ ถ้าไม่ผ่านการทดสอบ วงจรนี้จะถูกนำกลับไปแก้ไขโดยการปรับขนาดของเกต, เปลี่ยนรูปแบบการต่อวงจร จนกระทั่งการเปลี่ยนสกุล เช่น การเปลี่ยนสกุลจากซิมอสแบบสถิตไปใช้สกุลโดมิโน ซึ่งทำงานได้เร็วกว่า

สำหรับการออกแบบแบบอัตโนมัติจะใช้เครื่องมือช่วยเลือกรูปแบบของวงจรและขนาดของเกต จึงเสียเวลาน้อยกว่า แต่โดยทั่วไปแล้วสกุลของวงจรจะถูกจำกัดอยู่แค่ซิมอสแบบสถิต และวงจรที่ได้จะทำงานช้ากว่าวงจรที่ออกแบบเอง เนื่องจากใช้เครื่องมือในการสังเคราะห์วงจร วงจรที่ได้จะผ่านการทดสอบด้านฟังก์ชันเสมอ แต่ยังคงไม่ผ่านการทดสอบด้านเวลา นักออกแบบยังคงต้องแก้ไขค่า (**directive**) ในเครื่องมือ เพื่อให้สามารถวิเคราะห์และปรับปรุงเส้นทางที่ทำงานช้าที่สุด (**critical path**) ได้ถูกต้อง

จากนั้นจึงเข้าสู่ขั้นตอนการวางแผนผัง (**layout**) ของชิ้นสารต่างๆ บนแผ่นซิลิคอน (**silicon**) เช่น ตำแหน่งการเจือสาร โดยจะมีการตรวจสอบระยะห่าง และขนาดของชิ้นสารให้เป็นไปตามข้อกำหนดของผู้ผลิต (**manufacturer**) และตรวจสอบแผนผังกับวงจรที่ได้ออกแบบไว้ในระดับเกต (**layout versus schematic**) ว่าตรงกันหรือไม่ ในขั้นตอนนี้ยังคงมีการทดสอบด้านเวลา เนื่องจากในขั้นตอนนี้จะสามารถวิเคราะห์ความจุ (**capacitance**) และความต้านทาน (**resistance**) ได้ใกล้เคียงความเป็นจริงมากขึ้น และสุดท้าย วงจรที่ออกแบบเรียบร้อยแล้วจะถูกส่ง (**tape out**) ให้โรงงานทำการผลิตต่อไป

ในการออกแบบเอง นักออกแบบต้องวนอยู่ในขั้นตอนการปรับขนาดของเกต และจำลองการทำงานจนกว่าวงจรจะมีความเร็วตามที่ต้องการ นอกจากนี้การเพิ่มขนาดของเกตใดๆ ยังต้องแน่ใจว่าเกตนั้นจะไม่โหลดเกตก่อนหน้าจนทำให้ระบบทำงานช้าลง สำหรับการออกแบบแบบอัตโนมัติ นักออกแบบยังคงวนอยู่กับการแก้ไขตัวแปรและสังเคราะห์วงจรใหม่ ถึงแม้ว่าการแก้ไข

ตัวแปรจะช่วยให้การทำงานในเส้นทางที่สนใจมีความเร็วเพิ่มขึ้น แต่ก็จะมีผลกระทบต่อเส้นทางอื่น ซึ่งอาจจะทำให้การทำงานโดยรวมช้าลงอีกเช่นกัน



รูปที่ 215 ลำดับขั้นตอนการสร้างวงจรรวม

ความพยายามเชิงตรรกะเป็นแนวทางหนึ่งที่จะช่วยให้นักออกแบบสามารถวิเคราะห์ขนาดของทรานซิสเตอร์, จำนวนสเตจที่เหมาะสม และสามารถลดความหน่วงของวงจรได้ใกล้เคียงค่าที่น้อยที่สุดในเวลาที่สั้นลง ถึงแม้จะใช้ค่าประมาณเพื่อประหยัดเวลาในการคำนวณ แต่ค่าประมาณดังกล่าวก็มีผลกระทบน้อย เมื่อเทียบกับความหน่วงในวงจรที่เกิดขึ้นจริง แต่จะไม่ให้ความสำคัญกับการการประมาณความหน่วงสัมบูรณ์ (absolute delay) เนื่องจากนักออกแบบสามารถใช้โปรแกรมจำลอง (simulator) หรือ โปรแกรมวิเคราะห์เวลา (timing analyzer) ซึ่งมีความแม่นยำมากกว่าได้,

โดยนิยามความพยายามเชิงตรรกะคืออัตราส่วนที่บ่งชี้ว่าเกตที่สนใจทำงานช้ากว่าเกตผกผัน, ซึ่งเป็นเกตที่ทำงานได้เร็วที่สุด, ก็เท่า โดยกำหนดให้เกตนี้มีความสามารถในการขับเคลื่อน หรือมีความต้านทานรวมในแต่ละเครือข่ายเท่ากับเกตผกผัน

ในการคำนวณความพยายามเชิงตรรกะจะกำหนดให้ทรานซิสเตอร์ทุกตัวมีความยาวแชนแนล (channel) เท่ากันและเป็นความยาวที่น้อยที่สุด จึงเหลือความกว้างของแชนแนลเท่านั้นที่สนใจ ความกว้างของแชนแนลมีผลต่อความจุ, การขับเคลื่อน และความนำไฟฟ้า ซึ่งโดยปกติแล้วการออกแบบวงจรซีมอส (CMOS) นั้นทรานซิสเตอร์แบบดึงขึ้น (pull-up transistor) ต้องมีความกว้างของแชนแนลมากกว่าทรานซิสเตอร์แบบดึงลง (pull-down transistor) เพื่อให้มีความนำไฟฟ้าหรือ ความต้านทานเท่ากัน ตามอัตราส่วนการเคลื่อนที่ของพาหะ

$$\gamma = \mu_n/\mu_p$$

เมื่อ

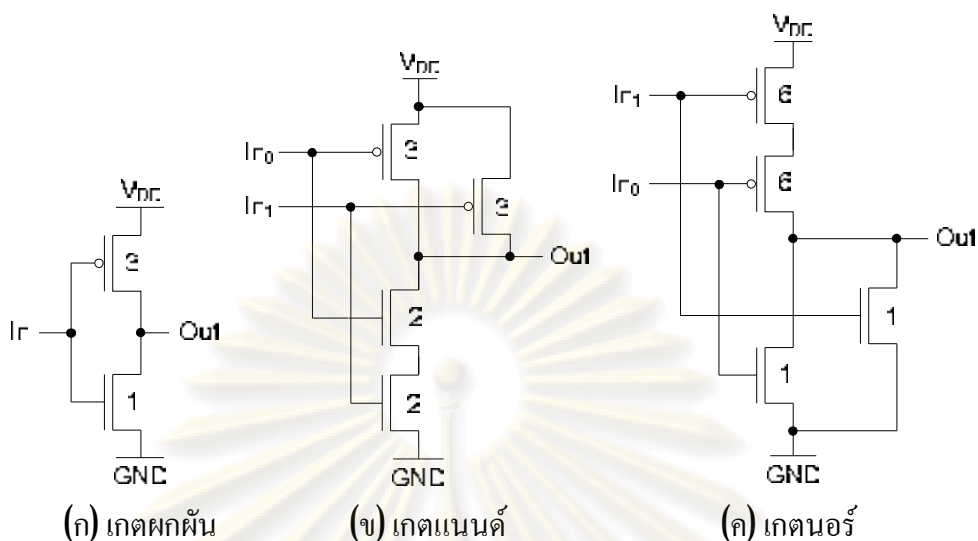
μ_n คือความสามารถในการเคลื่อนที่ (carrier mobility) ของอิเล็กตรอน (electron) ซึ่งทำหน้าที่เป็นพาหะในแชนแนลของทรานซิสเตอร์มอสชนิดเอ็น

μ_p คือความสามารถในการเคลื่อนที่ของโฮล (hole) ซึ่งทำหน้าที่เป็นพาหะในแชนแนลของทรานซิสเตอร์มอสชนิดพี

สำหรับเทคโนโลยีซีมอสขนาด $0.35\mu\text{m}$ ที่ใช้ในวิทยานิพนธ์นี้มีค่า $\mu_n = 403.5\text{cm}^2/\text{V.s}$ และมีค่า $\mu_p = 129.6\text{cm}^2/\text{V.s}$ จึงกำหนดใช้อัตราส่วน $\gamma = 3$ หมายความว่ามอสชนิดเอ็นทำงานเร็วกว่ามอสชนิดพี 3 เท่า

จากรูปที่ 216 แสดงตัวอย่างเกตและความกว้างทรานซิสเตอร์โดยกำหนดให้ $\gamma = 3$ ดังนั้นในกรณีของเกตผกผันในรูป 216(ก) จะมีความกว้างของทรานซิสเตอร์แบบดึงขึ้นเท่ากับ 3 และความกว้างแชนแนลของทรานซิสเตอร์แบบดึงลงเท่ากับ 1 ส่วนเกตแนนด์ (NAND) ในรูป 216(ข) มีการต่อทรานซิสเตอร์แบบดึงลงในลักษณะอนุกรม ทำให้ความนำไฟฟ้าลดลง 2 เท่า เพื่อคงความนำไฟฟ้าให้เท่ากับเกตผกผัน ทรานซิสเตอร์แต่ละตัวจึงต้องมีความกว้างของช่องเพิ่มขึ้น 2 เท่า ส่วนทรานซิสเตอร์แบบดึงขึ้นไม่จำเป็นต้องปรับขนาดเนื่องจากการต่อแบบขนาน สำหรับเกตเนอร์ (NOR) ในรูป 216(ค) ก็มีแนวคิดแบบเดียวกันกับเกตแนนด์

จากรูปที่ 216 จะพบว่าแนนด์มีความจุอินพุต, ความกว้างแชนแนลรวมของทรานซิสเตอร์ที่ขาอินพุตหนึ่งๆ, เท่ากับ 5 ขณะที่ความจุอินพุตของเกตผกผันเท่ากับ 4 ดังนั้นเกตแนนด์มีความพยายามเชิงตรรกะ $g_{\text{NAND}} = 5/4$ ในทำนองเดียวกัน เกตเนอร์มีความพยายามเชิงตรรกะ $g_{\text{NOR}} = 7/4$

รูปที่ 216 วงจรระดับทรานซิสเตอร์ของเกตแบบตรรกะฐานสอง ($\gamma=3$)

จากตารางที่ 23 พบว่าความพยายามเชิงตรรกะจะเพิ่มขึ้นตามความซับซ้อนของเกต ในขณะที่อุปกรณ์สหัสัญญาณ (multiplexer) จะมีความพยายามเชิงตรรกะคงที่ อย่างไรก็ตาม ยังมี ความหน่วงแฝงที่เพิ่มขึ้นตามจำนวนอินพุต (input) ซึ่งเพิ่มความหน่วงให้กับอุปกรณ์สหัสัญญาณ ด้วย

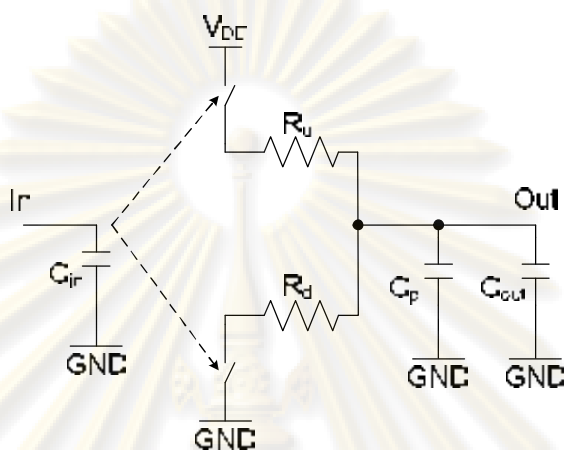
ตารางที่ 23 ความพยายามเชิงตรรกะของเกตแบบตรรกะฐานสอง ($\gamma=3$)

Gate	Number of inputs					
	1	2	3	4	5	n
Inverter	1					
NAND		$5/4$	$6/4$	$7/4$	$8/4$	$(n+3)/4$
NOR		$7/4$	$10/4$	$13/4$	$16/4$	$(3n+1)/4$
Multiplexer		2	2	2	2	2
XOR (parity)		4	12	32		

21.9 แบบจำลองความหน่วงของเกต (delay model of a logic gate)

รูปที่ 217 แสดงแบบจำลองของเกตตรรกะแบบสถิต (static logic gate), สัญญาณจะถูก โหลดด้วยความจุอินพุต C_m จากนั้น แรงดันอินพุตทำหน้าที่เป็นตัวเลือกกว่าเส้นทางใดจะนำไฟฟ้า โดยมีความต้านทานดึงขึ้น R_u (pull-up resistance) และความต้านทานดึงลง R_d (pull-down resistance) ต่ออยู่กับแต่ละเส้นทาง สำหรับที่เอาต์พุตถูกโหลดด้วย C_m คือความจุแฝงของเกตและ

C_{out} คือความจุอินพุตของเกตที่ต่ออยู่กับเอาต์พุตนั้น หรือเรียกอีกอย่างคือความจุโหลด (**load capacitance**) นอกจากนี้ C_{out} ยังรวมถึงความจุจากสายสัญญาณ (**wire capacitance**) ที่ต่ออยู่กับเอาต์พุตด้วย



รูปที่ 217 แบบจำลองทางไฟฟ้าของเกตตรรกะฐานสองแบบสถิต

เนื่องจากเราสนใจเรื่องของขนาดทรานซิสเตอร์ที่ทำให้เกตมีความหน่วงน้อยที่สุด จึงต้องมีวงจรต้นแบบ (**template circuit**) โดยมี C_t เป็นความจุอินพุต, R_t แทนทั้งความต้านทานดึงขึ้นและดึงลง, C_{pt} เป็นความจุแผ่นและใช้ α ตัวขยายวงจรต้นแบบให้มีขนาดทรานซิสเตอร์ตามต้องการ

$$C_{in} = \alpha C_t \quad (218)$$

$$\begin{aligned} R_t &= R_{ti} \\ &= R_{td} \\ &= R_t/\alpha \end{aligned} \quad (219)$$

$$C_{pi} = \alpha C_{pt} \quad (220)$$

จากนั้นหาความหน่วงสัมบูรณ์โดยใช้แบบจำลองความหน่วงแบบ RC (RC model)

$$d_{abs} = kR_t(C_{out} + C_{pi}) \quad (221)$$

$$\begin{aligned} &= k(R_t/\alpha)C_{in}(C_{out}/C_{in}) + k(R_t/\alpha)(\alpha C_{pt}) \\ &= (kR_tC)(C_{out}/C_{in}) + kR_tC_{pt} \end{aligned} \quad (222)$$

เมื่อ k คือค่าคงที่ของกระบวนการผลิต, จากนั้นนำสมการที่ 2.22 มาจัดเรียงใหม่จะได้

$$d_{abs} = t(g + p) \quad (223)$$

เมื่อ

$$t = kR_{inv}C_{inv} \quad (224)$$

$$g = (R_tC)/(R_{inv}C_{inv}) \quad (225)$$

$$h = C_{out}/C_{in} \quad (2.26)$$

$$p = R_{C_{pt}}/R_{inv} C_{inv} \quad (2.27)$$

จะพบว่ามีสมการที่ 2.26 คือความพยายามเชิงไฟฟ้าเท่านั้นที่แปรผันตามขนาดของทรานซิสเตอร์

2.1.10 การประมาณความหน่วงแฝง (parasitic delay estimation)

ความหน่วงแฝง กล่าวได้อีกความหมายหนึ่งคือความจุแฝงภายในทรานซิสเตอร์ โดยความจุหลักคือความจุจากบริเวณการแพร่ (diffused region) ของทรานซิสเตอร์ที่ต่ออยู่บริเวณเอาต์พุตของเกต ซึ่งแปรผันตามขนาดผังภูมิ (layout) และพารามิเตอร์จากกระบวนการผลิต (process parameters) สามารถประมาณได้เท่ากับ wC_d เมื่อ w คือความกว้างของทรานซิสเตอร์ในกรณีที่กำหนดให้ความยาวแขนแนลมีค่าเท่ากันทั้งหมดและ C_d เป็นค่าคงที่จากกระบวนการผลิต

เมื่อพิจารณาเกตผกผันฐานสองจากรูปที่ 2.16(ก), สัญญาณเอาต์พุตจะต่ออยู่กับความจุ 2 ส่วน โดยส่วนแรกเป็นความจุจากบริเวณการแพร่ของมอสชนิดเอ็นความกว้าง 1 หน่วย จึงมีความจุเท่ากับ C_d ส่วนที่สองเป็นความจุจากบริเวณการแพร่ของมอสชนิดพีความกว้าง γ หน่วย จึงมีความจุเท่ากับ γC_d สำหรับความจุอินพุตก็แปรผันตามขนาดผังภูมิเช่นเดียวกับความจุเอาต์พุต ต่างกันตรงค่าคงที่ซึ่งเป็นคุณสมบัติของความจุที่ขาเกต (gate capacitance) ของทรานซิสเตอร์ ดังนั้นเกตผกผันฐานสองจะมีความจุอินพุตเท่ากับ $(1+\gamma)C_g$ ความหน่วงแฝงของเกตผกผันฐานสองคืออัตราส่วนระหว่างความจุเอาต์พุตกับความจุอินพุตของเกตผกผันฐานสอง, ซึ่งก็คือ $p_{inv} = \frac{C_d}{C_g}$

ความหน่วงแฝงของเกตใดๆ สามารถประมาณได้จากพารามิเตอร์ของเกตผกผันฐานสอง โดยความหน่วงดังกล่าวจะมากกว่าเกตผกผันฐานสองเป็นอัตราส่วนระหว่างความกว้างรวมของบริเวณการแพร่กระจายที่ต่ออยู่กับสัญญาณเอาต์พุตกับความกว้างรวมของเกตผกผันฐานสอง

$$p = \left(\frac{\sum w_d}{1+\gamma} \right) p_{inv} \quad (2.28)$$

อย่างไรก็ตาม, การประมาณความหน่วงตามสมการที่ 2.28 ยังมีข้อจำกัดเพราะความหน่วงแฝงกับจำนวนอินพุตมีความสัมพันธ์กันแบบเส้นตรง (linear relationship) ทั้งที่ในความเป็นจริงความหน่วงแฝงของอนุกรมทรานซิสเตอร์เพิ่มขึ้นในลักษณะกำลังสอง (quadratic relationship) ตามจำนวนของทรานซิสเตอร์ในอนุกรม ซึ่งเป็นผลจากการแพร่ภายใน (internal diffusion) และ ความจุระหว่างขาเกตกับซอร์ส (gate-source capacitance)

21.11 การเลือกจำนวนสแตจในเส้นทาง (choosing the length of a path)

การเลือกจำนวนสแตจในเส้นทางที่ถูกต้อง จะช่วยให้วงจรทำงานได้เร็วขึ้น และวงจรจะทำงานได้เร็วที่สุดเมื่อทุกสแตจในเส้นทางมีความพยายามเชิงสแตจเท่ากัน ความพยายามเชิงสแตจที่ดีที่สุด (the best stage effort, ρ) เป็นฟังก์ชันของความหน่วงแฝงของเกตผลคูณฐานสองตามสมการที่ 2.29

$$p_{inv} + \rho(1 - \ln \rho) = 0 \quad (2.29)$$

เนื่องจากสมการนี้มีความซับซ้อนจึงสามารถใช้สมการ

$$\rho \approx 0.71p_{inv} + 2.82 \quad (2.30)$$

แทนได้ ส่วนจำนวนสแตจเหมาะสมที่สุดคำนวณได้จาก

$$N \approx \frac{\ln F}{\ln \rho} \quad (2.31)$$

เมื่อ F คือความพยายามเชิงสแตจของเส้นทางนั้น

22 งานวิจัยที่เกี่ยวข้อง

จากการค้นคว้างานวิจัยที่เกี่ยวข้องกับการออกแบบวงจรอสมวาร พบงานวิจัยที่เกี่ยวข้องดังนี้

Nagata และ **Mukaidono** [4] นำเสนอแนวคิดการสร้างวงจรตรรกะไตรภาคชนิดบีแทนวงจรรากู เพื่อลดจำนวนสายเชื่อมต่อภายใน (interconnection) ตัวอย่างเช่นรูปที่ 2.14 ซึ่งวงจรดังกล่าวช่วยลดการเชื่อมต่อภายในได้ประมาณ 2 เท่า

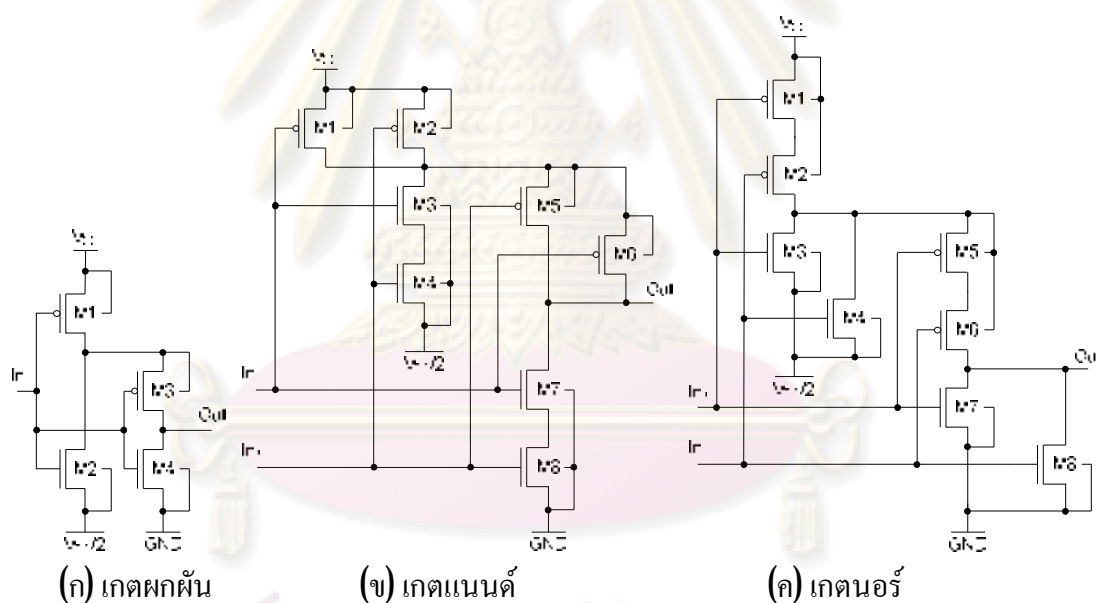
วงจรในรูปที่ 2.14 แสดงเกตผลคูณ, เกตแนนด์ และเกตนอร์ แบบตรรกะไตรภาคชนิดบีที่ถูกนำเสนอ โดยกำหนดให้ตรรกะ 1 แทนด้วยแรงดัน $4V$ (V_{DD}), ตรรกะ 1/2 แทนด้วยแรงดัน $2V$ ($V_{DD}/2$) และตรรกะ 0 แทนด้วยแรงดัน $0V$, จากรูปพบว่ามีทรานซิสเตอร์มอสชนิดเอ็นต่ออยู่ระหว่างเครือข่ายดึงขึ้น (pull-up network) ของตรรกะ 1/2 กับเอาต์พุตของวงจร ทรานซิสเตอร์นี้ทำหน้าที่ตัดเส้นทางของกระแสระหว่างแหล่งจ่ายแรงดัน $4V$ กับ $2V$, หรือเรียกว่ากระแสปรปักษ์ (adverse current), ซึ่งเส้นทางนี้จะเกิดขึ้นเมื่อมีสัญญาณอินพุตเป็นตรรกะ 0, เครือข่ายดึงขึ้นของตรรกะ 1 และเครือข่ายดึงขึ้นของตรรกะ 1/2 ทำงานพร้อมกัน

ถึงแม้ว่าวงจรมีรูปแบบไม่ซับซ้อน แต่วงจรจะทำงานได้ถูกต้องเมื่อทรานซิสเตอร์ $M1$ และ $M2$ มีค่าแรงดันขีดเริ่มเปลี่ยน (threshold voltage) มากกว่าแรงดัน $V_{DD}/2$ เพื่อให้อยู่ในสถานะไม่ทำงาน (OFF) เมื่อแรงดันอินพุตเป็น $V_{DD}/2$ ตรรกะ 1/2 ในขณะที่ $M3$ ก็จะต้องมีค่าแรงดันขีดเริ่มเปลี่ยนมากกว่า 0 เพื่อให้ตอบสนองต่อช่วงสัญญาณอินพุตของตรรกะ 1/2 ได้ ซึ่งลักษณะดังกล่าวเป็นอุปสรรคสำคัญของการออกแบบเกตตรรกะไตรภาคชนิดบีในระดับทรานซิสเตอร์เนื่องจาก

แรงดันขีดเริ่มเปลี่ยนของมอสชนิดพีมีค่าลบเสมอ ในงานนี้เสนอให้ออกแบบวงจรดังกล่าวโดยใช้เทคโนโลยีซิลิคอนบนฉนวน (**silicon on insulator, SOI**) ซึ่งช่วยให้ปรับแรงดันขีดเริ่มเปลี่ยนได้ง่าย นอกจากนี้ยังมีทรานซิสเตอร์กระแสประปรักษ์ประกอบอยู่ในวงจร จึงอาจเพิ่มความซับซ้อนในการวิเคราะห์แบบจำลองความหน่วง อย่างไรก็ตาม ในงานวิจัยนี้ไม่ได้กล่าวถึงความหน่วงของวงจรแต่อย่างใด

เมื่อพิจารณาจำนวนทรานซิสเตอร์พบว่าในการออกแบบนี้ต้องใช้ทรานซิสเตอร์เป็นจำนวน $3n+1$ เมื่อ n คือจำนวนอินพุต

Nagata และ Mukaidono [5] ได้นำแบบจำลองวงจรอสมมาตรแบบความเร็วอิสระ (**speed independent**) ประยุกต์กับความหน่วงสัมพันธภาพ (**relativity delay**) มาปรับปรุงวงจรตรรกะไตรภาคชนิดบีที่เขย่นำเสนอไป ทำให้วงจร **ack** และวงจรควบคุมมีขนาดลดลง ที่สำคัญ ยังได้ปรับปรุงโครงสร้างของเกตแบบตรรกะไตรภาคชนิดบีดังรูปที่ 218



รูปที่ 218 เกตแบบตรรกะไตรภาคชนิดบีที่ออกแบบโดย Nagata (2003)

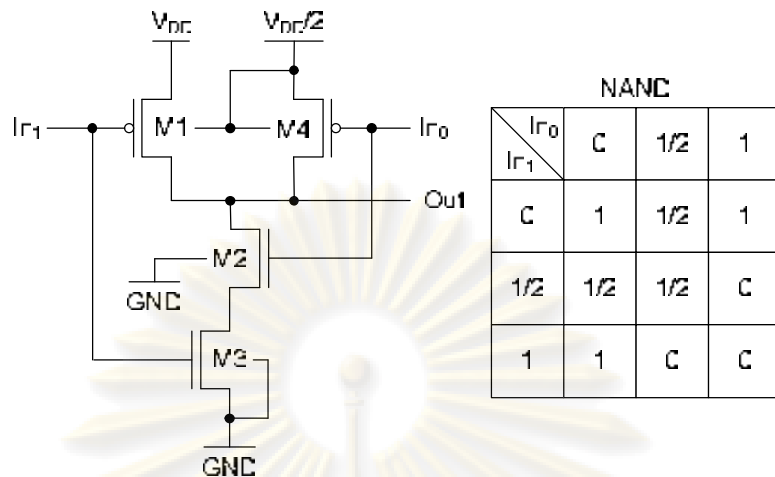
จากรูป, กำหนดให้ตรรกะ 1 แทนด้วยแรงดัน $4V$ (V_{DD}), ตรรกะ $1/2$ แทนด้วยแรงดัน $2V$ ($V_{DD}/2$) และตรรกะ 0 แทนด้วยแรงดัน $0V$, เมื่อพิจารณาจากเกตผกผันพบว่ารูปแบบการจัดเรียงทรานซิสเตอร์ในลักษณะดังกล่าวส่งผลให้เกิดมีการทำงานแยกเป็นสองชั้น โดยชั้นแรกจะเป็นการทำงานระหว่างเครือข่ายดึงขึ้นของตรรกะ 1 ($M1$) กับเครือข่ายดึงขึ้นของตรรกะ $1/2$ ($M2$) จากนั้นแรงดันที่ได้จะถูกส่งไปให้วงจรในชั้นที่สอง นั่นคือ ระหว่างเครือข่ายดึงขึ้น ($M3$) กับเครือข่ายดึงลงของตรรกะ 0 ($M4$) จำนวนทรานซิสเตอร์ที่ใช้คือ $4n$ เมื่อ n คือจำนวนอินพุต

เพื่อให้วงจรทำงานถูกต้องแล้ว **M1** และ **M4** จะต้องมีค่าแรงดันขั้วเริ่มเปลี่ยนมากพอที่จะทำให้ตัวเองไม่อยู่ในสถานะทำงานเมื่อความต่างศักย์อินพุตเป็น $V_{DD}/2$ ในขณะที่ **M2** และ **M3** ต้องมีค่าแรงดันขั้วเริ่มเปลี่ยนน้อยกว่า **OV** และมากกว่า **OV** ตามลำดับ จึงจะสามารถตอบสนองต่อช่วงสัญญาณอินพุตของตรรกะ $1/2$ ได้ ซึ่งกลับกันจากเดิมที่แรงดันขั้วเริ่มเปลี่ยนของมอสชนิดเอ็นและมอสชนิดพีมีค่ามากกว่า **OV** และน้อยกว่า **OV** ตามลำดับ นอกจากนี้ยังใช้ทรานซิสเตอร์มอสชนิดเอ็นมาใช้ในเครือข่ายดึงขึ้นของตรรกะ $1/2$ (**M2**) ซึ่งโดยคุณสมบัติแล้ว แรงดันที่ผ่านทรานซิสเตอร์มอสชนิดเอ็นจะถูกลดทอนอันเนื่องมาจากเงื่อนไขแรงดันตก (**voltage drop**) นอกจากนี้ วงจรดังกล่าวยังเพิ่มประจุไหลค้ำให้กับเกิดในสแตจก่อนหน้า เนื่องจากทรานซิสเตอร์ที่อยู่บริเวณอินพุตมีจำนวนมากขึ้น ส่งผลให้การทำงานช้าลง

อย่างไรก็ดี วงจรนี้มีข้อดีคือ โครงสร้างยังคงมีรูปแบบแน่นอน นอกจากนี้ ทรานซิสเตอร์ทุกตัวยังทำงานตามแรงดันที่ขาเกต (**gate terminal**) เช่นเดียวกับโครงสร้างของวงจรตรรกะฐานสอง จึงมีความเป็นไปได้มากกว่าวงจรในปี 1997 ที่จะนำแนวคิดเรื่องการวิเคราะห์ความหน่วงของวงจรตรรกะฐานสองมาประยุกต์ใช้

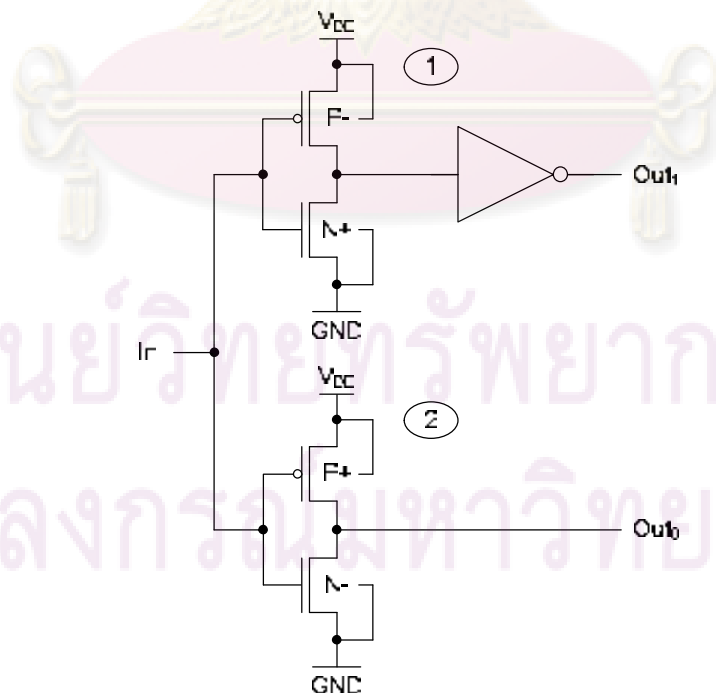
กวี วัฒนะวิรุณ [9] ได้นำระบบอสมวารแบบตรรกะไตรภาคชนิดบี [4] มาพัฒนาวงจรตอบรับ เพื่อป้องกันการเกิดฮาร์ดเนื่องจากความหน่วง ของวงจรเชิงผสมแบบตรรกะไตรภาคชนิดบี ภายใต้แบบจำลองความหน่วงแบบไม่ไวต่อความหน่วงชนิดเสมือน (**quasi-delay insensitive**) ได้ อย่างไรก็ตาม การพัฒนาวงจรถูกกล่าวถึงยังคงใช้ทรานซิสเตอร์มอสชนิดพีที่มีแรงดันขั้วเริ่มเปลี่ยนมากกว่า **OV** จึงยังคงมีอุปสรรคในการออกแบบเพื่อใช้งานจริงดังที่กล่าวไว้ก่อนหน้านี้

ถัดมาในปี 2006, Choi [10] นำเสนอการเข้ารหัสสัญญาณตรรกะไตรภาคแบบ **RT/NRT (Return to Ternary/Non Return to Ternary)** โดยสัญญาณในขั้นว่างจะกลับสู่ตรรกะ $1/2$ เมื่อตรรกะที่จะส่งถัดไปมีการเปลี่ยนแปลงจากตรรกะเดิม, เปลี่ยนจาก **1** เป็น **0** หรือ **0** เป็น **1**, เท่านั้น ทำให้สามารถลดการแกว่งของสัญญาณข้อมูล และลดการสูญเสียพลังงานในช่วงการเปลี่ยนสัญญาณตรรกะได้ นอกจากนี้ยังได้นำเสนอโครงสร้างเกตแบบตรรกะไตรภาคชนิดบีในระดับทรานซิสเตอร์ เช่นเกตแนนด์ ดังรูปที่ 219 แต่เมื่อวิเคราะห์การทำงานแล้วพบว่าวงจรถูกกล่าวถึงมีปัญหาเพราะจะเกิดกระแสรั่วไหลจากกราวด์ไปยัง $V_{DD}/2$ ผ่านบอดี้ของมอสชนิดพีทั้งสอง เมื่อสัญญาณ **D1** และ **D0** เป็นตรรกะ **1** ทั้งคู่ทำให้เกิดทำงานผิดพลาด



รูปที่ 219 เกตแนนด์แบบตรรกะไตรภาคที่ออกแบบโดย Choi (2006)

ในปีเดียวกัน, Philippe [11] นำเสนอการใช้ตรรกะไตรภาคในการส่งข้อมูลระหว่างระบบรางคู่ ทำให้สามารถลดจำนวนสาย และพื้นที่ได้ โดยวงจรที่ใช้ถอดรหัสสัญญาณแบบตรรกะไตรภาคเป็นตรรกะรางคู่ซึ่งมีการทำงานแบบสถิต เนื่องจากใช้ทรานซิสเตอร์ที่มีแรงดันขีดเริ่มเปลี่ยนแตกต่างกันดังรูปที่ 220 และแสดงแรงดันขีดเริ่มเปลี่ยนของทรานซิสเตอร์เทคโนโลยีซีมอสขนาด $0.13\mu\text{m}$ ในตารางที่ 24 งานนี้ยังได้เสนอทางเลือกในการออกแบบให้ใช้เกตที่มีลักษณะเบ้สูงหรือเบ้ต่ำแทน ในกรณีที่ทรานซิสเตอร์มีแรงดันขีดเริ่มเปลี่ยนค่าเดียว



รูปที่ 220 วงจรถอดรหัสสัญญาณตรรกะไตรภาค

ตารางที่ 24 แรงดันขีดเริ่มเปลี่ยนของทรานซิสเตอร์ในวงจรถอดรหัสสัญญาณแบบตรรกะไตรภาค

Transistor name	Vth(V)
P+	-0.78
N+	0.78
P-	-0.18
N-	0.18

ตารางที่ 25 ตารางค่าความจริงของวงจรถอดรหัสสัญญาณแบบตรรกะไตรภาค

In	Out ₁	Out ₀
0	0	1
1/2	0	0
1	1	0

ในงานวิจัยของ Sutherland และ Lexau [12] มีการนำแนวคิดความพยายามเชิงตรรกะมาใช้ ออกแบบวงจรถอดรหัสให้มีประสิทธิภาพและประหยัดเวลาในการออกแบบ โดยมีขั้นตอนดังนี้

- 1) กำหนดความหน่วงเอกรูป (uniform gate delays) ให้กับเกตและกำหนดค่าอัตราส่วนความกว้างของมอสชนิดพีกับ มอสชนิดเอ็นเพื่อให้มีช่วงสัญญาณขาขึ้น (rising transition) เท่ากับสัญญาณขาลง (falling transition)
- 2) ออกแบบวงจรถอบคุม
 - 2.1) กำหนดจำนวนเกตของทุกๆ วง (loop) ให้เท่ากันเพื่อให้แต่ละวงมีความเร็วเท่ากัน
 - 2.2) ใช้เกตที่มีความพยายามเชิงตรรกะน้อย
 - 2.3) แบ่งวงที่มีความซับซ้อนออกเป็นส่วนย่อยๆ เพื่อเพิ่ม เนื่องจากวงที่ซับซ้อนมากจะเป็นตัวกำหนดความเร็วสูงสุด
- 3) หาความยาวของสายจากฟังก์ชัน เพราะความจุเนื่องจากความยาวสายที่เกิดขึ้นในขั้นตอนการออกแบบฟังก์ชันมีผลกระทบต่อการทำงานของทรานซิสเตอร์
- 4) คำนวณความกว้างของทรานซิสเตอร์ โดยกำหนดให้ค่าความจุโหลดเป็นค่าคงที่เพื่อลดความซับซ้อนในการออกแบบ
- 5) นอกจากจะคำนวณด้วยมือแล้วยังสามารถใช้เครื่องมือคำนวณความกว้างของทรานซิสเตอร์ เช่น SPICE

จากผลการทดลองพบว่าในสเตจ (stage) ที่มีโหลด, ขนาดของทรานซิสเตอร์ของเกตในสเตจถัดไป (next stage), มากที่สุดจะต้องมีความกว้างของทรานซิสเตอร์มากที่สุดเช่นกัน นอกจากนี้

ในสแตจที่อยู่ก่อนหน้าก็จะมีขนาดทรานซิสเตอร์กว้างขึ้นด้วย เพื่อช่วยขับโหลดดังกล่าว (load on load)



ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 3

การออกแบบวงจรรรกะไตรภาค

วงจรรรกะไตรภาคชนิดบีในระดับทรานซิสเตอร์ของ Nagata ในปี 1997 และ 2003 มีข้อจำกัดที่สำคัญคือการใช้ทรานซิสเตอร์ที่มีลักษณะพิเศษ กล่าวคือการใช้มอสชนิดพีที่มีแรงดันขีดเริ่มเปลี่ยนเป็นค่าบวก และการใช้มอสชนิดเอ็นที่มีค่าลบซึ่งไม่สามารถทำให้ทรานซิสเตอร์มีลักษณะดังกล่าวได้ด้วยการไบแอสที่ขาบอดี เพราะจะเกิดกระแสรั่วไหลจากขาซอร์สผ่านไปขาบอดี

วิทยานิพนธ์นี้จึงนำเสนอการออกแบบวงจรรรกะไตรภาคชนิดซีที่สามารถประกอบได้จากทรานซิสเตอร์ในเทคโนโลยีซีมอส โดยไม่จำเป็นต้องใช้ทรานซิสเตอร์ที่มีลักษณะพิเศษที่กล่าวมาแต่อย่างใด

3.1 วงจรรรกะไตรภาคชนิดบีแบบใหม่ (a new design of B-ternary logic circuit)

เมื่อพิจารณาด้านเหตุปัญหของการออกแบบวงจรรรกะไตรภาคชนิดบีที่ผ่านมาพบว่า การใช้ทรานซิสเตอร์ที่มีลักษณะพิเศษดังกล่าว เพื่อให้วงจรรสามารถตอบสนองต่อสัญญาณตรรกะ $1/2$ ได้ ดังเช่นเกตผกผันแบบตรรกะไตรภาคชนิดบีในรูปที่ 214(ก), ทรานซิสเตอร์ M_3 จะไม่สามารถอยู่ในสถานะทำงานได้ เมื่อความต่างศักย์ที่ขาเกตมีค่า $2V$ หรือตรรกะ $1/2$ เพราะความต่างศักย์ตกคร่อมขาเกตและซอร์สมีค่าเป็น $0V$ ซึ่งน้อยกว่าแรงดันขีดเริ่มเปลี่ยนของ M_3 ขณะที่เกตผกผันแบบตรรกะไตรภาคชนิดบีในรูปที่ 218(ก) ก็ไม่สามารถทำงานได้ด้วยเหตุผลเดียวกัน

เพื่อให้เกตแบบตรรกะไตรภาคชนิดบีสามารถตอบสนองต่อตรรกะ $1/2$ ได้โดยไม่ต้องใช้ทรานซิสเตอร์ที่มีลักษณะพิเศษ จึงออกแบบเกตผกผันใหม่ได้ดังรูปที่ 31, ขาเกตของทรานซิสเตอร์ในเครือข่ายดึงขึ้นของตรรกะ $1/2$, M_3 ต่อกับความต่างศักย์ V_{GH} เพื่อให้ M_3 อยู่ในสถานะทำงานตลอดเวลา (always on) ในขณะที่บอดีของทรานซิสเตอร์ M_1 และ M_2 ถูกไบแอสด้วยความต่างศักย์ V_{BP} และ V_{BN} เพื่อเพิ่มแรงดันขีดเริ่มเปลี่ยนให้สูงขึ้นจนทรานซิสเตอร์ทั้งสองอยู่ในสถานะไม่ทำงานเมื่อมีสัญญาณตรรกะ $1/2$ เข้ามาที่ขาเกต และเหลือเฉพาะ M_3 เท่านั้นที่ยังคงทำงานอยู่ จึงสามารถส่งสัญญาณตรรกะ $1/2$ ออกไปได้ ดังนั้นในการออกแบบนี้จะเกิดกระแสรั่วไหลระหว่างแหล่งจ่ายกับกราวด์เมื่อสัญญาณอินพุตเป็นสัญญาณข้อมูล, ตรรกะ 1 หรือ 0 สังเกตว่าบอดีของ M_3 ต้องต่ออยู่กับความต่างศักย์ V_{DD} เพื่อป้องกันไม่ให้เกิดกระแสรั่วไหลเข้ามาทางขาเดรนในขณะที่ M_1 ทำงาน, สัญญาณอินพุตเป็นตรรกะ 0

ซับซ้อนในการคำนวณ จึงกำหนดให้ V_{GH} มีค่า $0V$, ที่ $M3$ มีการไบแอสบอดีด้วยความต่างศักย์ V_{DD} ทำให้แรงดันขั้วเริ่มเปลี่ยนของ $M3$ เพิ่มขึ้น จึงต้องกำหนดให้ความต่างศักย์แทนสัญญาณตรรกะ $1/2$ เกินแรงดันขั้วเริ่มเปลี่ยนของทั้ง $M1$ และ $M2$ ดังนั้นทรานซิสเตอร์ทั้งสาม ($M1$, $M2$ และ $M3$) จะทำงานพร้อมกันเป็นผลให้วงจรทำงานผิดพลาด จึงต้องปรับแรงดันขั้วเริ่มเปลี่ยนของ $M1$ และ $M2$ ด้วยความต่างศักย์ V_{BP} และ V_{BN} ตามลำดับ

ผลจากการการออกแบบดังกล่าว ถึงแม้จะช่วยลดปัญหาการทนต่อสัญญาณรบกวนและการนำกระแสในสถานะไม่ทำงานได้ แต่ความจริงนี้ก็มีกรออกแบบที่ไม่เป็นอิสระจากกระบวนการผลิต เพราะการใช้ระดับความต่างศักย์แทนตรรกะใดๆ และการไบแอสที่บอดีของ $M1$ และ $M2$ ต่างก็แปรผันตามแรงดันขั้วเริ่มเปลี่ยนของทรานซิสเตอร์ในสถานะปกติ ซึ่งแต่ละกระบวนการผลิตก็มีแรงดันขั้วเริ่มเปลี่ยนที่แตกต่างกัน ทำให้การออกแบบนี้ไม่เป็นรูปแบบสามัญ (generic form) วิทยานิพนธ์นี้จึงนำเสนอตรรกะไตรภาคชนิดใหม่ เรียกว่าตรรกะไตรภาคชนิดซี ซึ่งช่วยให้การออกแบบวงจรในระดับทรานซิสเตอร์เป็นอิสระจากกระบวนการผลิตมากกว่า และยังคงไม่จำเป็นต้องใช้ทรานซิสเตอร์ที่มีลักษณะพิเศษ

3.2 ตรรกะไตรภาคชนิดซี (C-ternary logic)

ตรรกะไตรภาคชนิดซียังคงเป็นตรรกะที่มีตัวดำเนินการและตัวแปรที่กระทำอยู่บนเซต V_3 เมื่อ $V_3 = \{0, 1/2, 1\}$ โดยที่ $0 \leq 1/2 \leq 1$ เช่นเดียวกับตรรกะไตรภาคชนิดบี แต่ต่างกันที่การกระทำเชิงตรรกะเมื่ออินพุตคือตรรกะ $1/2$ จะได้ผลลัพธ์เป็นตรรกะ $1/2$ เสมอ ส่วนการกระทำเชิงตรรกะเมื่อสัญญาณอินพุตไม่ใช่ตรรกะ $1/2$ ยังคงใช้ในลักษณะเดียวกับตรรกะฐานสอง ดังแสดงในตารางที่ 3.1 การทำงานของวงจรยังคงใช้ลักษณะสลับกันระหว่างสัญญาณข้อมูลและสัญญาณแบ่งรอบการทำงานดังรูปที่ 2.13 และใช้สายสัญญาณ n เส้นแทนการส่งข้อมูล n บิตเช่นเดียวกับวงจรตรรกะไตรภาคชนิดบี

ตารางที่ 3.1 ตารางค่าความจริงของตัวดำเนินการบนตรรกะไตรภาคชนิดซี

(ก) Inverter (~)

a	0	1/2	1
x	1	1/2	0

(ข) AND (·)

a \ b	0	1/2	1
0	0	1/2	0
1/2	1/2	1/2	1/2
1	0	1/2	1

(ค) OR (+)

a \ b	0	1/2	1
0	0	1/2	1
1/2	1/2	1/2	1/2
1	1	1/2	1

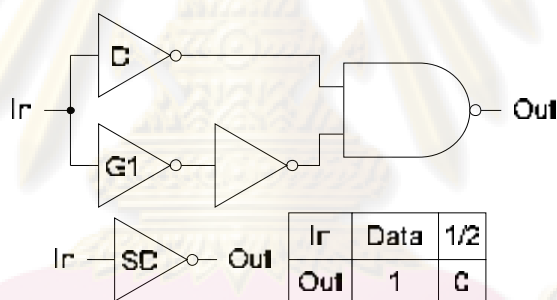
ผลจากการดำเนินการดังกล่าว การออกแบบวงจรเชิงผสมแบบตรรกะไตรภาคชนิดซีจึงสามารถใช้ขึ้นตอนเดียวกันกับการออกแบบวงจรตรรกะฐานสอง จากนั้นแทนเกตตรรกะฐานสองด้วยเกตตรรกะไตรภาคชนิดซีในวงจรสุดท้าย

3.3 วงจรตรรกะไตรภาคชนิดซี (C-ternary logic circuit)

เนื่องจากไม่มีการปรับแต่งคุณสมบัติของทรานซิสเตอร์ที่ใช้ในวงจรตรรกะไตรภาคชนิดซี การทำงานจึงต้องอาศัยการถอดรหัสและเข้ารหัสสัญญาณ โดยมีส่วนประกอบต่างๆ ดังนี้

3.3.1 วงจรตรวจจับสัญญาณแบ่งรอบการทำงาน (spacer detector, SD)

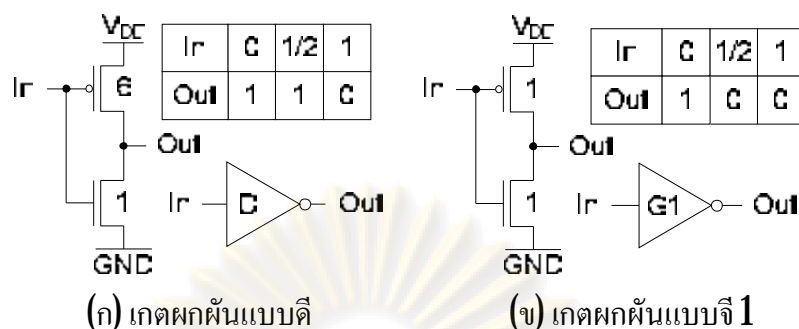
วงจรตรวจจับสัญญาณแบ่งรอบการทำงานทำหน้าที่ถอดรหัสสัญญาณ โดยตรวจสอบว่าสัญญาณอินพุตเป็นตรรกะ $1/2$ (สัญญาณแบ่งรอบการทำงาน) หรือไม่ โดยจะให้ผลลัพธ์เป็น 1 เมื่อสัญญาณอินพุตคือสัญญาณข้อมูล และให้ผลลัพธ์เป็น 0 เมื่อสัญญาณอินพุตเป็นสัญญาณแบ่งรอบการทำงาน วงจรดังกล่าวแสดงในรูปที่ 3.2



รูปที่ 3.2 วงจรตรวจจับสัญญาณแบ่งรอบการทำงาน

ในวงจรประกอบด้วยเกตผกผันแบบดี (D-inverter), เกตผกผันแบบจี 1 (G1-inverter) เกตผกผัน และเกตแนนด์แบบตรรกะฐานสอง เกตผกผันแบบดีคือเกตผกผันที่มีลักษณะเบ้สูง (hi-skew) และเกตผกผันแบบจี 1 คือเกตผกผันที่มีลักษณะเบ้ต่ำ (low-skew) เกตผกผันดังกล่าวสามารถออกแบบได้โดยการปรับความกว้างของทรานซิสเตอร์ให้เหมาะสมดังรูปที่ 3.3

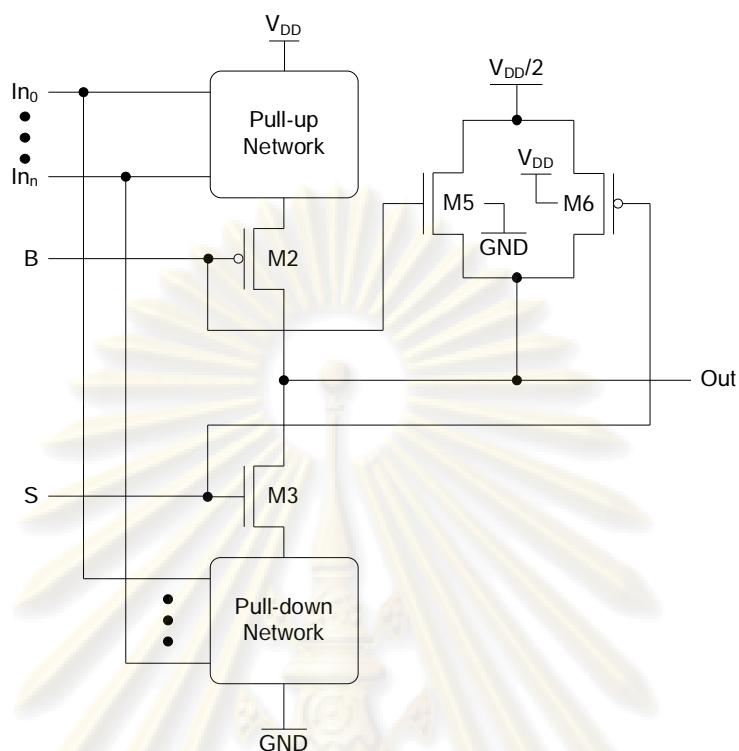
จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 3.3 เกตผกผันแบบดีและเกตผกผันแบบจี 1 ในระดับทรานซิสเตอร์

3.3.2 เกตแบบตรรกะไตรภาคชนิดซี (C-ternary logic gate)

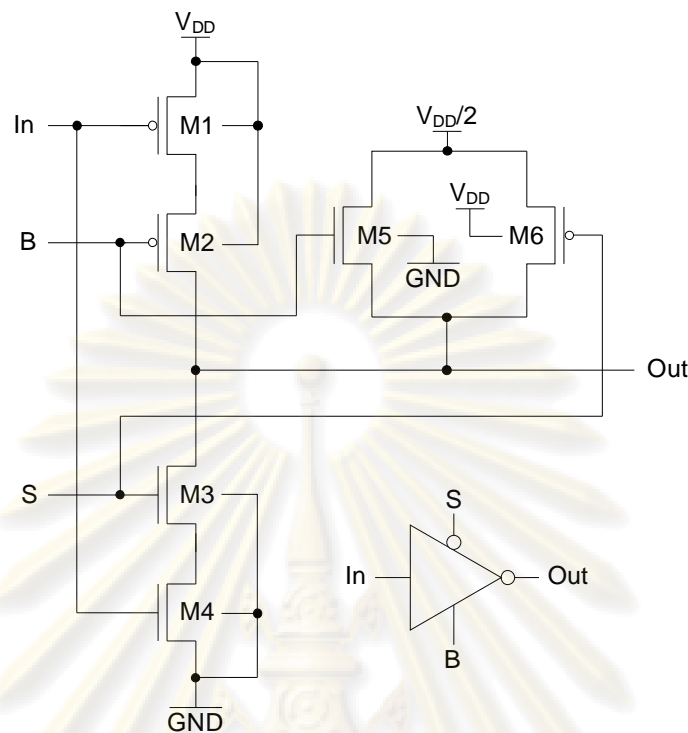
การออกแบบเกตแบบตรรกะไตรภาคชนิดซีใช้หลักการเดียวกับการออกแบบเกตสามสถานะ (tri-state) ในตรรกะฐานสอง รูปที่ 3.4 แสดงโครงสร้างทั่วไปของเกตแบบตรรกะไตรภาคชนิดซีในระดับทรานซิสเตอร์ที่มี n อินพุต สัญญาณอินพุต, In , ถูกป้อนสู่เครือข่ายดึงขึ้นและเครือข่ายดึงลง ซึ่งโครงสร้างการจัดวางทรานซิสเตอร์ในเครือข่ายทั้งสองมีลักษณะเดียวกับเกตแบบตรรกะฐานสอง เกตแบบตรรกะไตรภาคชนิดซียังรับสัญญาณ S และส่วนกลับ (complement) B จากวงจรตรวจจับสัญญาณแบ่งรอบการทำงานเพื่อควบคุมการปล่อยเอาต์พุตของวงจรผ่านทรานซิสเตอร์ $M2, M3, M5$ และ $M6$ สังเกตว่าสัญญาณ S และ B ทำหน้าที่เสมือนสัญญาณควบคุมการเปิด-ปิดการทำงานของเกตแบบสามสถานะ สำหรับบอดี้อของ $M5$ และ $M6$ ต่ออยู่กับกราวด์และ V_{DD} ตามลำดับ แทนที่จะต่ออยู่กับขาซอร์สโดยทั่วไป เนื่องจากเดรน, หรือซอร์ส, กับบอดี้อของมอสทรานซิสเตอร์มีลักษณะเป็นรอยต่อพีเอ็น (pn-junction) หรือกล่าวได้ว่ามีลักษณะเป็นไดโอด ซึ่งการเชื่อมบอดี้อเข้ากับ $V_{DD}/2$ นั้นจะทำให้เกิดกระแสไหลระหว่างแหล่งจ่าย V_{DD} หรือกราวด์กับแหล่งจ่าย $V_{DD}/2$ ผ่านทางบอดี้อของ $M5$ หรือ $M6$ ได้ เมื่อเอาต์พุตของวงจร, ความต่างศักย์ที่เดรนของ $M5$ และ $M6$, เชื่อมกับแหล่งจ่าย V_{DD} หรือกราวด์ แต่การไบอัสบอดี้อของ $M5$ และ $M6$ ตามรูปที่ 3.4 จะทำให้แรงดันขีดเริ่มเปลี่ยนของทรานซิสเตอร์ดังกล่าวเพิ่มขึ้นและยับยั้งกระแสได้น้อยลง โดยแรงดันขีดเริ่มเปลี่ยนของ $M5$ จะเพิ่มขึ้นเมื่อเอาต์พุตของวงจรมีค่า $4V$, ตรรกะ 1, และแรงดันขีดเริ่มเปลี่ยนของ $M6$ เพิ่มขึ้นเมื่อเอาต์พุตของวงจรมีค่า $0V$, ตรรกะ 0, จะพบว่าแรงดันขีดเริ่มเปลี่ยนของทรานซิสเตอร์ทั้งสองเพิ่มขึ้นในเงื่อนไขที่แตกต่างกัน จึงนำทรานซิสเตอร์ทั้งสองมาต่อขนานกันเพื่อชดเชยความสามารถในการยับยั้งกระแสที่ลดลง



รูปที่ 34 โครงสร้างเกตแบบทรานซิสเตอร์ภาคชนิดซีในระดับทรานซิสเตอร์

รูปที่ 35 แสดงตัวอย่างเกตผกผันแบบทรานซิสเตอร์ภาคชนิดซี, เมื่อมีสัญญาณข้อมูลเข้ามาที่อินพุต, In , จะกระตุ้นให้ทรานซิสเตอร์ $M1$ และ $M4$ เปิดการทำงาน (ON) ในขณะที่สัญญาณ S และ B จากวงจรตรวจจับสัญญาณแบ่งรอบการทำงานจะกระตุ้นให้ $M2$ และ $M3$ เปิดการทำงานเช่นกัน จึงเกิดเส้นทางจากแหล่งจ่าย, V_{DD} หรือกราวด์, ออกไปที่เอาต์พุต ในสถานะนี้ $M5$ และ $M6$ จะปิดการทำงาน (OFF) ในทางกลับกัน, เมื่อสัญญาณอินพุตเป็นตรรกะ $1/2$ สัญญาณจากวงจรตรวจจับสัญญาณแบ่งรอบการทำงานจะสั่งการให้ $M2$ และ $M3$ ปิดการทำงานและเปิดการทำงานของ $M5$ และ $M6$ เพื่อขับเอาต์พุตให้มีความต่างศักย์ $V_{DD}/2$ สังเกตว่าทรานซิสเตอร์ $M1$ และ $M4$ ยังคงทำงานเมื่อมีสัญญาณอินพุตเป็นตรรกะ $1/2$ เพราะความต่างศักย์ระหว่างขาเกตกับซอร์ส (V_{GS}) มีค่าเกินแรงดันขีดเริ่มเปลี่ยนของทั้ง $M1$ และ $M4$ จึงต้องมี $M2$ และ $M3$ กันเพื่อป้องกันกระแสไหลจากแหล่งจ่าย V_{DD} ไปยัง $V_{DD}/2$ หรือ $V_{DD}/2$ ไปยังกราวด์ในกรณีนี้

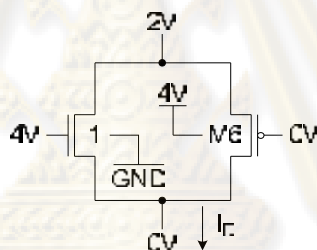
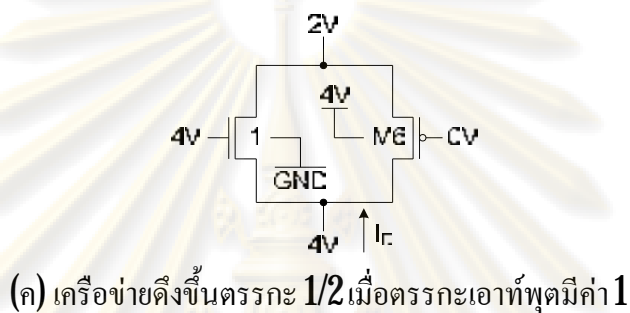
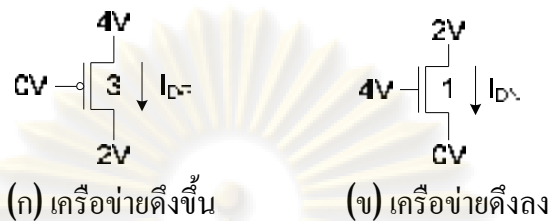
จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 3.5 เกตผลกผันแบบตรรกะไตรภาคชนิดซี

สำหรับขนาดทรานซิสเตอร์ของเกตแบบตรรกะไตรภาคชนิดซีนั้น เพื่อให้เกิดมีความหน่วงขาขึ้นและความหน่วงขาลงใกล้เคียงกันจึงคงใช้อัตราส่วน $g=3$ ในเครือข่ายดึงขึ้นของตรรกะ 1 และเครือข่ายดึงลง ส่วนทรานซิสเตอร์ในเครือข่ายดึงขึ้นของตรรกะ $1/2$ สามารถวิเคราะห์ได้จาก การจำลองการขับกระแสเทียบกับความกว้างของทรานซิสเตอร์ เมื่อกำหนดให้ความกว้างของ ทรานซิสเตอร์ M5 มีขนาด 1 mm ความกว้างของทรานซิสเตอร์ M6 ต้องมากพอที่จะขับกระแสใน เครือข่ายดึงขึ้นของตรรกะ $1/2$ ให้ใกล้เคียงกับอีกสองเครือข่ายที่เหลือ สามารถสร้างวงจรทดสอบ ได้สี่วงจรดังรูปที่ 3.6 โดยรูปที่ 3.6(ก) และ 3.6(ข) เป็นวงจรแทนการทำงานเมื่อเครือข่ายดึงขึ้นของ ตรรกะ 1 และเครือข่ายดึงลงทำงาน ตามลำดับ โดยกระแสในวงจรรูปที่ 3.6(ก) มีค่า 684.56 mA และกระแสในวงจรรูปที่ 3.6(ข) มีค่า 591.07 mA ส่วนวงจรในรูปที่ 3.6(ค) และ 3.6(ง) เป็นวงจร แทนการทำงานเมื่อเครือข่ายดึงขึ้นของตรรกะ $1/2$ ทำงานและมีสถานะเริ่มต้นตรรกะที่เอาท์พุตเป็น 1 และ 0 ตามลำดับ ในการทดลองเพิ่มความกว้างแกนแนลของ M6 จาก 1 mm ถึง 10 mm ในขณะที่ ความยาวของแกนแนลคงที่ เท่ากับ 0.35 mm ได้ผลการจำลองดังตารางที่ 3.2 จากตารางพบว่าเมื่อ ความกว้างของ M6 W_p มีค่า 2 mm แล้ววงจรในรูปที่ 3.6(ค) และ 3.6(ง) ต่างก็ขับกระแสได้ ใกล้เคียงวงจรในรูปที่ 3.6(ก) และ 3.6(ข) มากที่สุด จึงเลือกใช้ความกว้างแกนแนลของมอดูลชนิดพี ในเครือข่ายดึงขึ้นของตรรกะ $1/2$ ในที่นี้คือ M6 เท่ากับ 2 mm ในการออกแบบทั้งหมดดังตัวอย่าง เกตผลกผันแบบตรรกะไตรภาคชนิดซีในรูปที่ 3.5 สามารถนำมากำหนดความกว้างของ

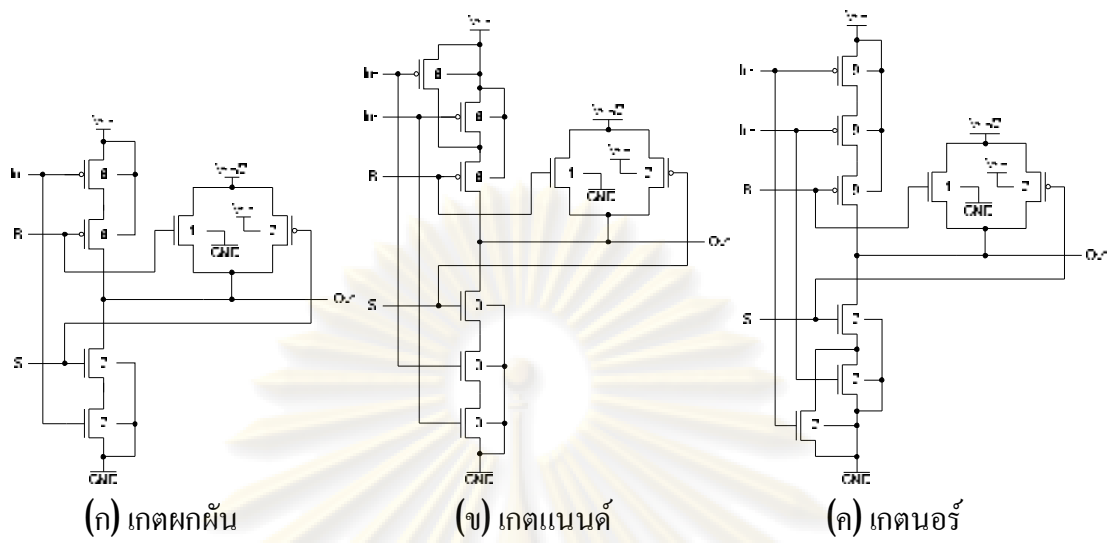
ทรานซิสเตอร์ได้ดังรูปที่ 37(ก) และประยุกต์ใช้กับเกตแนนด์, นอร์ และเกตแนนด์-ออร์-อินเวิร์ต ซึ่งเป็นเกตเชิงผสมแบบตรรกะไตรภาคชนิดซี ได้ดังรูปที่ 37(ข), 37(ค) และ 38 ตามลำดับ



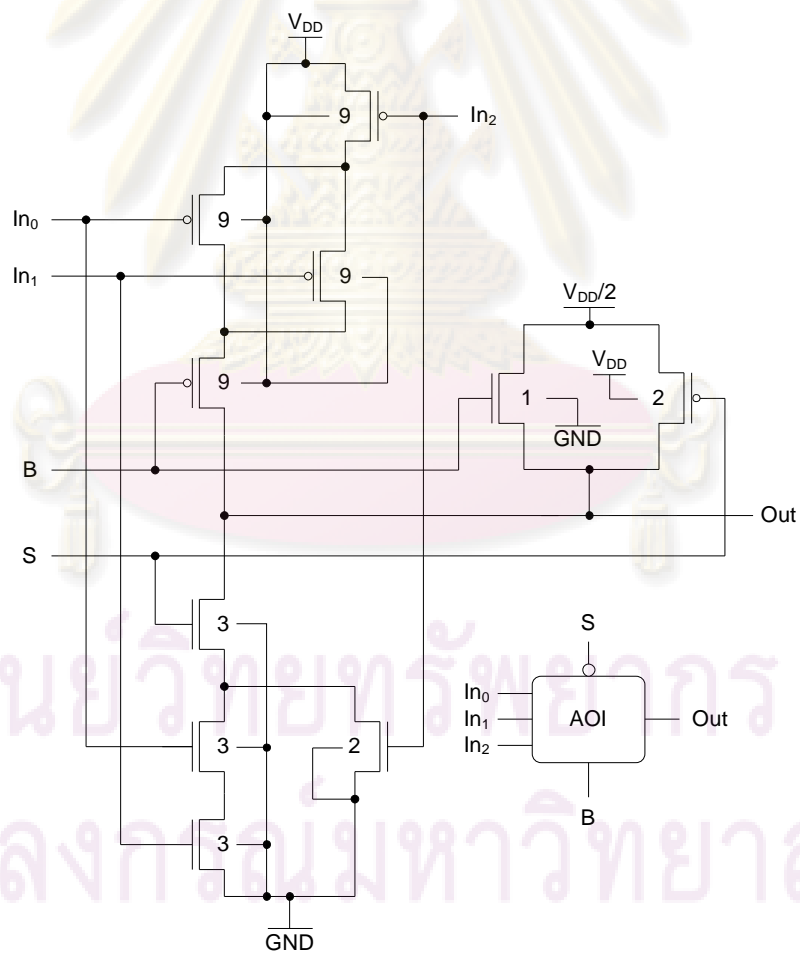
รูปที่ 36 วงจรแทนการทำงานของเกตแบบตรรกะไตรภาคชนิดซีที่สถานะต่างๆ

ตารางที่ 32 ผลการจำลองกระแสของวงจรจำลองเครื่องข่ายดึงขึ้นของตรรกะ 1/2

W_p (mm), $L_p = 0.35$ mm	I_{D-High} (mA)	I_{D-Low} (mA)
1	344.86	632.06
2	581.85	681.18
3	818.83	730.42
4	1055.79	779.69
5	1292.77	828.97
6	1529.77	878.26
7	1766.67	927.55
8	2003.67	976.84

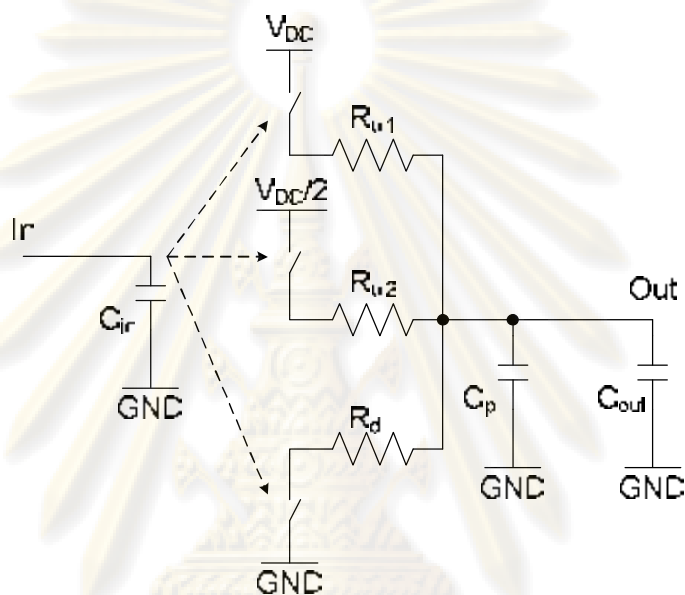


รูปที่ 37 เกิดแบบตรรกะไดรภาคชนิดซี



รูปที่ 38 เกิดแอนด์-ออร์-อินเวิร์ตแบบตรรกะไดรภาคชนิดซี

เนื่องจากเกตแบบตรรกะไตรภาคชนิดซีมีลักษณะการทำงานแบบสถิต, แต่ละเครือข่ายจะไม่ทำงานพร้อมกันเช่นเดียวกับเกตฐานสองแบบสถิต จึงสามารถนำแบบจำลองทางไฟฟ้าของเกตแบบสถิตในรูปที่ 217 ประยุกต์เป็นแบบจำลองทางไฟฟ้าของเกตแบบตรรกะไตรภาคชนิดซีได้ดังรูปที่ 39 โดยตัวต้านทาน R_{u1} แทนเครือข่ายดึงขึ้นของตรรกะ 1, R_{u2} แทนตรรกะดึงขึ้นของตรรกะ 1/2 และ R_d แทนเครือข่ายดึงลง



รูปที่ 39 แบบจำลองทางไฟฟ้าของเกตแบบตรรกะไตรภาคชนิดซี

3.3.3 วงจรเชิงผสมแบบตรรกะไตรภาคชนิดซี (C-ternary logic combinational circuit)

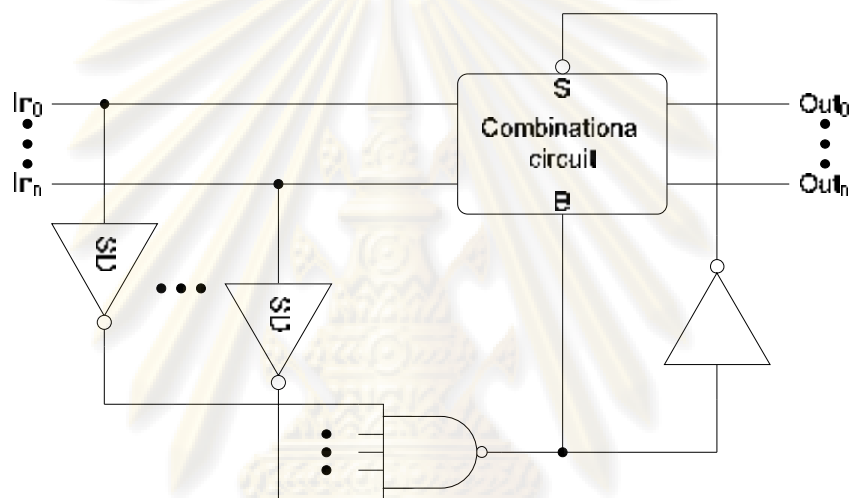
วงจรเชิงผสมแบบตรรกะไตรภาคชนิดซีประกอบไปด้วยเกตแบบตรรกะไตรภาคชนิดซีที่ต่อกันเพื่อแสดงฟังก์ชันเชิงตรรกะ (logic function) ใดๆ รวมไปถึงส่วนของวงจรตรวจจับสัญญาณแบ่งรอบการทำงานตามรูปที่ 310

จากตารางที่ 31 พบว่าตรรกะ 1/2 ไม่มีความหมายในเชิงข้อมูล การออกแบบวงจรเชิงผสมแบบตรรกะไตรภาคชนิดซีจึงออกแบบได้โดยใช้ขั้นตอนเดียวกับการออกแบบวงจรตรรกะฐานสอง กล่าวคือให้ผู้ออกแบบสร้างวงจรเชิงผสมแบบตรรกะฐานสองจนเสร็จสมบูรณ์ จากนั้นแทนที่เกตแบบตรรกะฐานสองด้วยเกตแบบตรรกะไตรภาคชนิดซี

ในส่วนของวงจรตรวจจับสัญญาณแบ่งรอบการทำงานสร้างโดยเชื่อมสัญญาณอินพุตของวงจรเชิงผสมแต่ละเส้นเข้ามาที่วงจรตรวจจับสัญญาณแบ่งรอบการทำงาน จากนั้นรวมสัญญาณที่แต่ละเอาต์พุตของวงจรตรวจจับสัญญาณแบ่งรอบการทำงานด้วยเกตแนนด์และส่งไปควบคุมทุกๆ เกต

ที่ประกอบอยู่ในวงจรเชิงผสมดังกล่าว ในวิทยานิพนธ์นี้กำหนดให้ใช้สัญลักษณ์ฟองน้ำ (bubble) เพื่อแสดงขา S ของเกตแบบตรรกะไตรภาคชนิดซี

พิจารณารูปที่ 3.10, ถ้าสัญญาณอินพุตทั้งหมดเป็นสัญญาณข้อมูล สัญญาณจากวงจรตรวจจับสัญญาณแบ่งรอบการทำงานจะควบคุมให้ส่งสัญญาณจากเครือข่ายดึงขึ้นหรือดึงลงออกไปที่เอาต์พุต ในทางกลับกัน ถ้าสัญญาณใดสัญญาณหนึ่งเป็นสัญญาณแบ่งรอบการทำงาน สัญญาณจากเครือข่ายดึงขึ้นและดึงลงจะถูกตัดออกจากเอาต์พุต และทรานซิสเตอร์ที่มีหน้าที่ส่งผ่านแรงดัน $V_{DD}/2$ จะทำงาน ส่งผลให้มีสัญญาณตรรกะ 1/2 ออกไปที่เอาต์พุตทันที

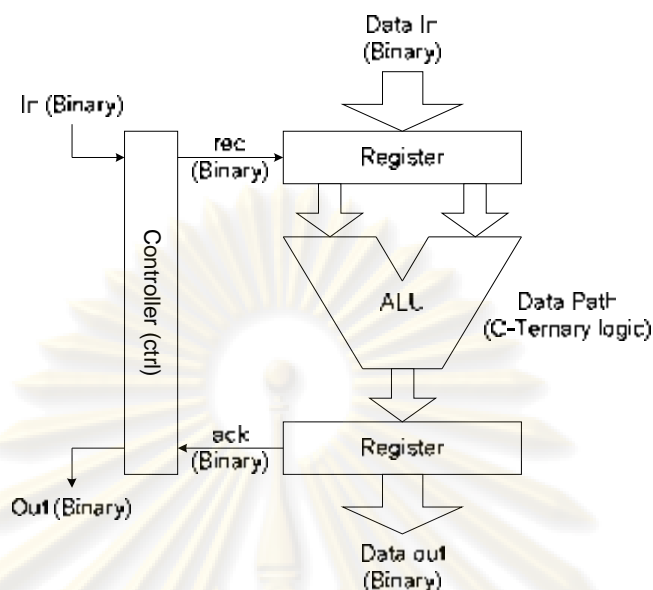


รูปที่ 3.10 โครงสร้างทั่วไปของวงจรเชิงผสมแบบตรรกะไตรภาคชนิดซีที่มี n อินพุต

3.4 การออกแบบระบบดิจิทัลแบบอสมวารด้วยตรรกะไตรภาคชนิดซี

วงจรตรรกะไตรภาคชนิดซีที่กล่าวมาข้างต้น สามารถนำมาออกแบบระบบดิจิทัลแบบอสมวารได้ โดยระบบดังกล่าวยังคงใช้ลักษณะการส่งข้อมูลแบบสลับกันระหว่างสัญญาณข้อมูลและสัญญาณแบ่งรอบการทำงานเช่นเดียวกับวงจรตรรกะไตรภาคชนิดบี ระบบนี้ประกอบด้วยเรจิสเตอร์ (register) และหน่วยคำนวณและตรรกะ (arithmetic-logic unit) ประกอบกันเป็นวิถีข้อมูล (data-path) แบบตรรกะไตรภาคชนิดซีและหน่วยควบคุม (controller unit) ซึ่งมีการทำงานและการสื่อสารกับวิถีข้อมูลด้วยตรรกะฐานสองดังรูปที่ 3.11

จุฬาลงกรณ์มหาวิทยาลัย



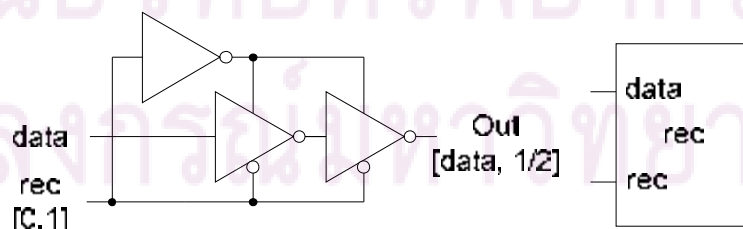
รูปที่ 311 โครงสร้างของระบบดิจิทัลแบบอสมวาร

341 เรจิสเตอร์แบบตรรกะไตรภาคชนิดซี (C-ternary logic register)

เรจิสเตอร์ทำหน้าที่เก็บและส่งผ่านข้อมูลไปยังหน่วยคำนวณและตรรกะ ภายในเรจิสเตอร์ประกอบด้วย 3 วงจรคือวงจรร้องขอ (request circuit), ส่วนความจำ (memory element) และวงจรตอบรับ (acknowledge circuit)

341.1 วงจรร้องขอ (request circuit)

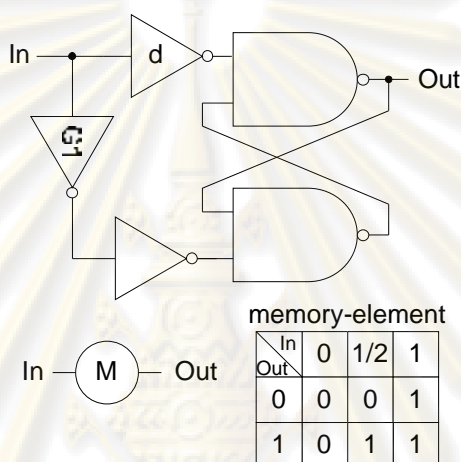
วงจรร้องขอทำหน้าที่ควบคุมเรจิสเตอร์ให้ปล่อยสัญญาณข้อมูลหรือสัญญาณแบ่งรอบการทำงานเข้าไปในหน่วยคำนวณและตรรกะ วงจรดังกล่าวแสดงในรูปที่ 312 หน่วยควบคุมจะส่งสัญญาณร้องขอแบบตรรกะฐานสองเข้ามาที่ขา **req** เมื่อสัญญาณร้องขอมีค่า 1 สัญญาณข้อมูลซึ่งเข้ามาที่ขา **data** จะถูกส่งผ่านไปยังเอาต์พุต ในขณะที่เมื่อสัญญาณร้องขอมีค่า 0 วงจรจะส่งสัญญาณ 1/2 ออกไปแทน



รูปที่ 312 วงจรร้องขอ

341.2 ส่วนความจำ (memory element)

ส่วนความจำทำหน้าที่เก็บข้อมูลอยู่ในเรจิสเตอร์ ส่วนความจำนี้รับข้อมูลแบบตรรกะไตรภาคชนิดซีและมีเอาต์พุตแบบตรรกะฐานสอง (**ternary-in/binary-out**) วงจรของส่วนความจำประกอบด้วยเกตผกผันแบบดี, เกตผกผันแบบจี 1, เกตผกผันแบบตรรกะฐานสอง และ RS แลตซ์ดังรูปที่ 313 จากรูป, เมื่อมีสัญญาณอินพุตเป็นข้อมูลใดๆ วงจรจะส่งผ่านข้อมูลนั้นออกมา แต่เมื่อมีสัญญาณอินพุตเป็นสัญญาณแบ่งรอบการทำงานวงจรจะคงค่าเอาต์พุตเดิมไว้

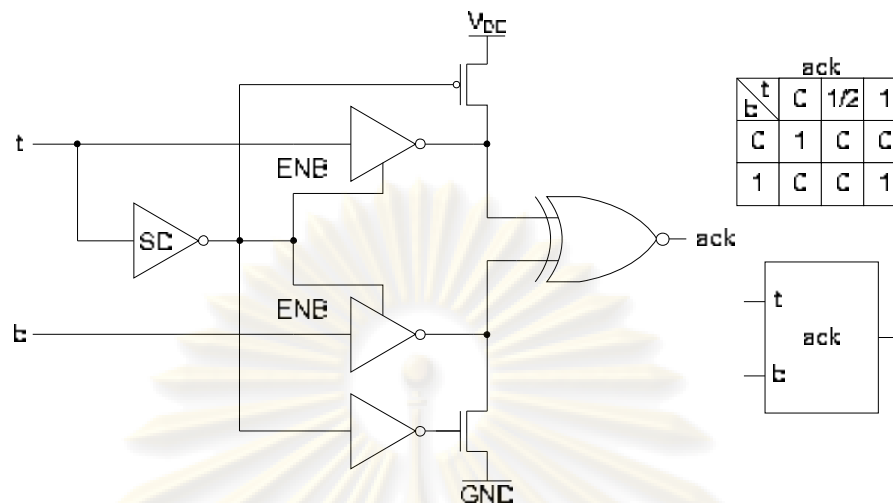


รูปที่ 313 ส่วนความจำ

341.3 วงจรตอบรับ (ack circuit)

วงจรตอบรับมีหน้าที่ตรวจสอบว่าข้อมูลภายในส่วนความจำมีความเสถียรหรือไม่ โดยข้อมูลจะเสถียรเมื่ออินพุตและเอาต์พุตของส่วนความจำเป็นสัญญาณเดียวกัน รูปที่ 314 แสดงวงจรตอบรับ กำหนดให้เกตผกผันที่มีสัญญาณ **ENB** คือเกตผกผันฐานสองแบบสามสถานะ (**tri-state binary inverter**) อินพุตที่มีสัญลักษณ์ **t** จะเชื่อมกับอินพุตของส่วนความจำ ซึ่งสัญญาณ **ณ** จุดนี้เป็นแบบตรรกะไตรภาคชนิดซี และอินพุตที่มีสัญลักษณ์ **b** จะเชื่อมกับเอาต์พุตของส่วนความจำ ซึ่งสัญญาณที่จุดนี้เป็นตรรกะฐานสอง วงจรนี้จะส่งตรรกะ **1** ไปให้หน่วยควบคุมเมื่อสัญญาณที่ **t** และ **b** มีค่าเท่ากัน, เสถียร, และส่งตรรกะ **0** ออกไปในกรณีอื่นๆ

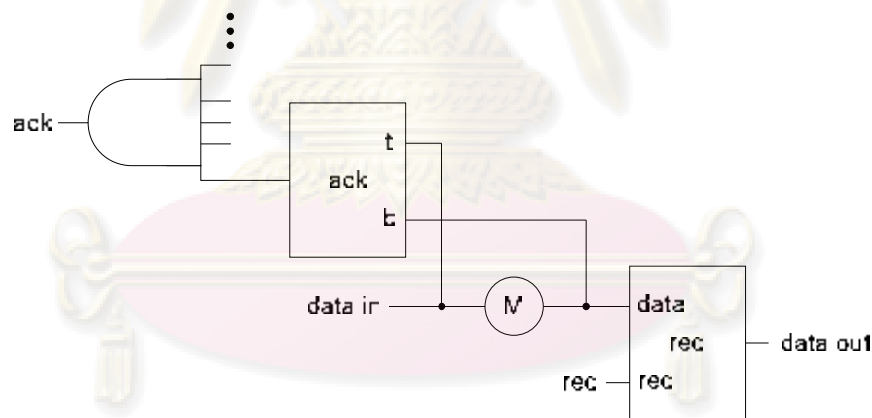
จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 314 วงจรตอบรับ

341.4 เรจิสเตอร์ 1 บิต

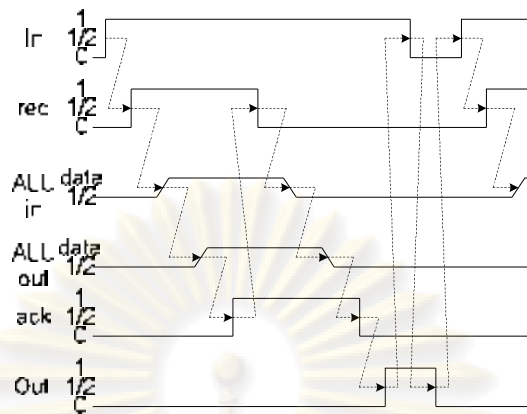
วงจรรีจิสเตอร์, ส่วนความจำ และวงจรถอบรับข้างต้นสามารถประกอบกันเป็นเรจิสเตอร์ 1 บิตได้ดังรูปที่ 315 ในกรณีที่มีหลายเรจิสเตอร์, สามารถรวมสัญญาณตอบรับได้โดยใช้เกตแอนด์



รูปที่ 315 วงจรเรจิสเตอร์ 1 บิต

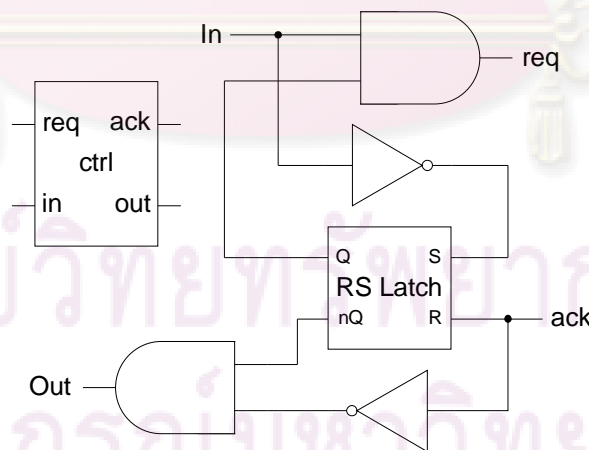
342 การออกแบบวงจรถอบคุม

วงจรถอบคุมมีหน้าที่ควบคุมการไหลของสัญญาณภายในวิธีข้อมูลให้เป็นไปตามการส่งข้อมูลแบบบัสด้วยตรรกะไตรภาคชนิดซีสองชั้น วงจรนี้มีการทำงานภายใน, การรับสัญญาณอินพุตและ การส่งสัญญาณเอาต์พุตด้วยตรรกะฐานสองทั้งหมด วงจรนี้มีการทำงานตามแผนภูมิเวลา (timing chart) ดังรูปที่ 316



รูปที่ 316 แผนภูมิเวลาของวงจรควบคุม

เมื่อวงจรควบคุมจากสแตงก่อนหน้าส่งตรรกะ 1 เข้ามาที่ขา **In** วงจรจะส่งสัญญาณร้องขอ, ตรรกะ 1, ไปที่เรจิสเตอร์เพื่อให้ปล่อยสัญญาณข้อมูลจากสแตงก่อนหน้าเข้าไปในหน่วยคำนวณและตรรกะ เมื่อผลลัพธ์จากการประมวลผลถูกเก็บอย่างเสถียรอยู่ในส่วนความจำแล้ว วงจรตอบรับจะส่งสัญญาณตรรกะ 1 กลับมาให้วงจรควบคุม เมื่อวงจรควบคุมได้รับสัญญาณแล้วจะส่งตรรกะ 0 ไปให้วงจรร้องขออีกครั้ง เพื่อให้ส่งสัญญาณ 1/2 เข้าไปล้างข้อมูลภายในหน่วยคำนวณและตรรกะ เมื่อสัญญาณ 1/2 ไปถึงส่วนความจำ, วงจรตอบรับจะส่งตรรกะ 0 กลับมาที่วงจรควบคุม วงจรควบคุมจะส่งตรรกะ 1 ออกไปให้สแตงก่อนหน้าทางขา **Out** จากนั้นวงจรก่อนหน้าจะกลับสัญญาณ **In** มาที่ 0 เป็นการเสร็จสิ้นการส่งข้อมูล 1 รอบ รูปที่ 317 แสดงวงจรควบคุม



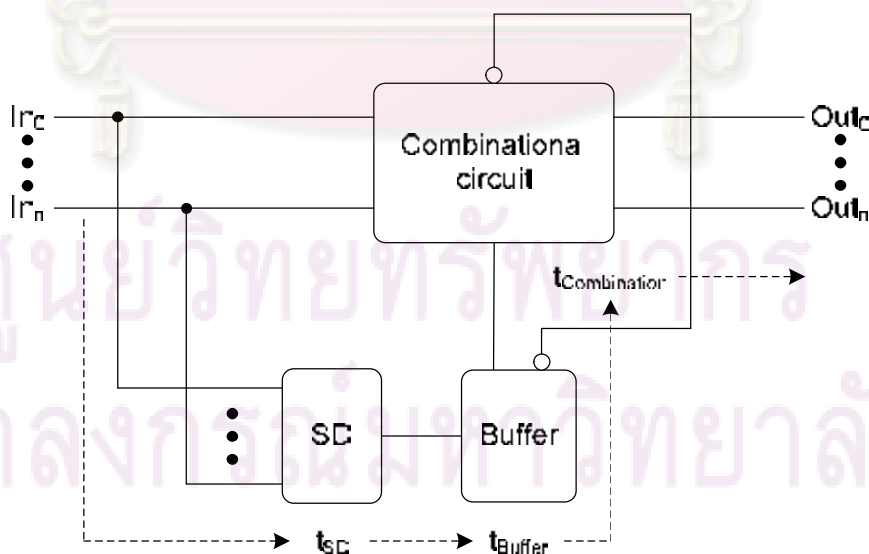
รูปที่ 317 วงจรควบคุม

บทที่ 4

ความพยายามเชิงตรรกะของวงจรตรรกะไตรภาคชนิดซี

ความหน่วงของวงจรผสมแบบตรรกะไตรภาคชนิดซีประกอบด้วย 3 ส่วนคือ วงจรตรวจจับสัญญาณแบ่งรอบการทำงาน (SD), วงจรบัฟเฟอร์ (buffer) ซึ่งประกอบขึ้นจากอนุกรมของเกตผกผัน ทำหน้าที่สร้างสัญญาณส่วนกลับและปรับความเร็วสัญญาณทั้งสองให้ไปถึงขา S และ B ของวงจรผสมในเวลาใกล้เคียงกัน, และวงจรผสม (combinational circuit) ดังรูปที่ 41, สัญญาณอินพุตของวงจรผสมแบบตรรกะไตรภาคชนิดซีถูกแยกออกเป็นสองเส้นทาง เส้นทางแรกไปยังอินพุตของวงจรผสมแบบตรรกะไตรภาคชนิดซีโดยตรงและอีกเส้นทางหนึ่งไปสู่วงจรตรวจจับสัญญาณแบ่งรอบการทำงาน ผ่านวงจรบัฟเฟอร์ แล้วจึงกลับมาควบคุมเกตแบบตรรกะไตรภาคชนิดซีที่ขา S และ B อีกครั้งหนึ่ง ดังนั้นสัญญาณจากวงจรตรวจจับสัญญาณแบ่งรอบการทำงานจะไปถึงขา S และ B ของวงจรผสมช้ากว่าสัญญาณอินพุตเสมอ ความหน่วงของวงจรผสมแบบตรรกะไตรภาคชนิดซีจึงเป็นความสัมพันธ์ระหว่างสัญญาณอินพุตที่ S และ B กับสัญญาณเอาต์พุตเท่านั้น โดยความหน่วงทั้งหมดของวงจรคือผลรวมของความหน่วงจากวงจรตรวจจับสัญญาณแบ่งรอบการทำงาน (t_{SD}), ความหน่วงจากวงจรบัฟเฟอร์ (t_{Buffer}) และความหน่วงจากวงจรผสมแบบตรรกะไตรภาคชนิดซี ($t_{Combination}$)

$$t_{Total} = t_{SD} + t_{Buffer} + t_{Combination} \quad (41)$$

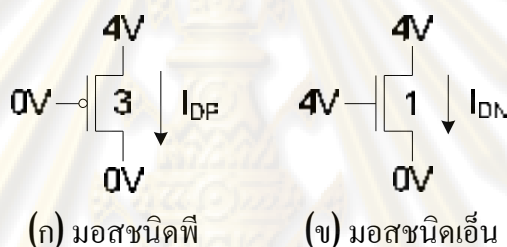


รูปที่ 41 วงจรผสมแบบตรรกะไตรภาคชนิดซีเพื่อวิเคราะห์ความหน่วง

41 วงจรตรวจจับสัญญาณแบ่งรอบการทำงาน

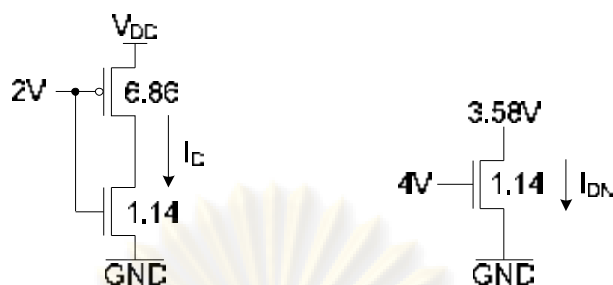
41.1 เกิดผกผันแบบดี

เนื่องจากเกิดผกผันแบบดีมีการทำงานที่แตกต่างจากเกิดตรรกะฐานสอง, มีลักษณะเป็นเกตแบบเบ้สูง (**HI-skew**) เพื่อตอบสนองต่อสัญญาณตรรกะ $1/2$ เป็นผลให้ไม่สามารถคำนวณความพยายามเชิงตรรกะจากอัตราส่วนความจูนพุทของเกิดผกผันแบบดีกับเกิดผกผันฐานสองตามปกติได้ การคำนวณความพยายามเชิงตรรกะของเกิดผกผันแบบดีจะต้องหากระแสเดรนที่มอสชนิดพีและมอสชนิดเอ็นของเกิดผกผันฐานสองสามารถจับได้โดยใช้วงจรตามรูปที่ 42(ก) และ 42(ข) ตามลำดับ โดยได้ผลการจำลองกระแสเดรนสำหรับมอสชนิดพี (I_{DP}) และมอสชนิดเอ็น (I_{DN}) คือ $877.05\mu A$ และ $634.50\mu A$ ตามลำดับ



รูปที่ 42 วงจรสำหรับจำลองกระแสเดรนของเกิดผกผันฐานสอง

จากนั้นทดสอบกระแสของเกิดผกผันแบบดีที่มีความจูนพุทเท่ากับเกิดผกผันฐานสอง จากรูปที่ 33 เมื่อเกิดผกผันแบบดีรับสัญญาณอินพุทเป็นตรรกะ $1/2$ สัญญาณเอาต์พุทเปลี่ยนแปลงจากตรรกะ 0 ไป 1, แล้วตัวเก็บประจุที่ขาเกตของทรานซิสเตอร์จะถูกเติมเพียงครึ่งความจุ หรือคิดเป็นขนาดได้ $35\mu m$ ดังนั้น เพื่อให้ประจุที่ถูกเก็บจริงมีขนาดเท่ากับความจูนพุทของเกิดผกผันฐานสอง, $4\mu m$, จึงต้องปรับขนาดมอสชนิดพีและมอสชนิดเอ็นของเกิดผกผันแบบดีเป็น $686\mu m$ และ $1.14\mu m$ รวมเป็น $8\mu m$ โดยสร้างเป็นวงจรเพื่อจำลองการทำงานได้ดังรูปที่ 43(ก) สามารถจำลองกระแสเดรนได้ $237.17\mu A$ ส่วนวงจรจำลองการทำงานเมื่อวงจรรับสัญญาณอินพุทเป็นตรรกะ 1, สัญญาณเอาต์พุทเปลี่ยนแปลงจากตรรกะ 1 ไป 0, สามารถสร้างได้ดังรูปที่ 43(ข) โดยขาเดรนของมอสชนิดเอ็นต่ออยู่กับความต่างศักย์ $3.58V$ ซึ่งเป็นความต่างศักย์เอาต์พุทในสถานะก่อนหน้า, สัญญาณอินพุทเป็นตรรกะ $1/2$ สามารถจำลองกระแสเดรนได้ $722.49\mu A$

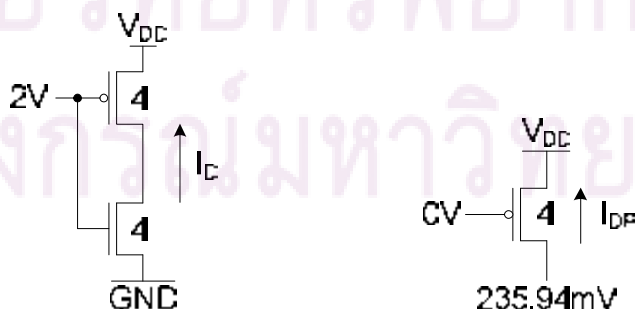


(ก) สัญญาณอินพุตตรรกะ 1/2 (ข) สัญญาณอินพุตตรรกะ 1
รูปที่ 43 วงจรสำหรับจำลองกระแสเดรนของเกตผกผันแบบดี

ผลจากการจำลองการทำงานที่ผ่านมาสามารถนำมาคำนวณความพยายามเชิงตรรกะได้โดยความพยายามเชิงตรรกะขาขึ้นเท่ากับ $877.05/237.17 = 3.70$ และความพยายามเชิงตรรกะขาลงเท่ากับ $634.50/722.49 = 0.88$ ดังนั้นเกตผกผันแบบดีมีความพยายามเชิงตรรกะเฉลี่ย $g_{dnv} = 2.29$ และมีความหน่วงแฝงตามสมการที่ 2.28 $p_{dnv} = \frac{7}{4} p_{b-dnv}$

4.1.2 เกตผกผันแบบจี 1

เช่นเดียวกับเกตผกผันแบบดี สามารถสร้างวงจรทดสอบความพยายามเชิงตรรกะของเกตผกผันแบบจี 1 ได้ดังรูปที่ 44 โดยรูปที่ 44(ก) แทนวงจรทดลองความพยายามเชิงตรรกะของการเปลี่ยนแปลงสัญญาณขาลง, เมื่อมีสัญญาณของตรรกะ 1/2 ที่อินพุต, และรูปที่ 44(ข) แสดงวงจรทดลองความพยายามเชิงตรรกะของการเปลี่ยนแปลงสัญญาณขาขึ้น, มีมอดูลชนิดพีที่ทำงาน, โดยความต่างศักย์ที่ขาเดรน, 235.94mV , คือความต่างศักย์เอาต์พุตของการทำงานในสถานะก่อนหน้า, มีสัญญาณอินพุตเป็นตรรกะ 1/2, สังเกตว่าวงจรนี้มีความกว้างทรานซิสเตอร์รวม $8\mu\text{m}$ เนื่องจากเมื่อมีสัญญาณอินพุตเป็นตรรกะ 1/2 แล้ว ความจุที่ขาเกตของทรานซิสเตอร์ถูกเติมเพียงครึ่งเดียว จึงต้องเพิ่มขนาดขึ้นจนมีความกว้างทรานซิสเตอร์รวมดังกล่าว เพื่อให้ความจุที่ถูกเติมเมื่อสัญญาณอินพุตเป็นตรรกะ 1/2 มีค่าเท่ากับความจุอินพุตของเกตผกผันฐานสอง



(ก) สัญญาณอินพุตตรรกะ 1/2 (ข) สัญญาณอินพุตตรรกะ 1
รูปที่ 44 เกตผกผันแบบจี 1 สำหรับวิเคราะห์ความพยายามเชิงตรรกะ

จากการจำลองการทำงาน, วงจรในรูปที่ 44(ก) และ 44(ข) มีกระแสเดรนเท่ากับ $310.83\mu\text{A}$ และ $1165.3\mu\text{A}$ ตามลำดับ ดังนั้นความพยายามเชิงตรรกะขาขึ้นคือ $877.05/310.83 = 2.82$ และความพยายามเชิงตรรกะขาลงคือ $634.50/1165.3 = 0.54$ หรือมีความพยายามเชิงตรรกะเฉลี่ย g_{G1} เท่ากับ 1.68 และมีความหน่วงแฝงตามสมการที่ 2.28, $p_{G1} = \frac{2}{4}p_{b-inv}$ จากการวิเคราะห์ความพยายามเชิงตรรกะของเกตแบบตรรกะฐานสองที่ผ่านมา สามารถสรุปค่าได้ดังตารางที่ 41

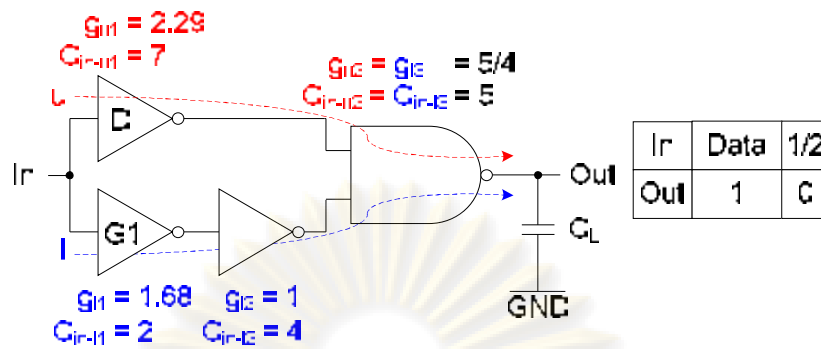
ตารางที่ 41 ความพยายามเชิงตรรกะและความหน่วงแฝงของเกตฐานสอง

เกตฐานสอง	ความพยายามเชิงตรรกะ	ความหน่วงแฝง
ผกผัน	1	p_{b-inv}
แนนด์	$\frac{5}{4}$	$2p_{b-inv}$
นอร์	$\frac{7}{4}$	$2p_{b-inv}$
ผกผันแบบ D	2.29	$\frac{7}{4}p_{b-inv}$
ผกผันแบบ G1	1.68	$\frac{2}{4}p_{b-inv}$

41.3 การประมาณความหน่วงของวงจรตรวจจับสัญญาณแบ่งรอบการทำงาน

ในส่วนนี้จะกล่าวถึงการนำค่าต่างๆ ที่วิเคราะห์ได้ก่อนหน้ามาประมาณความหน่วง, ปรับจำนวนสเตจ และขนาดของเกตให้เหมาะสมกับโหลด เพื่อลดความหน่วงของวงจร โดยจะแสดงการคำนวณและผลการทดลองเมื่อวงจรมีแฟนเอทเป็น 2 กับ 8

จากวงจรตรวจจับสัญญาณแบ่งรอบการทำงานในรูปที่ 3.2 สามารถเขียนความพยายามเชิงตรรกะและความจูนพุทของแต่ละเกตเพื่อประกอบการคำนวณได้ดังรูปที่ 4.5 ภายในวงจรประกอบด้วยสองเส้นทางแบ่งเป็นเส้นทางบน (upper path, u) ตอบสนองต่อสัญญาณตรรกะ 1/2 กับ 1 และเส้นทางล่าง (lower path, l) ตอบสนองต่อสัญญาณตรรกะ 0 กับ 1/2 จึงสามารถแบ่งการวิเคราะห์ความหน่วงออกได้เป็นสองกรณีตามการตอบสนองต่อสัญญาณอินพุท



รูปที่ 45 วงจรตรวจจับสัญญาณแบ่งรอบการทำงานและตัวแปรที่เกี่ยวข้อง

41.31 ความหน่วงจากการตอบสนองต่อตรรกะ 1/2 กับ 1 (upper path)

เมื่อกำหนดให้ความพยายามเชิงไฟฟ้าเท่ากับ 2 จะได้

$$\text{ความพยายามเชิงตรรกะ } (G_u) = g_{u1} \times g_{u2} = 2.29 \times \frac{5}{4} = 2.86$$

$$\text{ความพยายามเชิงกึ่ง } (B_u) = \frac{C_{total}}{C_{in-u1}} = \frac{3.5+1}{3.5} = 1.29$$

$$\text{ความพยายามเชิงไฟฟ้า } (H) = \frac{C_L}{C_{in}} = \frac{9}{4.5} = 2$$

$$\text{ความพยายามเชิงสเตจ } (F) = G_u \times B_u \times H = 2.86 \times 1.29 \times 2 = 7.38$$

$$\text{ความหน่วง } (D_{F-u}) = \sum_{i=1}^n g_i h_i = \left(2.29 \times \frac{5}{3.5} \right) + \left(\frac{5}{4} \times \frac{9}{5} \right) = 5.52$$

$$\text{ความหน่วงแฝง } (P_u) = \sum_{i=1}^n p_i = \left(\frac{7}{4} + 2 \right) p_{b-inv} = 3.75 p_{b-inv}$$

$$\text{ความหน่วงสัมบูรณ์ } (D_{abs-u}) = \tau(D_{F-u} + P_u) = \tau(5.52 + 3.75 p_{b-inv})$$

เมื่อกำหนดให้ความพยายามเชิงไฟฟ้าเท่ากับ 8, ความพยายามเชิงตรรกะและความพยายามเชิงกึ่งไม่แปรผันตามขนาดของโหลด, สามารถใช้ค่าเดิมได้, แล้ว

$$\text{ความพยายามเชิงไฟฟ้า } (H) = \frac{C_L}{C_{in}} = \frac{36}{4.5} = 8$$

$$\text{ความพยายามเชิงสเตจ } (F) = G_u \times B_u \times H = 2.86 \times 1.29 \times 8 = 29.52$$

$$\text{ความหน่วง } (D_{F-u}) = \sum_{i=1}^n g_i h_i = \left(2.29 \times \frac{5}{3.5} \right) + \left(\frac{5}{4} \times \frac{36}{5} \right) = 12.27$$

$$\text{ความหน่วงสัมบูรณ์ } (D_{abs-u}) = \tau(D_{F-u} + P_u) = \tau(12.27 + 3.75 p_{b-inv})$$

41.3.2 ความหน่วงจากการตอบสนองต่อตรรกะ 0 กับ 1/2 (lower path)

เมื่อกำหนดให้ความพยายามเชิงไฟฟ้าเท่ากับ 2 แล้ว

$$\text{ความพยายามเชิงตรรกะ } (G_1) = g_{11} \times g_{12} \times g_{13} = 1.68 \times 1 \times \frac{5}{4} = 21$$

$$\text{ความพยายามเชิงกิ่ง } (B_1) = \frac{C_{\text{total}}}{C_{\text{in-11}}} = \frac{35+1}{1} = 45$$

$$\text{ความพยายามเชิงไฟฟ้า } (H) = \frac{C_L}{C_{\text{in}}} = \frac{9}{45} = 2$$

$$\text{ความพยายามเชิงสเตจ } (F) = G_1 \times B_1 \times H = 21 \times 45 \times 2 = 189$$

$$\begin{aligned} \text{ความหน่วง } (D_{F-1}) &= \sum_{i=1}^n g_i h_i = \left(1.68 \times \frac{4}{1}\right) + \left(1 \times \frac{5}{4}\right) + \left(\frac{5}{4} \times \frac{9}{5}\right) \\ &= 10.22 \end{aligned}$$

$$\text{ความหน่วงแฝง } (P_1) = \sum_{i=1}^n p_i = \left(\frac{2}{4} + 1 + 2\right) p_{b-\text{inv}} = 3.5 p_{b-\text{inv}}$$

$$\text{ความหน่วงสัมบูรณ์ } (D_{\text{abs-1}}) = \tau(D_{F-1} + P_1) = \tau(10.22 + 3.5 p_{b-\text{inv}})$$

เมื่อกำหนดให้ความพยายามเชิงไฟฟ้าเท่ากับ 8, ความพยายามเชิงตรรกะและความพยายามเชิงกิ่งไม่แปรผันตามขนาดของโหลด, สามารถใช้ค่าเดิมได้, แล้ว

$$\text{ความพยายามเชิงไฟฟ้า } (H) = \frac{C_L}{C_{\text{in}}} = \frac{36}{45} = 8$$

$$\text{ความพยายามเชิงสเตจ } (F) = G_1 \times B_1 \times H = 21 \times 45 \times 8 = 756$$

$$\begin{aligned} \text{ความหน่วง } (D_{F-1}) &= \sum_{i=1}^n g_i h_i = \left(1.68 \times \frac{4}{1}\right) + \left(1 \times \frac{5}{4}\right) + \left(\frac{5}{4} \times \frac{36}{5}\right) \\ &= 16.97 \end{aligned}$$

$$\text{ความหน่วงสัมบูรณ์ } (D_{\text{abs-1}}) = \tau(D_{F-1} + P_1) = \tau(16.97 + 3.5 p_{b-\text{inv}})$$

จากการคำนวณที่ผ่านมาสามารถสรุปค่าต่างๆ ที่สำคัญได้ดังตารางที่ 42 และ 43

จุฬาลงกรณ์มหาวิทยาลัย

ตารางที่ 42 ผลการคำนวณค่าที่เกี่ยวข้องกับความหน่วงของวงจรตรวจจับสัญญาณแบ่งรอบการทำงานที่มีเฟนเอท 2

ค่า	เส้นทางบน	เส้นทางล่าง
ความพยายามเชิงตรรกะ	286	286
ความพยายามเชิงไฟฟ้า	2	2
ความพยายามเชิงกิ่ง	1.29	1.29
ความพยายามเชิงเส้นทาง	7.38	18.90
ความหน่วงเอฟพอร์ด	5.52	10.22
ความหน่วงแฝงของเส้นทาง	$3.75p_{b-inv}$	$3.5p_{b-inv}$
ความหน่วงสัมบูรณ์ของเส้นทาง	$\tau_b(5.52+3.75p_{b-inv})$	$\tau_b(10.22+3.5p_{b-inv})$

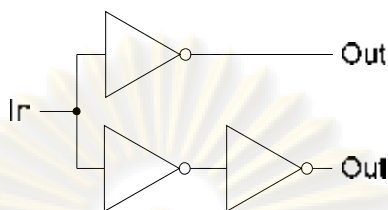
ตารางที่ 43 ผลการคำนวณค่าที่เกี่ยวข้องกับความหน่วงของวงจรตรวจจับสัญญาณแบ่งรอบการทำงานที่มีเฟนเอท 8

ค่า	เส้นทางบน	เส้นทางล่าง
ความพยายามเชิงตรรกะ	21	21
ความพยายามเชิงไฟฟ้า	8	8
ความพยายามเชิงกิ่ง	45	45
ความพยายามเชิงเส้นทาง	29.52	75.6
ความหน่วงเอฟพอร์ด	12.27	16.97
ความหน่วงแฝงของเส้นทาง	$3.75p_{b-inv}$	$3.5p_{b-inv}$
ความหน่วงสัมบูรณ์ของเส้นทาง	$\tau_b(12.27+3.75p_{b-inv})$	$\tau_b(16.97+3.5p_{b-inv})$

42 วงจรบัฟเฟอร์

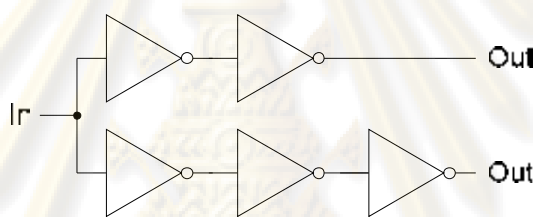
วงจรบัฟเฟอร์มีหน้าที่สร้างสัญญาณส่วนประกอบจากสัญญาณอินพุต เพื่อนำไปควบคุมการทำงานของอุปกรณ์เข้ารหัสสัญญาณ หรือวงจรใดๆ ที่รับสัญญาณอินพุตในลักษณะที่เป็นส่วนกลับ ซึ่งสัญญาณดังกล่าวควรใช้เวลาเดินทางเท่ากัน เพื่อให้เกิดที่ถูกควบคุมทำงานได้อย่างมีประสิทธิภาพ วงจรบัฟเฟอร์สามารถสร้างจากแขนงของเกตผกผันฐานสอง เช่นแขนงแบบ 1-2 ดัง

รูปที่ 46 เนื่องจากสัญญาณเอาต์พุตควรมีการเปลี่ยนแปลงพร้อมกัน จึงสามารถนำวิธีการของความพยายามเชิงตรรกะมาช่วยคำนวณขนาดของเกตในแต่ละสาขาได้



รูปที่ 46 วงจรบัฟเฟอร์แบบสาขา 1-2

ในกรณีที่วงจรเชิงประกอบมีขนาดใหญ่ หรือมีหลายสเตจ, การใช้สัญญาณ **S** และ **B** ร่วมกันทำให้วงจรบัฟเฟอร์มีแฟนเอาต์ขนาดใหญ่ จึงสามารถตัดแปลงวงจรในรูปที่ 46 โดยการเพิ่มเกตผกผันเข้าไปในแต่ละแขนงได้ ดังเช่นแขนงแบบ 2-3 ดังรูปที่ 47



รูปที่ 47 วงจรบัฟเฟอร์แบบสาขา 2-3

43 เกตแบบตรรกะไตรภาคชนิดซี

เนื่องจากสัญญาณอินพุตของเกตแบบตรรกะไตรภาคชนิดซีมีความแตกต่างจากเกตผกผันฐานสอง, สัญญาณเปลี่ยนแปลงครั้งละครึ่งระดับ, จึงไม่สามารถอ้างอิงค่าความหน่วงจากกระบวนการผลิต, τ , ร่วมกับเกตแบบตรรกะฐานสองได้ การพิจารณาความพยายามเชิงตรรกะของเกตแบบไตรภาคชนิดซีจึงต้องอ้างอิงค่า τ ที่ได้จากการจำลองความหน่วงของเกตผกผันแบบตรรกะไตรภาคชนิดซีซึ่งเป็นเกตที่มีขนาดเล็กที่สุด เพื่อป้องกันความสับสนจึงกำหนดให้ τ_b แทนความหน่วงจากกระบวนการผลิตของเกตแบบตรรกะฐานสองและให้ τ_t แทนความหน่วงจากกระบวนการผลิตของเกตแบบตรรกะไตรภาคชนิดซี

เนื่องจากความพยายามเชิงตรรกะของเกตแบบตรรกะไตรภาคชนิดซีเป็นการอ้างอิงจากเกตผกผันแบบตรรกะไตรภาคชนิดซี จึงกำหนดให้แต่ละขาของเกตผกผันดังกล่าวมีความพยายามเชิงตรรกะเท่ากับ 1 จากโครงสร้างของเกตแบบตรรกะไตรภาคชนิดซีในรูปที่ 3.7, เกตจะรับสัญญาณอินพุตทางขาเกตของทรานซิสเตอร์เท่านั้นเช่นเดียวกับเกตแบบตรรกะฐานสอง จึงสามารถคำนวณความพยายามเชิงตรรกะเป็นอัตราส่วนระหว่างความจุอินพุตของขาที่สนใจของเกตใดๆ กับความจุ

อินพุตของเกตผกผันแบบตรรกะไตรภาคชนิดซีที่ขาเดียวกัน ดังเช่นเกตแนนด์และนอร์ในรูปที่ 37(ข), 37(ค) และเกตเชิงประกอบ (compound gate) แอนด์-ออร์-อินเวิร์ต (and-or-invert, AOI) ในรูปที่ 38 มีความพยายามเชิงตรรกะและความหน่วงแฝง, ตามสมการที่ 2.28, สรุปในตารางที่ 44

ตารางที่ 44 สรุปความพยายามเชิงตรรกะและความหน่วงแฝงของเกตแบบตรรกะไตรภาคชนิดซี

เกตแบบตรรกะไตรภาค	g_0	g_1	g_{n0}	g_{n1}	g_{n2}	p
ผกผัน	1	1	1	-	-	P_{t-inv}
แนนด์	$\frac{5}{4}$	1	$\frac{9}{8}$	$\frac{9}{8}$	-	$\frac{12}{11}P_{t-inv}$
นอร์	1	$\frac{10}{7}$	$\frac{11}{8}$	$\frac{11}{8}$	-	$\frac{14}{11}P_{t-inv}$
แอนด์-ออร์-อินเวิร์ต	$\frac{5}{4}$	$\frac{10}{7}$	$\frac{12}{8}$	$\frac{12}{8}$	$\frac{11}{8}$	$\frac{15}{11}P_{t-inv}$

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 5

การทดลอง ผลการทดลองและวิเคราะห์ผลการทดลอง

ในบทนี้แบ่งการทดลองออกเป็น 5 ขั้นตอนคือ

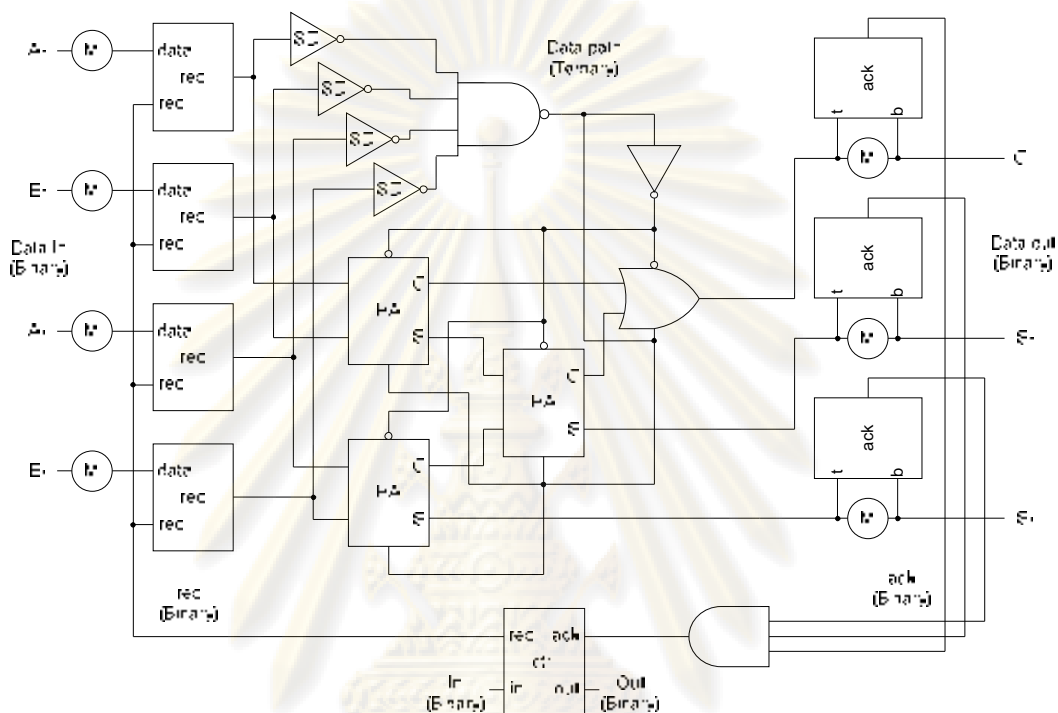
- 1) ทดสอบการทำงานของระบบอสมวารแบบตรรกะไตรภาคชนิดซีที่ออกแบบไว้ว่าทำงานได้ถูกต้องหรือไม่
- 2) เปรียบเทียบความหน่วงของวงจรตรวจจับสัญญาณแบ่งรอบการทำงานจากการคำนวณกับการทดลอง และทดลองปรับขนาดของเกตภายในวงจรดังกล่าวตามวิธีของความพยายามเชิงตรรกะเพื่อลดความหน่วงของวงจร
- 3) เปรียบเทียบความพยายามเชิงตรรกะที่มาจากกรคำนวณของเกต เกตผกผัน, เกตแนนด์, เกตเนอร์ และเกตแอนด์-ออร์-อินเวิร์ตแบบตรรกะไตรภาคชนิดซี กับค่าที่ได้จากการทดลองว่าใกล้เคียงกันหรือไม่
- 4) ทดสอบความหน่วงจากการนำความพยายามเชิงตรรกะมาช่วยในการปรับแต่งขนาดของเกตแบบตรรกะไตรภาคชนิดซี, เกตแอนด์-ออร์-อินเวิร์ต, และจำนวนสแตจ ว่าลดลงหรือไม่
- 5) ทดลองเปรียบเทียบความหน่วงของเกตแอนด์-ออร์-อินเวิร์ตแบบตรรกะไตรภาคชนิดซีกับวงจรแอนด์-ออร์-อินเวิร์ตแบบตรรกะรางคู่

โดยการทดลองทั้งหมดใช้แบบจำลองเทคโนโลยีซีมอสขนาด $0.35\mu\text{m}$ ร่วมกับ โปรแกรม SPICE และกำหนดให้สัญญาณอินพุตมีช่วงเวลาขาขึ้น (rise time) และช่วงเวลาขาลง (fall time) เท่ากับ 100ps

5.1 การทดสอบการทำงานของระบบอสมวารแบบตรรกะไตรภาคชนิดซี

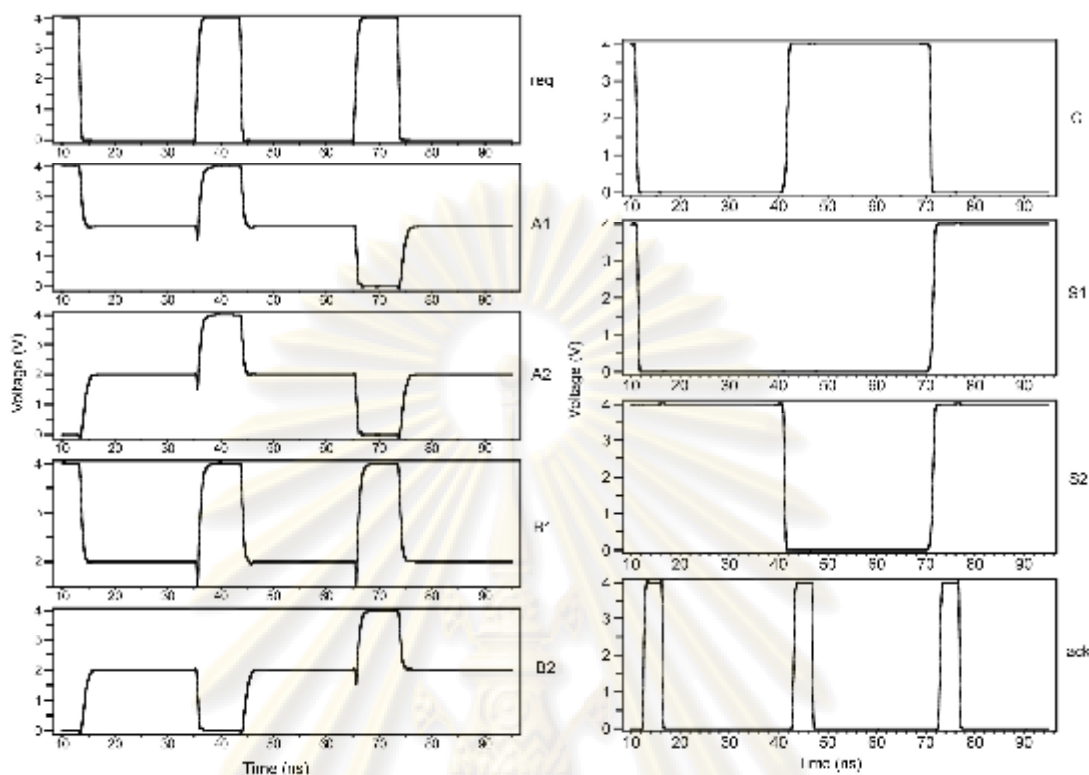
ในวิทยานิพนธ์นี้ได้ทำการทดสอบระบบโดยใช้วงจรบวกครึ่งอัตรา 2 บิต (2-bit half adder) เป็นหน่วยคำนวณและตรรกะดังรูปที่ 5.1 มีลำดับอินพุต (input sequence) A_2A_1 คือ 01, 11 และ 00 ลำดับอินพุต B_2B_1 คือ 01, 01 และ 11 ผลการจำลองรูปคลื่น (waveform) แสดงดังรูปที่ 5.2 โดยจับสัญญาณ (capture) A_2 , A_1 , B_2 และ B_1 ที่เอาต์พุตของวงจรร้องขอ และจับสัญญาณ S_2 , S_1 และ C จากเอาต์พุตของส่วนความจำ จากรูป, เมื่อสัญญาณ req เปลี่ยนจากตรรกะ 0 เป็น 1 วงจร req จะปล่อยสัญญาณข้อมูลเข้าไปในหน่วยคำนวณและตรรกะ และเก็บผลลัพธ์ไว้ในส่วนความจำ เมื่อข้อมูลในหน่วยความจำเสถียรแล้ว, อินพุตและเอาต์พุตของหน่วยความจำเหมือนกัน, วงจร ack จะส่งสัญญาณ ack ออกไปที่วงจรควบคุม เมื่อวงจรควบคุมได้รับสัญญาณ ack แล้วจะกลับสัญญาณ req เป็นตรรกะ 0 จากนั้นวงจร req จะส่งตรรกะ 1/2 เข้าไปในหน่วยคำนวณและตรรกะ เมื่อ

สัญญาณดังกล่าวเดินทางผ่านไปถึงวงจร **ack** แล้ว วงจร **ack** จะกลับสัญญาณ **ack** เป็นตรรกะ $1/2$ ส่งไปให้วงจรควบคุมเป็นการชี้ว่าระบบสามารถรับอินพุตใหม่เข้ามาคำนวณต่อไปได้ หรือกล่าวได้ว่าจบการทำงาน **1** รอบ, จากรูปคลื่นที่จำลองได้ในรูปที่ **5.2** พบว่าระบบสามารถทำงาน ได้ถูกต้อง



รูปที่ 5.1 ระบบทดสอบวงจรตรรกะไตรภาคชนิดซี

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย



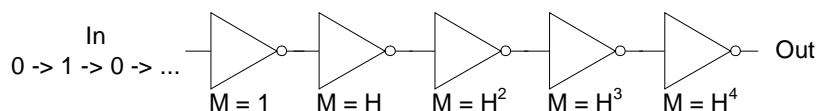
รูปที่ 5.2 ผลการจำลองการทำงานของระบบทดสอบ

5.2 การวิเคราะห์แบบจำลองความหน่วงของวงจรตรวจจับสัญญาณแบ่งรอบการทำงานด้วยความพยายามเชิงตรรกะ

จากรูปที่ 41, ภายในวงจรเชิงผสมแบบตรรกะไตรภาคชนิดซีแบ่งออกเป็น วงจรเชิงผสมและวงจรตรวจจับสัญญาณแบ่งรอบการทำงาน ซึ่งสามารถวิเคราะห์ความหน่วงแยกจากกันได้

5.2.1 การวิเคราะห์ความหน่วงจากกระบวนการผลิต τ (delay unit, τ)

การวิเคราะห์ความหน่วงตามแบบจำลองความพยายามเชิงตรรกะมีพื้นฐานจากการเปรียบเทียบความหน่วงของเกตใดๆ กับเกตผกผันฐานสองซึ่งทำงานเร็วที่สุด โดยกำหนดให้ความหน่วงของเกตผกผันฐานสองเป็นเสมือนความหน่วงจากกระบวนการผลิต τ_b ซึ่งได้จากการวิเคราะห์ความสัมพันธ์ระหว่างความหน่วงแพร่กระจาย (propagation delay) กับโหนดของเกตผกผัน วงจรทดสอบแสดงดังรูปที่ 5.3

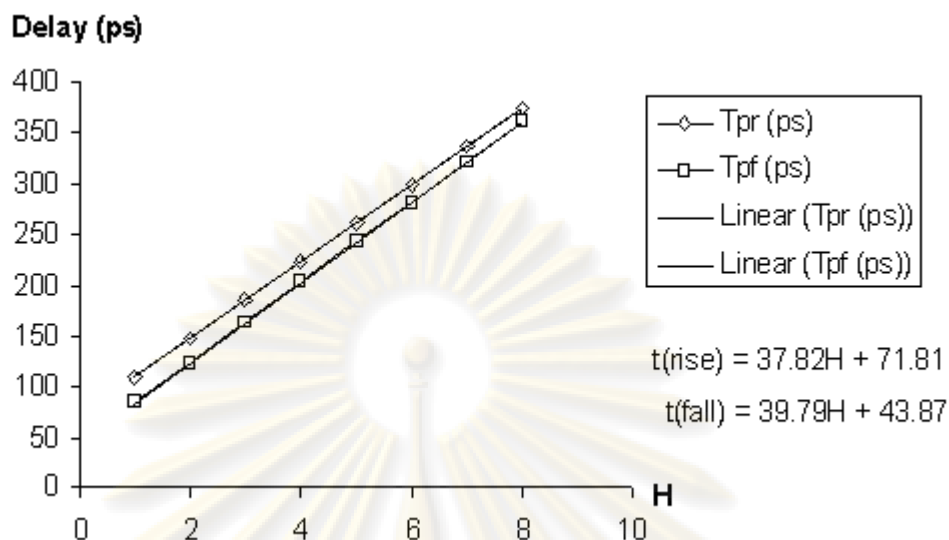
รูปที่ 5.3 วงจรทดสอบหาค่า τ

กำหนดให้ $\gamma=3$, $V_{DD}=4V$ วัดความหน่วงของสเตจที่สาม จากจุดที่สัญญาณอินพุตข้าม 50% ของการแกว่ง, $2V$, ไปยังจุดที่สัญญาณเอาต์พุตข้าม 50% ของการแกว่ง, $2V$, เมื่อ H หรือโวลต์มีค่าตั้งแต่ 1 ถึง 8 ผลการจำลองความหน่วงแสดงดังตารางที่ 5.1 กำหนดให้ T_{pf} คือความหน่วงแพร่กระจายขาลง (falling propagation delay) และ T_{pr} คือความหน่วงแพร่กระจายขาขึ้น (rising propagation delay) จากนั้นนำข้อมูลดังกล่าววาดกราฟเปรียบเทียบระหว่างความหน่วงแพร่กระจายกับโวลต์ ดังรูปที่ 5.4

ตารางที่ 5.1 ผลการจำลองความหน่วงแพร่กระจายเปรียบเทียบกับโวลต์ของเกตผกผันฐานสอง

H	T_{pf} (ps)	T_{pr} (ps)
1	109.84	8417
2	147.40	123.43
3	185.19	162.99
4	222.96	202.69
5	260.87	242.60
6	298.74	282.54
7	336.59	322.54
8	374.51	362.52

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 5.4 กราฟความสัมพันธ์ความหน่วงกับโหลดของเกตผกผันฐานสอง

จากรูป สามารถวิเคราะห์ความชัน (slope) หรือ τ_b ของกราฟความหน่วงแพร่กระจายขาขึ้นและขาลงได้ดังนี้

$$\begin{aligned}\tau_{br} &= 37.82\text{ps} \\ \tau_{bf} &= 39.79\text{ps} \\ \tau_b (\text{เฉลี่ย}) &= 38.81\text{ps}\end{aligned}$$

และมีจุดตัดแกน y หรือผลคูณของความหน่วงแฝง (p_b) กับ τ_b คือ 71.81 และ 43.87 ตามลำดับ ดังนั้น ความหน่วงแฝงขาขึ้น (p_{br}) และขาลง (p_{bf}) ของเกตผกผันมีค่า

$$\begin{aligned}\text{ความหน่วงแฝงขาขึ้น } (p_{br}) &= 1.10 \\ \text{ความหน่วงแฝงขาลง } (p_{bf}) &= 1.90 \\ \text{ความหน่วงแฝงเฉลี่ย } (p_{b-im}) &= 1.50\end{aligned}$$

5.22 การจำลองความหน่วงของวงจรตรรกะจับสัญญาณแบ่งรอบการทำงาน

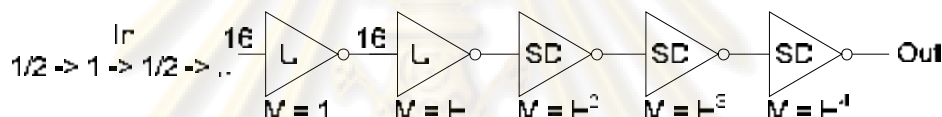
5.2.2.1 ความหน่วงจากการตอบสนองต่อตรรกะ 1/2 กับ 1 (upper path)

เปรียบเทียบความหน่วงกับวงจรทดสอบดังรูปที่ 5.5, กำหนดให้เกตผกผันแบบยู (U-inverter) คือเกตผกผันฐานสองที่เครือข่ายดึงลงต่ออยู่กับแหล่งจ่าย $V_{DD}/2$ เพื่อส่งรูปคลื่นที่แกว่งอยู่ระหว่าง V_{DD} กับ $V_{DD}/2$, หรือตรรกะ 1 กับตรรกะ 1/2, ไปให้วงจรในสเตจที่ 3 นอกจากนี้ เกตผกผัน

แบบยูต้องมีขนาดใหญ่ขึ้น 4 เท่าเพื่อให้ขับเคลื่อนได้เท่ากับเกตผกผันฐานสองแบบปกติ สามารถจำลองความหน่วงได้ดังนี้

$$\begin{aligned} \text{ความหน่วงขาขึ้น (D}_p\text{)} &= 260.00\text{ps} \\ \text{ความหน่วงขาลง (D}_f\text{)} &= 423.06\text{ps} \\ \text{ความหน่วงเฉลี่ย (D}_{\text{upper}}\text{)} &= 341.53\text{ps} \end{aligned}$$

ความหน่วงสัมบูรณ์จากการคำนวณในตารางที่ 4.2 คือ $\tau(5.52 + 3.75p_{b\text{-inv}})$ เมื่อแทนค่าความหน่วงแฝงจากการทดลองแล้วมีค่า **432.54ps** ซึ่งมากกว่าความหน่วงเฉลี่ยจากการทดลองประมาณ **27** เปอร์เซ็นต์



รูปที่ 5.5 วงจรทดสอบความหน่วงเส้นทางบนของวงจรตรวจสอบสัญญาณแบ่งรอบการทำงาน

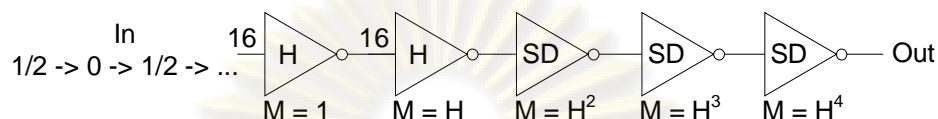
เมื่อเพิ่มความพยายามเชิงไฟฟ้า (**H**) เป็น **8** แล้วสามารถคำนวณความหน่วงสัมบูรณ์ ($D_{\text{abs-v}}$) จากตารางที่ 4.3, เท่ากับ $\tau(12.27 + 3.75p_{b\text{-inv}})$, ได้ **694.70ps** และจำลองความหน่วงเฉลี่ยได้ **540.87ps** ซึ่งผลจากการคำนวณมากกว่าการจำลองประมาณ **28** เปอร์เซ็นต์

5.2.2.2 ความหน่วงจากการตอบสนองต่อตรรกะ 0 กับ 1/2 (lower path)

เปรียบเทียบความหน่วงกับวงจรทดสอบดังรูปที่ 5.6, กำหนดให้เกตผกผันแบบเอช (**H-inverter**) เป็นเกตผกผันฐานสองที่เครือข่ายดึงขึ้นเชื่อมอยู่กับแหล่งจ่าย $V_{DD}/2$ เพื่อให้สามารถส่งรูปคลื่นที่แกว่งอยู่ระหว่างตรรกะ 1/2 และตรรกะ 0 ไปให้วงจรในสเตจที่ 3 ได้ นอกจากนี้ เกตผกผันแบบเอชยังคงมีขนาดใหญ่ขึ้น 4 เท่าเช่นเดียวกับเกตผกผันแบบยูในหัวข้อก่อนหน้า สามารถจำลองความหน่วงได้ดังนี้

$$\begin{aligned} \text{ความหน่วงขาขึ้น (D}_p\text{)} &= 410.01\text{ps} \\ \text{ความหน่วงขาลง (D}_f\text{)} &= 580.60\text{ps} \\ \text{ความหน่วงเฉลี่ย (D}_{\text{lower}}\text{)} &= 495.31\text{ps} \end{aligned}$$

ความหน่วงสัมบูรณ์จากการคำนวณในตารางที่ 4.2 คือ $\tau(10.22 + 3.5p_{b-iv})$ เมื่อแทนค่าความหน่วงแฝงที่ได้จากการทดลอง, 1.5, แล้วมีค่า 600.39ps ซึ่งมากกว่าความหน่วงเฉลี่ยจากการทดลองประมาณ 21 เปอร์เซ็นต์



รูปที่ 5.6 วงจรทดสอบความหน่วงเส้นทางกลางของวงจรตรวจจับสัญญาณแบ่งรอบการทำงาน

เมื่อเพิ่มความพยายามเชิงไฟฟ้า (H) เป็น 8 แล้วสามารถคำนวณความหน่วงสัมบูรณ์ (D_{abs}) จากตารางที่ 4.3, เท่ากับ $\tau(16.97 + 3.5p_{b-iv})$, ได้ 862.36ps และจำลองความหน่วงเฉลี่ยได้ 710.28ps ซึ่งผลจากการคำนวณมากกว่าการจำลองประมาณ 21 เปอร์เซ็นต์ สามารถสรุปผลการจำลองความหน่วงของทั้ง 2 เส้นทางได้ดังตารางที่ 5.2

ตารางที่ 5.2 ผลการประมาณความหน่วงของวงจรตรวจจับสัญญาณแบ่งรอบการทำงาน

เส้นทาง	แพลนเอท	ความหน่วงจากการประมาณ (ps)	ความหน่วงจากการจำลอง (ps)	มากกว่าการจำลอง (%)
บน	2	432.54	341.53	27
	8	694.70	540.87	28
ล่าง	2	600.39	495.31	21
	8	862.36	710.28	21

5.3 การปรับแต่งวงจรตรวจจับสัญญาณแบ่งรอบการทำงาน

ความพยายามเชิงตรรกะเป็นแนวทางที่ช่วยให้นักออกแบบสามารถปรับแต่งวงจรให้มีความหน่วงน้อยสำหรับขนาดของโหนดที่สนใจ หรือกล่าวได้ว่าเป็นการปรับแต่งวงจรให้เหมาะสมกับโหนด ในหัวข้อนี้จะทดลองนำวงจรตรวจจับสัญญาณแบ่งรอบการทำงานซึ่งเป็นส่วนหนึ่งของวงจรสมวารแบบตรรกะไตรภาคชนิดซิมป์ปรับแต่งให้เหมาะสมกับโหนด โดยเลือกใช้โหนดเป็นแพลนเอทขนาด 2 และ 8 นอกจากนี้ยังทดลองนำวงจรที่ปรับแต่งแล้วมาจับโหนดที่น้อยกว่า หรือมากกว่าที่รองรับได้เพื่อศึกษาผลกระทบจากการใช้งานวงจรที่ไม่เหมาะสมกับโหนด สำหรับการ

ปรับแต่งวงจรตรวจจับสัญญาณแบ่งรอบการทำงานมี 2 ขั้นตอนคือการวิเคราะห์จำนวนสเตจ กับ การวิเคราะห์ขนาดของทรานซิสเตอร์

5.3.1 การวิเคราะห์จำนวนสเตจ (number of stage)

การวิเคราะห์จำนวนสเตจที่เหมาะสมเริ่มต้นจากการวิเคราะห์ความพยายามเชิงสเตจที่ดีที่สุด (the best stage effort, ρ) โดยแทนค่าความหน่วงแฝงเฉลี่ยของเกตผกผันฐานสอง, $\rho_{inv} = 1.5$ ลงในสมการที่ 2.30 จะได้ $\rho = 3.97$ จากนั้นหาจำนวนสเตจที่ดีที่สุด (the best number of stage) ได้จากการแทนค่า ρ และความพยายามเชิงสเตจ F ในสมการที่ 2.31, สำหรับการออกแบบวงจรตรวจจับสัญญาณแบ่งรอบการทำงานที่มีความพยายามเชิงไฟฟ้าเท่ากับ 2 แล้ว จำนวนสเตจที่ดีที่สุดสำหรับเส้นทางบน, $F = 7.38$ และเส้นทางล่าง, $F = 189$ คือ 1.44 และ 213 สเตจ หรือปัดเป็นจำนวนเต็มก็คือ 1 และ 2 สเตจ แต่เมื่อพิจารณาวงจรแล้วพบว่าไม่สามารถลดจำนวนสเตจให้เป็นไปตามที่คำนวณเนื่องจากไม่สามารถตัดเกตใดๆ ออกได้อีก สำหรับจำนวนสเตจที่ดีที่สุดของวงจรตรวจจับสัญญาณแบ่งรอบการทำงานที่มีความพยายามเชิงไฟฟ้าเท่ากับ 8 จะได้จำนวนสเตจที่ดีที่สุดสำหรับเส้นทางบน, $F=29.52$ และเส้นทางล่าง, $F=75.6$ คือ 2.46 และ 314 สเตจ หรือปัดเป็นจำนวนเต็มคือ 2 และ 3 สเตจ ตามลำดับ ซึ่งตรงกับวงจรเดิมอยู่แล้ว ไม่จำเป็นต้องเพิ่มจำนวนสเตจแต่อย่างใด

5.3.2 การปรับขนาดของทรานซิสเตอร์ (transistor sizing)

การวิเคราะห์ขนาดของแต่ละเกต เริ่มด้วยการเฉลี่ยความพยายามเชิงสเตจ เพื่อให้แต่ละสเตจมีความพยายามเท่ากัน,

$$\begin{aligned} f_u &= 7.38^{\frac{1}{2}} \\ &= 2.72 \end{aligned}$$

คำนวณขนาดทรานซิสเตอร์ของเกต โดยเริ่มจากเกตท้ายสุดของเส้นทางไปยังเกตเริ่มต้น (เกตแนนด์),

$$\begin{aligned} C_{in-NAND} &= \frac{g_{NAND} \times C_{out-NAND}}{f_u} \\ &= \frac{1.25 \times 9}{2.72} \\ &= 414 \end{aligned}$$

นำค่า $C_{in-NAND}$ มาแบ่งเป็นขนาดของมอสชนิดพีและมอสชนิดเอ็นของเกตแนนด์ได้

มอสชนิดพี,

$$W_{p-NAND} = C_{in-NAND} \times \frac{3}{5}$$

$$= 248$$

เนื่องจากมอสชนิดพีของเกตแนนด์กว้างเป็น 1.5 เท่าของมอสชนิดพี, ตามรูปที่ 2.16(ข), ดังนั้นขนาดของมอสชนิดเอ็น (W_{n-NAND}) เท่ากับ 1.66, จากนั้นคำนวณขนาดทรานซิสเตอร์ของเกตผกผันแบบดี โดยให้ความจุเอาต์พุต คือความจุอินพุตของเกตถัดไป,

$$C_{out-D} = 414$$

ความจุอินพุตของเกตผกผันแบบดี,

$$C_{in-D} = \frac{g_D \times C_{out-D}}{f_u}$$

$$= \frac{229 \times 414}{272}$$

$$= 349$$

แต่ต้องเพิ่มขนาดดังกล่าวขึ้นสองเท่าเพราะเกตผกผันแบบดีมีการเติมประจุทีละครึ่งของความจุ ดังนั้น,

$$C_{in-D} = 698$$

ความกว้างของมอสชนิดพี,

$$W_{p-D} = C_{in-D} \times \frac{6}{7}$$

$$= 598$$

ปัดเป็นจำนวนเต็มทีใกล้เคียงที่สุดได้, $W_{p-D} = 6$

เนื่องจากมอสชนิดพีของเกตผกผันแบบดีกว้างเป็น 6 เท่าของมอสชนิดเอ็น ดังนั้นขนาดของมอสชนิดเอ็น (W_{n-D}) เท่ากับ 1 หรือกล่าวได้ว่าไม่จำเป็นต้องปรับขนาดของเกตแต่อย่างใด

ต่อไปเป็นการคำนวณขนาดเกตในเส้นทางล่างตามขั้นตอนเช่นเดียวกับเส้นทางบน เริ่มจากการเฉลี่ยความพยายามเชิงสแตจของเส้นทางล่าง,

$$f_1 = 189^3$$

$$= 266$$

ความจุอินพุตของเกตแนนด์,

$$C_{in-NAND} = \frac{g_{NAND} \times C_{out-NAND}}{f_1}$$

$$= \frac{1.25 \times 9}{266}$$

$$= 423$$

ความกว้างของมอสชนิดพี,

$$W_{p-NAND} = C_{in-NAND} \times \frac{3}{5}$$

$$= 254$$

เนื่องจากมอสนิทธิพิของเกตแนนด์กว้างเป็น 1.5 เท่าของมอสนิทธิพิ, ตามรูปที่ 216(ข), ดังนั้นขนาดของมอสนิทธิเอน (W_{n-NAND}) เท่ากับ 1.69, จากนั้นคำนวณขนาดของเกตผกผัน

ความจุเอาต์พุตของเกตผกผัน, $C_{out-inv} = 423$

ความจุอินพุตของเกตผกผัน, $C_{in-inv} = \frac{g_{inv} \times C_{out-inv}}{f_1}$

$$= \frac{1 \times 423}{266}$$

$$= 1.59$$

ความกว้างของมอสนิทธิพิ, $W_{p-inv} = C_{in-inv} \times \frac{3}{4}$

$$= 1.19$$

ความกว้างของมอสนิทธิเอน, $W_{n-inv} = C_{out-inv} - W_{p-inv}$

$$= 04$$

จากนั้นคำนวณขนาดของเกตผกผันแบบจี้ 1

ความจุเอาต์พุตของเกตผกผันแบบจี้ 1, $C_{out-G1} = 1.59$

ความจุอินพุตของเกตผกผันแบบจี้ 1, $C_{in-G1} = \frac{g_{G1} \times C_{out-G1}}{f_1}$

$$= \frac{1.68 \times 4}{266}$$

$$= 1$$

แต่ต้องเพิ่มขนาดดังกล่าวขึ้นสองเท่าเพราะเกตผกผันแบบดิมมีการเติมประจุที่ละครึ่งของความจุ ดังนั้น,

$$C_{in-G1} = 2$$

ความกว้างของมอสนิทธิพิ, $W_{p-G1} = C_{in-G1} \times \frac{1}{2}$

$$= 1$$

ดังนั้นมอสนิทธิเอนซึ่งกำหนดให้มีความกว้างเท่ากับมอสนิทธิพิมีขนาด,

$$W_{n-G1} = 1$$

สำหรับขนาดของทรานซิสเตอร์เมื่อวงจรมีความพยายามเชิงไฟฟ้าเท่ากับ 8 สามารถคำนวณได้ตามขั้นตอนเดียวกัน ผลการคำนวณทั้งหมดแสดงดังตารางที่ 5.3

ตารางที่ 5.3 ผลการคำนวณความกว้างทรานซิสเตอร์ของวงจรถวายับสัญญาณแบ่งรอบการทำงาน

เส้นทาง	เกต	$W_p (\mu m)$		$W_n (\mu m)$	
		H=2	H=8	H=2	H=8
บน	แนนด์	248	497	1.66	3.32
	เกตผสมแบบดี	6	6	1	1
ล่าง	แนนด์	254	6.38	1.69	4.26
	เกตผสม	1.19	1.89	0.4	0.63
	เกตผสมแบบจี 1	1	1	1	1

การทดสอบความหน่วงของวงจรถวายับสัญญาณแบ่งรอบการทำงานที่ได้ปรับขนาดของเกตตามการคำนวณที่ผ่านมายังคงใช้วงจรทดสอบความหน่วงตามรูปที่ 5.5 และ 5.6 โดยใช้วงจร 3 ลักษณะคือวงจรที่ปรับขนาดให้เหมาะสมกับความพยายามเชิงไฟฟ้าที่มีค่า 2 กับ 8 และวงจรที่ไม่มีการปรับขนาดแต่อย่างใด, แต่ละวงจรถูกทดสอบด้วยความพยายามเชิงไฟฟ้า 2 ลักษณะคือความพยายามเชิงไฟฟ้าเท่ากับ 2 และ 8 ตามลำดับ ผลการจำลองความหน่วงในตารางที่ 5.4 แสดงให้เห็นว่าการนำหลักการของความพยายามเชิงตรรกะมาใช้ สามารถลดความหน่วงเฉลี่ยของวงจรได้ถึงแม้ว่าจะเพิ่มขนาดของเกตให้ใหญ่ขึ้นเพื่อให้วงจรทำงานได้เร็ว แต่เกตที่มีขนาดใหญ่เกินไปกลับทำให้วงจรมีความหน่วงมากขึ้น ดังนั้นการปรับขนาดของเกตให้เหมาะสมกับโหลดจะสามารถช่วยลดความหน่วงโดยเฉลี่ยได้

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

ตารางที่ 5.4 ผลการจำลองความหน่วงของวงจรจذبสัญญาณแบ่งรอบการทำงาน

เฟรมเอาท์ ที่ใช้จริง	การเปลี่ยน สถานะอินพุต	เฟรมเอาท์ที่รองรับ	ความหน่วงเฉลี่ย (ps)
2	0<->1/2	ไม่ปรับขนาด	495.31
		2	505.38
		8	576.59
	1/2<->1	ไม่ปรับขนาด	341.53
		2	346.39
		8	416.56
8	0<->1/2	ไม่ปรับขนาด	710.28
		2	745.12
		8	665.17
	1/2<->1	ไม่ปรับขนาด	540.87
		2	581.32
		8	508.41

5.4 ความพยายามเชิงตรรกะของเกตแบบตรรกะไตรภาคชนิดซี

5.4.1 เกตผกผันแบบตรรกะไตรภาคชนิดซี

จากความสัมพันธ์ระหว่างสัญญาณที่ขา **S** และ **B** กับสัญญาณเอาต์พุตของวงจรผสม จึงสามารถสร้างวงจรทดสอบความพยายามเชิงตรรกะของเกตผกผันแบบตรรกะไตรภาคชนิดซีได้ดังรูปที่ 5.7, กำหนดให้สัญญาณ I_{n_s} และ I_{n_b} แทนสัญญาณที่มาจากบัฟเฟอร์ โดยมีเกตผกผันฐานสองทำหน้าที่ปรับรูปคลื่นให้ใกล้เคียงความเป็นจริง, มีเกตผกผันแบบตรรกะไตรภาคชนิดซีหมายเลข 2 และ 3 ทำหน้าที่เป็น โหลด (load) และ โหลดบนโหลด (load on load) ของเกตที่สนใจ, เกตหมายเลข 1, ทุกเกตมีสัญลักษณ์ FO แทนจำนวนเฟรมเอาท์

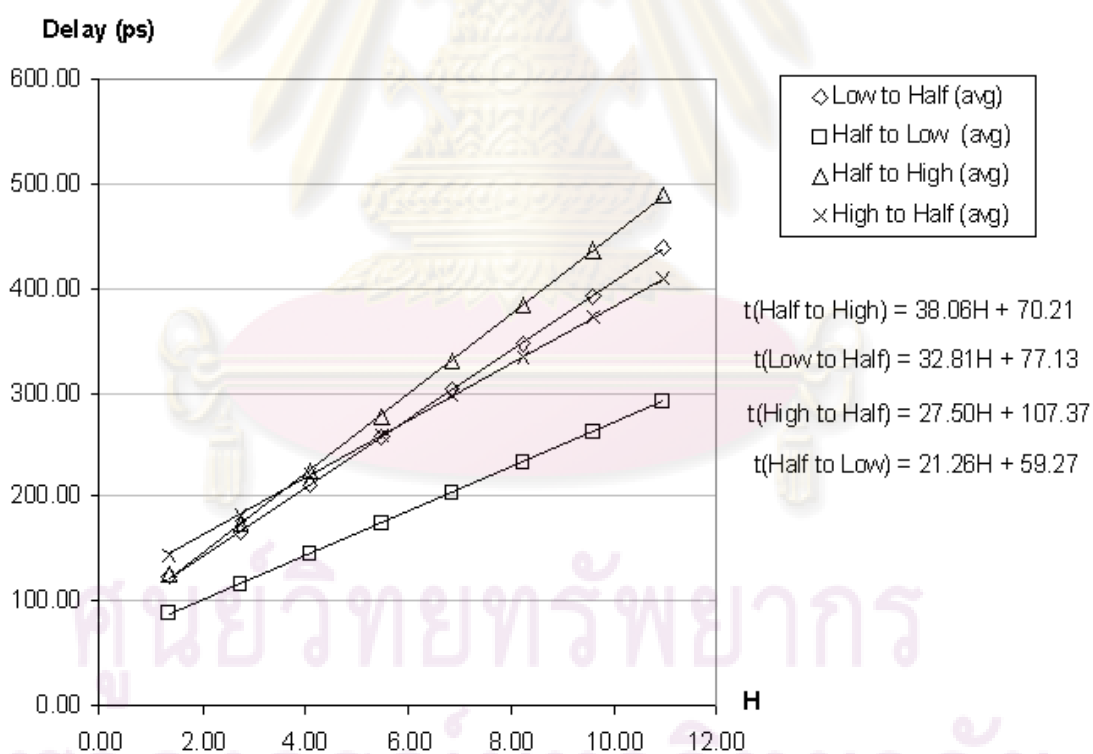
สังเกตว่าความพยายามเชิงไฟฟ้า, $H = C_{out}/C_{in}$ ของเกตที่ทำการทดลองมีค่าไม่เท่ากับ 1 โดยที่ขา S (H_s) มีค่าเท่ากับ $\frac{8}{5}$ และที่ขา B (H_b) มีค่าเท่ากับ $\frac{8}{7}$ แต่ถ้าปรับปรุงเกตผกผันฐานสองใน

แสดงก่อนหน้าให้มีความพยายามเชิงไฟฟ้าตามค่าดังกล่าว, $\frac{8}{5}$ สำหรับเกตผกผันฐานสองที่รับ

สัญญาณ I_{n_s} และ $\frac{8}{7}$ สำหรับเกตผกผันฐานสองที่รับสัญญาณ I_{n_b} , จะทำให้สัญญาณทั้งสองมาถึง

ตารางที่ 5.5 ผลการจำลองความหน่วงของวงจรทดสอบความพยายามเชิงตรรกะของเกตผกผันแบบ
ตรรกะไตรภาคชนิดซี

H	Low to Half (ps)	Half to Low (ps)	Half to High (ps)	High to Half (ps)
1.37	124.28	89.78	125.19	144.07
2.74	165.18	115.97	174.28	182.79
4.11	211.41	146.64	225.16	221.18
5.49	256.99	175.97	277.32	258.86
6.86	302.23	205.05	330.26	296.36
8.23	347.04	234.29	383.26	333.79
9.60	392.21	263.44	436.23	371.16
10.97	437.43	292.57	489.14	408.48



รูปที่ 5.8 กราฟความสัมพันธ์ระหว่างความหน่วงกับความพยายามเชิงไฟฟ้าของเกตผกผันแบบ
ตรรกะไตรภาคชนิดซี

เนื่องจากเกิดแบบตรรกะไตรภาคชนิดซีมีการเปลี่ยนแปลงสถานะของสัญญาณถึงสี่ลักษณะ ต่างจากเกิดแบบตรรกะฐานสองที่มีเพียงสองสถานะ จึงไม่สามารถใช้ความหน่วงจากกระบวนการผลิต (τ) ร่วมกันได้ และในกรอบครัวของวงจรถรกะไตรภาคชนิดซีมีเกิดผกผันที่มีขนาดเล็กที่สุด จึงใช้เป็นเกตอ้างอิงเพื่อหาความหน่วงจากกระบวนการผลิต (τ_p), จากกราฟแสดงความสัมพันธ์ในรูปที่ 5.8 สามารถนำมาวิเคราะห์พารามิเตอร์ของความพยายามเชิงตรรกะได้ดังตารางที่ 5.6

ตารางที่ 5.6 ผลการวิเคราะห์ความหน่วงจากกระบวนการผลิตและความหน่วงแฝงของเกิดผกผันแบบตรรกะไตรภาคชนิดซี

การเปลี่ยนแปลงของตรรกะ	ความหน่วงจากกระบวนการผลิต (ps)	ความหน่วงแฝง
0 ไป 1/2	32.81	2.35
1/2 ไป 0	21.26	2.79
1/2 ไป 1	38.06	1.84
1 ไป 1/2	27.50	3.90
เฉลี่ย	29.91	2.72

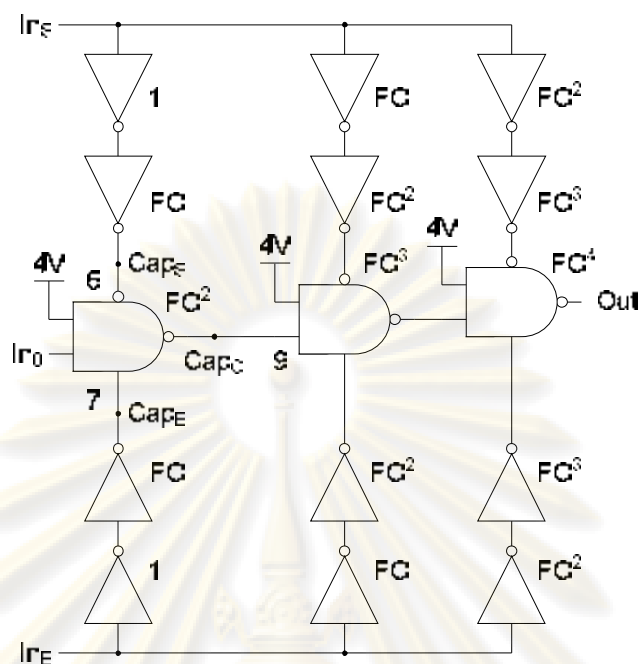
5.4.2 เกตแนนด์แบบตรรกะไตรภาคชนิดซี

การทดสอบความพยายามเชิงตรรกะของเกตแนนด์แบบตรรกะไตรภาคชนิดซียังคงใช้วงจรทดสอบในลักษณะเดียวกับเกิดผกผันแบบตรรกะไตรภาคชนิดซี ดังรูปที่ 5.9, เช่นเดียวกับวงจรก่อนหน้า, เกิดผกผันฐานสองถูกออกแบบให้มีความพยายามเชิงไฟฟ้าเท่ากับความสามารถเชิงไฟฟ้า

เฉลี่ยที่ขา S และ B ของเกตแนนด์แบบตรรกะไตรภาคชนิดซี, $H = \frac{\frac{9}{6} + \frac{9}{4}}{2} = 1.39$, ผลการจำลอง

ความหน่วงเฉลี่ยระหว่างโหนด Cap_s และ Cap_b เทียบกับเฟนเอท์แสดงดังตารางที่ 5.7

ศูนย์วิจัยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

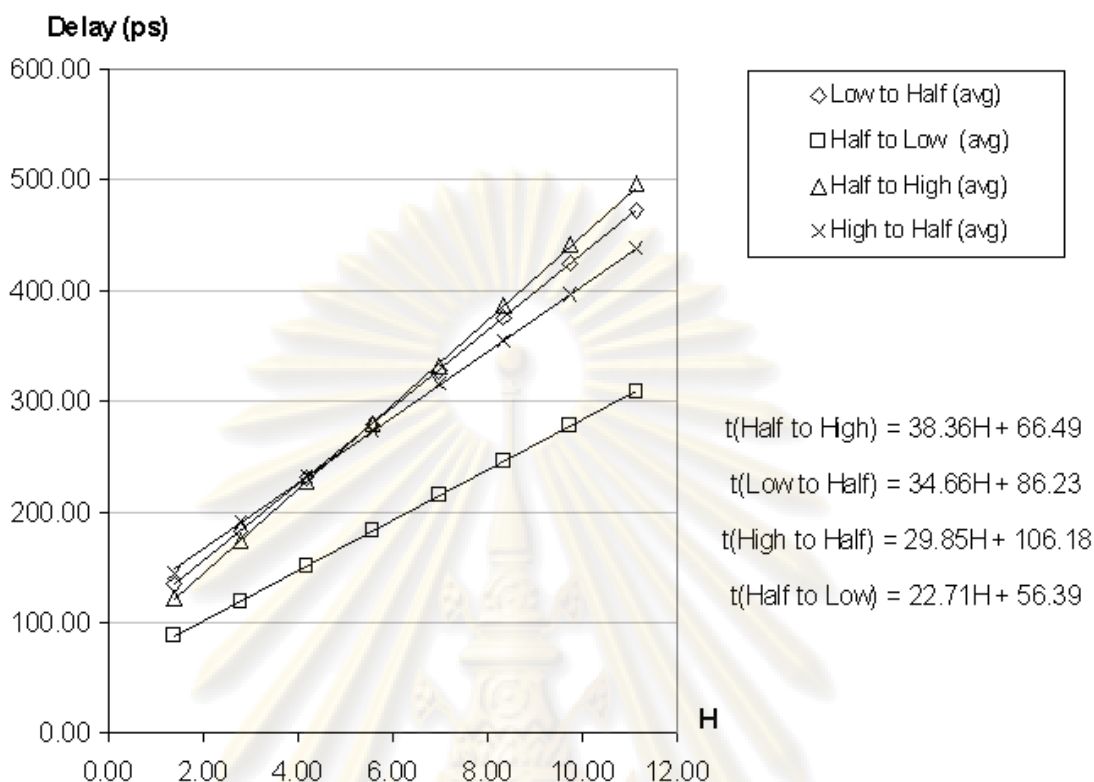


รูปที่ 5.9 วงจรทดสอบความพยายามเชิงตรรกะของเกตเนนด้แบบตรรกะไตรภาคชนิดซี

ตารางที่ 5.7 ผลการจำลองความหน่วงของวงจรทดสอบความพยายามเชิงตรรกะของเกตเนนด้แบบตรรกะไตรภาคชนิดซี

H	Low to Half (ps)	Half to Low (ps)	Half to High (ps)	High to Half (ps)
1.39	134.28	88.43	121.81	144.50
2.79	182.09	118.26	173.73	190.56
4.18	231.57	151.75	226.79	232.46
5.57	279.84	183.49	278.45	273.80
6.96	327.98	214.73	331.55	314.88
8.36	376.16	246.21	385.68	355.79
9.75	424.16	277.72	440.85	396.60
11.14	471.92	309.13	496.47	437.50

จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 5.10 กราฟความสัมพันธ์ระหว่างความหน่วงกับความพยายามเชิงไฟฟ้าของเกตแนนด์แบบ
ตรรกะไตรภาคชนิดซี

จากข้อมูลในตาราง, สามารถนำมาสร้างกราฟแสดงความสัมพันธ์ได้ดังรูปที่ 5.10 โดย
คำนวณความพยายามเชิงตรรกะและความหน่วงแฝง, ใช้ความหน่วงจากการผลิตเฉลี่ยในตารางที่
5.6 ได้ดังตารางที่ 5.8

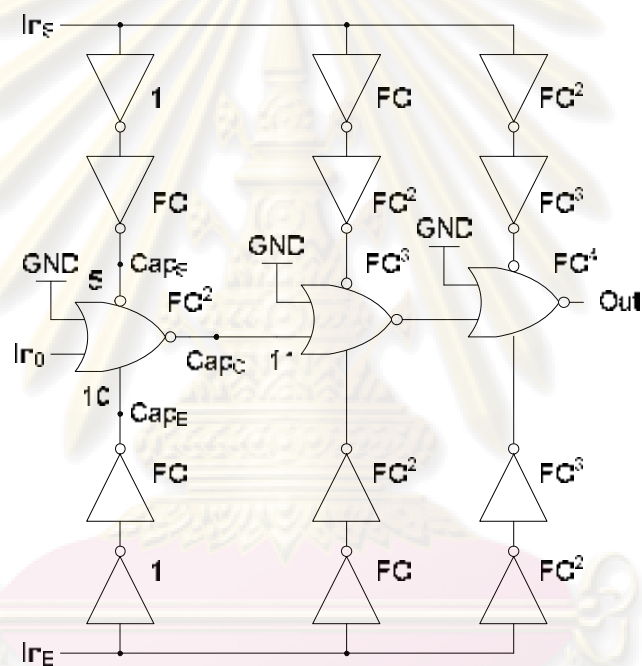
ตารางที่ 5.8 ผลการวิเคราะห์ความพยายามเชิงตรรกะและความหน่วงแฝงของเกตแนนด์แบบตรรกะ
ไตรภาคชนิดซี

การเปลี่ยนแปลงของตรรกะ	ความพยายามเชิงตรรกะ	ความหน่วงแฝง
0 ไป 1/2	1.06	263
1/2 ไป 0	1.07	265
1/2 ไป 1	1.01	1.75
1 ไป 1/2	1.09	386
เฉลี่ย	1.05	272

5.43 เกตเนอร์แบบตรรกะไตรภาคชนิดซี

รูปที่ 5.11 แสดงวงจรทดสอบความหน่วงของเกตเนอร์แบบตรรกะไตรภาคชนิดซี เช่นเดียวกับสองวงจรก่อนหน้านี้, ขนาดทรานซิสเตอร์ของเกตผกผันฐานสองถูกปรับเพื่อให้มีความพยายามเชิงไฟฟ้าเท่ากับความสามารถเชิงไฟฟ้าเฉลี่ยระหว่างขา **S** กับ **B** ของเกตเนอร์, $H = \frac{11}{5} + \frac{11}{10} = 1.65$, ผลการจำลองความหน่วงเฉลี่ยระหว่างโหนด Cap_5 และ Cap_8 เทียบกับเฟนเอาท์

แสดงดังตารางที่ 5.9 และกราฟในรูปที่ 5.12 แสดงความสัมพันธ์ดังกล่าว

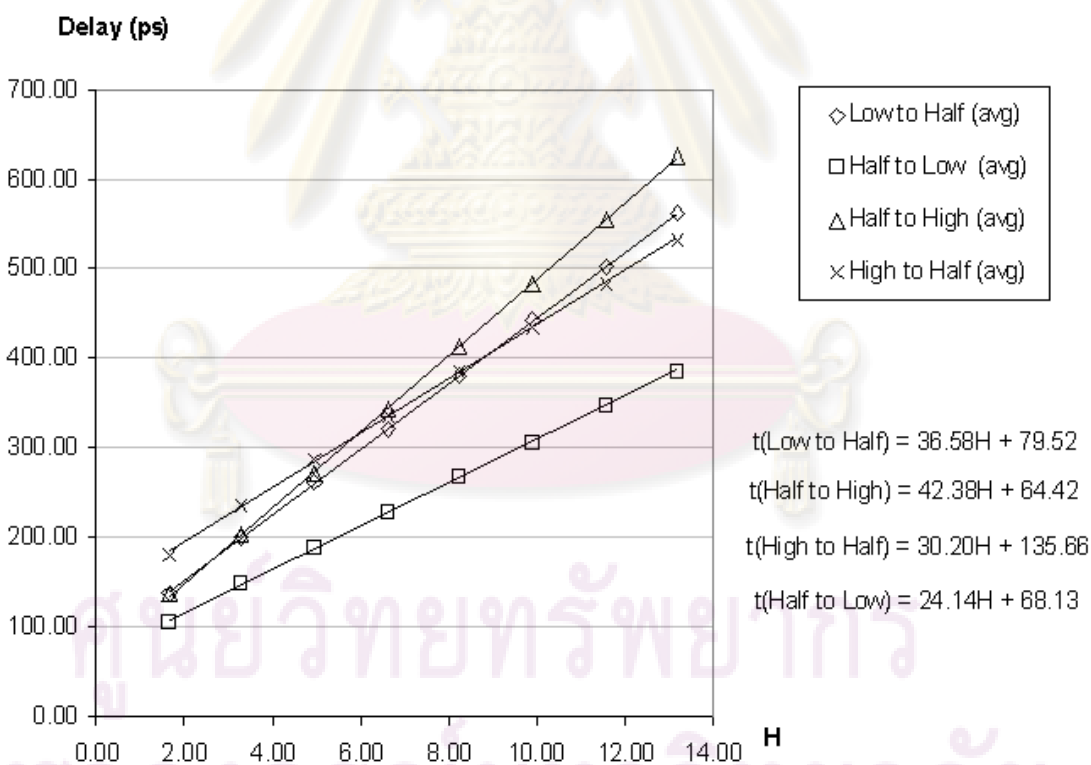


รูปที่ 5.11 วงจรทดสอบความพยายามเชิงตรรกะของเกตเนอร์แบบตรรกะไตรภาคชนิดซี

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

ตารางที่ 5.9 ผลการจำลองความหน่วงของวงจรทดสอบความพยายามเชิงตรรกะของเกตเนอร์แบบ
ตรรกะไตรภาคชนิดซี

H	Low to Half (ps)	Half to Low (ps)	Half to High (ps)	High to Half (ps)
1.65	139.24	105.72	137.82	181.30
3.30	200.15	148.07	204.54	236.35
4.95	261.31	189.06	271.29	287.21
6.60	321.06	228.69	341.84	336.93
8.25	381.55	267.92	412.88	386.14
9.90	441.97	307.35	483.92	434.91
11.55	501.91	346.58	554.92	483.66
13.20	561.94	385.60	625.30	532.09



รูปที่ 5.12 กราฟความสัมพันธ์ระหว่างความหน่วงกับความพยายามเชิงไฟฟ้าของเกตเนอร์แบบ
ตรรกะไตรภาคชนิดซี

สามารถนำข้อมูลจากกราฟมาคำนวณความพยายามเชิงตรรกะและความหน่วงแฝงของเกต NOR แบบตรรกะไตรภาคชนิดซีได้ดังนี้

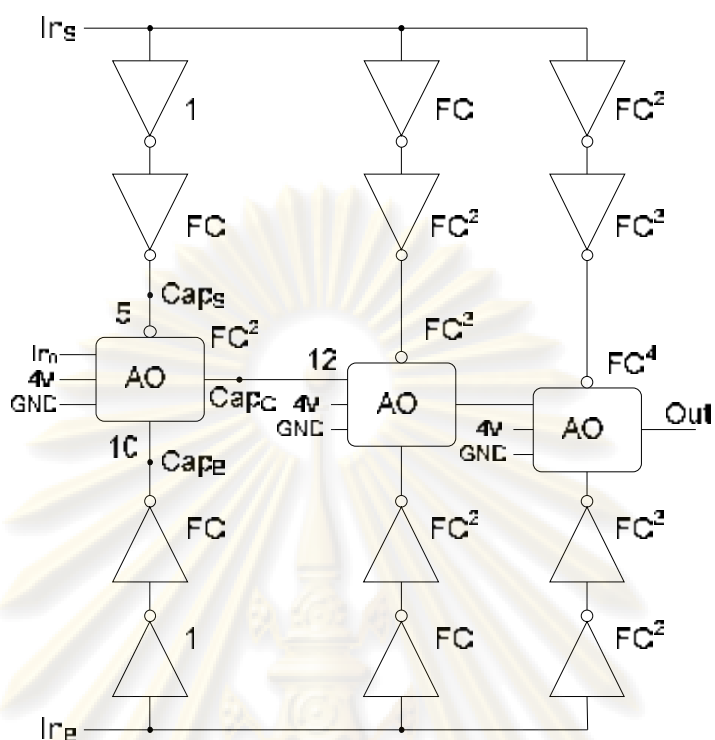
ตารางที่ 5.10 ผลการวิเคราะห์ความพยายามเชิงตรรกะและความหน่วงแฝงของเกต NOR แบบตรรกะไตรภาคชนิดซี

การเปลี่ยนแปลงของตรรกะ	ความพยายามเชิงตรรกะ	ความหน่วงแฝง
0 ไป 1/2	1.12	242
1/2 ไป 0	1.14	320
1/2 ไป 1	1.11	1.69
1 ไป 1/2	1.10	493
เฉลี่ย	1.12	306

5.44 เกตแอนด์-ออร์-อินเวิร์ตแบบตรรกะไตรภาคชนิดซี

เนื่องจากเกตแอนด์-ออร์-อินเวิร์ตมีลักษณะเป็นเกตแบบอสมมาตร, ความจุขาเข้าที่ขาอินพุตของสัญญาณข้อมูลมีค่าไม่เท่ากัน โดย C_{In} และ C_{In} มีค่า 12 ในขณะที่ C_{In2} มีค่า 11, จึงสร้างวงจรทดลอง 2 วงจรดังรูปที่ 5.13 และ 5.15 เพื่อแสดงว่าสัญญาณ S และ B เท่านั้นที่มีผลต่อความหน่วงของเกตแบบตรรกะไตรภาคชนิดซีดังที่กล่าวไว้แล้วในตอนต้นของบทที่ 4 ขนาดทรานซิสเตอร์ของเกตผกผันฐานสองในรูปที่ 5.13 และ 5.15 ถูกปรับให้มีความพยายามเชิงไฟฟ้าเท่ากับ ความพยายามเชิงไฟฟ้าเท่ากับ 1.8 และ 1.65 ตามลำดับ, ผลการจำลองความหน่วงเฉลี่ยระหว่างโหนด Cap_s และ Cap_b เทียบกับแฟนเอทซ์ของรูปที่ 5.13 แสดงดังตารางที่ 5.11 และสร้างกราฟแสดงความสัมพันธ์ดังรูปที่ 5.14 ส่วนผลการจำลองความหน่วงเฉลี่ยของวงจรในรูปที่ 5.15 แสดงดังตารางที่ 5.12 และสร้างกราฟแสดงความสัมพันธ์ดังรูปที่ 5.16

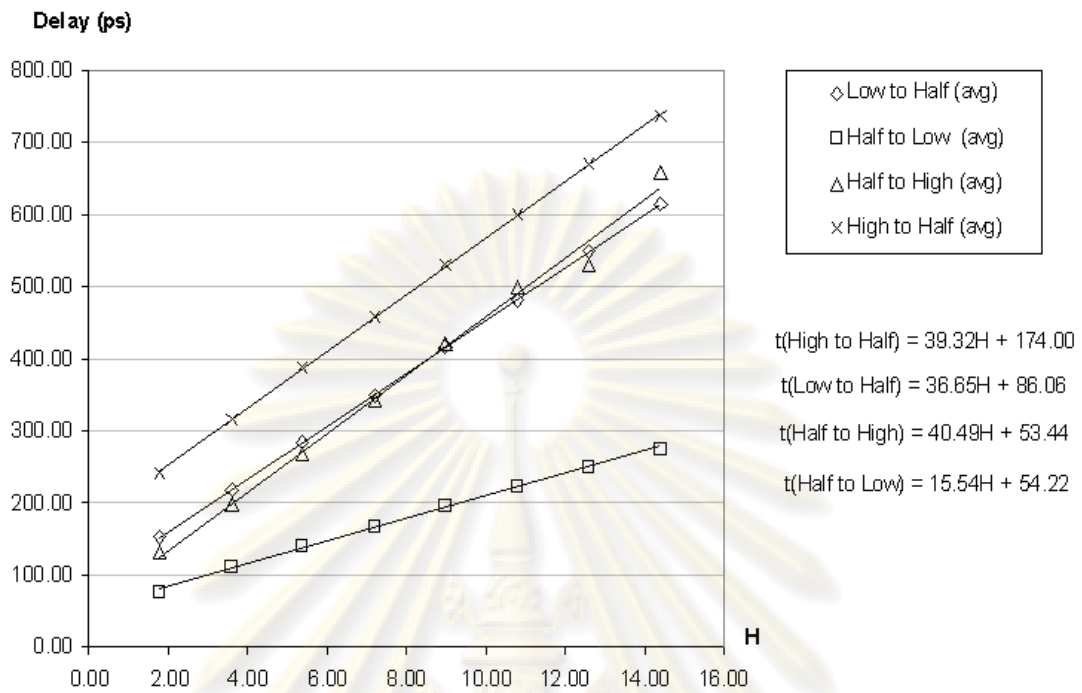
ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย



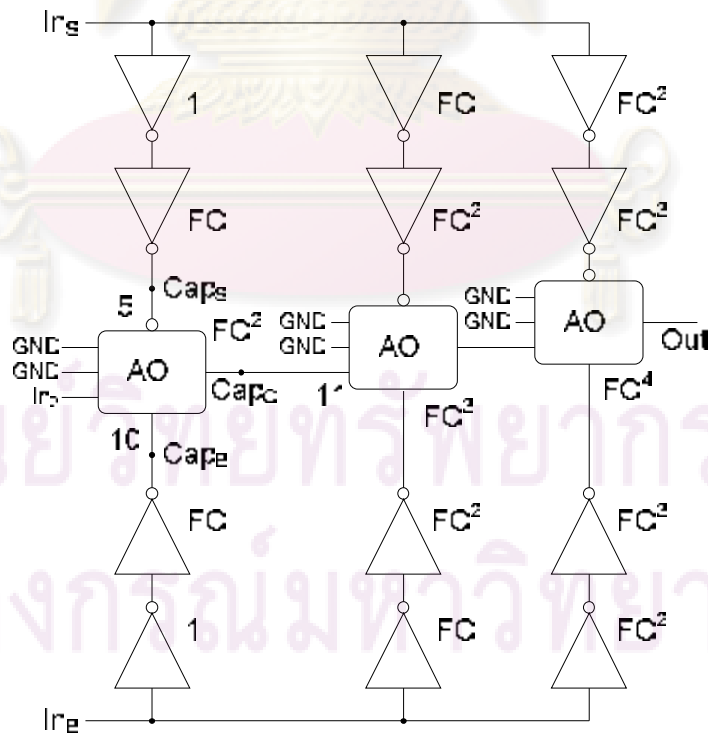
รูปที่ 5.13 วงจรทดสอบความพยายามเชิงตรรกะของเกตแอนด์-ออร์-อินเวิร์ตแบบตรรกะไตรภาค
ชนิดซีที่ถูกโหลดด้วยขา I_{n0}

ตารางที่ 5.11 ผลการจำลองความหน่วงของวงจรทดสอบความพยายามเชิงตรรกะของเกตแอนด์-
ออร์-อินเวิร์ตแบบตรรกะไตรภาคชนิดซีที่ถูกโหลดด้วยขา I_{n0}

H	Low to Half (avg)	Half to Low (avg)	Half to High (avg)	High to Half (avg)
1.80	152.88	77.85	132.25	241.98
3.60	217.67	110.77	197.90	315.79
5.40	283.47	140.24	267.83	387.70
7.20	349.45	168.55	342.55	458.80
9.00	415.81	196.07	421.37	529.08
10.80	482.27	222.91	500.93	599.15
12.60	548.19	249.13	530.15	668.82
14.40	613.79	275.38	658.38	738.37



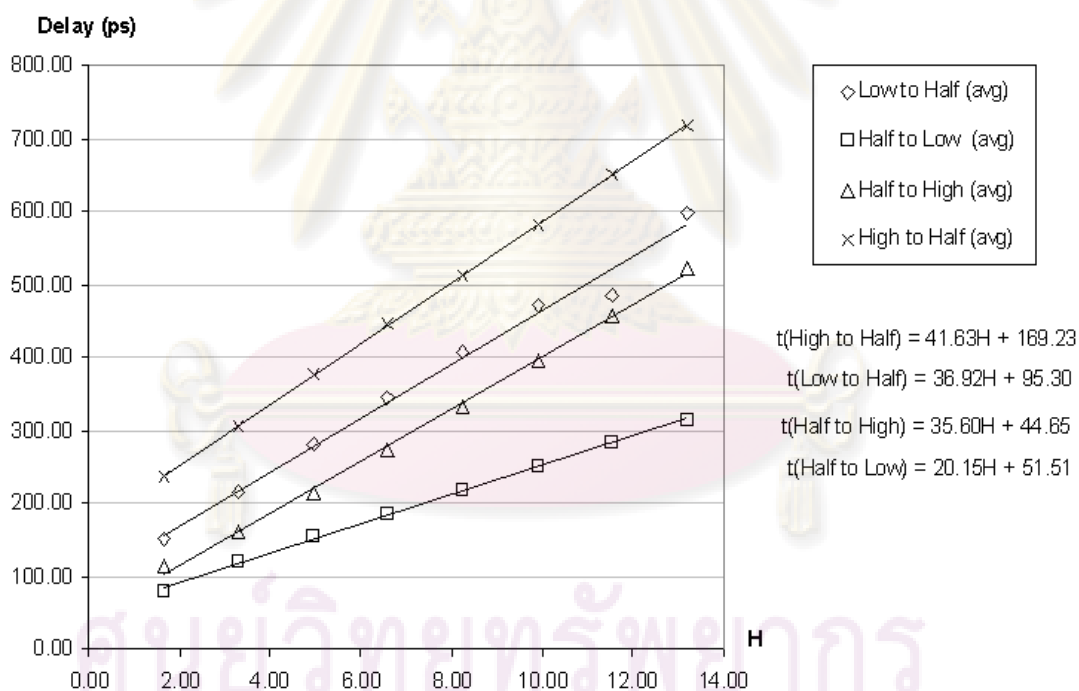
รูปที่ 5.14 กราฟความสัมพันธ์ระหว่างความหน่วงกับความพยายามเชิงไฟฟ้าของเกตแอนด์-ออร์-อินเวิร์ตแบบตรรกะไตรภาคชนิดซีที่ถูกโหลดด้วยขา I_b



รูปที่ 5.15 วงจรทดสอบความพยายามเชิงตรรกะของเกตแอนด์-ออร์-อินเวิร์ตแบบตรรกะไตรภาคชนิดซีที่ถูกโหลดด้วยขา I_b

ตารางที่ 5.12 ผลการจำลองความหน่วงของวงจรทดสอบความพยายามเชิงตรรกะของเกตแอนด์-ออร์-อินเวิร์ตแบบตรรกะไตรภาคชนิดซีที่ถูกโหลดด้วยขา In_2

H	Low to Half (avg)	Half to Low (avg)	Half to High (avg)	High to Half (avg)
1.65	150.82	80.57	114.67	236.38
3.30	216.68	118.68	161.36	306.77
4.95	280.38	153.22	214.64	376.10
6.60	343.99	186.81	272.94	444.89
8.25	407.77	219.43	333.05	513.25
9.90	471.63	251.69	395.37	581.63
11.55	485.40	283.38	458.42	649.80
13.20	598.84	314.95	521.27	717.75



รูปที่ 5.16 กราฟความสัมพันธ์ระหว่างความหน่วงกับความพยายามเชิงไฟฟ้าของเกตแอนด์-ออร์-อินเวิร์ตแบบตรรกะไตรภาคชนิดซีที่ถูกโหลดด้วยขา In_2

สามารถนำข้อมูลจากกราฟในรูปที่ 5.14 และ 5.16 มาคำนวณความพยายามเชิงตรรกะและความหน่วงแฝงของเกตแอนด์-ออร์-อินเวิร์ตแบบตรรกะไตรภาคชนิดซีได้ดังตารางที่ 5.13

ตารางที่ 5.13 ผลการวิเคราะห์พยายามเชิงตรรกะและความหวังแฝงจากเกตแอนด์-ออร์-อินเวิร์ต
ตแบบตรรกะไตรภาคชนิดซี

การเปลี่ยนแปลงของตรรกะ	ความพยายามเชิงตรรกะ		ความหวังแฝง	
	ขา I_{n_0}	ขา I_{n_2}	ขา I_{n_0}	ขา I_{n_2}
0 ไป 1/2	1.22	1.21	315	284
1/2 ไป 0	1.12	0.86	286	301
1/2 ไป 1	1.01	1.15	1.27	1.52
1 ไป 1/2	1.23	1.16	5.00	5.14
เฉลี่ย	1.14	1.10	3.07	3.13

จากการคำนวณและจำลองที่ผ่านมา, สามารถเปรียบเทียบความพยายามเชิงตรรกะเฉลี่ย, $(g+g_b)/2$ และความหวังแฝงเฉลี่ย, $(p_s+p_b)/2$ ของเกตแบบตรรกะไตรภาคชนิดซีจากการคำนวณและการจำลองได้ดังตารางที่ 5.14, จะพบว่าค่าที่ได้จากการคำนวณจะมากกว่าค่าจากการจำลองเสมอ ซึ่งเป็นคุณลักษณะหนึ่งของการประมาณความหวังด้วยความพยายามเชิงตรรกะ

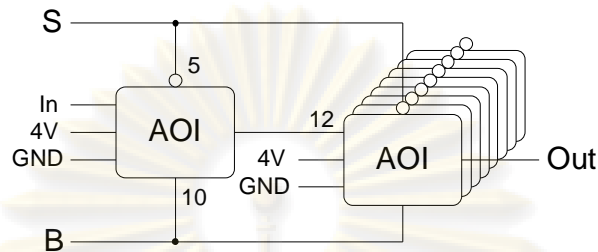
ตารางที่ 5.14 ค่าเฉลี่ยความพยายามเชิงตรรกะและความหวังแฝงที่ได้จากการคำนวณเทียบกับการจำลองการทำงาน

เกตแบบตรรกะไตรภาคชนิดซี	ความพยายามเชิงตรรกะเฉลี่ย		ความหวังแฝงเฉลี่ย	
	คำนวณ	จำลอง	คำนวณ	จำลอง
ผกผัน	1	1	2.72	2.72
แนนด์	1.13	1.05	2.97	2.72
นอร์	1.21	1.12	3.46	3.06
แอนด์-ออร์-อินเวิร์ต (I_{n_0}/I_{n_2})	1.34/1.34	1.14/1.10	3.71/3.71	3.07/3.13

5.5 การปรับแต่งเกตแบบตรรกะไตรภาคชนิดซี

ในหัวข้อนี้แสดงการปรับแต่งเกตแบบตรรกะไตรภาคชนิดซีให้เหมาะสมกับโหลดตามวิธีการของความพยายามเชิงตรรกะ ซึ่งยังคงมี 2 ขั้นตอนเช่นเดียวกับการปรับแต่งวงจรตรวจจับสัญญาณแบริ่งรอบการทำงานที่ได้อธิบายไว้ในหัวข้อก่อนหน้า ซึ่งการทดลองใช้เกตแอนด์-ออร์-อินเวิร์ต (AOD) แบบตรรกะไตรภาคชนิดซีที่ได้รับการปรับแต่งให้เหมาะสมกับโหลดขนาดแฟนเอาท์

8 ดังรูปที่ 5.17 มาเปรียบเทียบความหน่วงกับเกตที่ไม่ได้รับการปรับแต่ง นอกจากนี้ยังเปรียบเทียบความหน่วงเมื่อเกตดังกล่าวถูกโหลดด้วยแฟนเอาท์ 1, 8 และ 16 ตามลำดับ



รูปที่ 5.17 เกตแอนด์-ออร์-อินเวอร์ตที่มีโหลดขนาดแฟนเอาท์ 8

5.5.1 การวิเคราะห์จำนวนสเตจ (number of stage)

การวิเคราะห์จำนวนสเตจทำได้ตามขั้นตอนเดียวกับการวิเคราะห์จำนวนสเตจของเกตแบบตรรกะฐานสองแต่เปลี่ยนค่าต่างๆ เป็นสำหรับเกตแบบตรรกะไตรภาคชนิดซี โดยสามารถคำนวณความพยายามเชิงสแตจที่ดีที่สุด, p , ด้วยการแทนค่าความหน่วงแฝงเฉลี่ยของเกตผกผันแบบตรรกะ

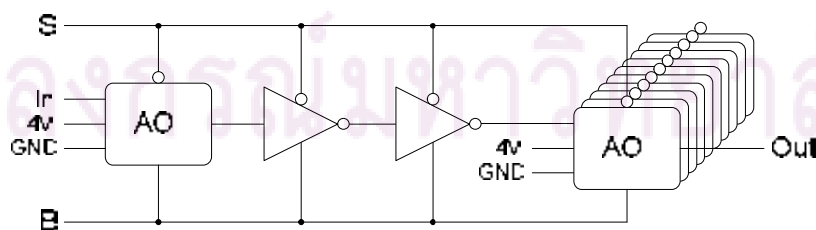
ไตรภาคชนิดซี, $p_{inv} = 2.72$ ลงในสมการที่ 2.30 จะได้ $p = 4.75$ สำหรับเกตแอนด์-ออร์-อินเวอร์ตที่มีความพยายามเชิงไฟฟ้าเท่ากับ 8 ในรูปที่ 5.17 มีความพยายามเชิงสแตจที่หา $S, F_S = g \times \frac{C_{out}}{C_{in}} =$

$\frac{5}{4} \times \frac{12 \times 8}{5} = 24$ มีความพยายามเชิงสแตจที่หา $B, F_B = \frac{10}{7} \times \frac{12 \times 8}{10} = 13.71$ ดังนั้นความพยายาม

เชิงสแตจเฉลี่ย, F_{avg} เท่ากับ 1886 แทนค่าต่างๆ ลงในสมการที่ 2.31 จะได้จำนวนสเตจที่เหมาะสม

$N = \frac{\ln 1886}{\ln 4.75} = 1.88$ ปัดเป็นจำนวนเต็มได้เท่ากับ 2 สเตจ แต่เมื่อพิจารณาวงจรแล้วพบว่าไม่

สามารถเพิ่มจำนวนสเตจเป็นจำนวนก็ได้ด้วยการใช้เกตผกผัน เพราะวงจรจะให้เอาท์พุตเป็นค่าตรงข้ามกับที่ต้องการ จึงแก้ไขด้วยการเพิ่มเกตผกผันแบบตรรกะไตรภาคชนิดซีเข้าไปอีก 2 ตัว ทำให้วงจรที่ปรับแต่งมีจำนวนสเตจ 3 สเตจดังรูปที่ 5.18



รูปที่ 5.18 วงจรแอนด์-ออร์-อินเวอร์ตที่มี 3 สเตจและถูกโหลดด้วยแฟนเอาท์ 8

5.5.2 การปรับขนาดของทรานซิสเตอร์ (transistor sizing)

จากรูปที่ 518 วงจรมี 3 สเตจ แต่ละสเตจควรมีความพยายาม $f = 1886^{\frac{1}{3}} = 266$ จากนั้นเริ่มคำนวณขนาดทรานซิสเตอร์ของเกตที่อยู่ท้ายไปหาเกตที่อยู่ด้านหน้าได้ผลการคำนวณความกว้างของมอสชนิดพีในเครือข่ายดึงขึ้นของตรรกะ 1 หรือ W_{pp} มอสชนิดเอ็นในเครือข่ายดึงลงหรือ W_{np} มอสชนิดพีในเครือข่ายดึงขึ้นของตรรกะ 1/2 หรือ W_{ps} และมอสชนิดเอ็นในเครือข่ายดึงขึ้นของตรรกะ 1/2 หรือ W_{ns} ดังตารางที่ 515

ตารางที่ 515 ขนาดทรานซิสเตอร์ในเกตแอนด-ออร์-อินเวิร์ตที่ถูกปรับแต่ง

สเตจ	เกตแบบตรรกะไตรภาคชนิดซี	ความจุขาเข้า	W_{pp} (mm)	W_{nm} (mm)	W_{ps} (mm)	W_{ns} (mm)
1	แอนด-ออร์-อินเวิร์ต	800	6.00	2.00	2.00	1.00
2	ผกผัน	1357	10.18	3.40	3.40	1.70
3	ผกผัน	3609	27.07	9.02	9.02	4.51

ผลการจำลองความหน่วงที่โหลดด้วยแฟนเอาท์ 8 ของเกตที่ไม่ได้รับการปรับแต่งกับเกตที่ปรับแต่งแล้วแสดงดังตารางที่ 516 จากตารางพบว่าการเปลี่ยนแปลงจากตรรกะ 1/2 ไปยังตรรกะ 0 และ 1 มีความหน่วงโดยเฉลี่ยลดลงเพียงประมาณ 56ps เป็นผลจากจำนวนสเตจที่เหมาะสมที่คำนวณได้มีค่า 1.88 ซึ่งอยู่ระหว่าง 1 กับ 3 ทำให้ความหน่วงของวงจรมี 1 สเตจกับ 3 สเตจมีค่าต่างกันไม่มาก ส่วนการเปลี่ยนแปลงจากตรรกะ 0 และ 1 ไปยังตรรกะ 1/2 นั้นวงจรถูกทำงานได้เร็วกว่าอย่างชัดเจนเนื่องจากวงจรทดสอบที่มี 3 สเตจนั้นใช้สายสัญญาณ S และ B ร่วมกัน สัญญาณดังกล่าวจึงสามารถสั่งการให้เกิดผกผันในสเตจที่ 3 ส่งสัญญาณ 1/2 ออกมาได้โดยไม่ต้องรอสัญญาณข้อมูลจากสเตจก่อนหน้า

ตารางที่ 516 ผลการจำลองความหน่วงของเกตแอนด-ออร์-อินเวิร์ตแบบปกติกับเกตเดียวกันที่ได้รับการปรับแต่ง

ปรับแต่ง	ความหน่วง (ps)			
	0 ไป 1/2	1/2 ไป 0	1/2 ไป 1	1 ไป 1/2
ไม่	532.34	304.62	536.12	549.74
ใช่	148.47	379.03	405.24	199.27

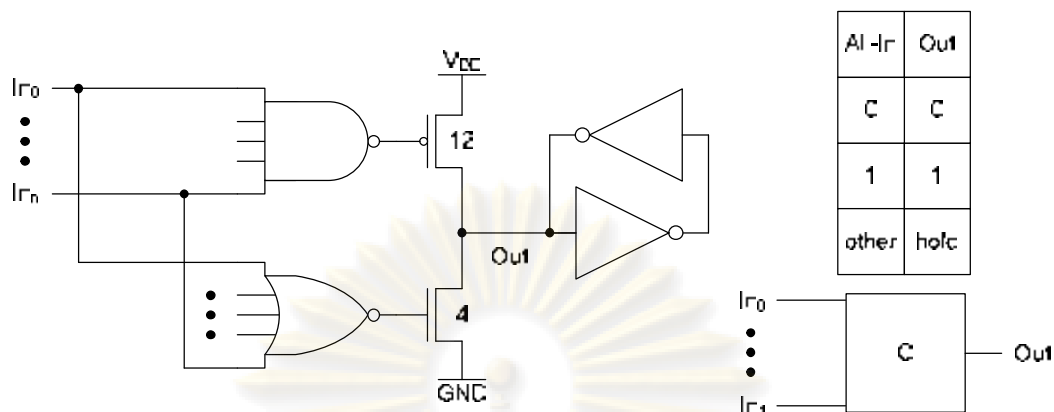
ผลการจำลองความหน่วงของเกตแอนด์-ออร์-อินเวิร์ตที่ออกแบบให้รองรับโหลดขนาดแฟนเอาท์ 8 โดยนำมาขับโหลดที่มีขนาดแฟนเอาท์ 1, 8 และ 16 ตามลำดับ แสดงดังตารางที่ 5.17 จากตารางพบว่าความหน่วงในการเปลี่ยนแปลงสัญญาณแต่ละลักษณะมีแนวโน้มเพิ่มขึ้นแบบเส้นตรง (linear) ทั้งที่วงจรควรมีความหน่วงน้อยที่สุดเมื่อขับโหลดขนาดแฟนเอาท์ 8 ซึ่งเป็นผลจากวงจรที่ทดสอบมีจำนวนสเตจน้อย ทำให้สัญญาณข้อมูล, In เดินทางมาถึงสเตจสุดท้ายได้ใกล้เคียงสัญญาณ S และ B ความหน่วงของวงจรจึงยังเป็นฟังก์ชันของ S และ B ซึ่งทรานซิสเตอร์ที่เกี่ยวข้องก็ยังสามารถในการขับกระแสเท่าเดิม ความหน่วงจึงเพิ่มขึ้นเรื่อยๆ ตามขนาดของโหลด

ตารางที่ 5.17 ผลการจำลองความหน่วงเทียบกับแฟนเอาท์ของเกตแอนด์-ออร์-อินเวิร์ตที่ได้รับการปรับแต่ง

แฟนเอาท์	ความหน่วง (ps)			
	0 ไป 1/2	1/2 ไป 0	1/2 ไป 1	1 ไป 1/2
1	77.25	311.49	306.72	129.05
8	148.47	379.03	405.24	199.27
16	241.18	453.64	514.31	278.69

5.6 การเปรียบเทียบความหน่วงของวงจรอสมวารแบบตรรกะไตรภาคชนิดซีกับวงจรอสมวารแบบตรรกะรางคู่

ในการทดสอบประสิทธิภาพในด้านความเร็วระหว่างวงจรอสมวารแบบตรรกะไตรภาคชนิดซีกับวงจรอสมวารแบบตรรกะรางคู่ ในวิทยานิพนธ์นี้ใช้วงจรแอนด์-ออร์-อินเวิร์ต (and-or-invert) เป็นวงจรเปรียบเทียบ และโหลดแต่ละเอาท์พุดด้วยตัวเก็บประจุขนาด $1pF$, สามารถนำเกตแอนด์-ออร์-อินเวิร์ตแบบตรรกะไตรภาคชนิดซีในรูปแบบที่ 3.8 กับวงจรตรวจจับสัญญาณแบ่งรอบการทำงานมาประกอบรวมเป็นวงจรทดสอบได้ดังรูปที่ 5.19 และสร้างวงจรอสมวารแบบตรรกะรางคู่ด้วยการออกแบบตรรกะรางคู่ไร้ตัวผกผัน, หัวข้อที่ 2.1.5, ได้ดังรูปที่ 5.20, โดยอุปกรณ์ชนิดซี มัลติเพลอร์ ทั้งหมดถูกดัดแปลงให้มีการทำงานแบบสถิต โดยนำอุปกรณ์ชนิดซี มัลติเพลอร์ แบบพลวัตในรูปแบบที่ 2.7 มาเพิ่มส่วนรักษาระดับสัญญาณ (weak keeper), ประกอบด้วยเกตผกผัน 2 ตัวป้อนสัญญาณกลับที่เอาท์พุด, และขยายขนาดทรานซิสเตอร์บริเวณภาคเอาท์พุดขึ้น 4 เท่า เพื่อให้วงจรขับกระแสได้มากกว่าส่วนรักษาระดับสัญญาณ ดังแสดงในรูปที่ 5.21 วงจรแอนด์-ออร์-อินเวิร์ตแบบตรรกะรางคู่รับสัญญาณอินพุต $In_A, In_A', In_B, In_B', In_C$ และ In_C' และให้สัญญาณเอาท์พุดที่ Out, Out' จากการจำลองความหน่วง, วงจรแอนด์-ออร์-อินเวิร์ตแบบตรรกะไตรภาคชนิดซีมีความหน่วง



รูปที่ 5.21 อุปกรณ์ชนิดซี มัลเลอร์ แบบสถิต

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 6

สรุปผลการวิจัย และข้อเสนอแนะ

6.1 สรุปผลการวิจัย

งานวิจัยนี้นำเสนอวงจรตรรกะไตรภาคชนิดซีเพื่อลดข้อจำกัดของวงจรตรรกะไตรภาคชนิดบีในการออกแบบวงจรตรรกะแบบสมวาร ซึ่งมีปัญหาในการใช้ทรานซิสเตอร์ที่มีแรงดันขีดเริ่มเปลี่ยนเป็นค่าบวกสำหรับมอสชนิดพี และเป็นค่าลบสำหรับมอสชนิดเอ็น ซึ่งไม่สามารถปรับแต่งได้จากการไบแอสที่บอดี ถึงแม้่วงจรแบบตรรกะไตรภาคชนิดบีที่ออกแบบใหม่จะสามารถหลีกเลี่ยงปัญหาดังกล่าวได้ แต่ยังคงมีปัญหในเรื่องของการทนต่อสัญญาณรบกวน เนื่องจากต้องใช้ระดับสัญญาณแทนตรรกะที่ใกล้เคียงกัน และมีปัญหาการนำกระแสภายใต้แรงดันขีดเริ่มเปลี่ยนซึ่งแก้ปัญหาดังกล่าวได้ด้วยการเพิ่มระดับสัญญาณ แต่ก็ยังเกิดปัญหาเรื่องความซับซ้อนของการออกแบบ ซึ่งมีความไม่อิสระจากกระบวนการผลิตสูง ทำให้เกิดความยุ่งยากเมื่อมีการเปลี่ยนแปลงกระบวนการผลิตที่มีการพัฒนาอยู่ตลอดเวลา

ผลจากวงจรตรรกะไตรภาคชนิดซี ทำให้สามารถสร้างระบบดิจิทัลแบบสมวารด้วยวงจรตรรกะไตรภาคได้โดยไม่ต้องใช้ทรานซิสเตอร์ที่มีลักษณะพิเศษ ช่วยลดความซับซ้อน เป็นอิสระจากกระบวนการผลิตมากกว่า ลดการนำกระแสภายใต้แรงดันขีดเริ่มเปลี่ยน และสามารถทำงานได้จริง, จากการจำลอง, แม้ว่าจะใช้จำนวนทรานซิสเตอร์มากกว่า วงจรตรรกะไตรภาคชนิดซี ยังคงมีข้อดีในการลดจำนวนสายสัญญาณ

นอกจากนี้ยังนำเสนอแบบจำลองความหน่วงของวงจรตรรกะไตรภาคชนิดซีด้วยความพยายามเชิงตรรกะ ซึ่งช่วยให้ประมาณความหน่วงเกินจากความเป็นจริงประมาณ 30 เปอร์เซ็นต์ และยังช่วยประมาณขนาดของทรานซิสเตอร์ในระบบที่เหมาะสมกับโหลด ซึ่งจะช่วยให้วงจรทำงานได้ใกล้เคียงความหน่วงที่น้อยที่สุด ช่วยให้นักออกแบบไม่ต้องวนอยู่กับขั้นตอนการปรับแต่งและการจำลองการทำงาน ซึ่งทำให้เสียเวลา

6.2 ข้อจำกัดของงานวิจัย

- 1) การทำงานของเกตผกผันแบบดี และเกตผกผันแบบจี 1 ในวงจรตรรกะไตรภาคชนิดซีทำให้เกิดการสูญเสียพลังงานเพราะทรานซิสเตอร์ในเครือข่ายดึงขึ้นและเครือข่ายดึงลงในสถานะทำงานพร้อมกันเมื่อมีสัญญาณตรรกะ $1/2$ เข้ามาในวงจร
- 2) เนื่องจากขารับสัญญาณ S และ B มีการรับสัญญาณที่เป็นส่วนกลับ (complement) กัน จึงอาจเกิดความซับซ้อนและความคลาดเคลื่อนในการทดสอบความพยายามเชิงตรรกะ เพราะ

วิธีการทดสอบความพยายามเชิงตรรกะมีความเหมาะสมเมื่อมีการเปลี่ยนแปลงสัญญาณเดี่ยว

- 3) ในการออกแบบวงจรตรรกะไตรภาคชนิดซีซีที่มีหลายสเตจเช่น วงจรในรูปที่ 5.18 และทุกสเตจใช้สัญญาณควบคุมจากวงจรตรวจจับสัญญาณแบ่งรอบการทำงานร่วมกัน, เมื่อมีสัญญาณจากวงจรตรวจจับสัญญาณแบ่งรอบการทำงานควบคุมให้เกิดส่งเอาต์พุตที่เป็นผลลัพธ์จากการประมวลผลออกไป, เกตแบบตรรกะไตรภาคชนิดซีซีที่อยู่ในสเตจหลังจะได้รับสัญญาณดังกล่าวพร้อมกับเกตที่อยู่ต้นทาง ทั้งๆ ที่เกตต้นทางยังประมวลผลไม่เสร็จ และยังคงมีเอาต์พุตเป็นตรรกะ $1/2$ ไปให้เกิดถัดไป ทำให้เกตที่ได้รับอินพุตเป็นตรรกะ $1/2$ นี้ทำงานผิดพลาด และส่งเอาต์พุตที่ผิดพลาดออกมา

6.3 ข้อเสนอแนะ

- 1) สามารถนำวงจรตรรกะไตรภาคชนิดซีซีไปพัฒนาต่อเป็นสายท่อแบบอสมวารได้
- 2) วงจรตรรกะไตรภาคชนิดซีซียังคงใช้ทรานซิสเตอร์จำนวนมาก จึงควรมีการพัฒนารูปแบบของวงจรเพื่อลดจำนวนทรานซิสเตอร์
- 3) ควรมีการแก้ไขโครงสร้างของเกตผกผันแบบดี และเกตผกผันแบบจี 1 เพื่อให้วงจรตรรกะไตรภาคชนิดซีซีไม่มีการบริโภคพลังงานเมื่อมีสัญญาณอินพุตเป็นตรรกะ $1/2$ เช่น การใช้ทรานซิสเตอร์ที่มีแรงดันจิดเริ่มเปลี่ยนหลายค่า [12]
- 4) วงจรตรรกะไตรภาคชนิดบีรูปแบบใหม่ที่ได้นำเสนอควรได้รับการวิจัยและพัฒนาข้อจำกัดให้สามารถทำงานได้อย่างมีประสิทธิภาพ พร้อมกับการพัฒนาแบบจำลองความหน่วงของวงจร
- 5) เพื่อแก้ปัญหาสัญญาณเอาต์พุตมีความกำกวมในระหว่างที่วงจรมีการคำนวณ, ประกอบกับมีวิทยานิพนธ์ที่นำเสนอวงจรตอบรับที่สามารถแก้ไขปัญหานี้ได้ [10] และการทำงานของวงจรตรวจจับสัญญาณแบ่งรอบการทำงานเองก็มีการรับอินพุตในลักษณะคล้ายคลึงกับวงจรตอบรับดังกล่าว, จึงควรมีการพัฒนางจรตรวจจับสัญญาณแบ่งรอบการทำงานให้เป็นวงจรตอบรับสำหรับวงจรเชิงผสมแบบตรรกะไตรภาคชนิดซีซีเพื่อช่วยแก้ปัญหาดังกล่าวด้วยเช่นกัน

รายการอ้างอิง

- [1] Hauck, S. Asynchronous design methodologies: an overview. Proceedings of the IEEE, vol. 83, pp. 69-93, 1995.
- [2] Nanya, T.; Ueno, Y.; Kagotani, H.; Kuwako, M.; and Takamura, A. TITAC: design of a quasi-delay-insensitive microprocessor. IEEE Design & Test of Computers, vol. 11, pp. 50-63, 1994.
- [3] Sparsø, J.; and Furber, S. Principles of Asynchronous Circuit Design: A Systems Perspective. Netherlands: Kluwer Academic Publishers, 2001.
- [4] Nagata, Y.; and Mukaidono, M. Design of an asynchronous digital system with B-ternary logic. presented at International Symposium on Multiple-Valued Logic, 27th, 1997.
- [5] Nagata, Y.; and Mukaidono, M. B-Ternary Asynchronous Digital System under Relativity Delay. IEICE Transactions on Information and Systems, vol. E86-D, no. 5, pp. 910-919, 2003.
- [6] Furukawa, S. What are new concept devices?. IEICE J, vol. 75, pp. 366-371, 1992.
- [7] Sutherland, I.; Sproull, B.; and Harris, D. Logical Effort: Designing Fast CMOS Circuits. San Francisco, California: Morgan Kaufmann, 1999.
- [8] Weste, N.; and Harris, D. CMOS VLSI Design: A Circuits and Systems Perspective. Boston, Massachusetts: Pearson Education, 2005.
- [9] Sutherland, I. E.; and Lexau, J. K. Designing fast asynchronous circuits. presented at International Symposium on Asynchronous Circuits and Systems, 7th, 2001.
- [10] กวี วัฒนะวิรุณ. การออกแบบวงจรตอบรับสำหรับวงจรเชิงผสมประเภทตรรกะไตรภาคชนิดบี. วิทยานิพนธ์ปริญญาโทบริหารธุรกิจ, ภาควิชาวิศวกรรมคอมพิวเตอร์ วิศวกรรมศาสตรมหาบัณฑิต จุฬาลงกรณ์มหาวิทยาลัย, 2544.
- [11] Choi, E.; Lee, J.; and Cho, K. New Data Encoding Method with a Multi-Value Logic for Low Power Asynchronous Circuit Design. presented at International Symposium on Multiple-Valued Logic, 36th, 2006.
- [12] Philippe, J.; Kirvi-Boh, E.; Pillement, S.; and Sentieys, O. An Energy-Efficient Ternary Interconnection Link for Asynchronous Systems. International Symposium on Circuits and Systems, 2006.



ภาคผนวก

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

ภาคผนวก ก

ตัวอย่างการคำนวณความพยายามเชิงสแตจ

รูปที่ ก.1 แสดงตัวอย่างการคำนวณความพยายามเชิงเส้นทางจากจุด A ไป B

จากตารางที่ 23

$$G = (4/3)^3$$

$$H = 45C/C$$

$$= 45$$

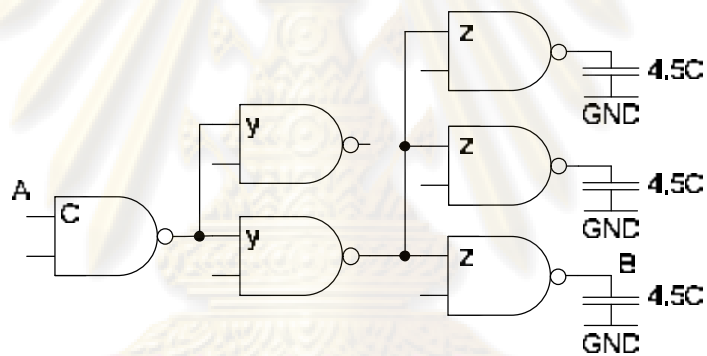
$$B = (y+y)/y \times (z+z+z)/z$$

$$= 6$$

ดังนั้น

$$F = GBH$$

$$= 64$$



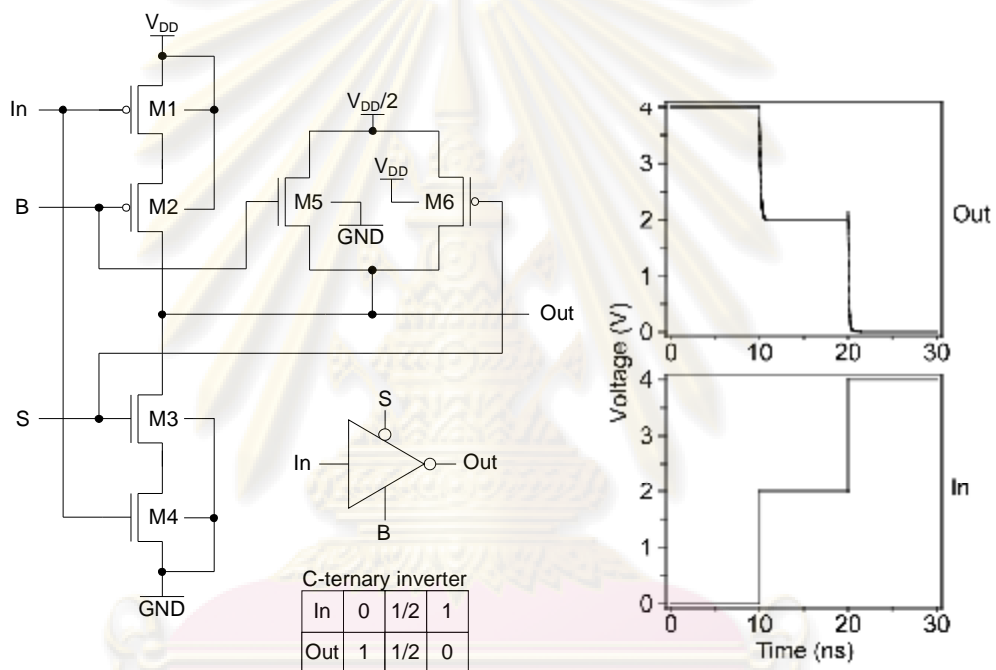
รูปที่ ก.1 ตัวอย่างวงจรที่มีสาขา

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

ภาคผนวก ข

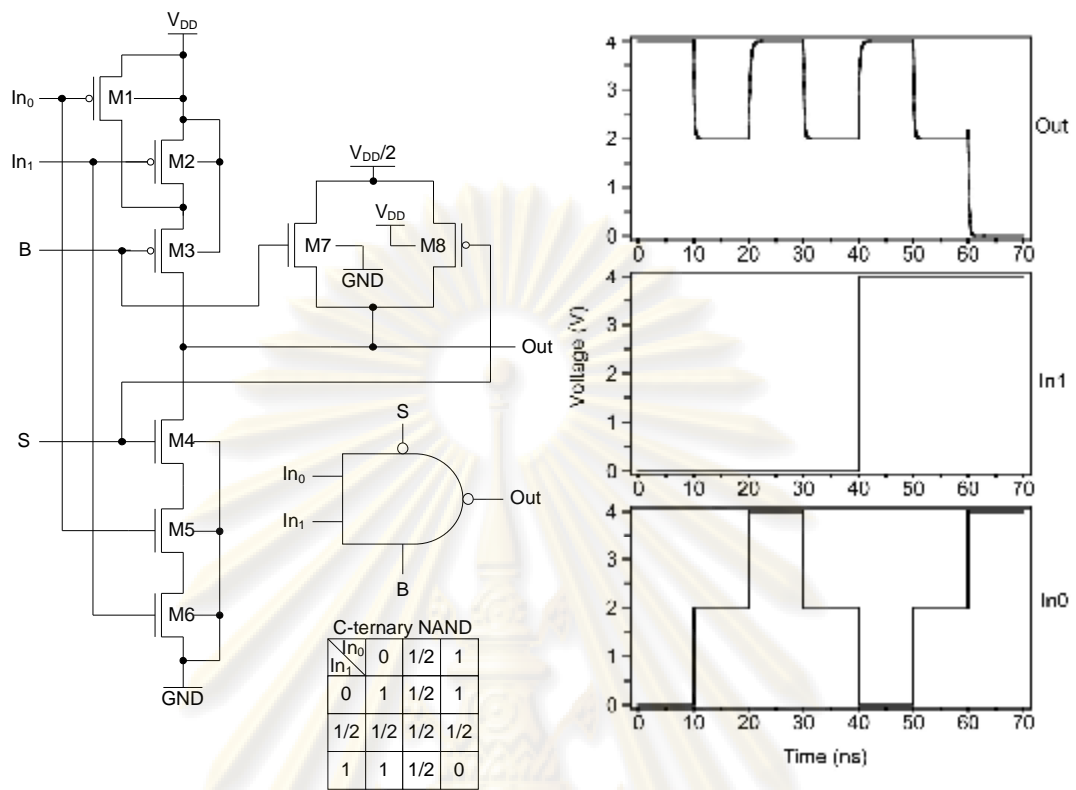
การจำลองการทำงานของเกต

เกตแบบตรรกะไตรภาคชนิดซีได้แก่ เกตผกผัน, เกตแนนด์ และเกตนอร์ จำลองการทำงานด้วยโปรแกรม SPICE เทคโนโลยีซีมอสขนาด $0.35\mu\text{m}$ แสดงดังรูปที่ ข.1, ข.2 และ ข.3 ตามลำดับ โดยนำเกตที่สนใจประกอบกับวงจรตรวจจับสัญญาณแบ่งรอบการทำงานดังรูปที่ 3.10 แล้วจึงจำลองการทำงาน

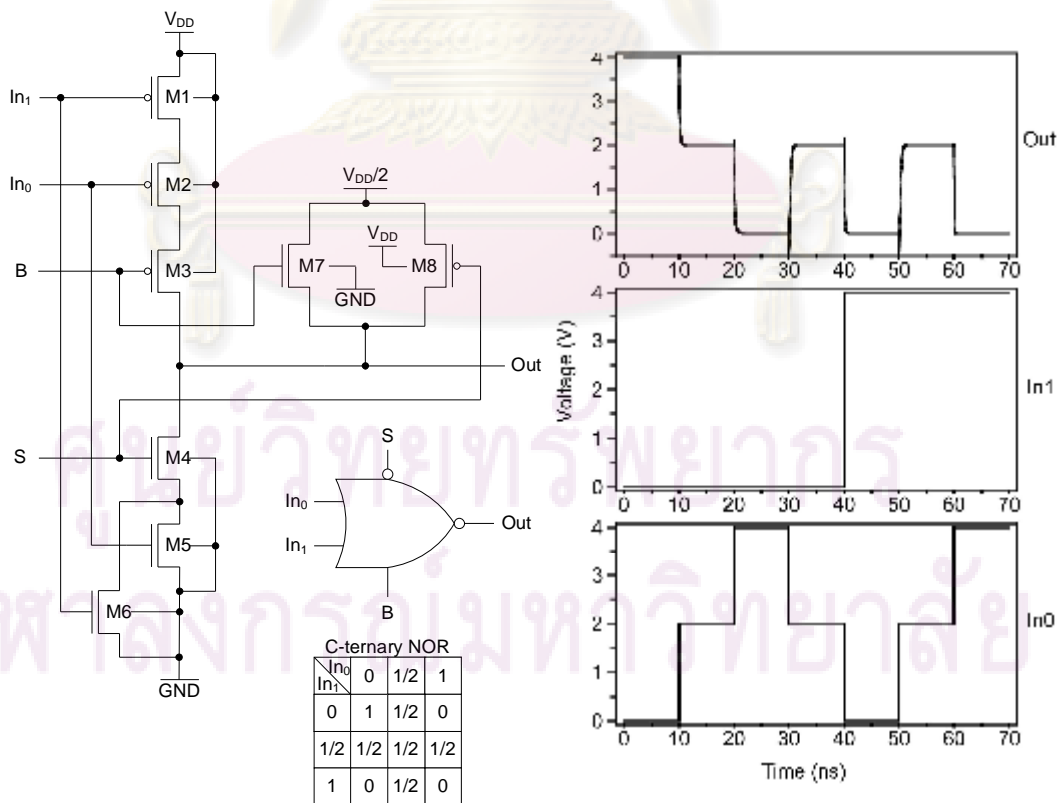


รูปที่ ข.1 เกตผกผันแบบตรรกะไตรภาคชนิดซี

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

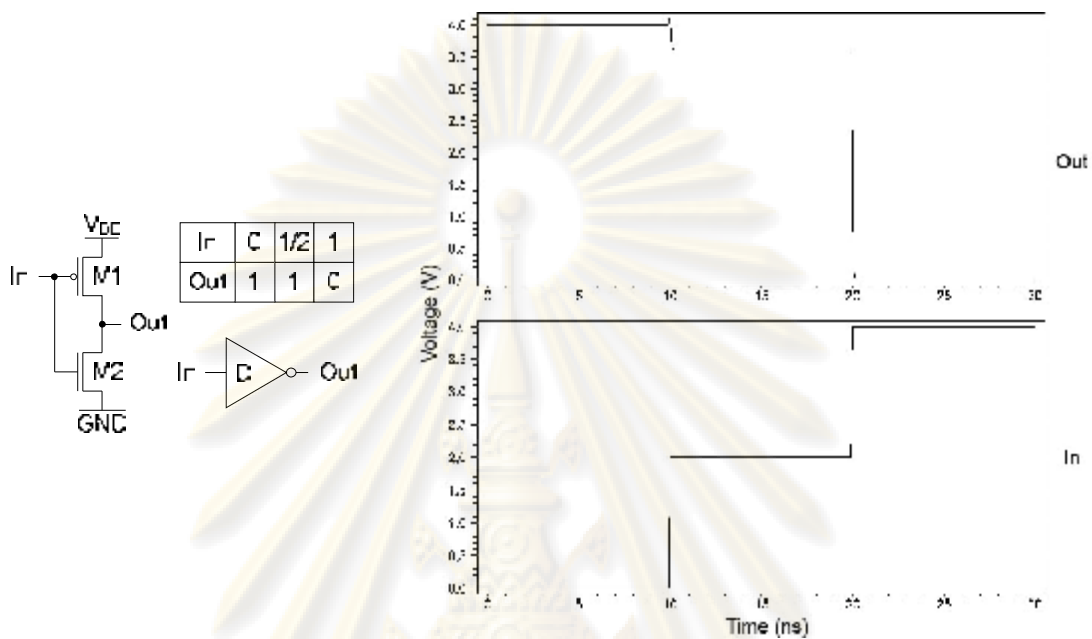


รูปที่ ข.2 เกตแนนด์แบบตรรกะไตรภาคชนิดซี

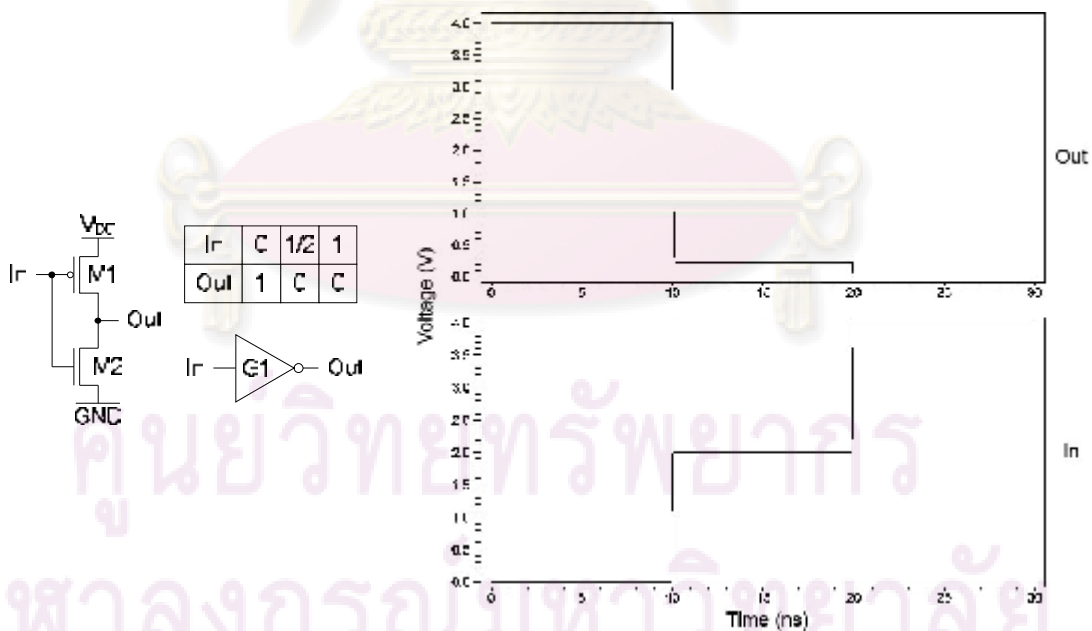


รูปที่ ข.3 เกตนอร์แบบตรรกะไตรภาคชนิดซี

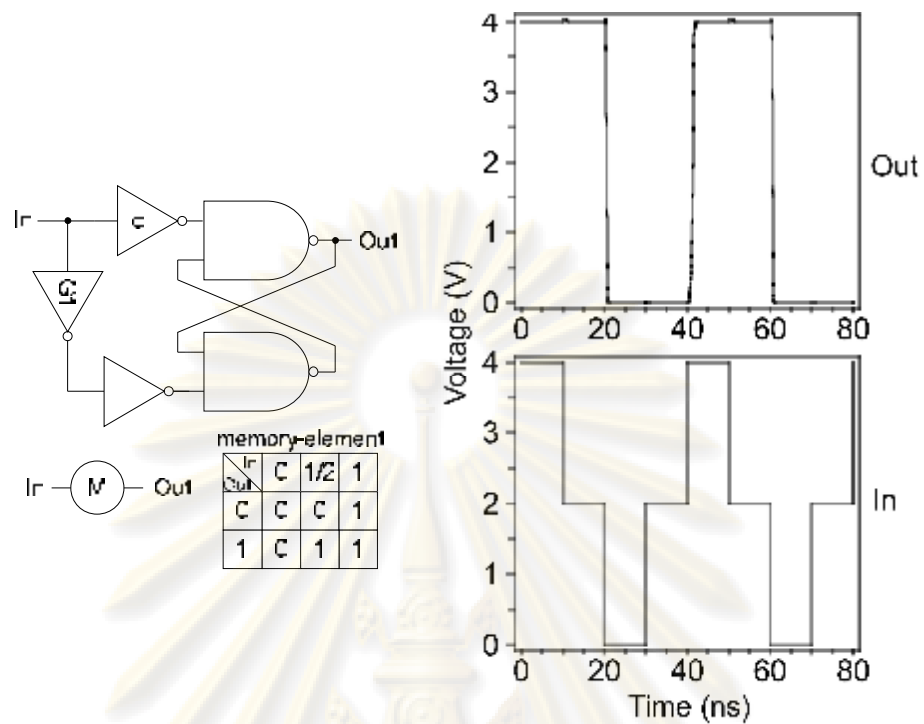
สำหรับส่วนความจำซึ่งประกอบด้วยเกตผกผันแบบดี และเกตผกผันแบบบี1 สามารถจำลองการทำงานได้ผลดังรูปที่ ข.4 ข.5 และ ข.6



รูปที่ ข.4 เกตผกผันแบบดี



รูปที่ ข.5 เกตผกผันแบบบี 1



รูปที่ ข.6 ส่วนความจำ

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

ประวัติผู้เขียนวิทยานิพนธ์

นายชนสิน บุญนาม เกิดเมื่อวันที่ 18 ตุลาคม พ.ศ. 2525 ที่จังหวัดนนทบุรี สำเร็จการศึกษา
ระดับมัธยมศึกษาตอนปลายจากโรงเรียนรัตนวิเชียร อำเภอมะนัง จังหวัดนนทบุรี เข้าศึกษาต่อใน
ระดับปริญญาบัณฑิต สาขาวิศวกรรมคอมพิวเตอร์ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยมหิดล จน
สำเร็จการศึกษาในปีการศึกษา 2547



ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย