



## เอกสารอ้างอิง

## ภาษาไทย

- ยี่น กุ้วรธรรม. ทฤษฎีและการใช้งานอิเล็กทรอนิกส์. เล่ม 1,3. บริษัทซีเอ็ดยูเคชั่น จำกัด, 2529.
- ยี่น กุ้วรธรรม. อิเล็กทรอนิกส์อุตสาหกรรม. บริษัทซีเอ็ดยูเคชั่น จำกัด, 2524.
- ยี่น กุ้วรธรรม. เทคนิคการประยุกต์ใช้งาน ไอซีทีทีแอล. บริษัทซีเอ็ดยูเคชั่น จำกัด, 2528.
- คู่มือ/เทียบเบอร์ ไอซีทีทีแอล. บริษัทซีเอ็ดยูเคชั่น จำกัด, 2529.
- รวมโครงการอิเล็กทรอนิกส์. เล่ม 5 บริษัทซีเอ็ดยูเคชั่น จำกัด, 2527.
- ครรรชิต จามรमान. การประยุกต์ใช้งานเครื่องไมโครคอมพิวเตอร์ในงานโยธา. รายงานปัญหาพิเศษ, 2528.
- สถานทูตอิสราเอล. นิตยสารอิสราเอล. ฉบับที่ 59-60. ประจำเดือนมีนาคม-เมษายน. โรงพิมพ์เรือนแก้วการพิมพ์, 2524.
- สถานทูตอิสราเอล. นิตยสารอิสราเอล. ฉบับที่ 73-74. ประจำเดือนพฤษภาคม-มิถุนายน. โรงพิมพ์เรือนแก้วการพิมพ์, 2525.
- วิบูลย์ บุญชโรกุล. หลักการชลประทาน. ภาควิชาวิศวกรรมชลประทาน. คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเกษตรศาสตร์. กรุงเทพมหานคร, 2526.
- วิชาการ, กรม. แบบเรียนชีววิทยา. เล่ม 1,3 (สสวท) ประโยชน์มัธยมศึกษาตอนปลาย. พระนคร: กรมวิชาการ กระทรวงศึกษาธิการ, 2519
- ชุนงษ์ สุกุลนันท์. การให้น้ำระบบหยดแบบง่าย. ภาควิชาพืชสวน. คณะเกษตร. มหาวิทยาลัยเกษตรศาสตร์. พระนคร: พ่อ-ลูก การพิมพ์, 2529.
- กฤษดา วิศวีรานนท์. การพัฒนาระบบควบคุมการซึ่งในขบวนการผลิตสำหรับโรงงานอาหารสัตว์โดยใช้ไมโครคอมพิวเตอร์. สถาบันวิจัยและพัฒนาของคณะวิศวกรรมศาสตร์. คณะวิศวกรรมศาสตร์. จุฬาลงกรณ์มหาวิทยาลัย, 2528.
- กฤษดา วิศวีรานนท์. การพัฒนาเครื่องควบคุมขบวนการผสมสำหรับการผลิตในโรงงานอาหารสัตว์โดยใช้ไมโครคอมพิวเตอร์. เอกสารการประชุมวิชาการทางวิศวกรรมไฟฟ้า 8 สถาบันอุดมศึกษา ครั้งที่ 7. เล่ม 3. คอมพิวเตอร์. คณะวิศวกรรมศาสตร์. สถาบันเทคโนโลยีพระจอมเกล้า. วิทยาเขตธนบุรี. 6-7 ธันวาคม 2527.
- สมศักดิ์ ทาทอง และ กฤษดา วิศวีรานนท์. การประยุกต์ไมโครคอมพิวเตอร์ในระบบควบคุมขบวนการผสมในโรงงานอาหารสัตว์. เอกสารการประชุมวิชาการทางวิศวกรรมไฟฟ้า. 8 สถาบันอุดมศึกษา ครั้งที่ 8. เล่ม 2. คณะวิศวกรรมศาสตร์. สถาบันเทคโนโลยีพระจอมเกล้าวิทยาเขตพระนครเหนือ. 19-20 ธันวาคม 2528.

อลงกรณ์ ไสภานันท์. การศึกษาการใช้คอมพิวเตอร์ควบคุมระบบชลประทานแบบฉีดฝอย. วิทยานิพนธ์  
ปริญญาโทบริหารธุรกิจ จุฬาลงกรณ์มหาวิทยาลัย, 2530.

ภาษาอังกฤษ

Apple II Reference Manual. Apple Computer Inc., Cupertino California,  
1978.

De Jong, L., Mavin. Apple II Assembly Language. Howard W.sams & Co.,  
Inc., 1982.

Keysher, T., Carl. A Digital Thermometer for the Apple II. Micro on the  
Apple, Volume 2, 1981.

Poole, Lon, Niff, Mc, Martin , and Cook, Steven. Apple II User's Guide.  
McGraw-Hill Book Co., 1986.

The Dos Manual. Apple Computer Inc., 1985.

ภาคผนวก ก

รายละเอียดและวงจรมายในของไอทีที่ใช้ในการศึกษา



A to D, D to A

ADC0808, ADC0809

## ADC0808, ADC0809 8-Bit $\mu$ P Compatible A/D Converters With 8-Channel Multiplexer

### General Description

The ADC0808, ADC0809 data acquisition component is a monolithic CMOS device with an 8-bit analog-to-digital converter, 8-channel multiplexer and microprocessor compatible control logic. The 8-bit A/D converter uses successive approximation as the conversion technique. The converter features a high impedance chopper stabilized comparator, a 256R voltage divider with analog switch tree and a successive approximation register. The 8-channel multiplexer can directly access any of 8 single-ended analog signals.

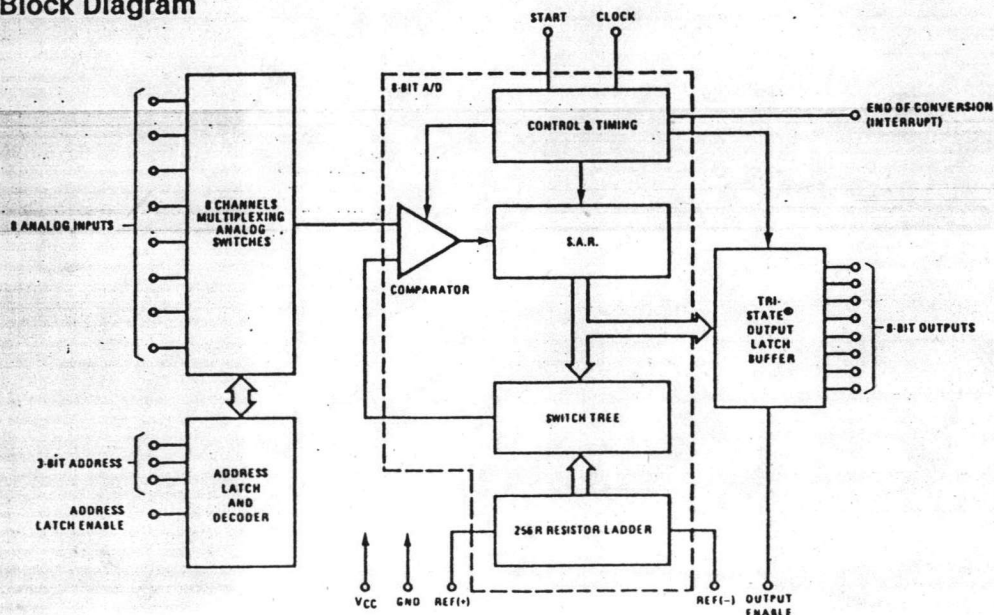
The device eliminates the need for external zero and full-scale adjustments. Easy interfacing to microprocessors is provided by the latched and decoded multiplexer address inputs and latched TTL TRI-STATE<sup>®</sup> outputs.

The design of the ADC0808, ADC0809 has been optimized by incorporating the most desirable aspects of several A/D conversion techniques. The ADC0808, ADC0809 offers high speed, high accuracy, minimal temperature dependence, excellent long-term accuracy and repeatability, and consumes minimal power. These features make this device ideally suited to applications from process and machine control to consumer and automotive applications. For 16-channel multiplexer with common output (sample/hold port) see ADC0816 data sheet.

### Features

- Resolution — 8-bits
- Total unadjusted error —  $\pm 1/2$  LSB and  $\pm 1$  LSB
- No missing codes
- Conversion time — 100  $\mu$ s
- Single supply — 5 V<sub>DC</sub>
- Operates ratiometrically or with 5 V<sub>DC</sub> or analog span adjusted voltage reference
- 8-channel multiplexer with latched control logic
- Easy interface to all microprocessors, or operates "stand alone"
- Outputs meet T<sup>2</sup>L voltage level specifications
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full-scale adjust required
- Standard hermetic or molded 28-pin DIP package
- Temperature range -40°C to +85°C or -55°C to +125°C
- Low power consumption — 15 mW
- Latched TRI-STATE<sup>®</sup> output

### Block Diagram



8

## Functional Description

**Multiplexer:** The device contains an 8-channel single-ended analog signal multiplexer. A particular input channel is selected by using the address decoder. Table I shows the input states for the address lines to select any channel. The address is latched into the decoder on the low-to-high transition of the address latch enable signal.

TABLE I

SELECTED ANALOG CHANNEL	ADDRESS LINE		
	C	B	A
IN0	L	L	L
IN1	L	L	H
IN2	L	H	L
IN3	L	H	H
IN4	H	L	L
IN5	H	L	H
IN6	H	H	L
IN7	H	H	H

### CONVERTER CHARACTERISTICS

#### The Converter

The heart of this single chip data acquisition system is its 8-bit analog-to-digital converter. The converter is designed

to give fast, accurate, and repeatable conversions over a wide range of temperatures. The converter is partitioned into 3 major sections: the 256R ladder network, the successive approximation register, and the comparator. The converter's digital outputs are positive true.

The 256R ladder network (*Figure 1*) was chosen over the conventional R/2R ladder because of its inherent monotonicity, which guarantees no missing digital codes. Monotonicity is particularly important in closed loop feedback control systems. A non-monotonic relationship can cause oscillations that will be catastrophic for the system. Additionally, the 256R network does not cause load variations on the reference voltage.

The bottom resistor and the top resistor of the ladder network in *Figure 1* are not the same value as the remainder of the network. The difference in these resistors causes the output characteristic to be symmetrical with the zero and full-scale points of the transfer curve. The first output transition occurs when the analog signal has reached +1/2 LSB and succeeding output transitions occur every 1 LSB later up to full-scale.

The successive approximation register (SAR) performs 8 iterations to approximate the input voltage. For any SAR type converter, n-iterations are required for an n-bit converter. *Figure 2* shows a typical example of a 3-bit converter. In the ADC0808, ADC0809, the approximation technique is extended to 8 bits using the 256R network.

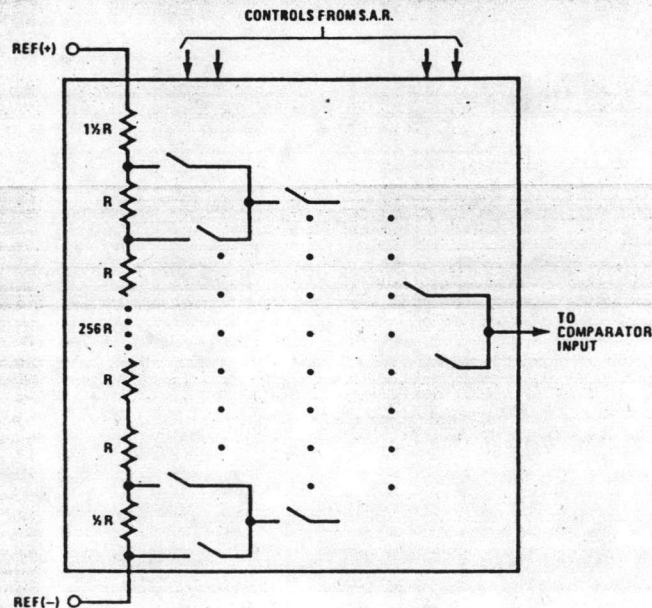


FIGURE 1. Resistor Ladder and Switch Tree

**Electrical Characteristics (Continued)**

Digital Levels and DC Specifications: ADC0808CJ  $4.5V \leq V_{CC} \leq 5.5V$ ,  $-55^{\circ}C \leq T_A \leq +125^{\circ}C$  unless otherwise noted  
 ADC0808CCJ, ADC0808CCN, and ADC0809CCN  $4.75 \leq V_{CC} \leq 5.25V$ ,  $-40^{\circ}C \leq T_A \leq +85^{\circ}C$  unless otherwise noted

Parameter	Conditions	Min	Typ	Max	Units
<b>DATA OUTPUTS AND EOC (INTERRUPT)</b>					
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_O = -360 \mu A$	$V_{CC}-0.4$		V
$V_{OUT(0)}$	Logical "0" Output Voltage	$I_O = 1.6 \text{ mA}$		0.45	V
$V_{OUT(0)}$	Logical "0" Output Voltage EOC	$I_O = 1.2 \text{ mA}$		0.45	V
$I_{OUT}$	TRI-STATE Output Current	$V_O = 5V$ $V_O = 0$		3	$\mu A$ $\mu A$
		-3			

**Electrical Characteristics**

Timing Specifications:  $V_{CC} = V_{REF(+)} = 5V$ ,  $V_{REF(-)} = \text{GND}$ ,  $t_r = t_f = 20 \text{ ns}$  and  $T_A = 25^{\circ}C$  unless otherwise noted.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
$t_{WS}$	Minimum Start Pulse Width	(Figure 5)		100	200	ns
$t_{WALE}$	Minimum ALE Pulse Width	(Figure 5)		100	200	ns
$t_s$	Minimum Address Set-Up Time	(Figure 5)		25	50	ns
$t_H$	Minimum Address Hold Time	(Figure 5)		25	50	ns
$t_D$	Analog MUX Delay Time From ALE	$R_S = 0\Omega$ (Figure 5)		1	2.5	$\mu s$
$t_{HI}, t_{HO}$	OE Control to Q Logic State	$C_L = 50 \text{ pF}$ , $R_L = 10k$ (Figure 8)		125	250	ns
$t_{IH}, t_{OH}$	OE Control to Hi-Z	$C_L = 10 \text{ pF}$ , $R_L = 10k$ (Figure 8)		125	250	ns
$t_c$	Conversion Time	$f_c = 640 \text{ kHz}$ , (Figure 5) (Note 7)	90	100	116	$\mu s$
$f_c$	Clock Frequency		10	640	1280	kHz
$t_{EOC}$	EOC Delay Time	(Figure 5)	0		$8 + 2 \mu s$	Clock Periods
$C_{IN}$	Input Capacitance	At Control Inputs		10	15	pF
$C_{OUT}$	TRI-STATE® Output Capacitance	At TRI-STATE® Outputs, (Note 12)		10	15	pF

Note 1: Absolute maximum ratings are those values beyond which the life of the device may be impaired.

Note 2: All voltages are measured with respect to GND, unless otherwise specified.

Note 3: A zener diode exists, internally, from  $V_{CC}$  to GND and has a typical breakdown voltage of  $7 V_{DC}$ .

Note 4: Two on-chip diodes are tied to each analog input which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the  $V_{CC}$  supply. The spec allows 100 mV forward bias of either diode. This means that as long as the analog  $V_{IN}$  does not exceed the supply voltage by more than 100 mV, the output code will be correct. To achieve an absolute  $0 V_{DC}$  to  $5 V_{DC}$  input voltage range will therefore require a minimum supply voltage of  $4.900 V_{DC}$  over temperature variations, initial tolerance and loading.

Note 5: Total unadjusted error includes offset, full-scale, linearity, and multiplexer errors. See Figure 3. None of these A/Ds requires a zero or full-scale adjust. However, if an all zero code is desired for an analog input other than 0.0V, or if a narrow full-scale span exists (for example: 0.5V to 4.5V full-scale) the reference voltages can be adjusted to achieve this. See Figure 13.

Note 6: Comparator input current is a bias current into or out of the chopper stabilized comparator. The bias current varies directly with clock frequency and has little temperature dependence (Figure 6). See paragraph 4.0.

Note 7: The outputs of the data register are updated one clock cycle before the rising edge of EOC.

**Absolute Maximum Ratings** (Notes 1 and 2)

Supply Voltage ( $V_{CC}$ ) (Note 3)	6.5V
Voltage at Any Pin Except Control Inputs	-0.3V to ( $V_{CC} + 0.3V$ )
Voltage at Control Inputs (START, OE, CLOCK, ALE, ADD A, ADD B, ADD C)	-0.3V to +15V
Storage Temperature Range	-65°C to +150°C
Package Dissipation at $T_A = 25^\circ\text{C}$	875 mW
Lead Temperature (Soldering, 10 seconds)	300°C

**Operating Ratings** (Notes 1 and 2)

Temperature Range (Note 1)	$T_{MIN} \leq T_A \leq T_{MAX}$ -55°C $\leq T_A \leq$ +125°C
ADC0808CJ ADC0808CCJ, ADC0808CCN, ADC0809CCN	-40°C $\leq T_A \leq$ +85°C
♦ Range of $V_{CC}$ (Note 1)	4.5 $V_{DC}$ to 6.0 $V_{DC}$

**Electrical Characteristics**

Converter Specifications:  $V_{CC} = 5 V_{DC} = V_{REF(+)}$ ,  $V_{REF(-)} = \text{GND}$ ,  $T_{MIN} \leq T_A \leq T_{MAX}$  and  $f_{CLK} = 640 \text{ kHz}$  unless otherwise stated.

Parameter	Conditions	Min	Typ	Max	Units
ADC0808 Total Unadjusted Error (Note 5)	25°C $T_{MIN}$ to $T_{MAX}$			$\pm 1/2$ $\pm 3/4$	LSB LSB
ADC0809 Total Unadjusted Error (Note 5)	0°C to 70°C $T_{MIN}$ to $T_{MAX}$			$\pm 1$ $\pm 1 1/4$	LSB LSB
Input Resistance	From Ref(+) to Ref(-)	1.0	2.5		k $\Omega$
Analog Input Voltage Range	(Note 4) V(+) or V(-)	GND-0.10		$V_{CC} + 0.10$	$V_{DC}$
$V_{REF(+)}$ Voltage, Top of Ladder	Measured at Ref(+)		$V_{CC}$	$V_{CC} + 0.1$	V
$\frac{V_{REF(+)} + V_{REF(-)}}{2}$ Voltage, Center of Ladder		$V_{CC}/2 - 0.1$	$V_{CC}/2$	$V_{CC}/2 + 0.1$	V
$V_{REF(-)}$ Voltage, Bottom of Ladder	Measured at Ref(-)	-0.1	0		V
Comparator Input Current	$f_c = 640 \text{ kHz}$ , (Note 6)	-2	$\pm 0.5$	2	$\mu\text{A}$

**Electrical Characteristics**

Digital Levels and DC Specifications: ADC0808CJ 4.5V  $\leq V_{CC} \leq$  5.5V, -55°C  $\leq T_A \leq$  +125°C unless otherwise noted  
ADC0808CCJ, ADC0808CCN, and ADC0809CCN 4.75  $\leq V_{CC} \leq$  5.25V, -40°C  $\leq T_A \leq$  +85°C unless otherwise noted

Parameter	Conditions	Min	Typ	Max	Units
<b>ANALOG MULTIPLEXER</b>					
$I_{OFF(+)}$	OFF Channel Leakage Current $V_{CC} = 5V$ , $V_{IN} = 5V$ , $T_A = 25^\circ\text{C}$ $T_{MIN}$ to $T_{MAX}$		10	200 1.0	nA $\mu\text{A}$
$I_{OFF(-)}$	OFF Channel Leakage Current $V_{CC} = 5V$ , $V_{IN} = 0$ , $T_A = 25^\circ\text{C}$ $T_{MIN}$ to $T_{MAX}$	-200 -1.0	-10		nA $\mu\text{A}$
<b>CONTROL INPUTS</b>					
$V_{IN(1)}$	Logical "1" Input Voltage		$V_{CC} - 1.5$		V
$V_{IN(0)}$	Logical "0" Input Voltage			1.5	V
$I_{IN(1)}$	Logical "1" Input Current (The Control Inputs)	$V_{IN} = 15V$		1.0	$\mu\text{A}$
$I_{IN(0)}$	Logical "0" Input Current (The Control Inputs)	$V_{IN} = 0$	-1.0		$\mu\text{A}$
$I_{CC}$	Supply Current	$f_{CLK} = 640 \text{ kHz}$		0.3 3.0	mA

**Functional Description (Continued)**

The A/D converter's successive approximation register (SAR) is reset on the positive edge of the start conversion (SC) pulse. The conversion is begun on the falling edge of the start conversion pulse. A conversion in process will be interrupted by receipt of a new start conversion pulse. Continuous conversion may be accomplished by tying the end-of-conversion (EOC) output to the SC input. If used in this mode, an external start conversion pulse should be applied after power up. End-of-conversion will go low between 0 and 8 clock pulses after the rising edge of start conversion.

The most important section of the A/D converter is the comparator. It is this section which is responsible for the ultimate accuracy of the entire converter. It is also the

comparator drift which has the greatest influence on the repeatability of the device. A chopper-stabilized comparator provides the most effective method of satisfying all the converter requirements.

The chopper-stabilized comparator converts the DC input signal into an AC signal. This signal is then fed through a high gain AC amplifier and has the DC level restored. This technique limits the drift component of the amplifier since the drift is a DC component which is not passed by the AC amplifier. This makes the entire A/D converter extremely insensitive to temperature, long term drift and input offset errors.

Figure 4 shows a typical error curve for the ADC0808 as measured using the procedures outlined in AN-179.

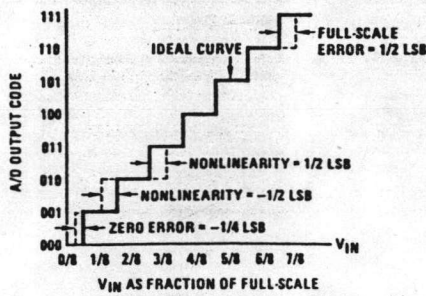


FIGURE 2. 3-Bit A/D Transfer Curve

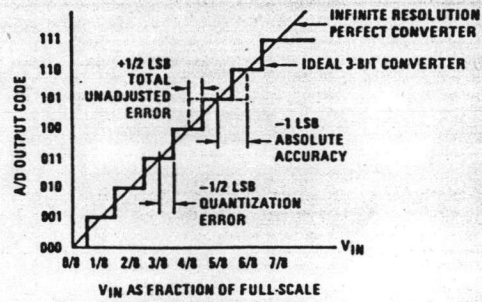


FIGURE 3. 3-Bit A/D Absolute Accuracy Curve

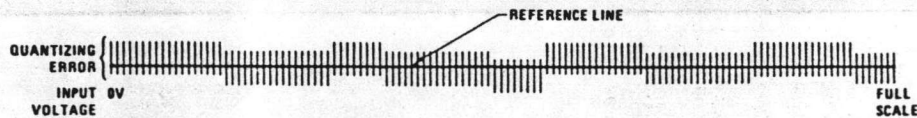
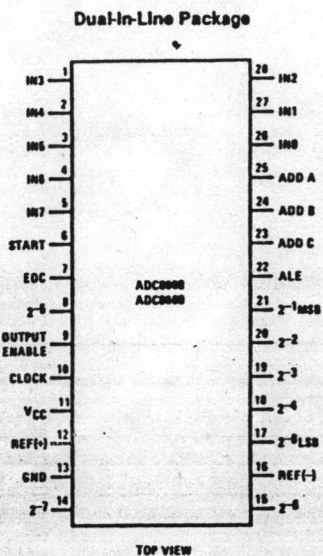


FIGURE 4. Typical Error Curve



ADC0808, ADC0809

### Connection Diagram



### Timing Diagram

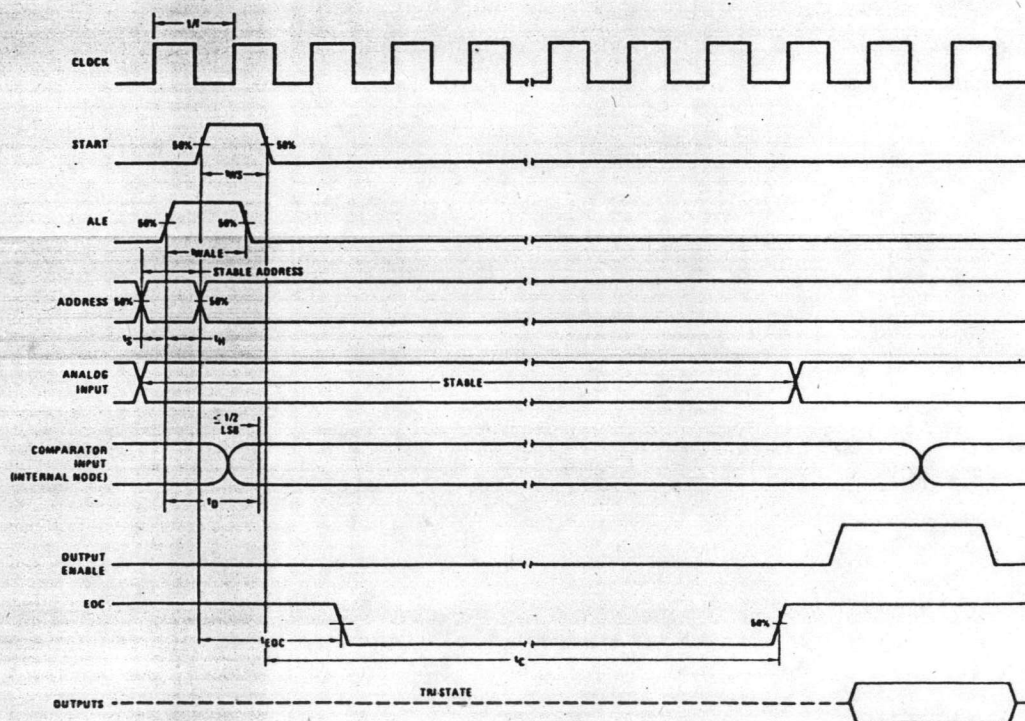


FIGURE 5

Typical Performance Characteristics

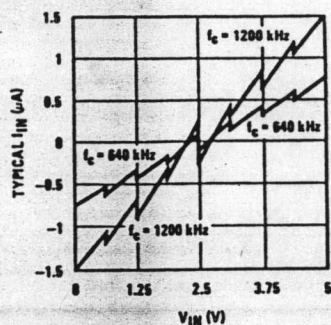


FIGURE 6. Comparator  $I_{IN}$  vs  $V_{IN}$  ( $V_{CC} = V_{REF} = 5V$ )

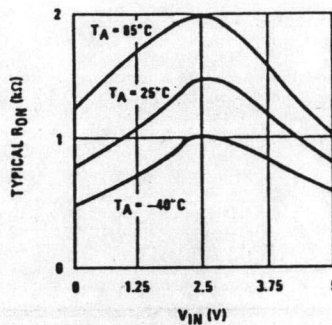


FIGURE 7. Multiplexer  $R_{ON}$  vs  $V_{IN}$  ( $V_{CC} = V_{REF} = 5V$ )

TRI-STATE® Test Circuits and Timing Diagrams

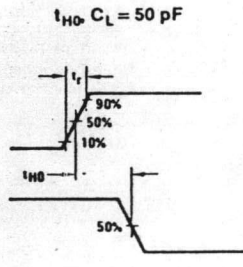
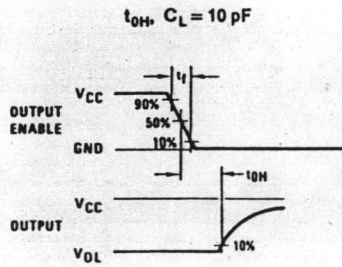
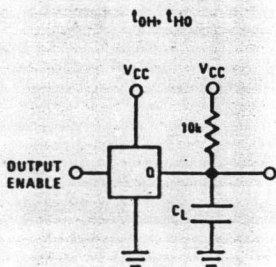
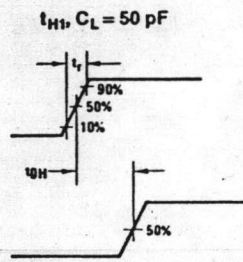
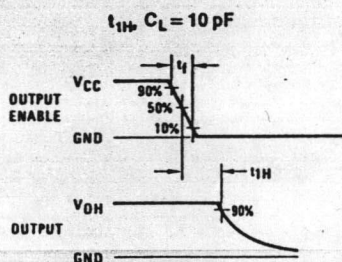
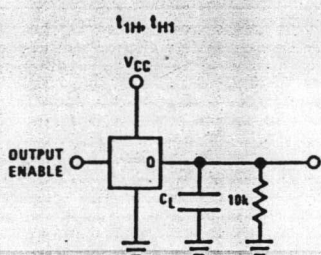


FIGURE 8

5402/7402 Quadruple 2-Input Positive-NOR Gate

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL									
	Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package							
	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF						
T. I.	SN54S02	J	Q						SN54LS02	J	Q		WD	SN5402	J	Q		WD	SN54L02	J	Q	N	D	T	Q	
	SN74S02	J	Q	N	Q				SN74LS02	J	Q	N	Q	SN7402	J	Q	N	Q	SN74L02	J	Q	N	Q	T	Q	
FAIRCHILD	FMS4502/FMS302	ND							FMS4LS02/FMS3LS02	ND				FM5402/FM3N02	DD			FQ								
	FC74S02/FC3S02	ND	ND						FC74LS02/FC3LS02	ND	ND			FC7402/FC3N02	DD	P	Q									
MOTOROLA									SN74LS02	P	Q			MC5402	L	Q		F	Q							
									DM54LS02					MC7402	L	Q	P	Q	F	Q						
N. S. C.									DM74LS02					DM5402	J	Q	N	Q	WD	DM54L02	J	Q	N	Q	F	Q
														DM7402	J	Q	N	Q		DM74L02	J	Q	N	Q	F	Q
PHILIPS	N74S02		Q						N74LS02		Q			FJH221/7402			Q									
														S5402	F	Q	A	Q	W							
SIGNETICS	N74S02		A	Q					N74LS02		A	Q		N7402	F	Q	A	Q								
SIEMENS														FLH191			Q									
FUJITSU									74LS02		M	Q		MB417			Q	M	Q							
HITACHI	HD74S02		P	Q					HD74LS02		P	Q		HD7402/HD2511			P	Q								
MITSUBISHI									M74LS02		P	Q		M53202			P	Q								
NEC														μPB232			D	Q	C	Q						
TOSHIBA														TD3402A			P	Q								

**Electrical Characteristics SN54LS02/SN74LS02**  
absolute maximum ratings over operating free-air temperature range

Supply voltage, V <sub>CC</sub>	7V	Operating free-air temperature range	SN54LS	-55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		-65°C to 150°C

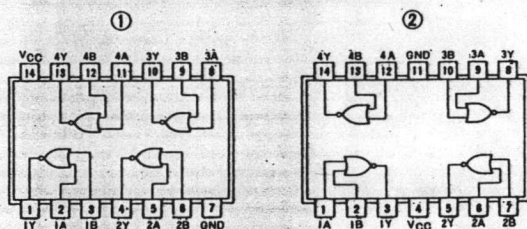
recommended operating conditions

	SN54LS02			SN74LS02			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V <sub>CC</sub>	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I <sub>OH</sub>			-400			-400	μA
Low-level output current, I <sub>OL</sub>			4			8	mA
Operating free-air temperature, T <sub>A</sub>	-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

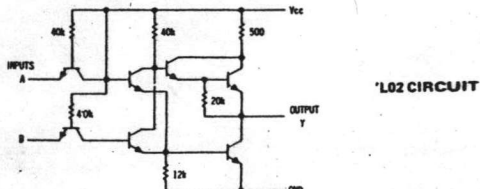
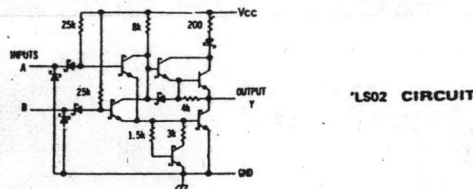
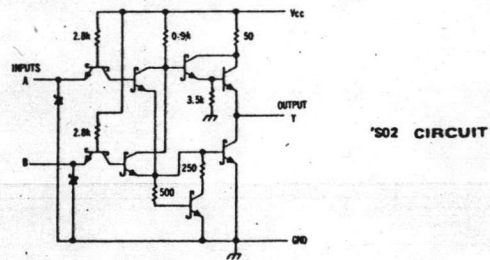
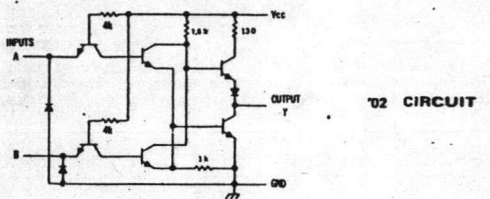
PARAMETER	TEST CONDITIONS †	MIN	TYP ‡	MAX	UNIT	
V <sub>IH</sub>	High-level input voltage		2		V	
V <sub>IL</sub>	Low-level input voltage			0.8	V	
V <sub>I</sub>	Input clamp voltage	V <sub>CC</sub> =MIN, I <sub>I</sub> =-18mA		-1.5	V	
V <sub>OH</sub>	High-level output voltage	V <sub>CC</sub> =MIN, V <sub>IL</sub> =V <sub>IL</sub> max, I <sub>OH</sub> =MAX	2.7	3.4	V	
V <sub>OL</sub>	Low-level output voltage	V <sub>CC</sub> =MIN, V <sub>IH</sub> =2V, I <sub>OL</sub> =4mA	0.25	0.4	V	
I <sub>I</sub>	Input current at maximum input voltage	V <sub>CC</sub> =MAX, V <sub>I</sub> =7V		0.1	mA	
I <sub>IH</sub>	High-level input current	Data inputs V <sub>CC</sub> =MAX, V <sub>IH</sub> =2.7V		20	μA	
I <sub>IL</sub>	Low-level input current	Data inputs V <sub>CC</sub> =MAX, V <sub>IL</sub> =0.4V		0.4	mA	
I <sub>OS</sub>	Short-circuit output current	V <sub>CC</sub> =MAX, 54LS Family	-20	-100	mA	
		74LS Family	-20	-100	mA	
I <sub>CC</sub>	Supply current	V <sub>CC</sub> =MAX	Total outputs high	1.6	3.2	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> =MAX	Total outputs low	2.8	5.4	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> =5V	Average per gate (50% duty cycle)	0.55		mA
t <sub>PLH</sub>	Propagation delay time, low-to-high-level output	V <sub>CC</sub> =5V, T <sub>A</sub> =25°C		10	15	ns
t <sub>PHL</sub>	Propagation delay time, high-to-low-level output	C <sub>L</sub> =15pF, R <sub>L</sub> =2kΩ		10	15	ns

Pin Assignments (Top View)



positive logic:  
Y=A+B

Schematics (each gate)



Resistor values shown are nominal and in ohms.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.  
‡ All typical values are at V<sub>CC</sub>=5V, T<sub>A</sub>=25°C.  
◆ Not more than one output should be shorted at a time, and for SN54S/SN74S, duration of output short-circuit should not exceed one second.

5473/7473 Dual J-K Master-Slave Flip-Flop with Clear

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL							
	Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package					
	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF				
T.I.					SN54H73	J	Ⓚ	WD	SN54LS73	J	Ⓚ	WD	SN5473	J	Ⓚ	WD	SN54L73	J	Ⓚ	TD				
FAIRCHILD					SN74H73	J	Ⓚ	ND	SN74LS73	J	Ⓚ	ND	SN7473	J	Ⓚ	ND	SN74L73	J	Ⓚ	TD				
					FMS4H73/FM9H73	DD		F	FMS4LS73/FM9LS73	DD		F	FMS473/FM9N73	DD		F								
MOTOROLA					FC74H73/FC9H73	DD	PD		FC74LS73/FC9LS73	DD	PD		FC7473/FC9N73	DD	PD									
					MC3163	LD		F					MC5473	LD		F								
N.S.C.					MC3063	LD	PD	F	SN74LS73			P	MC7473	LD	PD	F								
					DM54H73	J	Ⓚ	ND	DM54LS73			P	DM5473	J	Ⓚ	ND	DM54L73	J	Ⓚ	TD				
PHILIPS					DM74H73	J	Ⓚ	ND	DM74LS73			P	DM7473	J	Ⓚ	ND	DM74L73	J	Ⓚ	TD				
					N74H73			Ⓚ	N74LS73			Ⓚ	FJJ121/7473			Ⓚ								
SIGNETICS					S54H73	F	Ⓚ	AD	WD	S5473	F	Ⓚ	AD	WD										
					N74H73	F	Ⓚ	AD		N7473	F	Ⓚ	AD											
SIEMENS													FLJ121			Ⓚ								
FUJITSU																								
HITACHI									HD74LS73			P	HD7473/HD2515			Ⓚ	PD							
MITSUBISHI									M74LS73			P	M53273			PD								
NEC													μPB225			DD	Ⓚ							
TOSHIBA													TD3473A			PD								

**Electrical Characteristics SN54LS73/SN74LS73A**  
absolute maximum ratings over operating free-air temperature range

Supply voltage, V <sub>CC</sub>	TV	Operating free-air temperature range	SN54LS	-55°C to 125°C
Input voltage	5.5V	SN74LS	0°C to 70°C	
		Storage temperature range		-55°C to 150°C

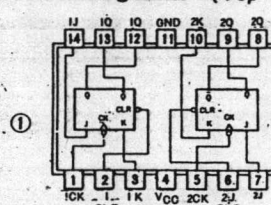
recommended operating conditions

	SN54LS73A			SN74LS73A			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V <sub>CC</sub>	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I <sub>OH</sub>			-400			-400	μA
Low-level output current, I <sub>OL</sub>			4			8	mA
Pulse width, t <sub>p</sub>	Clock high	20		20			ns
	Preset or clear low	25		25			
	High-level data	20	‡	25	‡		
Input setup time, t <sub>su</sub>	High-level data	20	‡	20	‡		ns
	Low-level data	20	‡	20	‡		
Input hold time, t <sub>hd</sub>	High-level data	0	‡	5	‡		ns
	Low-level data	0	‡	5	‡		
Operating free-air temperature, T <sub>A</sub>		-55	125	0	70		°C

**electrical characteristics over recommended operating free-air temperature range**

PARAMETER #	TEST CONDITIONS †	MIN	TYP ‡	MAX	UNIT	
V <sub>IH</sub>	High-level input voltage		2		V	
V <sub>IL</sub>	Low-level input voltage		0.8		V	
V <sub>I</sub>	Input clamp voltage	V <sub>CC</sub> =MIN, I <sub>I</sub> =-18mA		-1.5	V	
V <sub>OH</sub>	High-level output voltage	V <sub>CC</sub> =MIN, V <sub>IH</sub> =2V, V <sub>IL</sub> =0.8V, I <sub>OH</sub> =MAX	2.7	3.4	V	
V <sub>OL</sub>	Low-level output voltage	V <sub>CC</sub> =MIN, V <sub>IH</sub> =2V, V <sub>IL</sub> =0.8V, I <sub>OL</sub> =4mA	0.25	0.4	V	
I <sub>I</sub>	Input current at maximum input voltage	D, J, K, Clear		0.1	mA	
		Preset		0.3		
		Clock		0.3		
				0.4		
I <sub>IH</sub>	High-level input current	D, J, K, Clear		20	μA	
		Preset	V <sub>CC</sub> =MAX, V <sub>I</sub> =2.7V	60		
		Clock		60		
				80		
I <sub>IL</sub>	Low-level input current	D, J, K, Clear		-0.4	mA	
		Preset	V <sub>CC</sub> =MAX, V <sub>I</sub> =0.4V	-0.8		
		Clock		-0.8		
				-0.8		
I <sub>OS</sub>	Short-circuit output current †	Series 54LS		-20	-100	mA
		Series 74LS		-20	-100	
I <sub>CC</sub>	Supply current (Average per flip-flop)	V <sub>CC</sub> =MAX, See Note 1	4	6	mA	
f <sub>max</sub>	maximum clock frequency	V <sub>CC</sub> =5V, T <sub>A</sub> =25°C, C <sub>L</sub> =15pF, R <sub>L</sub> =2kΩ	30	45	MHz	
t <sub>PLH</sub>	from clear, preset or clock (as appropriate) to Q or Q̄		15	20	ns	
t <sub>PHL</sub>	from clear, preset or clock (as appropriate) to Q or Q̄		15	20		

Pin Assignment (Top View)

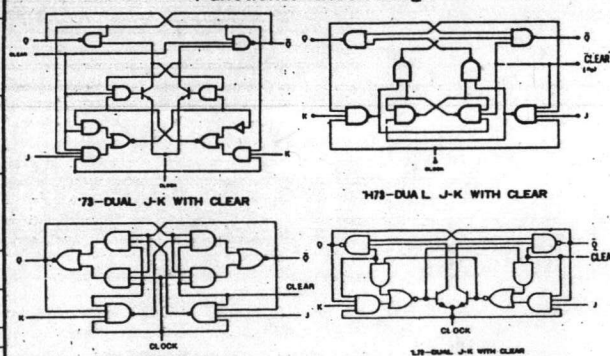


Function Tables

73 H.7.3. L73 (See Note 2) LS73 (See Note 2)

INPUTS					OUTPUTS	
CLEAR	CLOCK	J	K	Q	Q̄	
L	X	X	X	L	H	L H
H	↓	L	L	Q <sub>0</sub>	Q̄ <sub>0</sub>	Q <sub>0</sub> Q̄ <sub>0</sub>
H	↓	L	H	L	L	H L
H	↓	J	L	L	L	L H
H	↓	J	H	L	L	L H
H	↓	H	H			TOGGLE

Function Block Diagrams



NOTES: 1. with all outputs open, I<sub>CC</sub> is measured with the Q and Q̄ outputs high in turn. At the time of measurement, the clock input is grounded.  
2. H = high level (steady state), L = low level (steady state), X = irrelevant  
↓ = transition from high to low level  
↓ = high-level pulse; data inputs should be held constant while clock is high; data is transferred to output on the falling edge of the pulse.  
Q<sub>0</sub> = the level of Q before the indicated input conditions were established.  
TOGGLE: Each output changes to the complement of its previous level on each active transition (pulse) of the clock.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.  
‡ All typical values are at V<sub>CC</sub>=5V, T<sub>A</sub>=25°C.  
# Not more than one output should be shorted at time.  
\* t<sub>PLH</sub> = propagation delay time, low-to-high-level output.  
\* t<sub>PHL</sub> = propagation delay time, high-to-low-level output.  
§ † The arrow indicates the edge of the clock pulse used for reference: † for the rising edge, ‡ for the falling edge.

54154/74154 4-Line-to-16-Line Decoder/Demultiplexer

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL					
	Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package			
	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF		
T.I.													SN54154	J	Ⓣ		WD	SN54L154	J	Ⓣ		
FAIRCHILD													SN74154	J	Ⓣ	ND		SN74L154	J	Ⓣ	ND	
MOTOROLA													FC74154	Ⓣ	Ⓣ	Ⓣ						
N.S.C.									DM54LS154	Ⓣ			DM54154	J	Ⓣ		DM54L154A	Ⓣ	Ⓣ	ND	F	
PHILIPS									DM74LS154	Ⓣ			DM74154	J	Ⓣ	ND	DM74L154A	Ⓣ	Ⓣ	ND	F	
SIGNETICS									N74LS154	Ⓣ			N74154									
SIEMENS													SS4154	F	Ⓣ	ND	Q					
FUJITSU													N74154									
HITACHI													FLY141			Ⓣ						
MITSUBISHI									HD74LS154	P			HD74154/HD2580	Ⓣ	P							
NEC													M53354			P						
TOSHIBA													μPB2154			Ⓣ						

Electrical Characteristics SN54154/SN74154

absolute maximum ratings over operating free-air temperature range

Supply voltage, V <sub>CC</sub>	7V	Operating free-air temperature range	SN54*	-55°C to 125°C
Input voltage	5.5V	Storage temperature range	SN74*	0°C to 70°C
				-65°C to 150°C

recommended operating conditions

	SN54154			SN74154			UNIT		
	MIN	NOM	MAX	MIN	NOM	MAX			
Supply voltage, V <sub>CC</sub>	4.5	5	5.5	4.75	5	5.25	V		
High-level output current, I <sub>OH</sub>			-800			-800	μA		
Low-level output current, I <sub>OL</sub>			16			16	mA		
Operating free-air temperature, T <sub>A</sub>			-55			125	0	70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER #	TEST CONDITIONS †	MIN	TYP ‡	MAX	UNIT	
V <sub>IH</sub>	High-level input voltage		2		V	
V <sub>IL</sub>	Low-level input voltage			0.8	V	
V <sub>I</sub>	Input clamp voltage	V <sub>CC</sub> =MIN, I <sub>I</sub> =-12mA		-1.5	V	
V <sub>OH</sub>	High-level output voltage	V <sub>CC</sub> =MIN, V <sub>IH</sub> =2V, V <sub>IL</sub> =0.8V, I <sub>OH</sub> =-800μA	2.4	3.4	V	
V <sub>OL</sub>	Low-level output voltage	V <sub>CC</sub> =MIN, V <sub>IH</sub> =2V, V <sub>IL</sub> =0.8V, I <sub>OL</sub> =16mA	0.2	0.4	V	
I <sub>I</sub>	Input current at maximum input voltage	V <sub>CC</sub> =MAX, V <sub>I</sub> =5.5V		1	mA	
I <sub>IH</sub>	High-level input current	V <sub>CC</sub> =MAX, V <sub>I</sub> =2.4V		40	μA	
I <sub>IL</sub>	Low-level input current	V <sub>CC</sub> =MAX, V <sub>I</sub> =0.4V		-1.6	mA	
I <sub>OS</sub>	Short-circuit output current †	V <sub>CC</sub> =MAX,	SN54* -20	-55	mA	
			SN74* -18	-57		
I <sub>CC</sub>	Supply current	V <sub>CC</sub> =MAX	SN54* 34	49	mA	
		See Note	SN74* 34	56		
t <sub>PLH</sub>	from A, B, C, or D inputs through 3 levels of logic	V <sub>CC</sub> =5V, T <sub>A</sub> =25°C		24	36	ns
t <sub>PHL</sub>	from A, B, C, or D inputs through 3 levels of logic	C <sub>L</sub> =15pF, R <sub>L</sub> =400Ω		22	33	ns
t <sub>PLH</sub>	from either strobe input			20	30	ns
t <sub>PHL</sub>	from either strobe input			18	27	ns

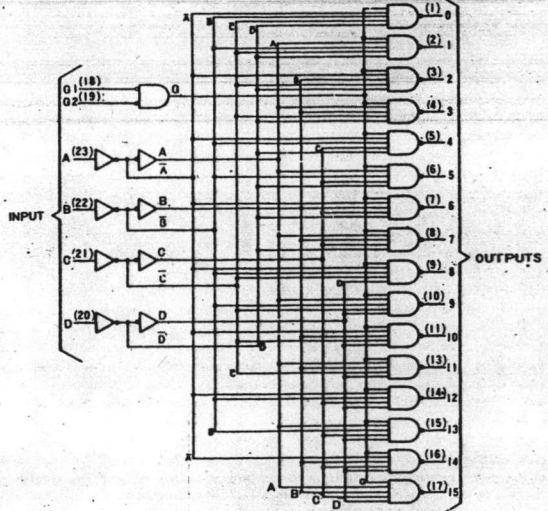
Function Table

154, 'L154

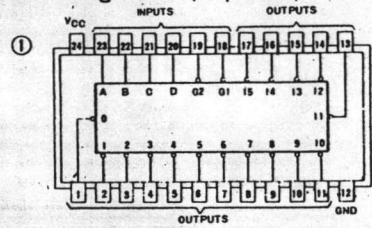
INPUTS				OUTPUTS																		
G1	G2	D	C	B	A	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	H	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	H	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	H	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	H	L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	H	L	H	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	H	L	H	H	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	H	H	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	H	H	L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	H	H	L	H	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	H	H	L	H	H	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
L	H	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
H	L	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
H	H	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

H = high level, L = low level, X = irrelevant

Functional Block Diagram



Pin Assignment (Top View)



154, 'L154 4-LINE-TO-16-LINE DECODER/DEMULPLEXER

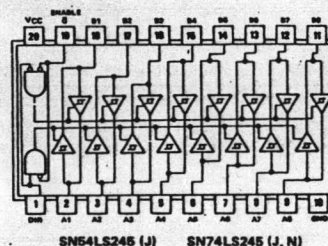
NOTE: I<sub>CC</sub> is measured with all inputs grounded and all outputs open.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.  
 ‡ All typical values are at V<sub>CC</sub>=5V, T<sub>A</sub>=25°C.  
 ♦ Not more than one output should be shorted at a time.  
 † t<sub>PLH</sub> = propagation delay time, low-to-high-level output  
 ‡ t<sub>PHL</sub> = propagation delay time, high-to-low-level output

54245/74245 Octal Bus Transceivers with 3-state Outputs

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL			
	Device Type	Package			Device Type	Package			Device Type	Package			Device Type	Package			Device Type	Package		
		C	P	MCF		C	P	MCF		C	P	MCF		C	P	MCF		C	P	MCF
T. I.									SN54LS245	J	I	W	W							
									SN74LS245	J	I	N	I							
FAIRCHILD																				
MOTOROLA																				
N. S. C.																				
PHILIPS																				
SIGNETICS																				
SIEMENS																				
FUJITSU																				
HITACHI																				
MITSUBISHI																				
NEC																				
TOSHIBA																				

Electrical Characteristics SN54LS245/SN74LS245										
absolute maximum ratings over operating free-air temperature range										
Supply voltage, VCC	7V	Operating free-air temperature range	SN54LS	-55°C to 125°C						
Input voltage	7V	temperature range	SN74LS	0°C to 70°C						
		Storage temperature range		-65°C to 150°C						
recommended operating conditions										
			SN54LS245		SN74LS245				UNIT	
			MIN	NOM	MAX	MIN	NOM	MAX		
Supply voltage, VCC			4.5	5	5.5	4.75	5	5.25	V	
High-level output current, IOH					-12			-15	mA	
Low-level output current, IOL					12			24	mA	
Operating free-air temperature, TA			-55		125	0		70	°C	
electrical characteristics over recommended operating free-air temperature range										
PARAMETER	TEST CONDITIONS†					SN74LS245		UNIT		
V <sub>IH</sub>	High-level input voltage						2			V
V <sub>IL</sub>	Low-level input voltage								0.8	V
V <sub>IK</sub>	Input clamp voltage	VCC=MIN, I <sub>I</sub> = -18mA							-1.5	V
	Hysteresis(V <sub>T+</sub> - V <sub>T-</sub> )	VCC=MIN					0.2	0.4	V	
	A or B input									
V <sub>OH</sub>	High-level output voltage	VCC=MIN, V <sub>IH</sub> =2V, V <sub>IL</sub> =V <sub>ILmax</sub>		I <sub>OH</sub> = -3mA		2.4	3.4	V		
				I <sub>OH</sub> = MAX		2				
V <sub>OL</sub>	Low-level output voltage	VCC=MIN, V <sub>IH</sub> =2V, V <sub>IL</sub> =V <sub>ILmax</sub>		I <sub>OL</sub> = 12mA		0.4		V		
				I <sub>OL</sub> = 24mA		0.5				
I <sub>OZH</sub>	Off-state output current, high-level voltage applied	VCC=MAX, V <sub>O</sub> at 2V		V <sub>O</sub> = 2.7 V		10		µA		
I <sub>OZL</sub>	Off-state output current, low-level voltage applied			V <sub>O</sub> = 0.4V		-200				
I <sub>I</sub>	Input current at maximum input voltage	A or B	VCC=MAX, V <sub>I</sub> = 5.5V		0.1		mA			
		DIR or $\bar{Q}$	V <sub>I</sub> = 7V		0.1					
I <sub>IH</sub>	High-level input current	VCC=MAX, V <sub>IH</sub> = 2.7V		20		µA				
I <sub>IL</sub>	Low-level input current	VCC=MAX, V <sub>IL</sub> = 0.4V		-0.2		mA				
I <sub>OS</sub>	Short-circuit output current	VCC=MAX		-40		-225		mA		
	Total, outputs high			48		70				
I <sub>CC</sub>	Supply current	Total, outputs low		62		90		mA		
	Outputs at Hi-Z	Outputs at Hi-Z		64		95				
switching characteristics, VCC 5V, TA 25°C										
PARAMETER	TEST CONDITIONS					MIN	TYP	MAX	UNIT	
t <sub>PLH</sub>	Propagation delay time, low-to-high-level output					8	12	ns		
t <sub>PHL</sub>	Propagation delay time, high-to-low-level output					8	12	ns		
t <sub>PZL</sub>	Output enable time to low level					27	40	ns		
t <sub>PZL</sub>	Output enable time to high level					25	40	ns		
t <sub>PLZ</sub>	Output disable time from low level					15	25	ns		
t <sub>PHZ</sub>	Output disable time from high level					15	25	ns		



SN54LS245 (J) SN74LS245 (J, N)

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at VCC=5V, TA=25°C.

■ Not more than one output should be shorted at a time, and duration of the short-short should not exceed one second.

ภาคผนวก ข

โปรแกรมต่าง ๆ

```
10 REM *****
20 REM
30 REM     OFF ALL SWITCHES
40 REM
50 REM *****
60 REM
70 FOR I = 0 TO 6 STEP 2
80 POKE (50176 + I),0
90 NEXT I
100 FOR I = 0 TO 6 STEP 2
110 POKE (50185 + I),0
120 NEXT I
130 REM
140 REM *****
150 REM
160 REM     READ DATA FROM DISK
170 REM
180 REM *****
190 REM
200 D$ = CHR$ (4)
210 PRINT D$;"OPEN BM,D2"
220 PRINT D$;"READ BM"
230 INPUT F
240 INPUT T
250 PRINT D$;"CLOSE BM"
260 HOME
270 PRINT "DATA FROM DISK ARE : "
280 PRINT : PRINT
290 PRINT "FACTOR = " ; F
300 PRINT : PRINT
310 PRINT "TIMES = " ; T
320 REM
330 REM *****
340 REM
350 REM     LIGHT
360 REM
370 REM *****
380 REM
390 SUM = 0
400 FOR I = 1 TO 10
410 POKE (49344),0
420 SUM = SUM + PEEK (49344)
430 NEXT I
440 LIGHT = SUM / 10
450 IF LIGHT > 200 THEN 470
460 POKE (50184),0
```



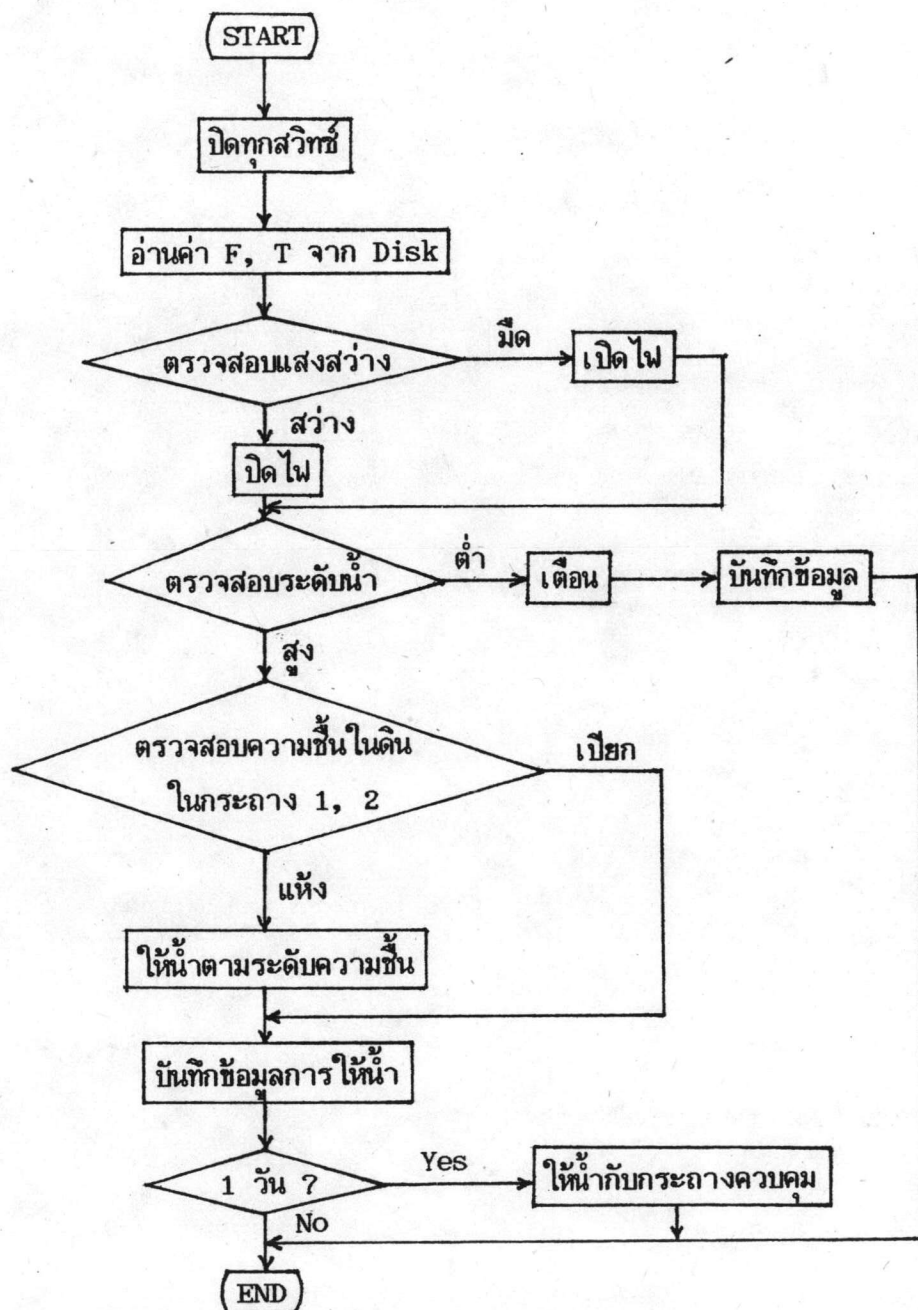
```
470 REM
480 REM *****
490 REM
500 REM     LEVEL
510 REM
520 REM *****
530 REM
540 SUM = 0
550 FOR I = 1 TO 10
560 POKE (49345),0
570 SUM = SUM + PEEK (49345)
580 NEXT I
590 LEVEL = SUM / 10
600 IF LEVEL > 170 THEN 700
610 FOR I = 1 TO 10
620 PRINT CHR$ (7)
630 NEXT I
640 PRINT D$;"OPEN WATER"
650 PRINT D$;"DELETE WATER"
660 PRINT D$;"OPEN WATER"
670 PRINT D$;"WRITE WATER"
680 PRINT D$;"CLOSE WATER"
690 GOTO 1280
700 REM
710 REM *****
720 REM
730 REM     MOISTURE
740 REM
750 REM *****
760 REM
770 N(1) = 0
780 N(2) = 0
790 SUM = 0
800 FOR I = 1 TO 10
810 POKE (49346),0
820 SUM = SUM + PEEK (49346)
830 NEXT I
840 M(1) = SUM / 10
850 IF M(1) < 200 THEN J = 1: GOSUB 1320
860 SUM = 0
870 FOR I = 1 TO 10
880 POKE (49347),0
890 SUM = SUM + PEEK (49347)
900 NEXT I
910 M(2) = SUM / 10
920 IF M(2) < 200 THEN J = 2: GOSUB 1320
```

```

930 REM
940 REM *****
950 REM
960 REM     SAVE DATA ON DISK
970 REM
980 REM *****
990 REM
1000 N$ = "DATA" + STR$ (T)
1010 PRINT D$;"OPEN ";N$
1020 PRINT D$;"WRITE ";N$
1030 PRINT N(1)
1040 PRINT N(2)
1050 PRINT D$;"CLOSE ";N$
1060 PRINT D$;"OPEN BM"
1070 PRINT D$;"DELETE BM"
1080 PRINT D$;"OPEN BM"
1090 PRINT D$;"WRITE BM"
1100 PRINT F
1110 PRINT T + 1
1120 PRINT "CLOSE BM"
1130 REM
1140 REM *****
1150 REM
1160 REM     1 DAY ?
1170 REM
1180 REM *****
1190 REM
1200 IF (T / 12 - INT (T / 12) < > 0 GOTO 1270
1210 POKE (50177),0
1220 FOR I = 1 TO 1000: NEXT I
1230 POKE (50179),0
1240 FOR I = 1 TO 600000: NEXT I
1250 POKE (50178),0
1260 FOR I = 1 TO 1000: NEXT I
1270 POKE (50176),0
1280 END
1290 REM
1300 REM *****
1310 REM
1320 REM     SUBROUTINE MOISTURE
1330 REM
1340 REM         LADDER
1350 REM
1360 REM *****
1370 REM
1380 IF M(J) > 170 THEN K = 1: GOTO 1420
1390 IF M(J) > 140 THEN K = 2: GOTO 1420
1400 IF M(J) > 110 THEN K = 3: GOTO 1420
1410 K = 4
1420 POKE (50177),0
1430 FOR I = 1 TO 1000: NEXT I
1440 POKE (50179 + 2 * J),0
1450 FOR I = 1 TO 100000 * K * F: NEXT I
1460 POKE (50178 + 2 * J),0
1470 N(J) = K
1480 RETURN

```

## FLOW CHART



```
10 REM *****
20 REM
30 REM   PROGRAM TO READ DATA
40 REM
50 REM *****
60 REM
70 HOME
80 INPUT "No. of 1st file = ";M
90 INPUT "No. of last file = ";N
100 D$ = CHR$(4)
110 FOR I = M TO N
120 N$ = "DATA" + STR$(I)
130 PRINT D$;"OPEN ";N$
140 PRINT D$;"READ ";N$
150 INPUT N1
160 INPUT N2
170 PRINT D$;"CLOSE ";N$
180 PRINT : PRINT
190 PRINT "DATA FROM FILE ";N$;" ARE:"
200 PRINT
210 PRINT "K VALUE OF AREA#1 = ";N1
220 PRINT
230 PRINT "K VALUE OF AREA#2 = ";N2
240 NEXT I
```

```
10 REM *****
20 REM
30 REM PROGRAM TO CHANGE DATA
40 REM
50 REM *****
60 HOME
70 PRINT "YOU ARE RUNNING PROGRAM TO CHANGE DATA"
80 PRINT : PRINT : INPUT "FACTOR = "; F
90 PRINT : PRINT : INPUT "TIME = "; T
100 PRINT : PRINT
110 D$ = CHR$ (4)
120 PRINT D$; "OPEN BM"
130 PRINT D$; "DELETE BM"
140 PRINT D$; "OPEN BM"
150 PRINT D$; "WRITE BM"
160 PRINT F
170 PRINT T
180 PRINT D$; "CLOSE BM"
190 END
```

```
10 REM *****
20 REM
30 REM PROGRAM TO DELETE DATA
40 REM
50 REM *****
60 REM
70 HOME
80 INPUT "No. of 1st file = "; M
90 INPUT "No. of last file = "; N
100 D$ = CHR$ (4)
110 FOR I = M TO N
120 N$ = "DATA" + STR$ (I)
130 PRINT D$; "DELETE "; N$
140 NEXT I
```

**ภาคผนวก ค**

**ค่าการให้น้ำที่อ่านได้จากแผ่นข้อมูลตลอด 3 อาทิตย์**

## วันที่ 1 ของการทดลอง

เวลา	แปลงที่ 1	แปลงที่ 2
21.00 น.	0	0
23.00 น.	0	0
01.00 น.	0	0
03.00 น.	0	0
05.00 น.	0	0
07.00 น.	0	0
09.00 น.	0	0
11.00 น.	0	0
13.00 น.	0	0
15.00 น.	1	1
17.00 น.	1	1
19.00 น.	1	1

## วันที่ 2 ของการทดลอง

เวลา	แปลงที่ 1	แปลงที่ 2
21.00 น.	0	0
23.00 น.	0	0
01.00 น.	0	0
03.00 น.	0	0
05.00 น.	0	0
07.00 น.	1	1
09.00 น.	1	1
11.00 น.	1	1
13.00 น.	1	1
15.00 น.	1	1
17.00 น.	1	1
19.00 น.	1	1

## วันที่ 3 ของการทดลอง

เวลา	แปลงที่ 1	แปลงที่ 2
21.00 น.	0	0
23.00 น.	0	0
01.00 น.	0	0
03.00 น.	0	0
05.00 น.	1	1
07.00 น.	1	1
09.00 น.	1	1
11.00 น.	1	1
13.00 น.	1	1
15.00 น.	1	1
17.00 น.	1	1
19.00 น.	1	1

## วันที่ 4 ของการทดลอง

เวลา	แปลงที่ 1	แปลงที่ 2
21.00 น.	0	0
23.00 น.	0	0
01.00 น.	0	0
03.00 น.	0	0
05.00 น.	0	0
07.00 น.	1	1
09.00 น.	1	1
11.00 น.	1	1
13.00 น.	2	2
15.00 น.	1	1
17.00 น.	1	1
19.00 น.	1	1



## วันที่ 5 ของการทดลอง

เวลา	แปลงที่ 1	แปลงที่ 2
21.00 น.	0	0
23.00 น.	0	0
01.00 น.	1	0
03.00 น.	0	0
05.00 น.	0	0
07.00 น.	1	1
09.00 น.	1	1
11.00 น.	1	1
13.00 น.	2	2
15.00 น.	2	2
17.00 น.	1	1
19.00 น.	1	1

## วันที่ 6 ของการทดลอง

เวลา	แปลงที่ 1	แปลงที่ 2
21.00 น.	0	0
23.00 น.	0	0
01.00 น.	1	0
03.00 น.	0	0
05.00 น.	0	0
07.00 น.	1	1
09.00 น.	1	1
11.00 น.	1	1
13.00 น.	2	2
15.00 น.	2	2
17.00 น.	1	1
19.00 น.	1	1

## วันที่ 7 ของการทดลอง

เวลา	แปลงที่ 1	แปลงที่ 2
21.00 น.	0	0
23.00 น.	0	0
01.00 น.	1	0
03.00 น.	0	0
05.00 น.	0	0
07.00 น.	1	1
09.00 น.	1	1
11.00 น.	1	1
13.00 น.	2	2
15.00 น.	1	1
17.00 น.	1	1
19.00 น.	1	1

## วันที่ 8 ของการทดลอง

เวลา	แปลงที่ 1	แปลงที่ 2
21.00 น.	0	0
23.00 น.	0	0
01.00 น.	0	0
03.00 น.	1	0
05.00 น.	0	0
07.00 น.	1	1
09.00 น.	1	1
11.00 น.	1	1
13.00 น.	2	2
15.00 น.	1	1
17.00 น.	1	1
19.00 น.	1	1

## วันที่ 9 ของการทดลอง

เวลา	แปลงที่ 1	แปลงที่ 2
21.00 น.	0	0
23.00 น.	0	0
01.00 น.	1	1
03.00 น.	1	0
05.00 น.	0	0
07.00 น.	1	1
09.00 น.	1	1
11.00 น.	1	1
13.00 น.	2	2
15.00 น.	2	2
17.00 น.	1	1
19.00 น.	1	1

## วันที่ 10 ของการทดลอง

เวลา	แปลงที่ 1	แปลงที่ 2
21.00 น.	0	0
23.00 น.	0	0
01.00 น.	1	1
03.00 น.	1	0
05.00 น.	0	0
07.00 น.	1	1
09.00 น.	1	1
11.00 น.	1	1
13.00 น.	2	2
15.00 น.	2	2
17.00 น.	1	1
19.00 น.	1	1

## วันที่ 11 ของการทดลอง

เวลา	แปลงที่ 1	แปลงที่ 2
21.00 น.	0	0
23.00 น.	0	0
01.00 น.	1	0
03.00 น.	1	1
05.00 น.	0	0
07.00 น.	1	1
09.00 น.	1	1
11.00 น.	1	1
13.00 น.	2	2
15.00 น.	1	1
17.00 น.	1	1
19.00 น.	1	1

## วันที่ 12 ของการทดลอง

เวลา	แปลงที่ 1	แปลงที่ 2
21.00 น.	0	0
23.00 น.	0	0
01.00 น.	1	1
03.00 น.	1	0
05.00 น.	0	0
07.00 น.	1	1
09.00 น.	1	1
11.00 น.	1	1
13.00 น.	2	2
15.00 น.	2	2
17.00 น.	1	1
19.00 น.	1	1

## วันที่ 13 ของการทดลอง

เวลา	แปลงที่ 1	แปลงที่ 2
21.00 น.	0	0
23.00 น.	0	0
01.00 น.	1	1
03.00 น.	1	0
05.00 น.	0	0
07.00 น.	1	1
09.00 น.	1	1
11.00 น.	1	1
13.00 น.	2	2
15.00 น.	2	2
17.00 น.	1	1
19.00 น.	1	1

## วันที่ 14 ของการทดลอง

เวลา	แปลงที่ 1	แปลงที่ 2
21.00 น.	0	0
23.00 น.	1	0
01.00 น.	1	1
03.00 น.	1	0
05.00 น.	0	0
07.00 น.	1	1
09.00 น.	1	1
11.00 น.	1	1
13.00 น.	2	2
15.00 น.	2	2
17.00 น.	1	1
19.00 น.	1	1

## วันที่ 15 ของการทดลอง

เวลา	แปลงที่ 1	แปลงที่ 2
21.00 น.	0	0
23.00 น.	1	0
01.00 น.	1	0
03.00 น.	1	0
05.00 น.	0	0
07.00 น.	1	1
09.00 น.	1	1
11.00 น.	1	1
13.00 น.	2	2
15.00 น.	2	2
17.00 น.	1	1
19.00 น.	1	1

## วันที่ 16 ของการทดลอง

เวลา	แปลงที่ 1	แปลงที่ 2
21.00 น.	0	0
23.00 น.	1	0
01.00 น.	1	0
03.00 น.	1	1
05.00 น.	0	0
07.00 น.	1	1
09.00 น.	1	1
11.00 น.	1	1
13.00 น.	2	2
15.00 น.	2	2
17.00 น.	1	1
19.00 น.	1	1

## วันที่ 17 ของการทดลอง

เวลา	แปลงที่ 1	แปลงที่ 2
21.00 น.	1	0
23.00 น.	1	0
01.00 น.	1	1
03.00 น.	1	0
05.00 น.	0	0
07.00 น.	1	1
09.00 น.	1	1
11.00 น.	1	1
13.00 น.	2	2
15.00 น.	2	2
17.00 น.	1	1
19.00 น.	1	1

## วันที่ 18 ของการทดลอง

เวลา	แปลงที่ 1	แปลงที่ 2
21.00 น.	1	0
23.00 น.	1	0
01.00 น.	1	1
03.00 น.	1	0
05.00 น.	0	0
07.00 น.	1	1
09.00 น.	1	1
11.00 น.	1	1
13.00 น.	2	2
15.00 น.	1	1
17.00 น.	1	1
19.00 น.	1	1

## วันที่ 19 ของการทดลอง

เวลา	แปลงที่ 1	แปลงที่ 2
21.00 น.	1	0
23.00 น.	1	0
01.00 น.	1	1
03.00 น.	1	0
05.00 น.	1	0
07.00 น.	1	1
09.00 น.	1	1
11.00 น.	1	1
13.00 น.	2	2
15.00 น.	2	2
17.00 น.	1	1
19.00 น.	1	1

## วันที่ 20 ของการทดลอง

เวลา	แปลงที่ 1	แปลงที่ 2
21.00 น.	1	0
23.00 น.	1	0
01.00 น.	1	1
03.00 น.	1	0
05.00 น.	1	0
07.00 น.	1	1
09.00 น.	1	1
11.00 น.	1	1
13.00 น.	2	2
15.00 น.	1	1
17.00 น.	1	1
19.00 น.	1	1



## วันที่ 21 ของการทดลอง

เวลา	แปลงที่ 1	แปลงที่ 2
21.00 น.	1	0
23.00 น.	1	0
01.00 น.	1	1
03.00 น.	1	0
05.00 น.	1	0
07.00 น.	1	1
09.00 น.	1	1
11.00 น.	1	1
13.00 น.	2	2
15.00 น.	2	2
17.00 น.	1	1
19.00 น.	1	1

## ภาคผนวก ง

ความสูงของผักบั้งที่ปลูกในช่วงปลายอาทิตย์ที่ 1, 2 และ 3

ตารางที่ ง-1 ความสูงของต้นผักบุ้งเมื่อสิ้นอาทิตย์ที่ 1 ของการทดลอง (ซม.)

ต้นที่	แปลงที่ 1	แปลงที่ 2
1	6.5	3.5
2	5.0	7.0
3	6.0	4.0
4	4.0	3.5
5	8.0	4.5
6	8.0	6.5
7	6.0	5.0
8	3.5	3.5
9	4.5	4.5
10	5.0	7.0
11	5.5	4.0
12	5.5	5.0
13	6.5	3.0
14	6.0	4.0
15	5.0	4.5
16	5.0	4.0
17	5.0	4.5

$$\sum x \quad 95 \quad 78$$

$$\sum x^2 \quad 554.5 \quad 378.0$$

$$\bar{x} \quad 5.59 \quad 4.59$$

$$(\sum x)^2/n \quad 530.88 \quad 375.88$$

$$(n-1) S^2 \quad 23.62 \quad 21.12$$

$$\text{Pool } S^2 = \frac{23.62 + 21.12}{16 + 16} = 1.4, \quad df = 32$$

$$S_D = \sqrt{\frac{2 \times 14}{17}} = 0.4056 \text{ ซม.}$$

$$t = 1 / 0.4056 = 2.466$$

$$\text{จากตาราง } t; \quad t_{32} @ 0.05 = 2.038 < t$$

ตารางที่ ง-2 ความสูงของต้นผักบุ้งเมื่อสิ้นอาทิตย์ที่ 2 ของการทดลอง (ซม.)

ต้นที่	แปลงที่ 1	แปลงที่ 2
1	18.0	9.5
2	15.0	9.0
3	14.0	12.5
4	14.0	14.0
5	23.5	11.5
6	48.0	10.0
7	15.0	13.0
8	11.0	11.0
9	15.0	9.0
10	15.0	24.0
11	17.0	8.0
12	15.0	14.5
13	17.5	9.0
14	15.0	12.5
15	14.0	16.0
16	12.5	10.0
17	9.5	8.5

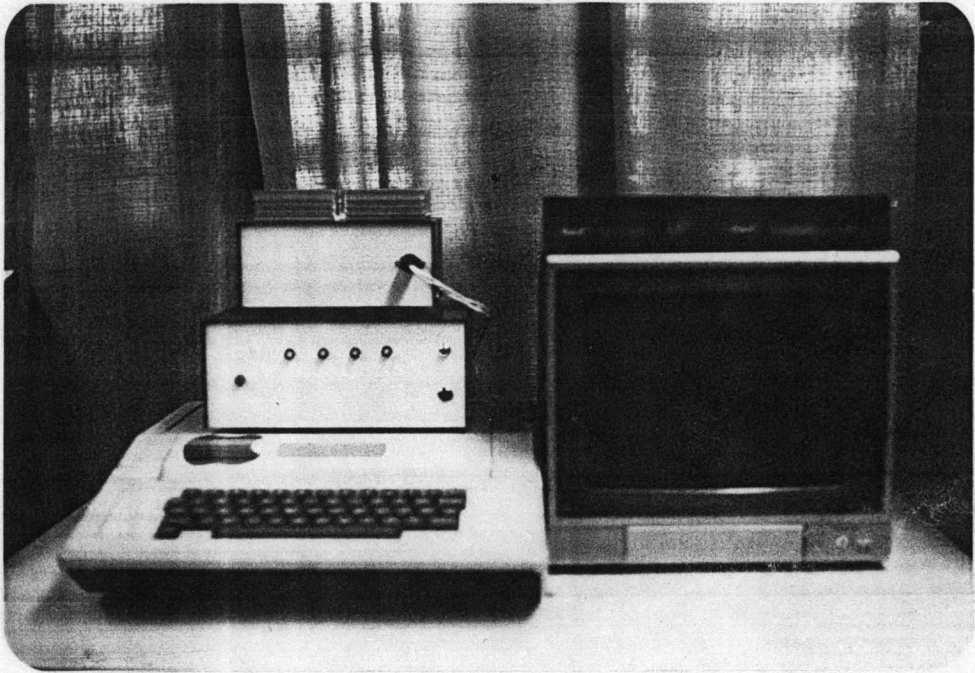
$$\begin{array}{l}
 \sum x \qquad \qquad \qquad 288.5 \qquad \qquad \qquad 202 \\
 \sum x^2 \qquad \qquad \qquad 6081 \qquad \qquad \qquad 2642.5 \\
 \bar{x} \qquad \qquad \qquad 16.97 \qquad \qquad \qquad 11.88 \\
 (\sum x)^2 / n \qquad \qquad \qquad 4896.01 \qquad \qquad \qquad 2400.24 \\
 (n-1) S^2 \qquad \qquad \qquad 1184.99 \qquad \qquad \qquad 242.26 \\
 \text{Pool } S^2 = \frac{1184.99 + 242.26}{16 + 16} = 44.6, \text{ df} = 32 \\
 S_D = \sqrt{\frac{2 \times 44.6}{17}} = 2.2907 \text{ ซม.} \\
 t = 5.09 / 2.2907 = 2.222 \\
 \text{จากตาราง } t; \quad t_{32 @ 0.05} = 2.038 < t
 \end{array}$$

ตารางที่ ง-3 ความสูงของต้นผักบุ้งเมื่อสิ้นอาทิตย์ที่ 3 ของการทดลอง (ซม.)

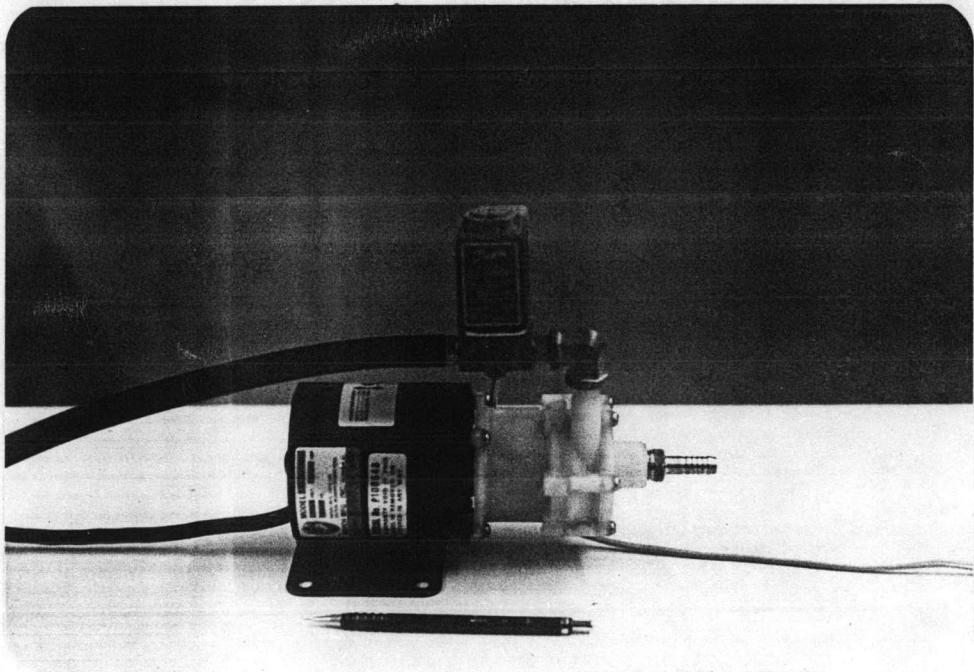
ต้นที่	แปลงที่ 1	แปลงที่ 2
1	68.5	46.5
2	66.0	43.0
3	48.0	58.5
4	47.5	55.0
5	83.0	57.0
6	110.0	52.0
7	42.0	62.0
8	34.0	50.5
9	75.0	48.0
10	81.0	86.0
11	43.0	41.0
12	37.5	49.5
13	42.0	43.0
14	22.5	54.0
15	27.0	34.0
16	29.5	53.5
17	15.0	55.0
เฉลี่ย	51.3	52.3

ภาคผนวก จ

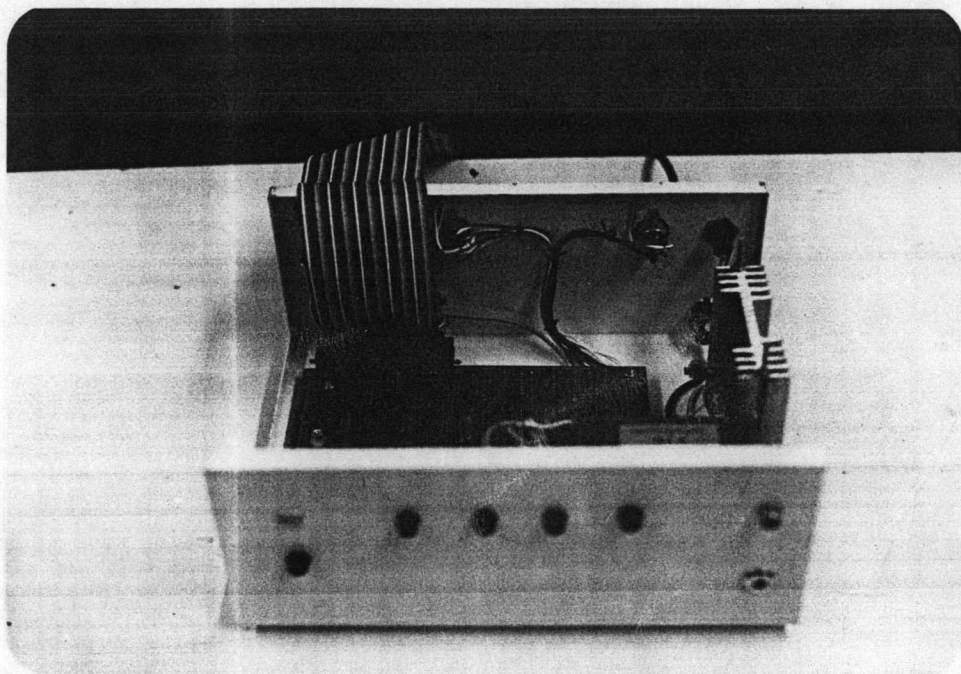
รูปต่าง ๆ



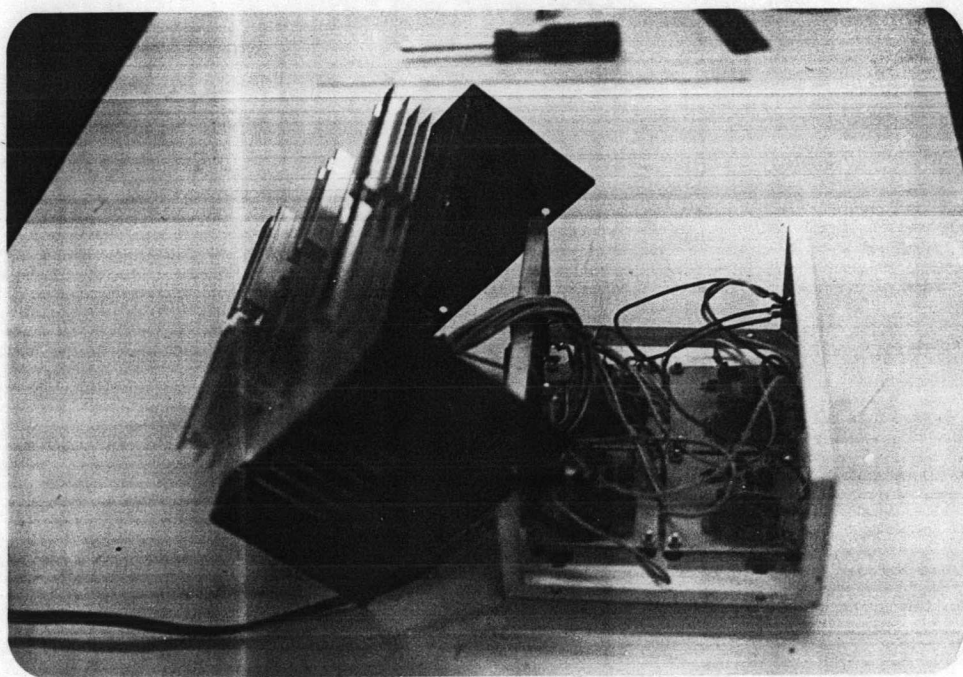
รูปที่ ผ-1 ระบบควบคุม



รูปที่ ผ-2 ปั๊มและโซลินอยวาล์ว

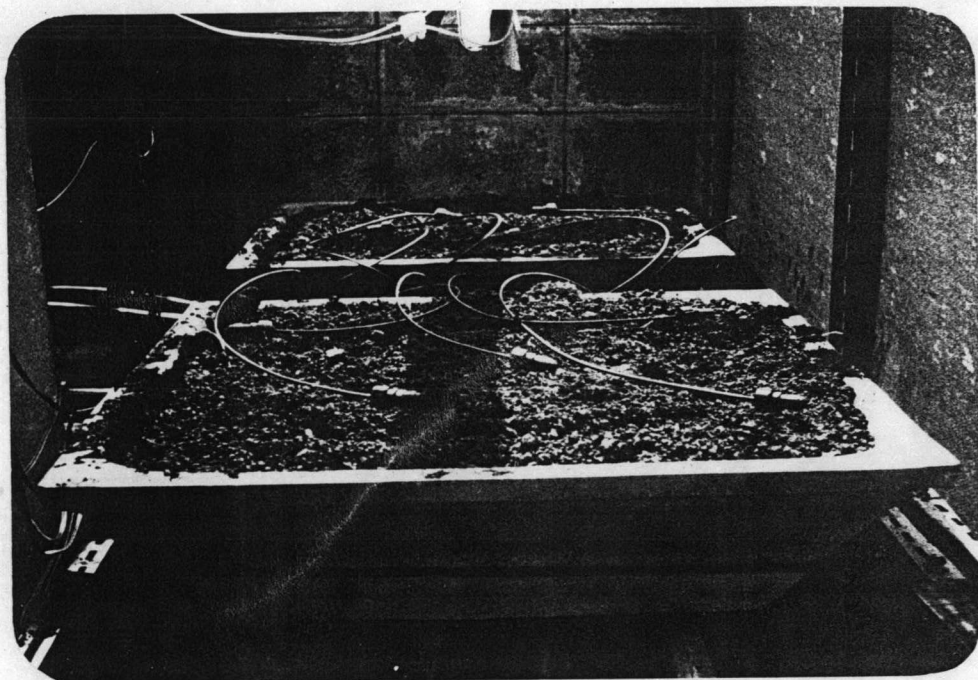


รูปที่ ผ-3 อุปกรณ์เชื่อมโยงข้อมูล

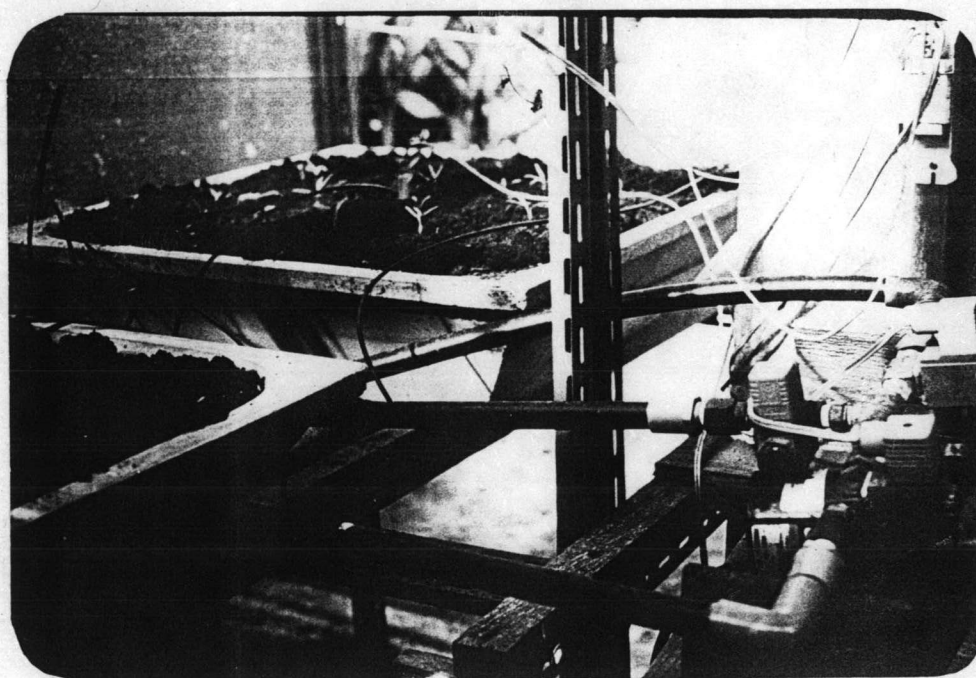


รูปที่ ผ-4 รีเลย์

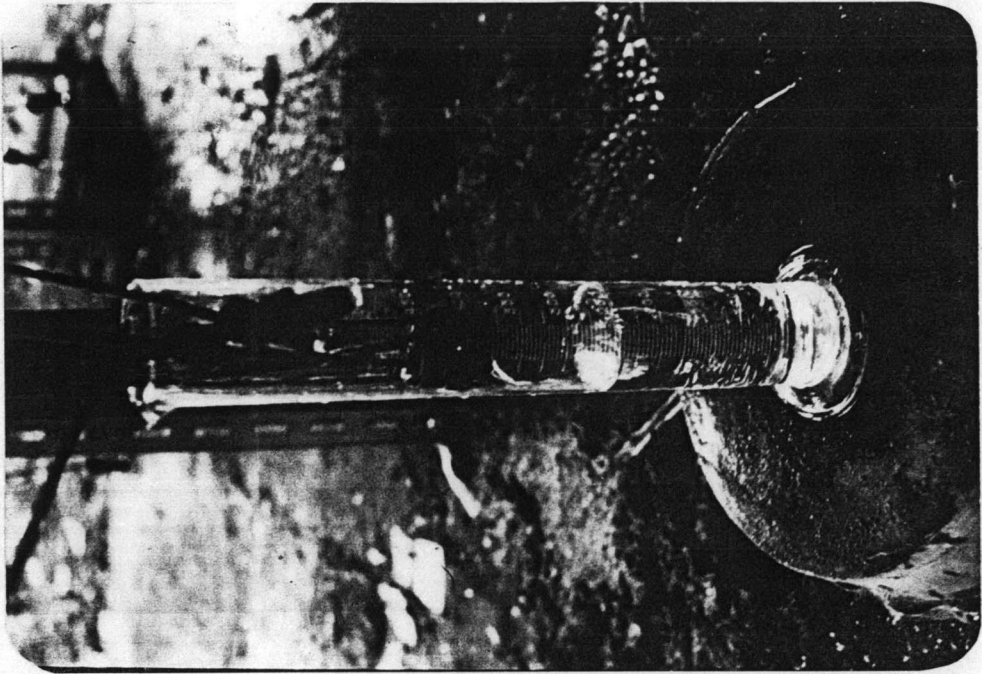




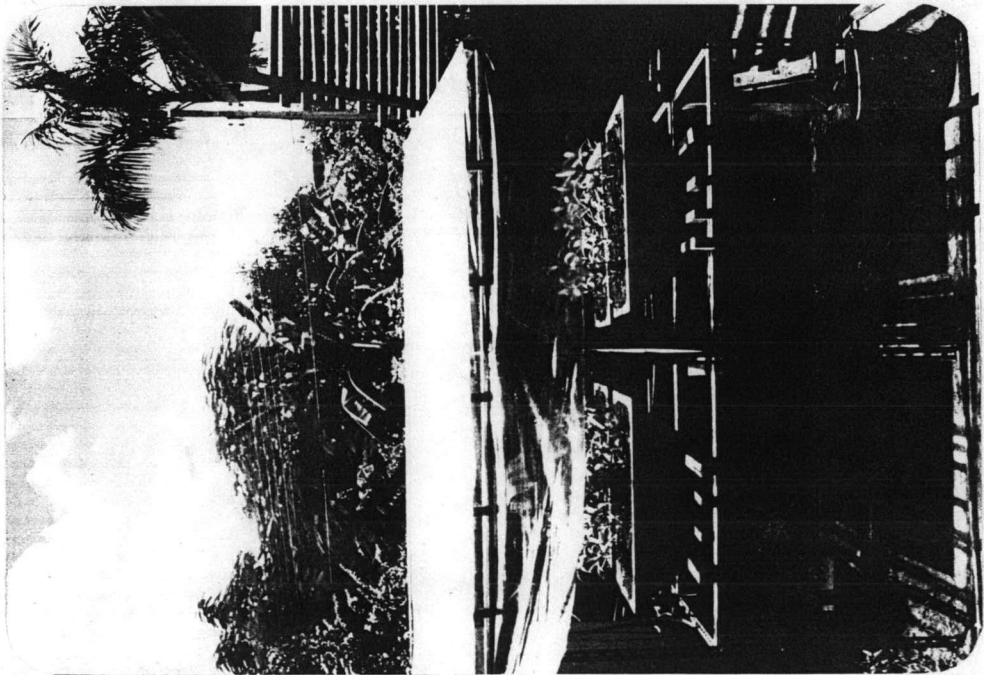
รูปที่ ผ-5 กระถางที่เตรียมดินแล้วฝังเมล็ดพันธุ์



รูปที่ ผ-6 แสดงท่อที่ต่อจากวาล์ว ไปยังกระถางปลูก



รูปที่ ๘-8 การวัดอัตราการไหล



รูปที่ ๘-7 หลังคาพลาสติคคลุมกระถางปลูก



ประวัติผู้ศึกษา

นาย ทิวา ต้นสถิตย์ เกิดวันที่ 16 กุมภาพันธ์ พ.ศ. 2502 ที่กรุงเทพมหานคร  
สำเร็จการศึกษาหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต ภาควิชาวิศวกรรมโยธา คณะวิศวกรรม  
ศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย เมื่อปีการศึกษา 2525

เมื่อปี พ.ศ. 2525 ไปเป็นวิศวกรบริษัท SOIL TESTING SIAM อยู่ประมาณ 1 เดือน  
ก็ถูกเรียกตัวมาเป็นอาจารย์ประจำ แผนกวิชาเทคนิคก่อสร้าง คณะวิชาช่างโยธา วิชาเขต  
อุทกณเวทย สถาบันเทคโนโลยีราชมงคล ได้ 3 ปี จึงลาศึกษาต่อ หลักสูตรวิศวกรรม  
ศาสตรมหาบัณฑิต สาขาวิศวกรรมแหล่งน้ำ ภาควิชาวิศวกรรมโยธา คณะวิศวกรรมศาสตร์  
จุฬาลงกรณ์มหาวิทยาลัย

เมื่อปี พ.ศ. 2532 ได้ไปฝึกอบรมหลักสูตร HIGH TECHNOLOGY RESEARCH ณ  
ประเทศญี่ปุ่น เป็นเวลา 8 เดือน