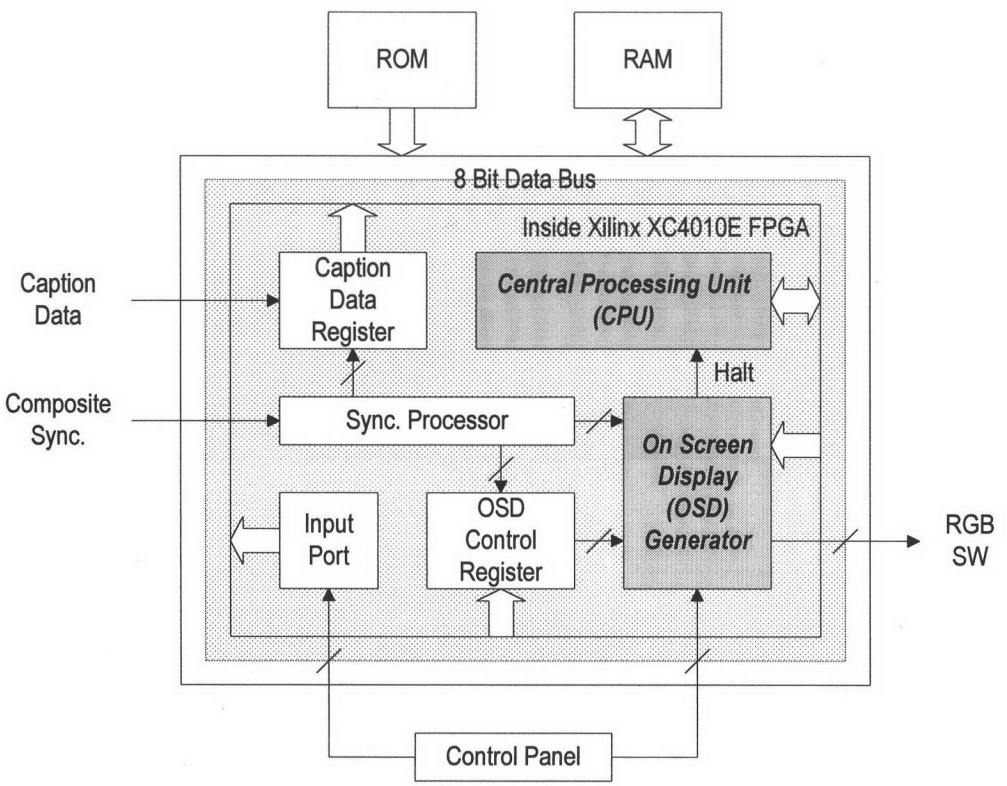
หอสมุดกลาง สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 4

ตัวประมวลผลคำบรรยายภาพไทย-อังกฤษแบบซ่อนได้

4.1 โครงสร้างภายในของตัวประมวลผล

ตัวประมวลผลคำบรรยายภาพไทย-อังกฤษแบบซ่อนได้ เป็นชิปที่ออกแบบด้วยแบบจำลอง VHDL และจำลองการทำงานด้วยซอฟต์แวร์บนเครื่องคอมพิวเตอร์ส่วนบุคคล จากนั้นจึงทำการสังเคราะห์วงจรออกมา นำไปโปรแกรมลงบนชิป FPGA ตัวประมวลผลนี้ทำงานที่ความถี่สัญญาณนาฬิกา 12 เมกะเฮิรตซ์ มีโครงสร้างภายในแสดงได้ดังส่วนที่แรเงาของรูปที่ 4.1



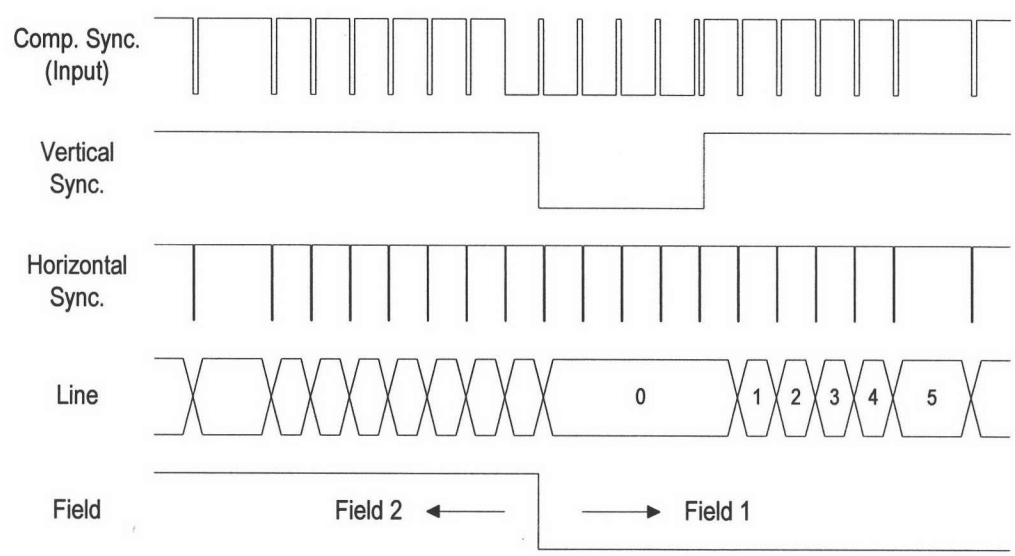
รูปที่ 4.1 โครงสร้างภายในของตัวประมวลผลคำบรรยายภาพไทย-อังกฤษแบบซ่อนได้

ซิงก์รวม (Composite Sync.) ที่ได้รับมาจากตัวแยกซิงก์ (Sync. Separator) จะถูกป้อนเข้าตัวประมวลผลซิงก์ (Sync. Processor) เพื่อแยกเอาข้อมูลทางเวลาของสัญญาณภาพรวมออกมาป้อนให้แก่ส่วนอื่น รีจิสเตอร์ข้อมูลคำบรรยายภาพ (Caption Data Register) จะคอยจนถึงสัญญาณภาพ

รวมเส้นที่ 18 ของฟีลด์ที่ 1 แล้วทำการอ่านข้อมูลคำบรรยายภาพที่แยกออกมาจากสัญญาณภาพรวมเข้ามา ทำการแปลงจากข้อมูลแบบอนุกรม (Serial Data) เป็นข้อมูลแบบขนาน (Parallel Data) เก็บไว้ หน่วยประมวลผลกลาง (CPU) จะคอยอ่านข้อมูลเข้าไปถอดรหัสเก็บไว้ในหน่วยความจำเข้าถึงแบบสุ่ม (Random Access Memory) และคอยตรวจการกดปุ่มบนแผงควบคุม (Control Panel) ทางพอร์ตรับข้อมูลเข้า (Input Port) ตัวกำเนิดการแสดงผลบนหน้าจอ (OSD Generator) จะคอยจนถึงสัญญาณภาพรวมช่วงที่แสดงคำบรรยายภาพ แล้วส่งสัญญาณ Halt ให้หน่วยประมวลผลกลางเพื่อให้หยุดการทำงานและปล่อยบัส จากนั้นก็อ่านข้อมูลคำบรรยายภาพที่ถอดรหัสแล้ว จากหน่วยความจำเข้าถึงแบบสุ่ม กับรูปแบบอักขระ (Font) ของตัวอักษรในคำบรรยายภาพ จากหน่วยความจำอ่านอย่างเดียว (Read Only Memory) เข้ามา สร้างสัญญาณภาพของตัวอักษรที่ประกอบเป็นคำบรรยายภาพออกไป เมื่อพ้นช่วงนี้ไปแล้วก็จะหยุดส่งสัญญาณ Halt ทำให้หน่วยประมวลผลกลางทำงานต่อตามปกติ หน่วยประมวลผลกลางสามารถควบคุมการแสดงผล ของตัวกำเนิดการแสดงผลบนหน้าจอได้ผ่านทาง รีจิสเตอร์ควบคุมการแสดงผลบนหน้าจอ (OSD Control Register)

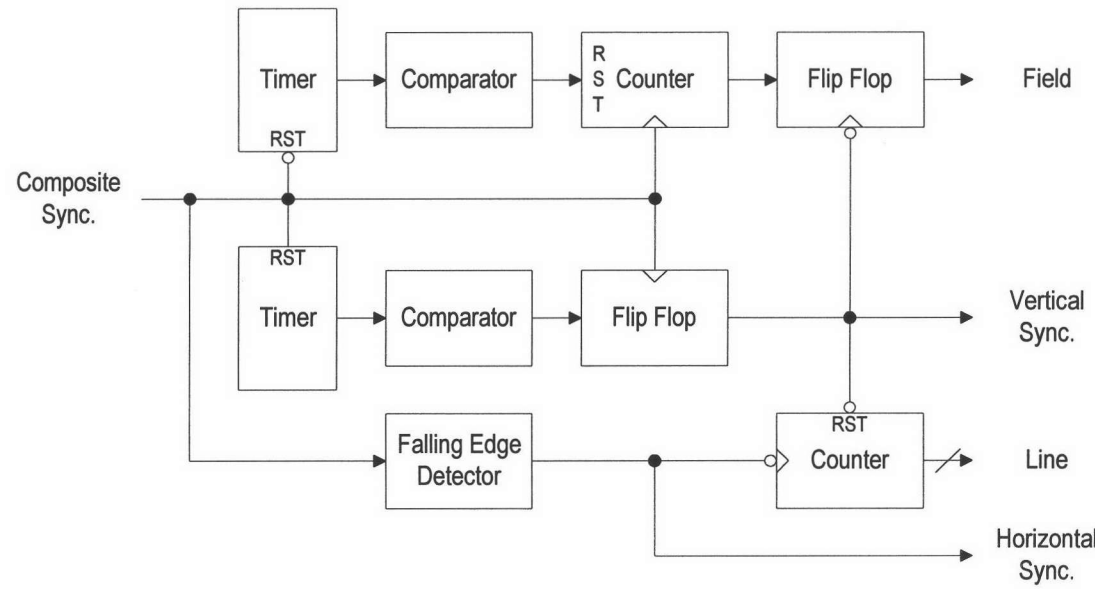
4.2 ตัวประมวลผลซิงก์ (Sync. Processor)

ตัวประมวลผลซิงก์จะวิเคราะห์ซิงก์รวม แล้วให้สัญญาณออกที่บอกจังหวะต่าง ๆ ของสัญญาณภาพรวม อันได้แก่ ซิงก์แนวตั้ง (Vertical Sync.), ซิงก์แนวนอน (Horizontal Sync.), เส้น (Line) และฟีลด์ (Field) โดยลักษณะของสัญญาณออกจะเป็นดังรูปที่ 4.2



รูปที่ 4.2 สัญญาณออกของตัวประมวลผลซิงก์

วงจรที่ใช้ในการกำเนิดสัญญาณออกแสดงไว้ในรูปที่ 4.3 โดยสัญญาณออกแต่ละตัว มีความสำคัญ และกรรมวิธีในการสร้างดังต่อไปนี้



รูปที่ 4.3 แผนภาพวงจรของตัวประมวลผลซิงก์

1. *ซิงก์แนวตั้ง* เป็นสัญญาณที่สร้างได้โดยการจับเวลาในช่วงที่ซิงก์รวมมีค่าเป็น '0' หากนานกว่า 21.33 ไมโครวินาที ก็จะให้ค่าเป็น '0' ที่ขอบขาขึ้นของซิงก์รวม ช่วงที่สัญญาณนี้มีค่าเป็น '0' จะตรงกับจังหวะที่ปืนอิเล็กตรอนสะบัดกลับจากด้านล่างสุดสู่ด้านบนสุดของจอภาพ

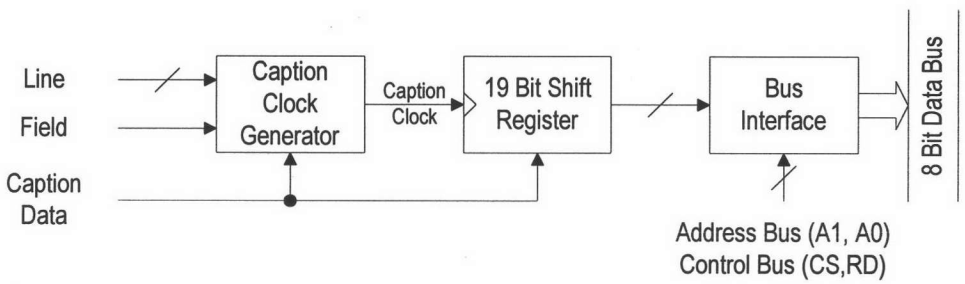
2. *ซิงก์แนวนอน* เป็นสัญญาณที่สร้างได้โดยการตรวจจับขอบขาลงของซิงก์รวม แล้วกำเนิดพัลส์ '0' ออกมากว้าง 1 คาบสัญญาณนาฬิกา (83.3 นาโนวินาที) ช่วงที่สัญญาณนี้มีค่าเป็น '0' ส่วนใหญ่จะตรงกับจังหวะที่ปืนอิเล็กตรอนเริ่มสะบัดกลับจากด้านขวาสุด ไปยังด้านซ้ายสุดของจอภาพ

3. *เส้น* เป็นสัญญาณที่สร้างโดยการใช้วงจรนับคอยนับขอบขาลงของซิงก์แนวนอน และถูกตั้งค่าเป็น 0 ใหม่ทุกครั้งที่ซิงก์แนวตั้งมีค่าเป็น '0' เป็นสัญญาณที่บอกให้รู้ว่า ขณะนี้สัญญาณภาพรวมที่ป้อนเข้ามาเป็นเส้นที่เท่าไร

4. *ฟิลด์* เป็นสัญญาณที่บอกว่าสัญญาณภาพที่ป้อนเข้ามาในขณะนั้นเป็นฟิลด์ใด สร้างได้โดยการนับจำนวนพัลส์ปรับเท่า (Equalizing Pulse) (ด้วยการจับเวลาในช่วงที่ซิงก์รวมมีค่าเป็น '1' หากนานกว่า 42.66 ไมโครวินาที ก็จะตั้งค่าวงจรนับที่คอยนับขอบขาขึ้นของซิงก์รวมใหม่ให้เป็น 0) ก่อนที่ซิงก์แนวตั้งจะเป็น '0' ว่ามีกี่พัลส์ หากมีเป็นจำนวนคู่ แสดงว่าฟิลด์ถัดไปคือฟิลด์ 1

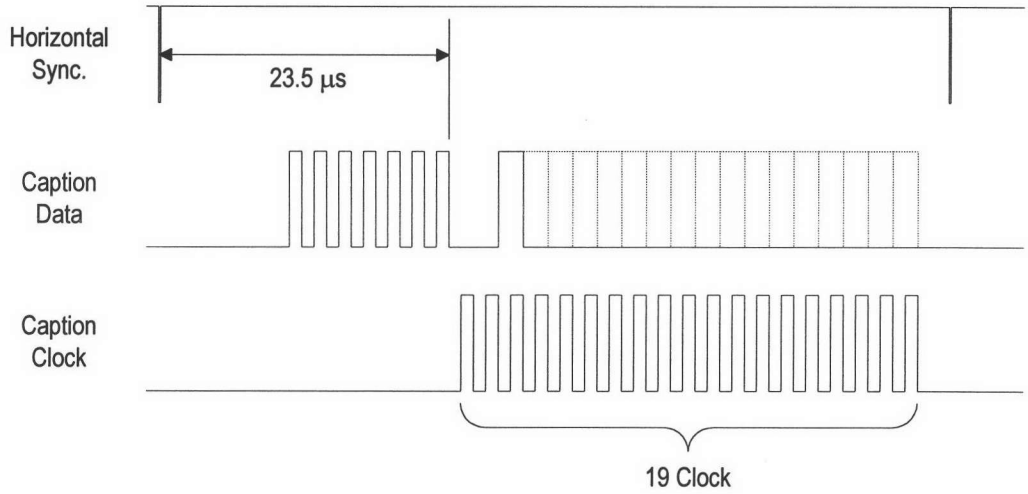
4.3 รีจิสเตอร์ข้อมูลคำบรรยายภาพ (Caption Data Register)

รีจิสเตอร์ข้อมูลคำบรรยายภาพมีโครงสร้างดังแสดงในรูปที่ 4.4 โดยตัวกำเนิดสัญญาณนาฬิกาคำบรรยายภาพ (Caption Clock Generator) จะรับสัญญาณที่บอกจังหวะของสัญญาณภาพรวมมาจากตัวประมวลผลซิงก์ เพื่อคอยให้ถึงเส้นที่ 18 ฟิลด์ที่ 1 แล้วจึงสร้างสัญญาณนาฬิกาออกไปให้แก่รีจิสเตอร์เลื่อนข้อมูล (Shift Register) ขนาด 19 บิต เพื่อเก็บข้อมูลคำบรรยายภาพรวมถึงบิตเริ่มต้นอีก 3 บิตเอาไว้ ตัวเชื่อมโยงบัส (Bus Interface) จะคอยให้หน่วยประมวลผลกลางมาอ่านข้อมูลคำบรรยายภาพใหม่ออกไป



รูปที่ 4.4 โครงสร้างของรีจิสเตอร์ข้อมูลคำบรรยายภาพ

สัญญาณนาฬิกาที่ใช้ในการเก็บข้อมูลคำบรรยายภาพ ซึ่งป้อนให้แก่รีจิสเตอร์เลื่อนข้อมูลมีรูปคลื่นดังแสดงไว้ในรูปที่ 4.5 ถูกสร้างออกมาจากตัวกำเนิดสัญญาณนาฬิกาคำบรรยายภาพ โดยสัญญาณนาฬิกานี้ จะต้องมีจังหวะที่แน่นอน อันได้แก่ ขอบขาขึ้นต้องอยู่ตรงกลางของบิตข้อมูล, สัญญาณนาฬิกาลูกแรกต้องตรงกับบิตเริ่มต้นบิตแรก และสัญญาณนาฬิกาต้องมีจำนวน 19 ลูก การสร้างสัญญาณนาฬิกานี้ออกมา ทำได้ด้วยการเริ่มจับเวลาตั้งแต่ซิงก์แนวนอนมีค่าเป็น '0' นาน 23.5 ไมโครวินาที ซึ่งเป็นช่วงของสัญญาณนาฬิกาวิ่งเข้า (Clock Run-In) ในช่วงเวลานี้หากข้อมูลคำบรรยายภาพที่ป้อนเข้ามาเป็น '1' เมื่อไร ก็จะทำการตั้งค่าตัวหารความถี่ (Frequency Divider) ใหม่ทุกครั้ง ตัวหารความถี่นี้ใช้หารความถี่ของสัญญาณนาฬิกาที่ป้อนให้แก่ตัวประมวลผลลง 24 เท่า เหลือ 500 กิโลเฮิรตซ์ ซึ่งตรงกับความถี่ข้อมูลคำบรรยายภาพในระบบ PAL ระหว่างนี้สัญญาณนาฬิกาออกจะมีค่าเป็น '0' ตลอด เนื่องจากมีเกตกั้นเอาไว้ หลังจากพ้นช่วงเวลา 23.5 ไมโครวินาทีแล้ว เกตจะปล่อยให้สัญญาณนาฬิกาจากตัวหารความถี่ผ่านออกไป สัญญาณนาฬิกาจากเกตจะถูกป้อนให้แก่วงจรนับอีกตัวหนึ่งด้วย เมื่อวงจรนับนับสัญญาณนาฬิกาได้ 19 ลูก เกตก็จะกั้นสัญญาณนาฬิกาอีกครั้ง ทำให้สัญญาณนาฬิกาคำบรรยายภาพมีเพียง 19 ลูกติดกันเท่านั้น เกตจะกั้นสัญญาณนาฬิกาในกรณีที่สัญญาณภาพรวมไม่ใช่เส้นที่ 18 ฟิลด์ที่ 1 อีกด้วย



รูปที่ 4.5 รูปคลื่นสัญญาณนาฬิกาคำบรรยายภาพ

ข้อมู ลคำบรรยายภาพจะถูกแบ่งเป็น 3 ไบต์ เก็บไว้ที่ตำแหน่งที่อยู่ (Address) ดังรูปที่ 4.6 โดยจะมีข้อมูลพิเศษเพิ่มอีก 1 บิต ที่จะถูกตั้งค่าเป็น '1' ใหม่ทุกครั้งที่รีจิสเตอร์เลื่อนข้อมูลเก็บข้อมูลคำบรรยายภาพครบ 19 บิต และถูกตั้งค่ากลับเป็น '0' หลังจากที่หน่วยประมวลผลกลางอ่านค่าเข้าไป ใช้บอกสถานะว่าข้อมูลชุดนี้เป็นข้อมูลชุดใหม่หรือไม่ ส่วนการตรวจภาวะเสมอมูล (Parity Check) จะกระทำที่ตัวเชื่อมโยงบัส หากข้อมูลผ่านการตรวจ บิตที่ 7 จะถูกตั้งค่าเป็น '1' แต่ถ้าข้อมูลไม่ผ่านการตรวจ บิตที่ 7 จะมีค่าเป็น '0' แทน ดังนั้นเมื่อหน่วยประมวลผลกลางอ่านค่าเข้าไป ก็สามารถรู้ว่าข้อมูลผ่านการตรวจภาวะเสมอมูลหรือไม่ โดยดูที่ข้อมูลบิตที่ 7 นี้นั่นเอง

Address	Data Format	Meaning
3FF0H	0000 SDDD	Status Byte S = Status Bit ('1' = new data) D = Start Bit (should be '100')
3FF1H	PDDD DDDD	Caption Data Byte 1 P = Parity Check Result ('1' = pass) D = Byte 1 Data
3FF2H	PDDD DDDD	Caption Data Byte 2 P = Parity Check Result ('1' = pass) D = Byte 2 Data

รูปที่ 4.6 ตารางแสดงตำแหน่งที่อยู่ของข้อมูลคำบรรยายภาพ

4.4 หน่วยประมวลผลกลาง (Central Processing Unit)

หน่วยประมวลผลกลางเป็นส่วนประกอบที่สำคัญที่สุด ของตัวประมวลผลคำบรรยายภาพไทย-อังกฤษแบบซ่อนได้ เนื่องจากว่าเป็นส่วนที่ทำหน้าที่ถอดรหัสคำบรรยายภาพ, ควบคุมส่วนประกอบอื่น ๆ ของตัวประมวลผล และรับคำสั่งจากผู้ใช้ทางแผงควบคุม หน่วยประมวลผลกลางมีความซับซ้อนค่อนข้างมาก จึงจะขอกล่าวถึงรายละเอียดของการออกแบบหน่วยประมวลผลกลางนี้ในบทที่ 6

4.5 พอร์ตรับข้อมูลเข้า (Input Port)

พอร์ตรับข้อมูลเข้าเป็นเส้นทางที่หน่วยประมวลผลกลางใช้ในการตรวจสอบว่า ปุ่มบนแผงควบคุมถูกกดหรือไม่ โดยพอร์ตรับข้อมูลเข้าจะอยู่ที่ตำแหน่ง 3FF8H และมีรูปแบบดังแสดงในรูปที่ 4.7 พอร์ตรับข้อมูลเข้าในตัวประมวลผลนี้มีขนาดเพียง 2 บิต ตรงกับขาของชิปที่ต่อเข้ากับปุ่มเลือกโมดการทำงาน และปุ่มเลือกภาษาเท่านั้น เพราะว่าหน่วยประมวลผลกลางต้องรู้ว่าผู้ใช้เลือกโมดการทำงาน และภาษาใด จะได้นำคำบรรยายภาพที่เลือกมาแสดงบนจอภาพได้ถูกต้อง ส่วนปุ่มที่เหลืออีก 2 ปุ่ม คือ ปุ่มเปิด-ปิดคำบรรยายภาพ และปุ่มเลือกพื้นหลัง ไม่จำเป็นที่จะต้องต่อผ่านพอร์ตรับข้อมูลเข้า เนื่องจากว่าสามารถต่อจากขาของชิป เข้าสู่ตัวกำเนิดการแสดงผลบนหน้าจอได้โดยตรง

0	0	0	0	0	0	S1	S2

S1 = Mode Select ('0' = Caption, '1' = Text)

S2 = Language Select ('0' = English, '1' = Thai)

รูปที่ 4.7 รูปแบบของข้อมูลที่อ่านมาจากพอร์ตรับข้อมูลเข้า

4.6 ตัวกำเนิดการแสดงผลบนหน้าจอ (On Screen Display Generator)

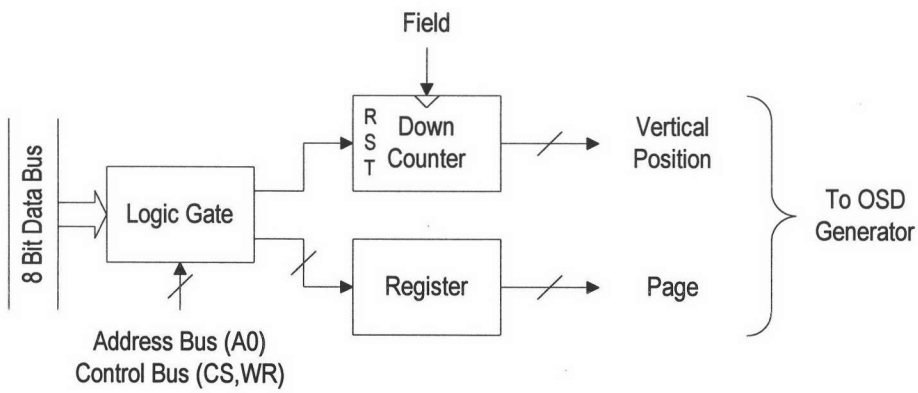
การแสดงคำบรรยายภาพของเครื่องถอดรหัส ขึ้นอยู่กับการทำงานของตัวกำเนิดการแสดงผลบนหน้าจอ ซึ่งจะคอยอ่านข้อมูลคำบรรยายภาพที่ถอดรหัสแล้วโดยหน่วยประมวลผลกลาง ออกมาจากหน่วยความจำเข้าถึงแบบสุ่ม และอ่านรูปแบบอักขระของตัวอักษรที่อยู่ในคำบรรยายภาพออกมาจากหน่วยความจำอ่านอย่างเดียว ในช่วงเวลาที่ต้องแสดงคำบรรยายภาพ นำมาสร้างเป็นสัญญาณภาพของตัวอักษรออกไป ป้อนให้แก่ตัวเข้าจังหวะซ้อนทับภาพ เพื่อทำการแทรกเข้าไปใน

สัญญาณภาพรวมเดิม ตัวกำเนิดการแสดงผลบนหน้าจอนี้มีความซับซ้อนพอสมควร จึงขอกล่าวถึงรายละเอียดของการออกแบบไว้ในบทที่ 5

4.7 รีจิสเตอร์ควบคุมการแสดงผลบนหน้าจอ (On Screen Display Control Register)

หน่วยประมวลผลกลางสามารถควบคุมการแสดงผลของตัวกำเนิดการแสดงผลบนหน้าจอได้ โดยทำการสั่งงานผ่านทางรีจิสเตอร์ควบคุมการแสดงผลบนหน้าจอ ซึ่งสิ่งที่สามารถควบคุมได้ได้แก่ หน้าที่จะให้แสดงผลจากทั้งหมด 8 หน้า และการเลื่อนหน้าจอขึ้น

รีจิสเตอร์ควบคุมการแสดงผลบนหน้าจอมีวงจรดังแสดงในรูปที่ 4.8 กรณีที่สั่งเปลี่ยนหน้าที่จะให้แสดงผล ข้อมูลจากบัสข้อมูลจะถูกเขียนลงในรีจิสเตอร์ที่เก็บหมายเลขหน้า ส่วนกรณีที่สั่งให้เลื่อนหน้าจอขึ้น จะทำให้วงจรนับลงถูกตั้งค่าใหม่เป็น 15 ซึ่งวงจรนับนี้จะนับค่าลดลงทีละหนึ่งทุกเฟรมจนถึง 0 โดยค่าที่นับจะแทนตำแหน่งทางแนวตั้งที่จะให้เริ่มแสดงคำบรรยายภาพ



รูปที่ 4.8 แผนภาพวงจรของรีจิสเตอร์ควบคุมการแสดงผลบนหน้าจอ

การสั่งงานตัวกำเนิดการแสดงผลบนหน้าจอสามารถทำได้ โดยให้หน่วยประมวลผลกลางเขียนข้อมูลลงไปในตำแหน่งที่อยู่ซึ่งตรงกับรีจิสเตอร์ควบคุมการแสดงผลบนหน้าจอ ตามที่แสดงไว้ในรูปที่ 4.9

Address	Data Format	Meaning
3FF4H	XXXX XPPP	Display decoded caption page number PPP.
3FF5H	XXXX XXXX	Writing anything to this address causes screen to be scrolled up.

รูปที่ 4.9 ตารางแสดงตำแหน่งที่อยู่ของรีจิสเตอร์ควบคุมการแสดงผลบนหน้าจอ