บทที่ 3

ระบบวิเคราะห์และเครื่องต้นแบบสังเคราะห์เสียงพูด

ระบบวิเคราะห์และเครื่องต้นแบบสังเคราะห์เสียงพูด ประกอบด้วยสองส่วน คือ

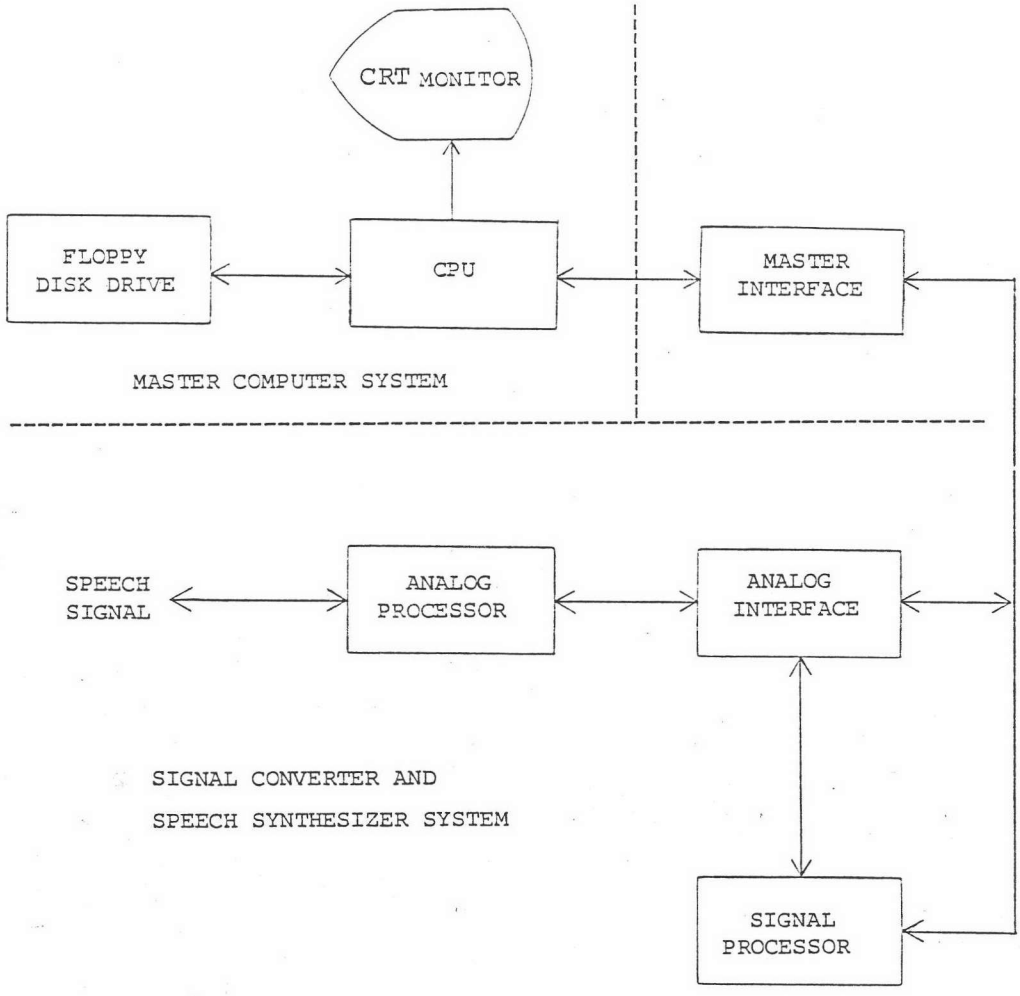
1. ระบบไมโครคอมพิวเตอร์ APPLE II ในที่นี้จะเรียกว่ามาสเตอร์คอมพิวเตอร์ หรือเรียกย่อว่า "มาสเตอร์" ประกอบด้วย ซีพียูพร้อมคีย์บอร์ด จอมอนิเตอร์ และฟลอปปีดิสค์ไดรว์ ทำหน้าที่ต่าง ๆ คือ

   - ควบคุมการแปลงสัญญาณอนาลอกเป็นสัญญาณเชิงเลข และบันทึกเสียงพูดลงฟลอปปีดิสค์
   - คำนวนหาพารามิเตอร์ของเสียงพูดตามแบบจำลองการผลิตเสียงด้วยวิธีแอลพีซี
   - ควบคุมและทำการดาวน์โหลดโปรแกรมและข้อมูลเสียงลงสู่ภาคประมวลผลสัญญาณ

2. ระบบแปลงสัญญาณและสังเคราะห์เสียง ประกอบด้วย

   - ภาคอนาลอกโปรเซสเซอร์ (Analog Processor) หรือ AP ทำหน้าที่ปรับแต่งสัญญาณอนาลอกด้านความถี่และวงจรกรองความถี่สูง (Lowpass Filter) ทำหน้าที่เป็น Anti-Aliasing Filter สำหรับภาคแปลงสัญญาณอนาลอกเป็นสัญญาณเชิงเลข
   - ภาคอนาลอกอินเตอร์เฟซ (Analog Interface) หรือ AI ทำหน้าที่แปลงสัญญาณระหว่างสัญญาณอนาลอกกับสัญญาณเชิงเลข
   - ภาคประมวลผลสัญญาณ (Signal Processor) หรือ SP มีหน้าที่ทำการคำนวณเพื่อแปลงข้อมูลเสียงพูดให้เป็นสัญญาณเสียงพูดในลักษณะ Real-Time

มาสเตอร์คอมพิวเตอร์กับระบบแปลงสัญญาณและสังเคราะห์เสียงติดต่อกันโดยผ่านมาสเตอร์-อินเตอร์เฟซ (Master Interface) หรือ MI รูป 3.1 แสดงส่วนประกอบของระบบวิเคราะห์และเครื่องต้นแบบสังเคราะห์เสียงพูด ในงานวิจัยนี้ระบบที่ออกแบบสร้างขึ้นมาประกอบด้วยภาคแปลงสัญญาณและสังเคราะห์เสียง และมาสเตอร์อินเตอร์เฟซ



รูป 3.1 ส่วนประกอบของระบบวิเคราะห์และเครื่องต้นแบบสังเคราะห์เสียงพูด

การทำงานของระบบสามารถอธิบายได้พอสังเขป คือ มาสเตอร์คอมพิวเตอร์ ทำหน้าที่ควบคุมการทำงานของระบบ โดยสามารถสั่งการโดยตรงกับภาคอนาลอกอินเตอร์เฟซและภาคประมวลผลสัญญาณ การทำงานในลักษณะต่างๆ ขึ้นอยู่กับรีจีสเตอร์ควบคุมที่มีชื่อว่า SP Control Register ซึ่งอยู่ในภาคประมวลผลสัญญาณ รีจีสเตอร์ดังกล่าวสามารถควบคุม

1. โหมดการทำงานของภาคประมวลผลสัญญาณว่าเป็นโหมดทำงาน (Run Mode) หรือโหมดโปรแกรมโหลด (Program Load Mode)

2. เลือกการอ่านหรือเขียนในโหมดโปรแกรมโหลดว่าทำกับพอร์ทหรือหน่วยความจำ
3. เลือกว่าภาคอนาลอกอินเตอร์เฟซจะรับและส่งข้อมูลจากมาสเตอร์คอมพิวเตอร์ หรือภาคประมวลผลสัญญาณ
4. ป้องกันการเขียนลงหน่วยความจำในภาคประมวลผลสัญญาณ

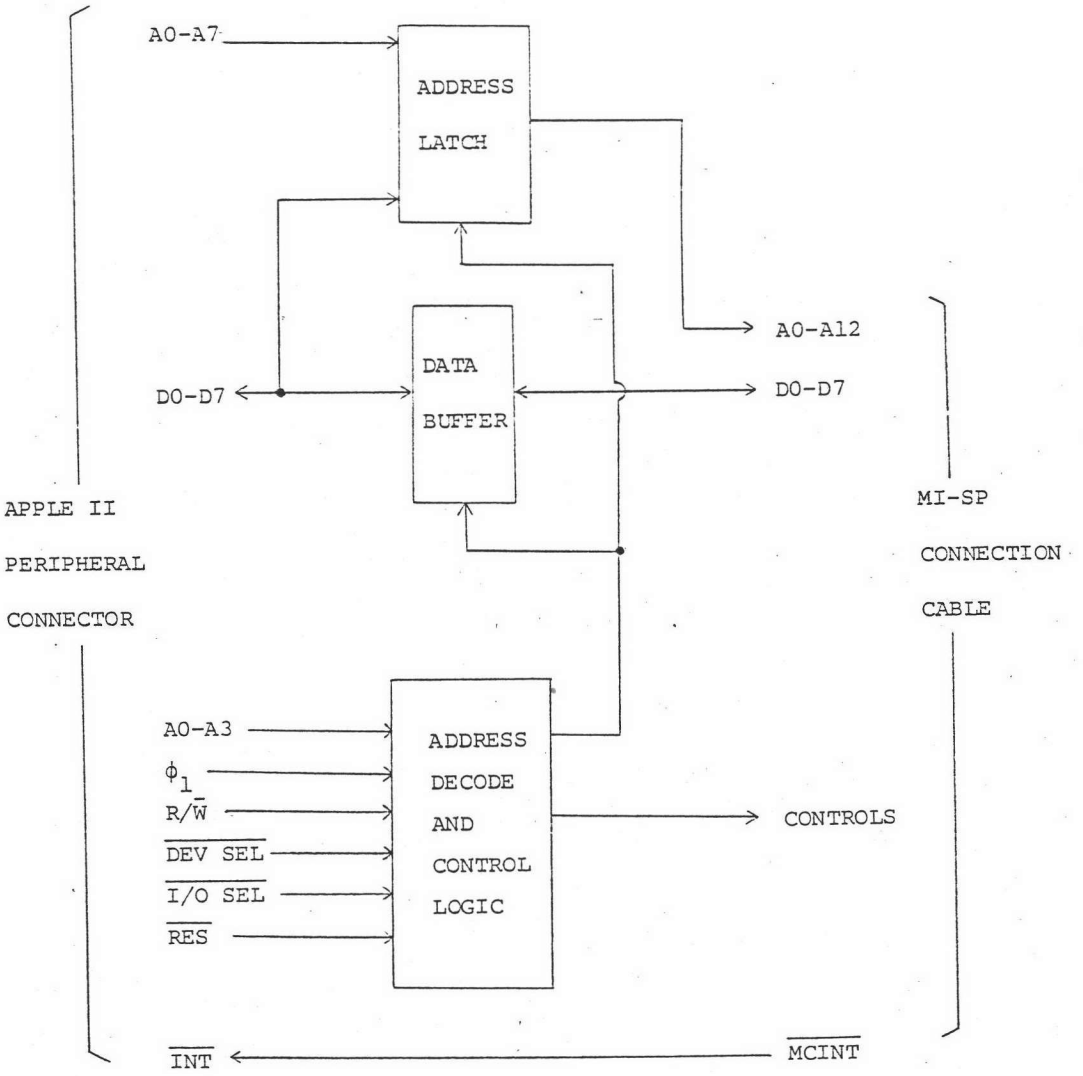
การติดต่อระหว่างมาสเตอร์คอมพิวเตอร์กับภาคประมวลผลสัญญาณ ขณะกำลังทำงานทั้งคู่สามารถทำได้ 2 วิธี คือ ติดต่อโดยรับ-ส่งข้อมูล หรือติดต่อโดยสัญญาณควบคุม กรณีแรก ระบบมีพอร์ทข้อมูลขนาด 16 บิท ติดต่อระหว่างมาสเตอร์และภาคประมวลผลสัญญาณ การติดต่อ (รับและส่ง) กระทำได้ทั้งสองทางผ่าน Latch และยังมีพอร์ทสเตตัส (Status Port) ขนาด 8 บิทในการส่งข่าวสารจากภาคประมวลผลสัญญาณ การติดต่อโดยสัญญาณควบ คุมจากมาสเตอร์ไปยังภาคประมวลผลสัญญาณมี 3 สัญญาณ คือ

1. สัญญาณรีเซท (Reset)
2. สัญญาณอินเตอร์รัพท์ (Interrupt)
3. สัญญาณ $\overline{\text{BIO}}$

สัญญาณควบคุมจากภาคประมวลผลสัญญาณไปสู่มาสเตอร์คอมพิวเตอร์ มีสัญญาณอินเตอร์รัพท์ในการที่จะให้ภาคประมวลผลสัญญาณทำงาน มาสเตอร์คอมพิวเตอร์จะทำการดาวน์โหลดโปรแกรมและข้อมูลที่จำเป็นในการทำงานลงสู่หน่วยความจำของภาคประมวลผลสัญญาณ จากนั้นเลือกการทำงานโดยกำหนดที่รีจีสเตอร์ควบคุม เมื่อพร้อมที่จะให้ภาคประมวลผลสัญญาณทำงานก็ปล่อยสัญญาณรีเซ็ท

3.1 มาสเตอร์อินเตอร์เฟซ

ทำหน้าที่เชื่อมโยงระหว่างมาสเตอร์คอมพิวเตอร์กับภาคประมวลผลสัญญาณ และภาคอนาลอก-อินเตอร์เฟซ มาสเตอร์อินเตอร์เฟซเป็นบอร์ดที่เสียบอยู่บนสล็อต Peripheral Connector ของเครื่อง APPLE II ทำหน้าที่รับส่งข้อมูล สัญญาณควบคุมรวมทั้งแอดเดรสสำหรับดาวน์โหลดโปรแกรมผ่านสายเคเบิลไปสู่ภาคประมวลผลสัญญาณ มาสเตอร์อินเตอร์เฟซประกอบด้วย Address Latch ทำหน้าที่เลือกหน้าในการอ่านหรือเขียนข้อมูลในโหมดโปรแกรมโหลด Data Buffer เป็นบัฟเฟอร์สองทิศทางขั้นระหว่างบัสข้อมูลของเครื่อง APPLE II กับบัสข้อมูลในสายเคเบิลที่ไปสู่ภาคประมวลผลสัญญาณ Address Decode and Control Logic ทำหน้าที่ดีโคดอินพุท-เอาท์พุทพอร์ทและสร้างสัญญาณควบคุม รูป 3.2 แสดงส่วนประกอบของมาสเตอร์อินเตอร์เฟซ



รูป 3.2 ส่วนประกอบของมาสเตอร์อินเตอร์เฟซ

การติดต่อกับภาคประมวลผลสัญญาณอาศัย Peripheral Card I/O Space จำนวน 16 ตำแหน่ง ในหน่ายความจำซึ่งอยู่ที่ $C0X0 ถึง $C0XF ทำหน้าที่เป็นอินพุท-เอาท์พุทพอร์ท โดย X = 8+เบอร์ประจำสล็อต แต่ละพอร์ทมีหน้าที่ต่าง ๆ ดังแสดงในตาราง 3.1

PORT NO.	ACCESS	FUNCTION
0	WRITE	SP CONTROL REGISTER
	READ	SP STATUS1
1	NOT USE	-
2	READ/WRITE	SP LOW BYTE DATA PORT
3	READ/WRITE	SP HIGH BYTE DATA PORT
4	-	RESET TO SP = LOW
5	-	RESET TO SP = HIGH
6	-	BIO TO SP = LOW
7	-	BIO TO SP = HIGH
8	-	5 μS INT PULSE TO SP
9	NOT USE	-
10	WRITE	PROGRAM LOAD ADDRESS LATCH
11	READ	SP STATUS2
12	READ/WRITE	AI LOW BYTE ACCESS PORT
13	READ/WRITE	AI HIGH BYTE ACCESS PORT
14	NOT USE	-
15	NOT USE	-

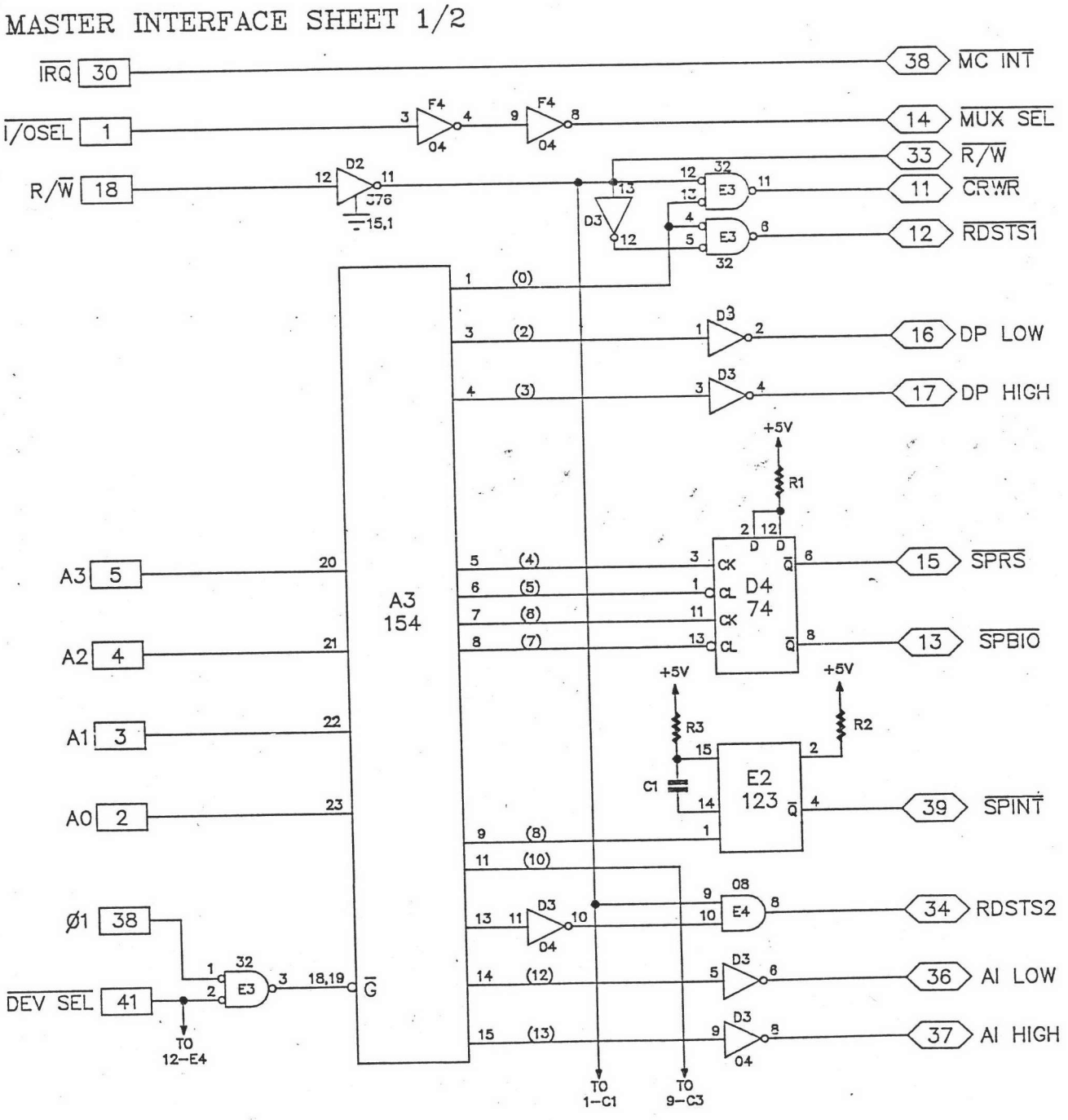
ตารางที่ 3.1 รายละเอียดของพอร์ทที่ใช้ในการติดต่อและควบคุมระบบ

จากตาราง 3.1 พอร์ท 0 ติดต่อกับ SP Control Register ซึ่งเป็นตัวกำหนดโหมดการทำงานของภาคประมวลผลสัญญาณ พอร์ท 2 และ 3 เป็นพอร์ทข้อมูลขนาด 16 บิท ติดต่อระหว่างมาสเตอร์กับภาคประมวลผลสัญญาณโดยรับและส่งข้อมูลผ่าน Latch การอ่านหรือเขียนไปที่พอร์ท 4 และพอร์ท 5 จะทำให้สัญญาณ $\overline{\text{SPRS}}$ ที่ส่งไปยังภาคประมวลผลสัญญาณเป็น Low หรือ High ตามลำดับ การอ่านหรือเขียนไปยังพอร์ท 6 และ 7 จะทำให้สัญญาณ $\overline{\text{SPBIO}}$ ที่ส่งไปยังภาคประมวลผลสัญญาณเป็น Low หรือ High ตามลำดับ การอ่านหรือเขียนไปที่ พอร์ท 8 จะส่งสัญญาณอินเตอร์รัพท์พัลส์ $\overline{\text{SPINT}}$ ไปยังภาคประมวลผลสัญญาณ พอร์ท 10 เป็น Latch สำหรับสัญญาณ Address จำนวน 6 บิท ที่ส่งไปยังภาคประมวลผลสัญญาณเพื่อใช้ในโหมดโปรแกรมโหลด (Program Load Mode) พอร์ท 11 เป็นพอร์ทข้อมูล 8 บิทสำหรับอ่านสเตตัสชุดที่ 2 ของภาคประมวลผลสัญญาณ พอร์ท 12 และ 13 เป็นพอร์ทข้อมูล 12 บิทสำหรับติดต่อกับภาคอนาลอกอินเตอร์เฟซ การอ่านคือการรับข้อมูลมาจาก A/D Converter ส่วนการเขียนคือ การส่งข้อมูลไปยัง D/A Converter

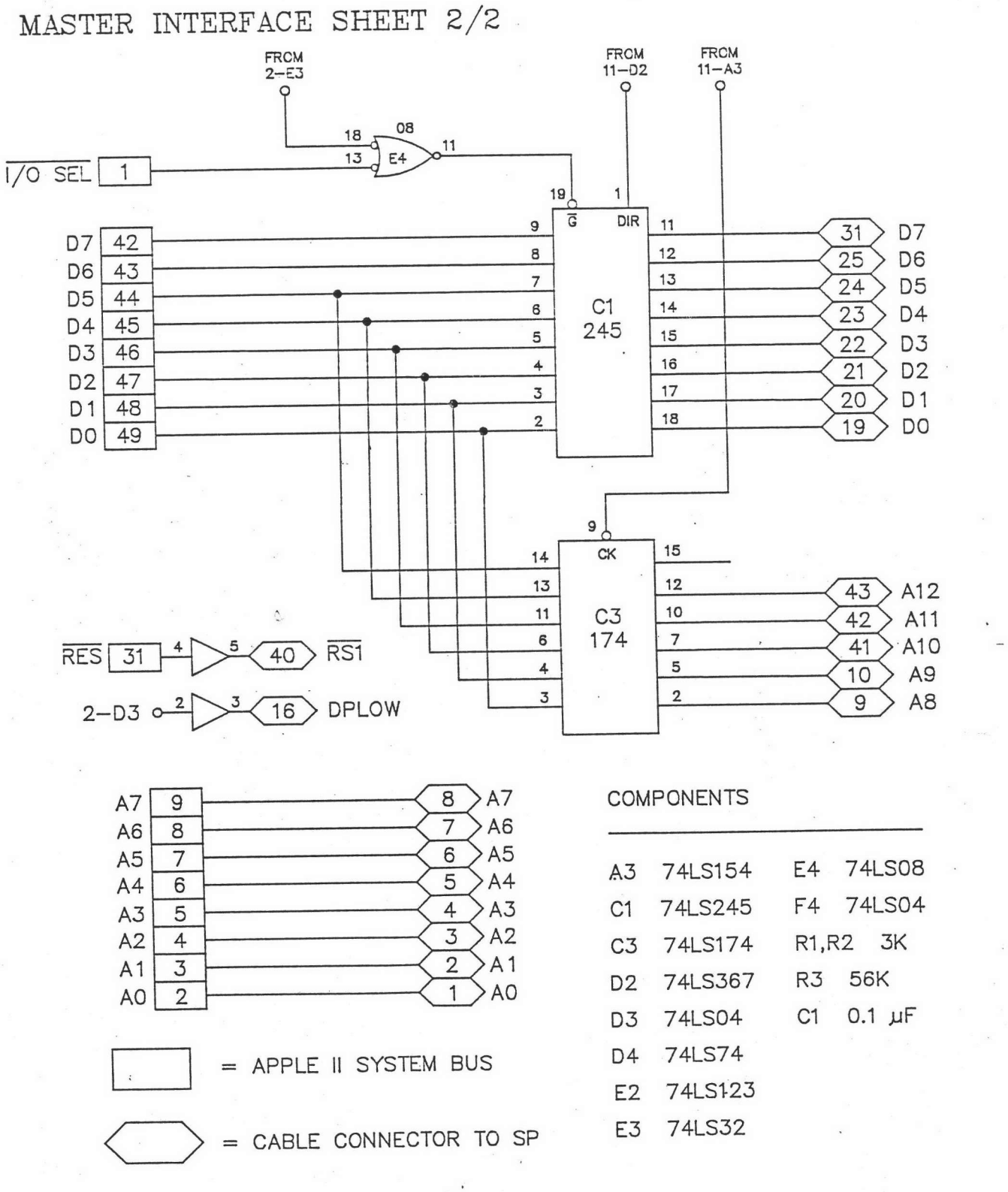
การดาวน์โหลดโปรแกรมลงสู่ภาคประมวลผลสัญญาณ หรือทำงานอยู่ในโหมดโปรแกรมโหลด มาสเตอร์คอมพิวเตอร์สามารถอ่านหรือเขียนลงใน RAM, I/O พอร์ท หรือ Memory Mapped I/O ของภาคประมวลผลสัญญาณได้ โดยผ่านทาง Peripheral Card ROM Space ครั้งละ 1 หน้าหรือ 128 เวิร์ด (256 ไบท์) การอ่าน-เขียน RAM กระทำได้ทั้งหมด 32 หน้า ซึ่งกินเนื้อที่ทั้งหมดของ RAM และ Memory Mapped I/O คือ 4096 เวิร์ด เปลี่ยนหน้าได้โดยเปลี่ยนข้อมูลใน Program Load Address Latch (พอร์ท 10) ในการอ่าน-เขียน I/O พอร์ท กระทำได้โดยสั่งให้อยู่ในโหมดโปรแกรมโหลดโดยเลือกอ่าน-เขียนกับพอร์ท Peripheral Card ROM Space ของเครื่อง Apple II อยู่ที่ $CN00 ถึง $CNFF เมื่อ N คือ เบอร์ประจำสล็อต (1-7)

รูป 3.3.1 แสดงวงจรของมาสเตอร์อินเตอร์เฟซ Decoder A3 ทำหน้าที่ดีโคด (Decode) ขาแอดเดรส A1 ถึง A3 จากมาสเตอร์คอมพิวเตอร์เพื่อไปทำหน้าที่ต่างๆ โดยมีสัญญาณ $\overline{\text{DEV SEL}}$ ซึ่งจะเป็น Low เมื่อมีการอ่านหรือเขียนใน Peripheral Card I/O Space ร่วมกับ $\phi 1$ ในการ Enable A3 ขา 1 ของ A3 คือ พอร์ท 0 จะไปสร้างสัญญาณ $\overline{\text{CRWR}}$ และ $\overline{\text{RDSTS1}}$ ทำหน้าที่ควบคุมการอ่านและเขียนรีจีสเตอร์ควบคุม ขา 3 จาก A3 หรือพอร์ท 2 ผ่าน Inverter D3 จะได้สัญญาณ DPLOW ขา 4 จาก A3 หรือพอร์ท 3 ผ่าน Inverter D3 ได้สัญญาณ DPHIGH DPLOW และ DPHIGH ทำหน้าที่ Enable การอ่านหรือเขียน พอร์ทข้อมูล (SP Data Port) ไบท์ต่ำและไบท์สูงตามลำดับ ขา 5-8 ของ A3 ป้อนเข้าสู่ Flip Flop D4 เพื่อสร้างสัญญาณ $\overline{\text{SPRS}}$ และ $\overline{\text{SPBIO}}$ ขา 9 ของ A3 หรือพอร์ท 8 ป้อนเข้าสู่ Mono Stable E2 จะสร้างพัลส์ $\overline{\text{SPINT}}$ กว้าง 5 μs ใช้ในการทำอินเตอร์รัพท์ภาคประมวลผลสัญญาณ ขา 13 ของ A3 หรือพอร์ท 11 ร่วมกับสัญญาณ R/$\overline{\text{W}}$ สร้างสัญญาณ RDSTS2 ขา 14 และ 15 ของ A3 หรือพอร์ท 12 และ 13 ผ่าน

Inverter D3 ได้สัญญาณ AI LOW และ AI HIGH ซึ่งทำหน้าที่ Enable การอ่านหรือเขียนข้อมูลกับภาคอนาลอกอินเตอร์เฟซที่ไบท์ต่ำและไบท์สูงตามลำดับ สัญญาณ $\overline{\text{I/O SEL}}$ จากมาสเตอร์คอมพิวเตอร์ผ่าน Inverter สองตัวได้สัญญาณ $\overline{\text{MUX SEL}}$ ซึ่งทำหน้าที่ Enable MUX Data Bus-Isolator ขณะทำงานในโหมดดาวน์โหลด สัญญาณ $\overline{\text{MCINT}}$ จากภาคประมวลผลสัญญาณต่อตรงกับขา $\overline{\text{IRQ}}$ ในสล็อตของมาสเตอร์คอมพิวเตอร์ $\overline{\text{MCINT}}$ เป็นสัญญาณอินเตอร์รัพท์จากภาคประมวลผลสัญญาณ C1 คือ บัฟเฟอร์ 2 ทิศทางสำหรับบัสข้อมูล Enable ด้วยสัญญาณ $\overline{\text{I/O SEL}}$ และ $\overline{\text{DEV SEL}}$ ทิศทางของสัญญาณควบคุมด้วยสัญญาณ R/$\overline{\text{W}}$ C3 คือ Latch จำนวน 6 บิท ใช้งานจริง 5 บิทสำหรับเก็บสัญญาณแอดเดรส A8 ถึง A12 เพื่อป้อนเข้าสู่ภาคประมวลผลสัญญาณ การป้อนข้อมูลสู่ Latch กระทำโดยการเขียนไปที่พอร์ท 10 ขาแอดเดรส A0 ถึง A7 ของมาสเตอร์คอมพิวเตอร์ต่อตรงไปยังภาคประมวลผลสัญญาณ รูป 3.3.2 แสดงตำแหน่งของสัญญาณต่างๆ ที่ Connector สำหรับติดต่อกับภาคประมวลผลสัญญาณ



รูป 3.3.1 วงจรมาสเตอร์อินเตอร์เฟซ



รูป 3.3.1 (ต่อ) วงจรมาสเตอร์อินเตอร์เฟซ

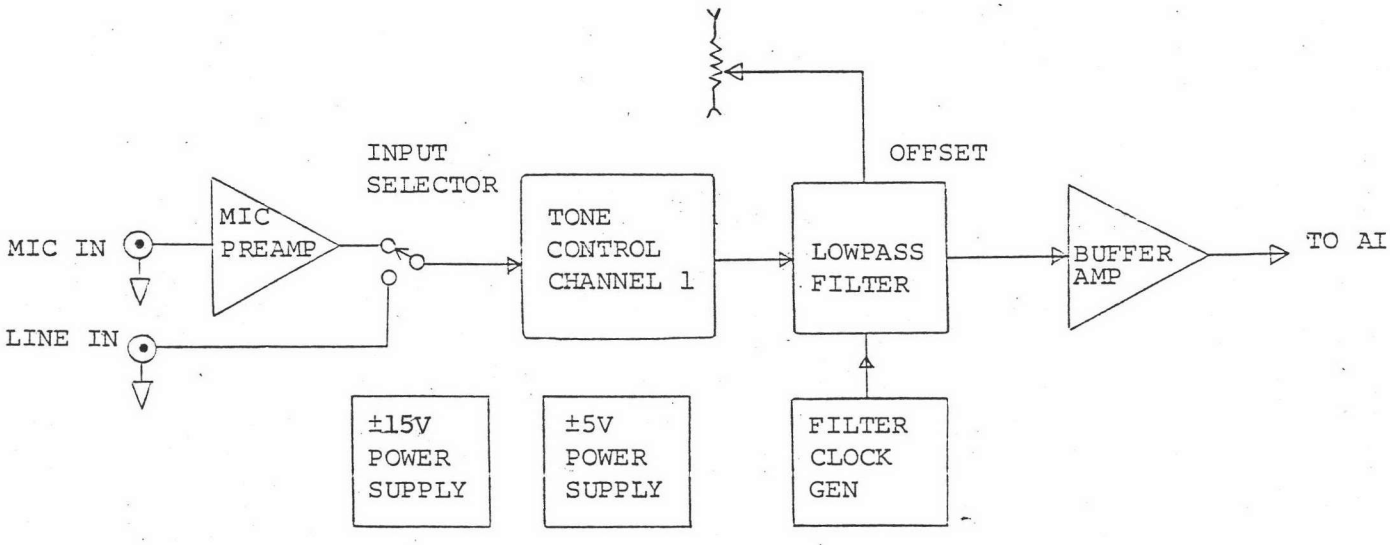
1.	A0		50.		
2.	A1		49.		
3.	A2		48.		
4.	A3		47.		D-GND
5.	A4	MASTER	46.		
6.	A5	ADDR	45.		
7.	A6		44.		
8.	A7		43.	A12	
9.	A8		42.	A11	MASTER ADDR
10.	A9		41.	A10	
11.	$\overline{\text{CRWR}}$		40.	$\overline{\text{RS1}}$	
12.	$\overline{\text{RDSTS1}}$		39.	$\overline{\text{SPINT}}$	
13.	$\overline{\text{SPBIO}}$		38.	$\overline{\text{MCINT}}$	
14.	$\overline{\text{MUX SEL}}$		37.	AI HIGH	
15.	$\overline{\text{SPRS}}$		36.	AI LOW	
16.	DPLOW		35.	D-GND	
17.	DPHIGH		34.	RDSTS2	
18.	D-GND		33.	R/$\overline{\text{W}}$	
19.	D0		32.	D7	MASTER DATA
20.	D1		31.		
21.	D2	MASTER	30.		
22.	D3	DATA	29.		D-GND
23.	D4		28.		
24.	D5		27.		
25.	D6		26.		

MASTER INTERFACE - SIGNAL PROCESSOR CONNECTOR

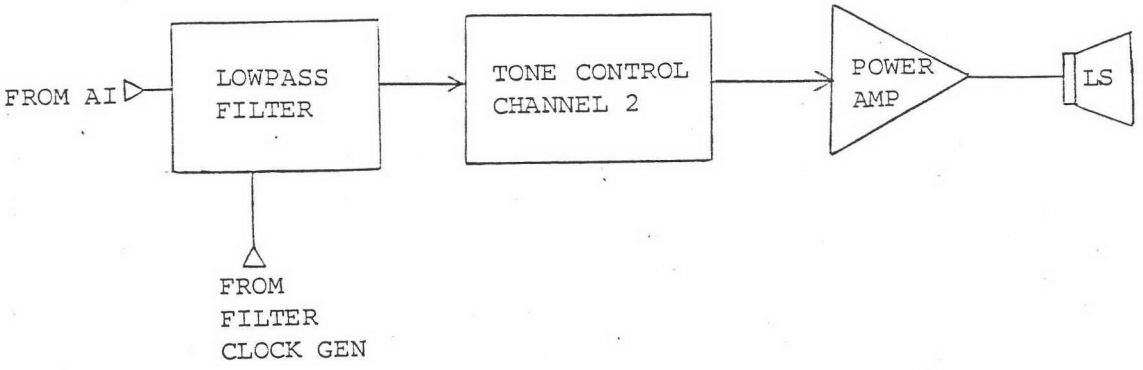
รูป 3.3.2 ตำแหน่งของสัญญาณต่างๆ ที่ Connector สำหรับส่ง ไปสู่ภาคประมวลผลสัญญาณ

3.2 ภาคอนาลอกโปรเซสเซอร์

สามารถแบ่งได้เป็น 2 ส่วน คือ ภาคสัญญาณเสียงเข้า และภาคสัญญาณเสียงออกโดยสัญญาณเสียงในที่นี้ คือสัญญาณอนาลอก ภาคอนาลอกโปรเซสเซอร์ทำหน้าที่เชื่อมโยงระหว่างสัญญาณทั้งเสียงเข้าและออกกับภาคอนาลอกอินเตอร์เฟซ ซึ่งทำหน้าที่แปลงสัญญาณระหว่างสัญญาณอนาลอคกับสัญญาณเชิงเลข รูป 3.4 แสดงส่วนประกอบของภาคสัญญาณเสียงเข้า จากซ้าย ปรีแอมพ์สำหรับไมโครโฟน ทำหน้าที่ขยายสัญญาณจากไมโครโฟนโดยมีสวิตช์ Input Selector สำหรับเลือกสัญญาณจากไมโครโฟน หรือจาก Line In เพื่อใช้ในการบันทึกเสียง ภาคปรับเสียง (Tone Control) ช่องที่ 1 ทำหน้าที่ปรับระดับของสัญญาณและปรับเสียงแหลม (Treble) วงจรกรองความถี่ผ่านต่ำ (Lowpass Filter) ทำหน้าที่เป็น Anti-Aliasing Filter ปรับความถี่คัทออฟได้โดยการปรับความถี่นาฬิกา ซึ่งเลือกได้ 3 ความถี่ คือ 10kHz, 5kHz และ 2.5kHz สัญญาณจากวงจรกรองความถี่จะป้อนสู่บัฟเฟอร์แอมพ์ สัญญาณที่ได้จะมีขนาด +/-2.5 V สำหรับป้อนเข้าสู่ภาคอนาลอกอินเตอร์เฟสในส่วนของ A/D Converter แหล่งจ่ายไฟขนาด +/-15 V จ่ายไฟให้กับปรีแอมพ์สำหรับไมโครโฟนและภาคปรับเสียง แหล่งจ่ายไฟขนาด +/-5 V จ่ายไฟให้กับวงจรกรองความถี่ บัฟเฟอร์แอมพ์ และวงจรผลิตสัญญาณนาฬิกา

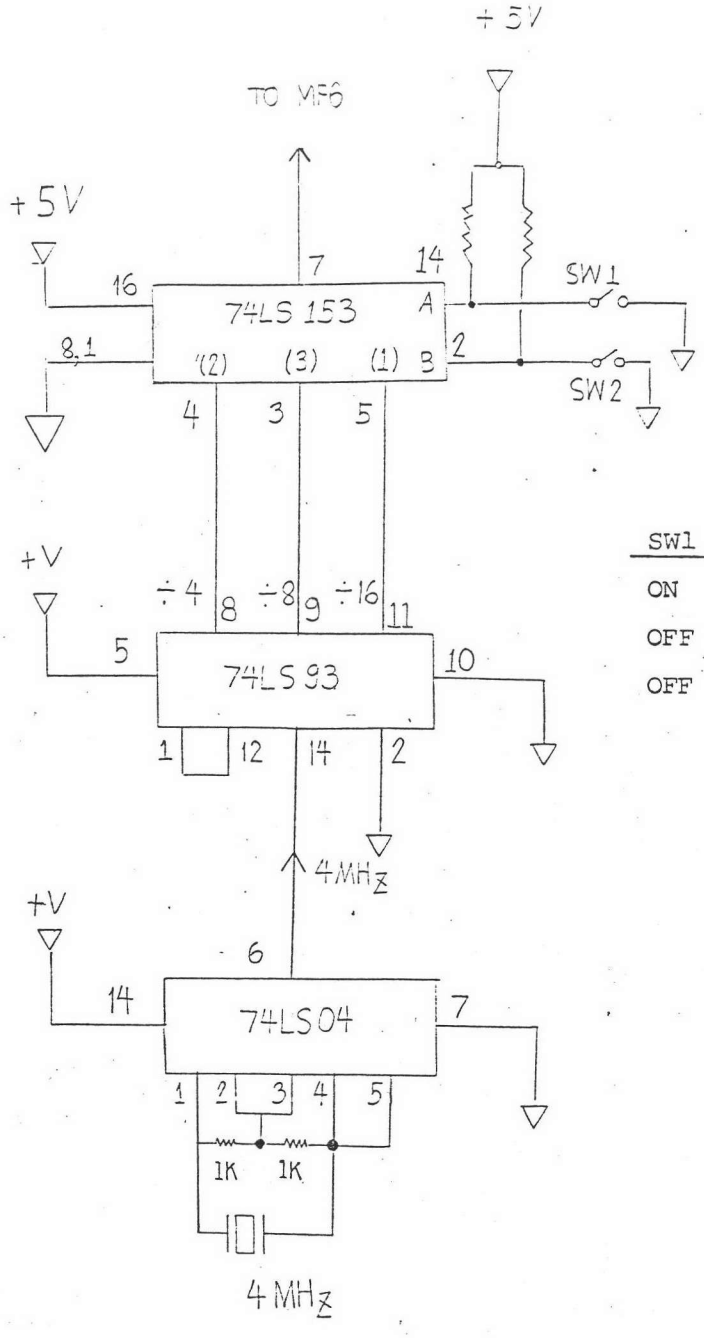


รูป 3.4 ส่วนประกอบของภาคสัญญาณเสียงเข้า



รูป 3.5 ส่วนประกอบของภาคสัญญาณเสียงออก

ภาคสัญญาณเสียงออก ดังแสดงในรูป 3.5 ประกอบด้วยวงจรกรองความถี่ผ่านต่ำ (Lowpass Filter) ซึ่งเป็นชนิดเดียวกับวงจรในภาคสัญญาณเสียงเข้า ความถี่คัทออฟปรับตามภาคสัญญาณเสียงเข้า สัญญาณจาก D/A Converter ในภาคอนาลอกอินเตอร์เฟซจะผ่านเข้าสู่วงจรกรองความถี่เพื่อให้รูปคลื่นของสัญญาณราบเรียบ ภาคปรับเสียงช่องที่ 2 ทำหน้าที่ปรับเสียงทุ้ม-แหลม และปรับขนาดของสัญญาณเพื่อป้อนเข้าสู่ Power AMP ขยายสัญญาณออกลำโพง รูป 3.6.1 แสดงวงจรผลิตสัญญาณนาฬิกา จากรูป สัญญาณนาฬิกาความถี่ 4 MHz ผลิตได้จากขา 6 ของ 74LS04 ป้อนสู่วงจรนับเลขฐานสองที่ขา 14 ของ 74LS93 เพื่อทำการลดทอนลงโดยการหาร สัญญาณนาฬิกาที่ถูกหารแล้วออกมาที่ขา 9,8 และ 11 โดยมีความถี่เท่ากับ 1kHz,500kHz และ 250kHz ตามลำดับ สัญญาณนาฬิกาทั้งสามความถี่ป้อนเข้าสู่ 74LS153 ซึ่งเป็น 4-1 Line Selector ทำหน้าที่เลือกสัญญาณหนึ่งในสามความถี่ออกมาที่ขา 7 ซึ่งจะนำไปป้อนสู่วงจรกรองความถี่ การปรับความถี่ปรับที่ Dip Switch บนบอร์ด ตำแหน่งของสวิตช์กับความถี่ที่ได้แสดงไว้ในรูป 3.6.1



SW1	SW2	FREQUENCY
ON	OFF	1 M
OFF	OFF	500 k
OFF	ON	250 k

รูป 3.6.1 วงจรสร้างสัญญาณนาฬิกาสำหรับวงจรกรองความถี่

รูป 3.6.2 แสดงวงจรกรองความถี่ผ่านต่ำ รูปบนเป็นวงจรในภาคสัญญาณเสียงเข้า ส่วนรูปล่างเป็นวงจรของภาคสัญญาณเสียงออก วงจรใช้ ไอซี ทำหน้าที่เป็นภาคกรองความถี่สำเร็จรูป เบอร์ MF6 ของบริษัท National Semiconductor ทำหน้าที่เป็นภาคกรองความถี่ผ่านต่ำ ชนิดบัตเตอร์เวิร์ธ (Butterworth) ออร์เดอร์ 6 สำหรับภาคสัญญาณเสียงเข้า สัญญาณเสียงจากภาคปรับเสียงมีขนาดประมาณ 250 mV P-P เข้าที่ขา 8 ของ IC1 สัญญาณนาฬิกาเข้าที่ขา 11 โดยที่ขา 12 ต่อลง Digital Ground เพื่อให้รับกับสัญญาณแบบ TTL ความถี่คัทออฟของการกรองความถี่จะเท่ากับความถี่นาฬิกาหารด้วย 100 เช่นใช้ความถี่นาฬิกาขนาด 500kHz จะได้ความถี่คัทออฟ 5kHz ขา 7 ต่อกับตัวต้านทานปรับค่าได้ ทำหน้าที่ปรับ Offset ขา 3 คือเอาท์พุทของภาคกรองความถี่ซึ่งต่อกับขา 13 ซึ่งเป็นอินพุทของ Op Amp ซึ่งเป็นส่วนหนึ่งของไอซีด้วยตัวต้านทาน R1 และ R2 มีอัตราส่วน R1/R2 = 10 ทำให้เกิดอัตราขยายแรงดัน 10 เท่า สัญญาณออกที่ขา 4 จะมีขนาดประมาณ 2.5 V P-P ซึ่งพอเหมาะกับ A/D Converter ขา 5 ต่อกับ Analog Ground วงจรความถี่สำหรับภาคสัญญาณเสียงออกมี R8 เท่ากับ 10k เป็นส่วนทำหน้าที่ลดทอนสัญญาณ ขา 7 ต่อลง Analog Ground เนื่องจากไม่มีความจำเป็นในการปรับ Offset Op Amp ที่ภาคเอาท์พุทของฟิลเตอร์มีอัตราขยายแรงดันเท่ากับ 1 สัญญาณเอาท์พุทที่ได้มีขนาดประมาณ 250 mV P-P

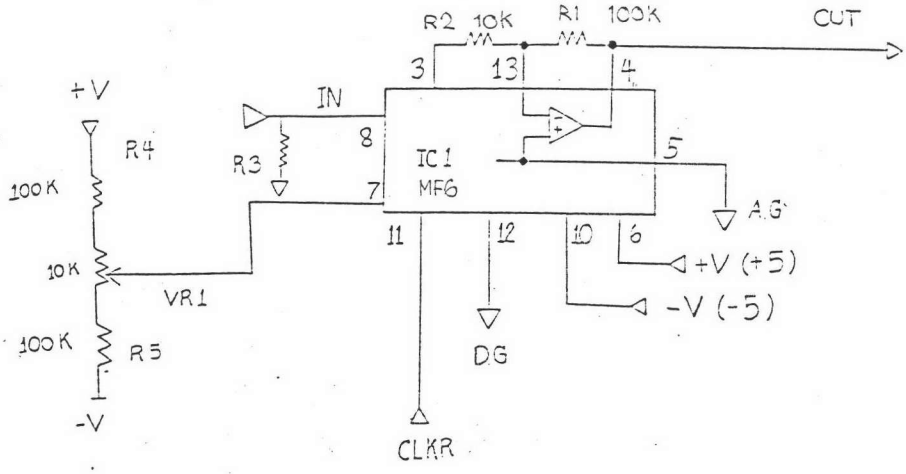
ตาราง 3.2 แสดงผลการทดลองการทำงานของวงจรกรองความถี่ทั้งสองภาค ทดลองโดยการป้อนสัญญาณ Sine ความถี่ต่างๆ กันและเลือกความถี่คัทออฟเท่ากับ 5kHz

ความถี่สัญญาณ (kHz)	4.0	4.5	5.0	5.5	6.0	6.5	7.0	8.0
ภาคฯ เข้า	0.0	-0.92	-2.31	-4.9	-8.33	-12.6	-17.3	-23.5
ภาคฯ ออก	-0.15	-0.82	-2.31	-5.46	-8.71	-13.4	-17.5	-23.5

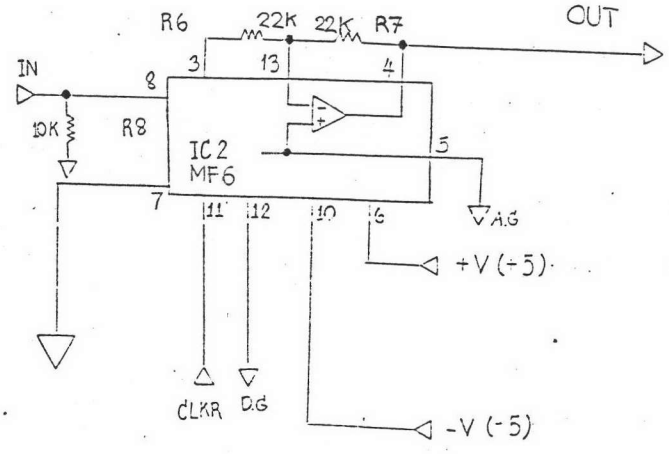
ค่าตัวเลขในตาราง = 20 LOG (Vout/Vin)

ตาราง 3.2 ผลการทดลองการทำงานของวงจรกรองความถี่

ANALOG IN



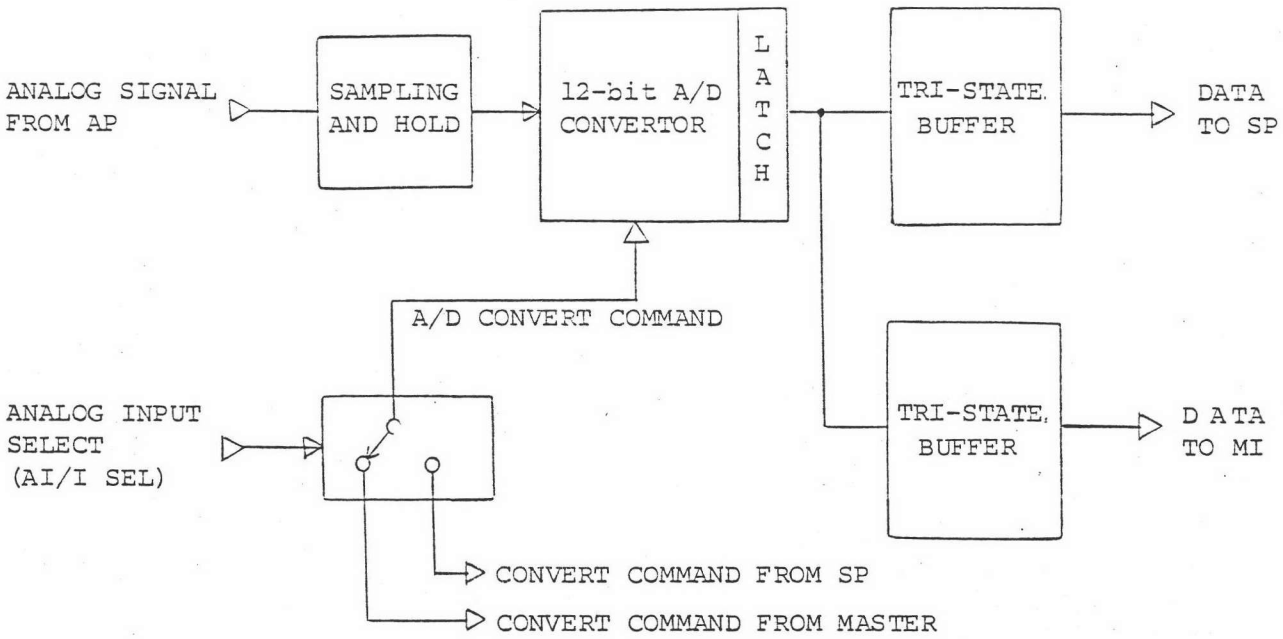
ANALOG OUT



รูป 3.6.2 วงจรกรองความถี่ผ่านต่ำ รูปบนเป็นวงจรของภาคสัญญาณเสียงเข้า รูปล่างเป็นวงจรของภาคสัญญาณเสียงออก

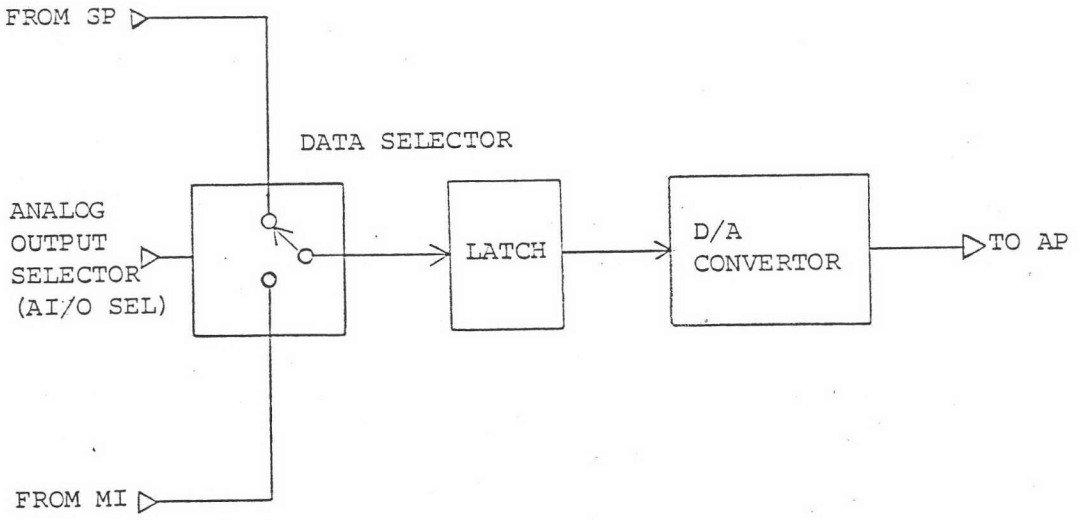
3.3 ภาคอนาลอกอินเตอร์เฟซ

ประกอบด้วยสองส่วน คือภาคแปลงสัญญาณอนาลอกเป็นสัญญาณเชิงเลข และภาคแปลงสัญญาณเชิงเลขเป็นสัญญาณอนาลอก ภาคแปลงสัญญาณอนาลอกเป็นเชิงเลขประกอบด้วย วงจร Sampling and Hold และ A/D Converter ความละเอียด 12 บิท และ Tri-State บัฟเฟอร์ ดังในรูป 3.7



รูป 3.7 ส่วนประกอบของภาคแปลงสัญญาณอนาลอกเป็นสัญญาณเชิงเลข

วงจร Sampling and Hold ทำหน้าที่ค้างระดับสัญญาณสุ่มขณะที่ A/D Converter แปลงสัญญาณ ค่าตัวเลขฐานสองที่ได้จากการแปลงสัญญาณจะถูกเก็บไว้ใน Latch ซึ่งอยู่ภายใน A/D Converter ค่าตัวเลขนี้จะถูกอ่านโดยภาคประมวลผลสัญญาณ หรือมาสเตอร์คอมพิวเตอร์ผ่าน Tri-State บัฟเฟอร์ โดยบัฟเฟอร์ที่ติดต่อกับภาคประมวลผลสัญญาณ คือ อินพุทพอร์ท 7 ของภาคประมวลผลสัญญาณ และบัฟเฟอร์ที่ติดต่อกับมาสเตอร์คอมพิวเตอร์ผ่านทางมาสเตอร์อินเตอร์เฟซคือพอร์ท 12 และ 13 การสั่งการทำงานของ A/D Converter และการอ่านค่าที่ได้จากการแปลงสัญญาณขึ้นอยู่กับ Analog Input Selector ถ้าสัญญาณเป็น High ภาคประมวลผลสัญญาณจะเป็นผู้ควบคุมการทำงานของ A/D Converter ถ้าสัญญาณ Analog Input Selector เป็น Low มาสเตอร์คอมพิวเตอร์จะเป็นผู้ควบคุม A/D Converter



รูป 3.8 ส่วนประกอบของภาคแปลงสัญญาณเชิงเลขเป็นสัญญาณอนาลอก

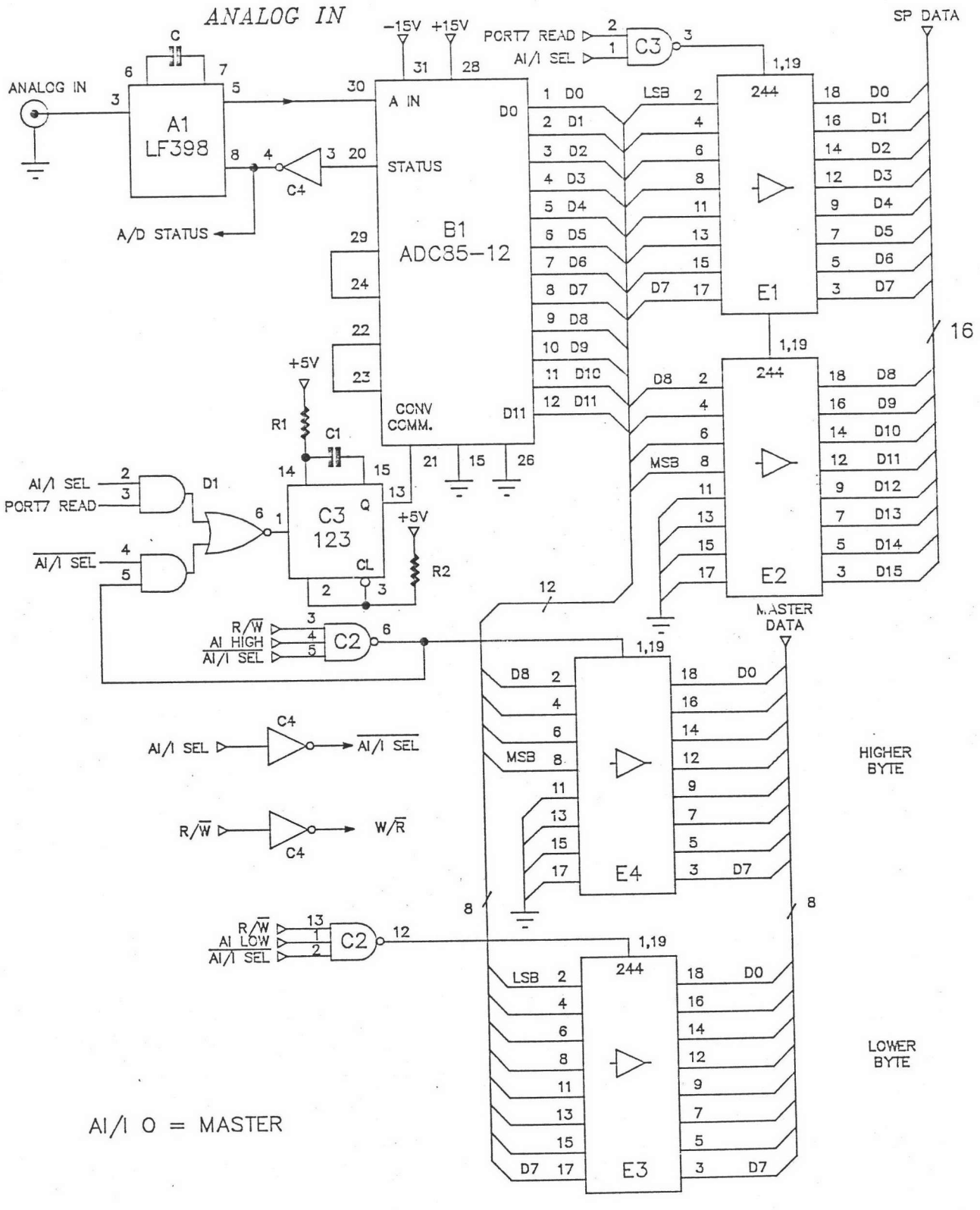
ภาคแปลงสัญญาณเชิงเลขเป็นสัญญาณอนาลอก ประกอบด้วยตัวเลือกข้อมูล Data Selector Latch และ D/A Converter ดังในรูป 3.8 ตัวเลือกข้อมูลจะทำหน้าที่เลือกข้อมูล 12 บิทจากภาคประมวลผลสัญญาณหรือจากมาสเตอร์คอมพิวเตอร์ที่ผ่านมาทางมาสเตอร์อินเตอร์เฟซเพื่อส่งไปยัง Latch ถ้าสัญญาณ Analog Output Selector เป็น High Latch จะได้รับข้อมูลจากภาคประมวลผลสัญญาณ ถ้าสัญญาณ Analog Output Selector เป็น Low Latch จะได้รับข้อมูลจากมาสเตอร์คอมพิวเตอร์ ข้อมูล 12 บิท ใน Latch จะถูกแปลงเป็นสัญญาณอนาลอกเพื่อส่งไปยังภาคอนาลอกโปรเซสเซอร์โดย D/A Converter ความละเอียด 12 บิท

รูป 3.9.1 แสดงวงจรส่วนของภาคแปลงสัญญาณอนาลอกเป็นสัญญาณเชิงเลข และรูป 3.9.2 แสดงวงจรส่วนของภาคแปลงสัญญาณเชิงเลขเป็นสัญญาณอนาลอก จากรูป 3.9.1 สัญญาณ AI/I SEL จากรีจีสเตอร์ควบคุม (SP Control Register) เข้าขาที่ 2 ของ D1 และผ่าน Inverter เป็น $\overline{\text{AI/I SEL}}$ เข้าขา 4 ของ D1 ทำหน้าที่เลือกสัญญาณ CONV. COMM. เข้าที่ขา 21 ของ B1ว่ามาจากสัญญาณ Port 7 Read (จากภาคประมวลผลสัญญาณ) หรือ จากขา 6 ของ C2 (จากมาสเตอร์) สัญญาณ CONV. COMM. ซึ่งเป็นพัลส์บวกสร้างจาก Mono Stable C3 จะสั่งให้ B1 ซึ่งเป็น A/D Converter เริ่มทำงาน ก่อนทำงาน Status ขา 20 ของ B1 จะเป็น Low ตัว Sampling and Hold ทำงานสุ่มสัญญาณ เมื่อ B1 เริ่มทำงาน ขา 20 ของ B1

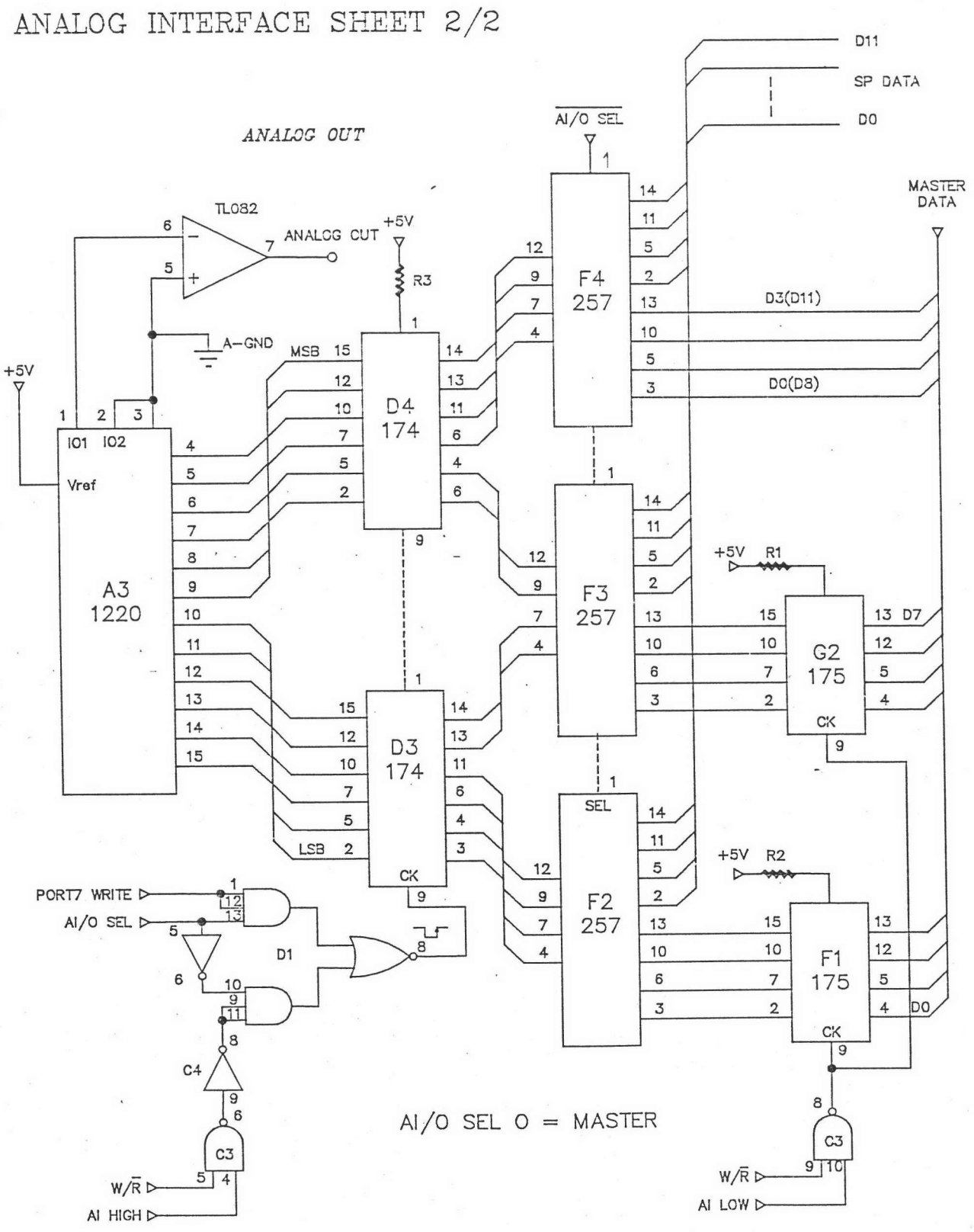
จะเป็น High สั่งให้ตัว Sampling and Hold ค้างสัญญาณจนกว่า B1 จะทำการแปลงสัญญาณเสร็จ สัญญาณอนาลอกที่เข้าสู่ B1 จะมีค่าสูงสุดในช่วง +/-2.5V ข้อมูลที่ได้จากการแปลงสัญญาณจำนวน 12 บิท จาก B1 จะต่อกับ Tri-State บัฟเฟอร์ 2 ชุด ชุดหนึ่งต่อกับบัสข้อมูลของภาคประมวลผลสัญญาณ (E1 และ E2) และอีกชุดต่อกับบัสข้อมูลของมาสเตอร์ (E3 และ E4) การอ่านข้อมูลจาก B1 ทำได้โดยการ Enable บัฟเฟอร์ดังกล่าวซึ่งขึ้นอยู่กับสัญญาณ AI/I SEL ด้วย ถ้า AI/I SEL เป็น High ภาคประมวลผลสัญญาณจะสามารถอ่านข้อมูลได้ ถ้า AI/I SEL เป็น Low มาสเตอร์จะสามารถอ่านข้อมูลได้ ข้อสังเกตคือ สัญญาณ Enable บัฟเฟอร์ของภาคประมวลผลสัญญาณและไบท์สูงของมาสเตอร์ขณะอ่านข้อมูล จะใช้ในการสร้างสัญญาณ CONV. COMM. ให้ B1 หมายความว่าการอ่านข้อมูลจาก B1 เท่ากับเป็นการสั่งให้ B1 เริ่มทำการแปลงข้อมูลใหม่

จากรูป 3.9.2 การทำงานสามารถแบ่งได้เป็น 2 กรณีคือ กรณีที่ AI/O SEL เป็น High และ AI/O SEL เป็น Low กรณีที่ AI/O SEL เป็น High คือ ภาค D/A Converter รับข้อมูลจากภาคประมวลผลสัญญาณ ขา 1 ของ F2, F3 และ F4 จะเป็น Low ซึ่งหมายถึงข้อมูลที่เข้าสู่ Latch D3 และ D4 จะมาจากบัสข้อมูลของภาคประมวลผลสัญญาณ การเขียนข้อมูลมาที่พอร์ท 7 สัญญาณ Port 7 Write จะเข้าที่ขา 1, 12 ของ D1 ทำให้ได้สัญญาณไปที่ขา 9 ของ D3 และ D4 ซึ่งเป็นขา Clock ข้อมูลจะถูกบันทึกลง Latch และส่งต่อไปยัง D/A Converter เพื่อทำการแปลงสัญญาณ ในกรณีที่ AI/O SEL เป็น Low คือ ภาค D/A Converter รับข้อมูลจากมาสเตอร์ ขา 1 ของ F2, F3 และ F4 จะเป็น High ดังนั้นข้อมูลที่เข้าสู่ Latch D3 และ D4 จะมาจาก Latch F1 และ G2 รวมทั้งบัสข้อมูลจากมาสเตอร์ (D0-D3) ในการส่งข้อมูลมาสู่ D/A Converter ข้อมูลไบท์ต่ำของสัญญาณจะส่งมาเก็บไว้ที่ Latch F1 และ G2 โดยการเขียนข้อมูลมาที่ไบท์ต่ำของ AI Port ซึ่งข้อมูลไบท์ต่ำจะไปรออยู่ที่ Latch D3 และ D4 เมื่อมีการเขียนข้อมูลมาที่ไบท์สูงของ AI Port ทำให้สัญญาณไปที่ขา 9 และ ขา 11 ของ D1 และสัญญาณเข้าสู่ขา Clock ของ D3 และ D4 พร้อมกันนั้นข้อมูล 4 บิทบนก็พร้อมจะเข้าสู่ Latch จากนั้นจะได้ข้อมูล 12 บิทเก็บไว้ใน Latch เพื่อส่งต่อไปให้ D/A Converter ทำการแปลงสัญญาณ สัญญาณอนาลอกที่ออกจาก D/A Converter มีค่าระหว่าง 0-1.0 V. ป้อนเข้าสู่ภาคอนาลอกโปรเซสเซอร์

ANALOG INTERFACE SHEET 1/2



รูป 3.9.1 วงจรภาคแปลงสัญญาณอนาลอกเป็นสัญญาณเชิงเลข



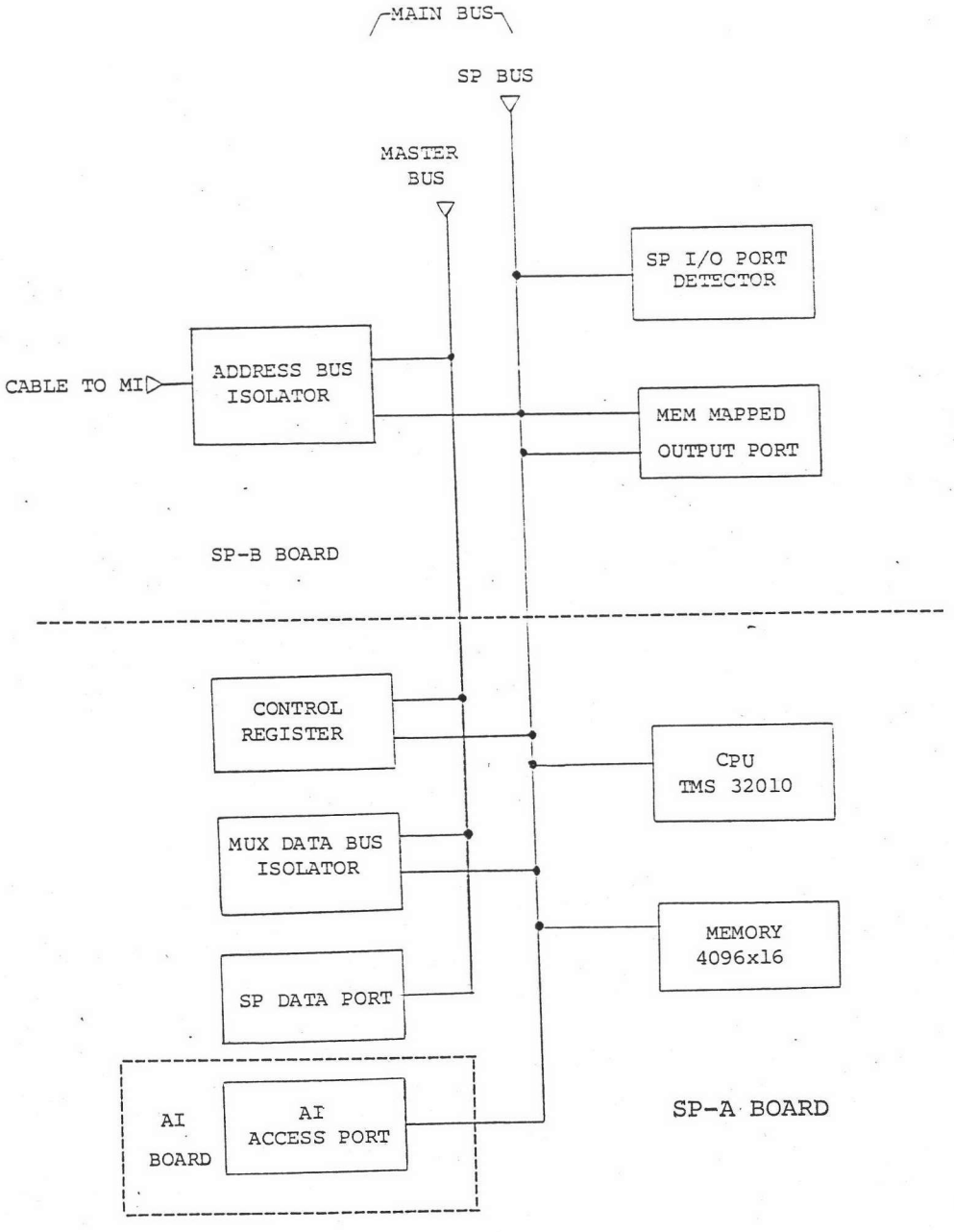
รูป 3.9.2 วงจรภาคแปลงสัญญาณเชิงเลขเป็นสัญญาณอนาลอก

ANALOG INTERFACE COMPONENTS		CONNECTOR A		CONECTOR B	
		1. D0		1. D0	
		2. D1		2. D1	
		3. D2		3. D2	
		4. D3	MASTER	4. D3	
		5. D4	DATA	5. D4	
		6. D5		6. D5	
A1	LF 398	7. D6		7. D6	
A2	TL 082	8. D7		8. D7	SP
A3	DAC 1220	----		9. D8	DATA
B1	ADC 85-12	----		10. D9	
C2	74LS10	14. PORT 7 READ		11. D10	
C3	74LS04	15. PORT 7 WRITE		12. D11	
D1	74LS51	16. R/$\overline{W}$		13. D12	
D2	74LS123	17. AI LOW		14. D13	
D3,D4	74LS174	18. AI HIGH		15. D14	
E1-E4	74LS244	19. AI/I SEL		16. D15	
F1,G2	74LS175	20. AI/O SEL			
F2-F4	74LS257	21. A/D STATUS			
		----			
		24. +5V			
		25. --			
		26. D-GND		ANALOG INTERFACE	
		27. -5V		CONNECTOR	
		28. S-GND			
		29. --			
		30. +15V			
		31. --			
		32. -15V			

รูป 3.9.3 อุปกรณ์และตำแหน่งของสัญญาณที่ภาคอนาลอกอินเตอร์เฟซ

3.4 ภาคประมวลผลสัญญาณ

ภาคประมวลผลสัญญาณ (Signal Processor) ประกอบด้วยบอร์ด 2 บอร์ด มีชื่อว่า SP-A และ SP-B ติดต่อกันบนบัสชื่อ MAIN BUS ภาคประมวลผลสัญญาณมีโครงสร้างเหมือนกับไมโครโปรเซสเซอร์บอร์ดเดี่ยวทั่วไปคือ ประกอบด้วยหน่วยประมวลผลกลางหรือซีพียู หน่วยความจำและหน่วยอินพุท-เอาท์พุท ภาคประมวลผลสัญญาณถูกออกแบบให้ทำงานร่วมกับมาสเตอร์คอมพิวเตอร์และจะทำงานได้ต่อเมื่อมีการดาวน์โหลดโปรแกรมและสั่งการจากมาสเตอร์คอมพิวเตอร์



รูป 3.10 ส่วนประกอบของภาคประมวลผลสัญญาณ

3.4.1 รายละเอียดส่วนประกอบของบอร์ด SP-B

จากรูป 3.10 แสดงส่วนประกอบของภาคประมวลผลสัญญาณ ในส่วนของบอร์ด SP-B ประกอบด้วย

ADDRESS BUS ISOLATOR

เป็นส่วนที่ติดต่อกับมาสเตอร์อินเตอร์เฟซ ประกอบด้วยบัฟเฟอร์สำหรับสัญญาณควบคุมที่สำคัญ และ Tri-state บัฟเฟอร์สำหรับสัญญาณแอดเดรสจากบอร์ดมาสเตอร์อินเตอร์เฟซ ซึ่งจะเชื่อมโยงเข้าสู่บัสแอดเดรสของภาคประมวลผลสัญญาณ บัฟเฟอร์จะทำการเชื่อมสัญญาณแอดเดรสเวลาทำงานในโหมดดาวน์โหลด

SP I/O PORT DECODER

ทำหน้าที่ดีโคด (Decode) สัญญาณแอดเดรสเพื่อสร้างสัญญาณควบคุม อินพุท-เอาท์พุทพอร์ท ซึ่งมีใช้งานอยู่ 2 พอร์ทคือ

1. พอร์ท 6 เป็นอินพุทและเอาท์พุทพอร์ทขนาด 16 บิทใช้สำหรับติดต่อรับส่งข้อมูลกับมาสเตอร์คอมพิวเตอร์ พอร์ทนี้มีชื่อว่า SP DATA PORT
2. พอร์ท 7 ชื่อว่า AI ACCESS PORT ทำหน้าที่ติดต่อกับบอร์ดอนาลอกอินเตอร์เฟซ ซึ่งบอร์ดดังกล่าวต่ออยู่กับ MAIN BUS ด้วย

MEMORY MAPPED OUTPUT PORT

ทำหน้าที่ดีโคดสัญญาณแอดเดรสเพื่อสร้างสัญญาณควบคุมไปยังหน่วยที่ทำงานเป็นเอาท์พุทพอร์ท ซึ่งเอาท์พุทพอร์ทประกอบด้วย

1. พอร์ทประจำตำแหน่งในหน่วยความจำ FF3H ทำหน้าที่เป็นรีจิสเตอร์สำหรับเก็บสัญญาณเลือกแหล่งของสัญญาณ $\overline{\text{BIO}}$ ที่จะเข้าสู่ซีพียู
2. พอร์ทประจำตำแหน่งในหน่วยความจำ FF4H ทำหน้าที่เป็น Latch สำหรับเก็บข้อมูลขนาด 8 บิท เพื่อส่งไปยังมาสเตอร์คอมพิวเตอร์ พอร์ทข้อมูลนี้ทำหน้าที่เป็น พอร์ท STATUS 2

3. พอร์ทประจำตำแหน่งในหน่วยความจำ FF7H ทำหน้าที่ส่งพัลส์สัญญาณอินเตอร์รัพท์ $\overline{\text{MCINT}}$ ไปสู่มาสเตอร์คอมพิวเตอร์

4. พอร์ทประจำตำแหน่งในหน่วยความจำ FF8H ทำหน้าที่เป็น Latch ข้อมูลขนาด 8 บิท สำหรับแสดงออกตัวแสดงผล LED DISPLAY

BIT	SIGNAL	STATE	FUNCTION
0	PGM LD	L	RUN MODE
		H	PROGRAMLOAD MODE
1	$\overline{\text{MEM}}$/PORT	L	MEMORY ACCESS
		H	I/O PORT ACCESS
2	AI/I SEL	L	AI/I CONNECT TO MASTER
		H	AI/I CONNECT TO SP
3	AI/O SEL	L	AI/O CONNECT TO MASTER
		H	AI/O CONNECT TO SP
7	MWPROT	L	LOW MEM WRITE ENABLE
		H	LOW MEM WRITE PROTECT

ตาราง 3.3 หน้าที่ของแต่ละบิทในรีจิสเตอร์ควบคุมและสัญญาณที่ผลิต

3.4.2 รายละเอียดส่วนประกอบของบอร์ด SP-A

จากรูป 3.10 ในส่วนของบอร์ด SP-A ประกอบด้วย

CONTROL REGISTER

ทำหน้าที่ผลิตสัญญาณเพื่อควบคุมโหมดการทำงานของภาคประมวล ผลสัญญาณ รวมทั้งการทำงานของภาคอนาลอกอินเตอร์เฟซด้วย ข้อมูลในรีจิสเตอร์ควบคุมส่งมาจากมาสเตอร์คอมพิวเตอร์โดยตรง หน้าที่ของแต่ละบิทในรีจิสเตอร์ควบคุมแสดงไว้ในตาราง 3.3 ข้อมูลที่อยู่ในรีจิสเตอร์-ควบคุมสามารถอ่านจากมาสเตอร์คอมพิวเตอร์ได้ ซึ่งใช้สำหรับตรวจสอบการติดต่อ

CPU

หน่วยประมวลผลกลาง หรือซีพียูของภาคประมวลผลสัญญาณ ใช้ไอซีเบอร์ TMS 32010 ซึ่งเป็นซีพียูสำหรับประมวลผลสัญญาณโดยเฉพาะ ที่เรียกว่า Signal Processor ซีพียูมีขนาดของบัสข้อมูลเท่ากับ 16 บิท มีความสามารถในการคำนวน 32 บิท อ่าน-เขียนกับหน่วยความจำที่ใช้สำหรับเก็บโปรแกรมได้สูงสุด 4 k เวิร์ด (1 เวิร์ดเท่ากับ 16 บิท) ความถี่สัญญาณนาฬิกาสามารถใช้ได้สูงสุด 20 MHz แต่ในวงจรใช้สัญญาณนาฬิกาความถี่ 12 MHz เนื่องจากข้อจำกัดเรื่องเวลาในการอ่าน-เขียน หน่วยความจำ สัญญาณควบคุมของซีพียูที่ใช้งานมี 3 สัญญาณคือ 1) สัญญาณรีเซท 2) สัญญาณอินเตอร์รัพท์และ 3) สัญญาณ $\overline{BIO}$ ซึ่งใช้เป็นเงื่อนไขสำหรับ Branch ในโปรแกรม รายละเอียดของซีพียู ตัวนี้อยู่ในภาคผนวก ก.

MUX DATA BUS ISOLATOR

ทำหน้าที่เชื่อมโยงบัสข้อมูลของมาสเตอร์คอมพิวเตอร์ ซึ่งมีขนาด 8 บิทกับบัสข้อมูลของภาคประมวลผลสัญญาณซึ่งมีขนาด 16 บิท ใช้งานในโหมดดาวน์โหลด

MEMORY

หน่วยความจำประกอบด้วย RAM ชนิด STATIC RAM จำนวน 4 k เวิร์ดที่มีช่วงเวลาในการอ่าน-เขียนไม่มากกว่า 150 ns แบ่งเป็น 2 ส่วนคือ LOW MEM กับ HIGH MEM ส่วนละ 2 k เวิร์ด ในส่วนของ LOW MEM สามารถป้องกันการเขียนได้ (Write Protect)

SP DATA PORT

เป็นพอร์ทข้อมูลขนาด 16 บิทติดต่อกับมาสเตอร์คอมพิวเตอร์ การอ่านหรือเขียนข้อมูลโดยมาสเตอร์หรือภาคประมวลผลสัญญาณสามารถกระทำได้อิสระจากกัน (Asynchronous) ผ่าน Latch ซึ่งในการรับส่งข้อมูลจะอาศัยสัญญาณควบคุม เช่น อินเตอร์รัพท์ หรือ $\overline{\text{BIO}}$ ช่วย หรืออาจใช้วิธี Polling โดยการอ่านสเตตัส ซึ่งต้องมีการป้องกันการอ่าน-เขียนพร้อมกันโดยใช้ซอฟท์แวร์ช่วย

AI ACCESS PORT

คือ บัฟเฟอร์ ในส่วนที่ติดต่อกับ SP BUS ทำหน้าที่อ่านข้อมูลจาก A/D Converter หรือเขียนข้อมูลไปที่ D/A Converter AI ACCCESS PORT อยู่ในบอร์ดอนาลอกอินเตอร์เฟซ

MAIN BUS

ประกอบด้วย SP BUS และ MASTER BUS ทำหน้าที่ส่งผ่านข้อมูลและสัญญาณต่าง ๆ ระหว่างบอร์ด SP-A, SP-B และบอร์ด AI ซึ่งต่ออยู่กับ MAIN BUS ส่วนที่เป็น SP BUS คือ บัสสัญญาณที่ใช้ในภาคประมวลผลสัญญาณทั้งหมด ส่วน MASTER BUS เป็นบัสสัญญาณที่ติดต่อกับมาสเตอร์ เช่น บัสข้อมูลจากมาสเตอร์ สัญญาณควบคุมภาคอนาลอกอินเตอร์เฟซจากมาสเตอร์และสัญญาณควบคุมจากมาสเตอร์สู่ภาคประมวลผลสัญญาณ นอกจากนั้น MAIN BUS ยังรวมถึง ขาที่ต่อกับแหล่งจ่ายไฟสำหรับบอร์ดต่าง ๆ รูป 3.11 แสดงตำแหน่งของสัญญาณต่าง ๆ ใน MAIN BUS CONNECTOR ซึ่งแยกเป็น 3 ส่วนคือ A, B และ C แต่ละส่วนมี 32 ขา

3.4.3 วงจรภาคประมวลผลสัญญาณบอร์ด SP-B

ADDRESS BUS ISOLATOR

จากรูป 3.12.1 Tri-state บัฟเฟอร์ G3 และ G5 เป็นส่วนของ ADDRESS BUS ISOLATOR ซึ่งขั้นกลางระหว่าง MASTER ADDR และ SP ADDR สัญญาณที่ใช้ Enable บัฟเฟอร์ทั้ง 2 คือ สัญญาณ $\overline{\text{PGM LD}}$ และ $\overline{\text{MUX SEL}}$ ซึ่งทั้งคู่จะต้องเป็น Low สัญญาณ R/$\overline{\text{W}}$ จากมาสเตอร์กลายเป็นสัญญาณ $\overline{\text{WE}}$ สัญญาณ $\overline{\text{MEN}}$/PORT จากรีจิสเตอร์ควบคุมจะถูกเปลี่ยนเป็นสัญญาณ $\overline{\text{DEN}}$ ส่วน $\overline{\text{MEN}}$ ต่อตรงกับ $\overline{\text{MEN}}$/PORT สัญญาณแอดเดรส A1 ถึง A12 จากมาสเตอร์อินเตอร์เฟซจะต่อกับ A0 ถึง A11 ของ SP ADDR BUS

SP I/O PORT DECODER

จากรูป 3.12.1 สัญญาณ A3-A11 จาก SP ADDR หรือ บัสแอดเดรสของภาคประมวลผลสัญญาณผ่าน C5 ถ้าแอดเดรสเป็น 0 หมด จะมีสัญญาณไป Enable ตัว Decoder D4 และ D4 จะทำงานเฉพาะสัญญาณ $\overline{\text{MEN}}$ เป็น High ขา 9 ของ D4 ผ่าน Inverter จะได้สัญญาณ PORT 6 SEL ส่งไปยังบอร์ด SP-A ขา 7 ของ D4 ร่วมกับสัญญาณ $\overline{\text{WE}}$ และ $\overline{\text{DEN}}$ สร้างสัญญาณ PORT 7 WRITE และ PORT 7 READ ไปสู่ภาคอนาลอกอินเตอร์เฟซสำหรับส่งข้อมูลเข้าสู่ D/A Converter และอ่านข้อมูลจาก A/D Converter ตามลำดับ

MEMORY MAPPED OUTPUT PORT

จากรูป 3.12.2 สัญญาณ A4-A11 จาก SP ADDR ผ่าน C3 ไป Enable ตัว Decoder C4 โดย A4 ถึง A11 จะต้องเป็น 1 หมด A0 ถึง A3 เลือกตำแหน่ง 1 ใน 16 ของ Memory Mapped Port ที่ใช้งานมี 4 พอร์ทดังที่กล่าวมา E2 เป็นรีจิสเตอร์ผลิตสัญญาณ BIO SEL;S1 และ S2 ซึ่งจะส่งไปบอร์ด SP-A G4 เป็น Latch ขนาด 8 บิทเก็บค่า $\overline{\text{STATUS2}}$ เพื่อให้มาสเตอร์คอมพิวเตอร์ซึ่งสามารถอ่านได้ด้วยสัญญาณ RDSTS2 F2 คือ Mono Stable ผลิตสัญญาณพัลส์อินเตอร์รัพท์ $\overline{\text{MCINT}}$ ส่งไปยังมาสเตอร์คอมพิวเตอร์ F4 คือ Latch สำหรับเก็บข้อมูลที่จะแสดงยังตัวแสดงผล LED DISPLAY ตัว Decoder C4 จะทำงานเฉพาะเมื่อสัญญาณ $\overline{\text{WE}}$ เป็น Low และ $\overline{\text{MEN}}$ เป็น High หรือในช่วงการทำคำสั่ง Table Write (TBLW) การอ่านในตำแหน่งในหน่วยความจำเดียวกับพอร์ทจะได้ข้อมูลจาก RAM ซึ่งจะตรงกับค่าล่าสุดที่เขียนไว้ H3 ทำหน้าที่เป็นบัฟเฟอร์สัญญาณ DPLOW, DPHIGH และ R/$\overline{\text{W}}$ จากมาสเตอร์คอมพิวเตอร์

3.4.4 วงจรภาคประมวลผลสัญญาณบอร์ด SP-A

CPU

จากรูป 3.13.1 ซีพียู B2 มีผลึกความถี่ 12 MHz ต่ออยู่เพื่อใช้กับภาคสร้างสัญญาณนาฬิกาภายในซีพียู C1 และ C2 เป็น Tri-State Bus Driver เพื่อส่งสัญญาณแอดเดรสและสัญญาณควบคุมเข้าสู่ SP BUS รวมทั้งตัดซีพียูจากบัสตอนทำงานในโหมดดาวน์โหลดโดยสัญญาณ PGM LD จากรีจิสเตอร์ควบคุม B1 และ B3 เป็น Tri-state Bus Transciver สำหรับเชื่อมโยงบัสดาต้าของซีพียูกับ SP DATA ใน SP BUS B1 และ B3 จะตัดซีพียูจาก SP DATA ตอนทำงานในโหมดดาวน์โหลดทิศทางของสัญญาณควบคุมด้วยสัญญาณ $\overline{WE}$ ขา $\overline{BIO}$ ของซีพียูต่อกับ SP BUS และ A5 ซึ่งทำหน้าที่เลือกสัญญาณ $\overline{BIO}$ จากสองแหล่งคือ สัญญาณ $\overline{SPBIO}$ จากมาสเตอร์ และ A/D STATUS ของภาค A/D Converter สัญญาณเลือก BIO SEL;S1 และ S2 มาจากบอร์ด SP-B สัญญาณรีเซทตัวซีพียูมาจาก 2 สัญญาณ คือ $\overline{SPRS}$ และ $\overline{RS1}$ สัญญาณ $\overline{SPRS}$ มาจาก Flip Flop ในมาสเตอร์อินเตอร์เฟซทำหน้าที่รีเซทเฉพาะตัวซีพียู สัญญาณ $\overline{RS1}$ มาจากมาสเตอร์คอมพิวเตอร์ทำหน้าที่รีเซททั้งระบบ (System Reset) ขา $\overline{INT}$ ของซีพียูต่อกับขา 10 ของ E4 ซึ่งเป็น Flip-Flop ที่รับสัญญาณ $\overline{SPINT}$ จากบอร์ดมาสเตอร์อินเตอร์เฟซ ทำหน้าที่อินเตอร์รัพท์ตัวซีพียู

MEMORY

จากรูป 3.13.2 ใช้ไอซีหน่วยความจำเบอร์ 2116-10 เป็น Static RAM ขนาด 2kx8 ซึ่งมีช่วงเวลาในการอ่าน-เขียนข้อมูลภายใน 100ns ใช้ทั้งหมด 4 ตัวโดยแบ่งเป็น LOW MEM (D3,D4) และ HIGH MEM (D1,D2) แต่ละส่วนมีขนาด 2kx16 บิท สัญญาณ A11 จาก SP ADDR เป็นผู้เลือก HIGH MEM หรือ LOW MEM ในส่วนของ LOW MEM มีสัญญาณ MWPROT จากรีจิสเตอร์ควบคุมทำหน้าที่ป้องกันการเขียนข้อมูลลงไปใน LOW MEM เหตุผลที่ต้องมีการป้องกันการเขียนลงหน่วยความจำเพราะสัญญาณในคำสั่ง OUT PORT กับสัญญาณคำสั่ง TABLE WRITE (TBLW) เหมือนกันทุกประการ

CONTROL REGISTER

จากรูป 3.13.3 รีจิสเตอร์ควบคุมประกอบด้วย E5 และ E6 ทั้งหมด 8 บิท แต่ใช้งานจริง 5 บิท รายละเอียดของแต่ละบิทอยู่ในตาราง 3.3 F3 เป็น Tri-State บัฟเฟอร์สำหรับอ่านค่าของรีจิสเตอร์ควบคุมโดยมาสเตอร์คอมพิวเตอร์ด้วยสัญญาณ $\overline{RDSTS1}$ รีจิสเตอร์ควบคุมต่อกับบัสข้อมูลของมาสเตอร์คอมพิวเตอร์โดยตรงสัญญาณในการเขียนข้อมูลลงในรีจิสเตอร์คือ CONTROL REGISTER WRITE ($\overline{CRWR}$)

MUX-DATABUS ISOLATCR

จากรูป 3.13.3 ประกอบด้วย Latch ขนาด 8 บิท G5 บัฟเฟอร์ F4 และ F5 ร่วมกับวงจรตรรกซึ่งจะทำงานเฉพาะในโหมดโปรแกรมโหลด ทำหน้าที่เชื่อมต่อบัสข้อมูลของภาคประมวลผลสัญญาณและบัสข้อมูลจากมาสเตอร์คอมพิวเตอร์ การทำงานแบ่งเป็น 2 ลักษณะคือ การเขียนข้อมูลจากมาสเตอร์สู่หน่วยความจำหรือพอร์ทของภาคประมวลผลสัญญาณและการอ่านข้อมูลจากหน่วยความจำหรือพอร์ทของภาคประมวลผลสัญญาณโดยมาสเตอร์คอมพิวเตอร์ การเขียนข้อมูลจากมาสเตอร์กระทำ 2 ช่วง ช่วงแรกข้อมูลไบท์ต่ำจะถูกบันทึกลง Latch G5 โดยขา CK ของ G5 จะได้รับสัญญาณเมื่อ A0 ของ MASTER ADDR กับ $\overline{WE}$ เป็น Low ช่วงที่ 2 ไบท์สูง (A0 จะเป็น High) ข้อมูลไบท์สูงจะผ่านบัฟเฟอร์ F5 เข้าสู่ SP DATA BUS ขณะเดียวกันก็จะปล่อยข้อมูลใน Latch G5 สู่ SP DATA BUS พร้อมกัน การอ่านข้อมูลโดยมาสเตอร์กระทำได้ทีละ 1 ไบท์ ไบท์ต่ำจะอ่านผ่าน F4 ซึ่งกำหนดให้ทำงานทิศทางเดียวอยู่แล้ว ไบท์สูงอ่านข้อมูลผ่านบัฟเฟอร์ F5 ที่กล่าวมาทั้งหมดจะทำงานได้เมื่ออยู่ในโหมดโปรแกรมโหลด และสัญญาณ $\overline{MUX\ SEL}$ เป็น Low

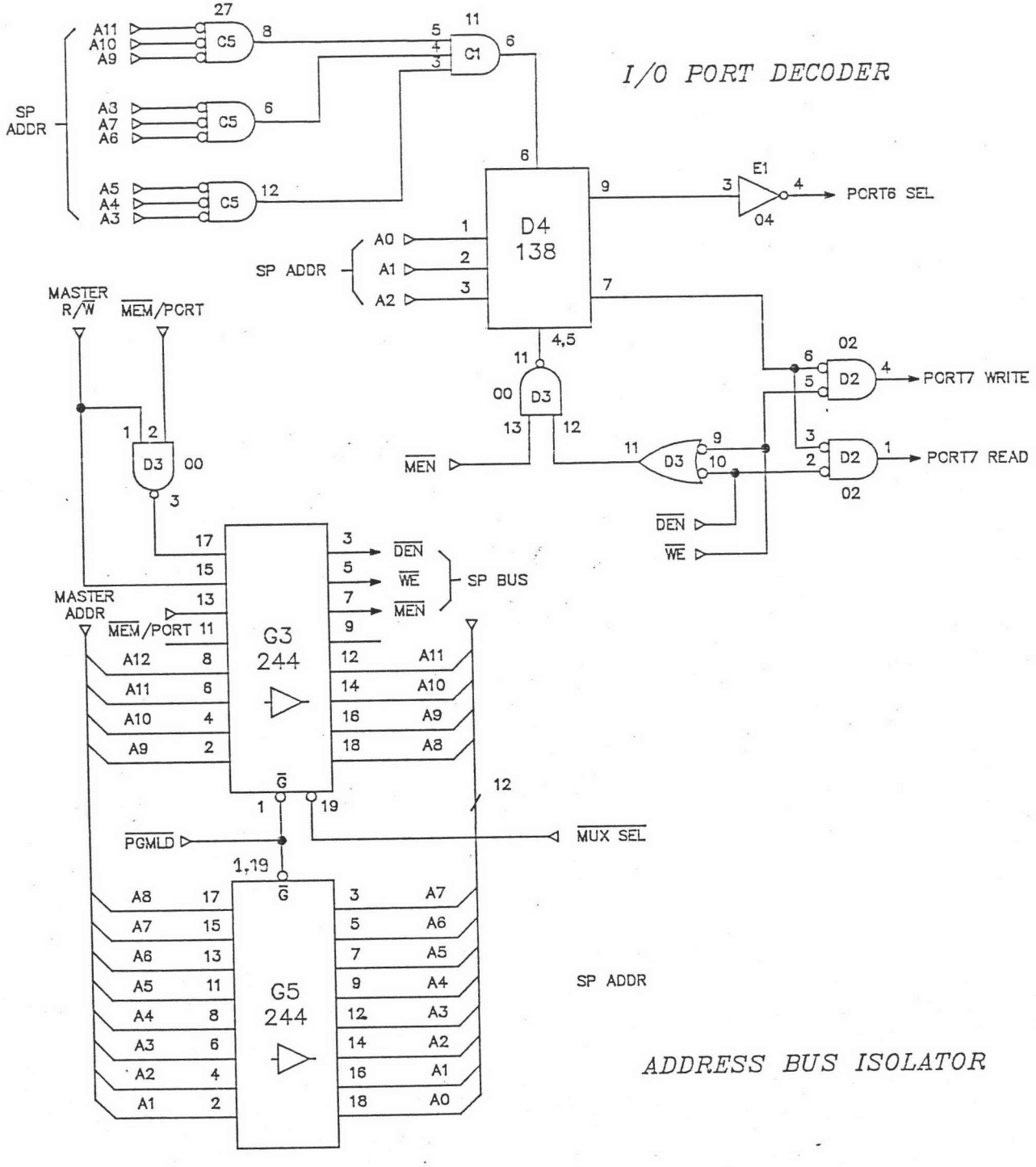
SP DATA PORT

จากรูป 3.13.4 ประกอบด้วย Latch 8 บิท 4 ตัวคือ G3 และ H3 สำหรับข้อมูลไบท์ต่ำ G4 และ H4 สำหรับข้อมูลไบท์สูง G3 และ G4 เป็น Latch สำหรับส่งข้อมูลจากภาคประมวลผลสัญญาณไปให้มาสเตอร์คอมพิวเตอร์ สัญญาณ PORT 6 SEL ร่วมกับ $\overline{WE}$ จะส่งสัญญาณไปขา CK ของ G3 และ G4 สำหรับบันทึกข้อมูลการอ่าน มาสเตอร์อินเตอร์เฟซจะส่งสัญญาณ DPLOW และ DPHIGH ร่วมกับ R/$\overline{W}$ จะเป็น High ทำการอ่านข้อมูลทีละไบท์ การส่งข้อมูลจากมาสเตอร์คอมพิวเตอร์ไปสู่ภาคประมวลผลสัญญาณ Latch H3 และ H4 สัญญาณ DPLOW และ DPHIGH ร่วมกับ R/$\overline{W}$ ที่เป็น LOW จะบันทึกข้อมูลลง Latch H3 และ H4 การอ่านข้อมูลภาคประมวลผลสัญญาณจะส่งสัญญาณ PORT 6 SEL ร่วมกับสัญญาณ $\overline{DEN}$ อ่านข้อมูลจาก Latch H3 และ H4

CONNECTOR A		CONNECTOR B		CONNECTOR C	
1. D0		1. D0		1. S1	
2. D1		2. D1		2. S2	
3. D2		3. D2		3. --	
4. D3	MASTER *	4. D3		4. --	
5. D4	DATA	5. D4		5. --	
6. D5		6. D5		6. A0	MASTER ADDR *
7. D6		7. D6		7. --	
8. D7		8. D7	SP	8. --	
9. $\overline{WE}$		9. D8	DATA	9. DPLOW *	
10. $\overline{MEN}$		10. D9		10. DPHIGH *	
11. $\overline{DEN}$		11. D10		11. R/$\overline{W}$ *	
12. SP CLK		12. D11		12. PORT 6 SEL	
13. $\overline{BIO}$		13. D12		13. --	
14. $\overline{SPINT}$		14. D13		14. --	
15. $\overline{RS}$		15. D14		15. $\overline{CRWR}$ *	
16. $\overline{RS1}$ *		16. D15		16. $\overline{MUX\ SEL}$ *	
17. --		17. A0		17. --	
18. --		18. A1		18. $\overline{RDSTS1}$ *	
19. --		19. A2		19. $\overline{SPBIO}$ *	
20. $\overline{MEM}$/PORT		20. A3		20. $\overline{SPRS}$ *	
21. $\overline{PGM\ LD}$		21. A4	SP	21. --	P = POWER BUS
22. --		22. A5	ADDR	22. --	* = MASTER BUS
23. --		23. A6		23. --	OTHER = SP BUS
24. +5V	P	24. A7		24. --	
25. --		25. A8		25. A/D STATUS	
26. D-GND	P	26. A9		26. AI/I SEL	
27. -5V	P	27. A10		27. AI/O SEL	
28. S-GND	P	28. A11		28. PORT 7 WRITE	
29. --		29. --		29. PORT 7 READ	
30. +15V	P	30. --		30. R/$\overline{W}$ *	
31. --		31. --		31. AI LOW *	
32. -15V	P	32. --		32. AI HIGH *	

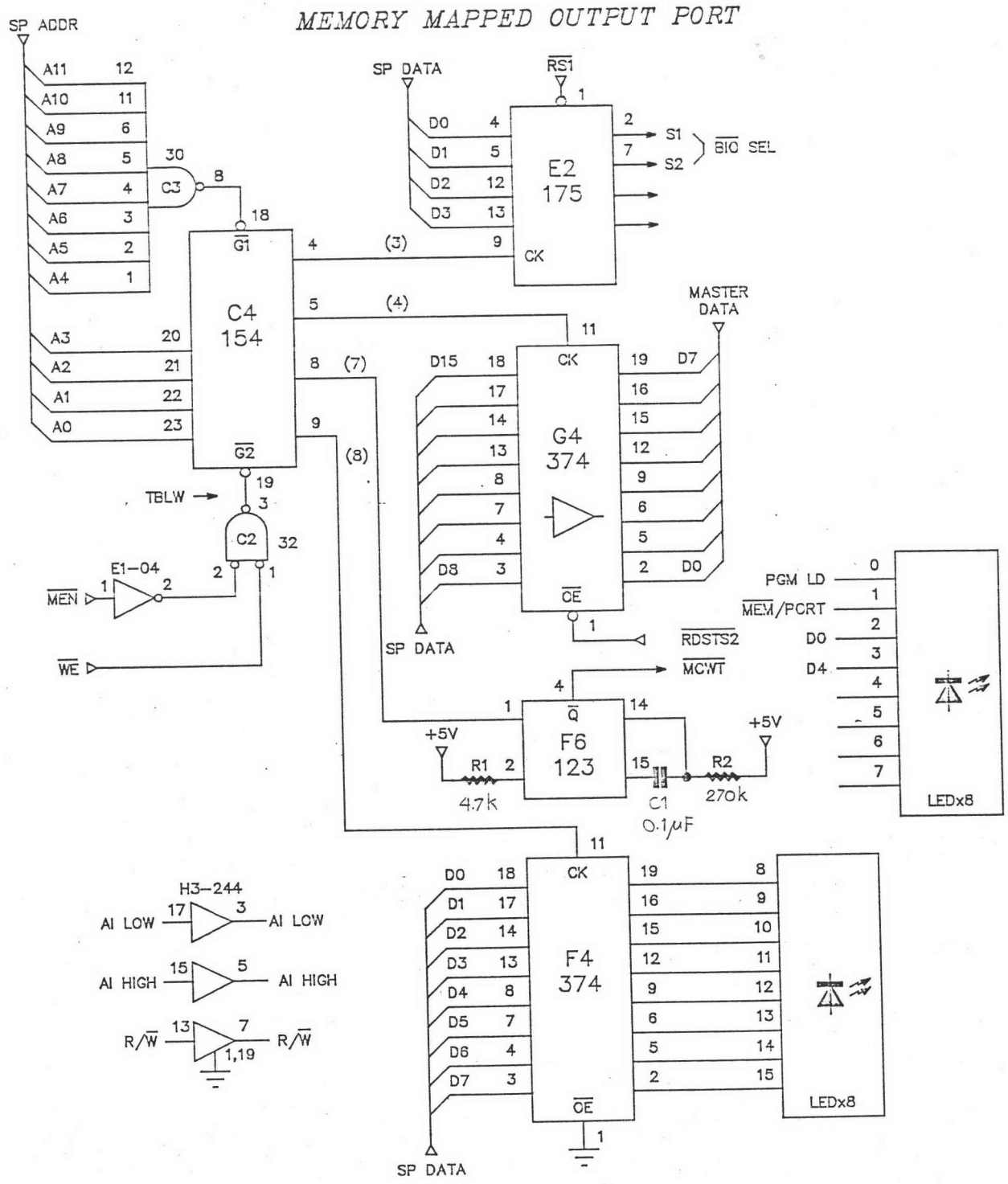
รูป 3.11 ตำแหน่งสัญญาณใน MAIN BUS CONNECTOR

SIGNAL PROCESSOR SP-B SHEET 1/2



รูป 3.12.1 วงจรภาคประมวลผลสัญญาณบอร์ด SP-B

SIGNAL PROCESSOR SP-B SHEET 2/2

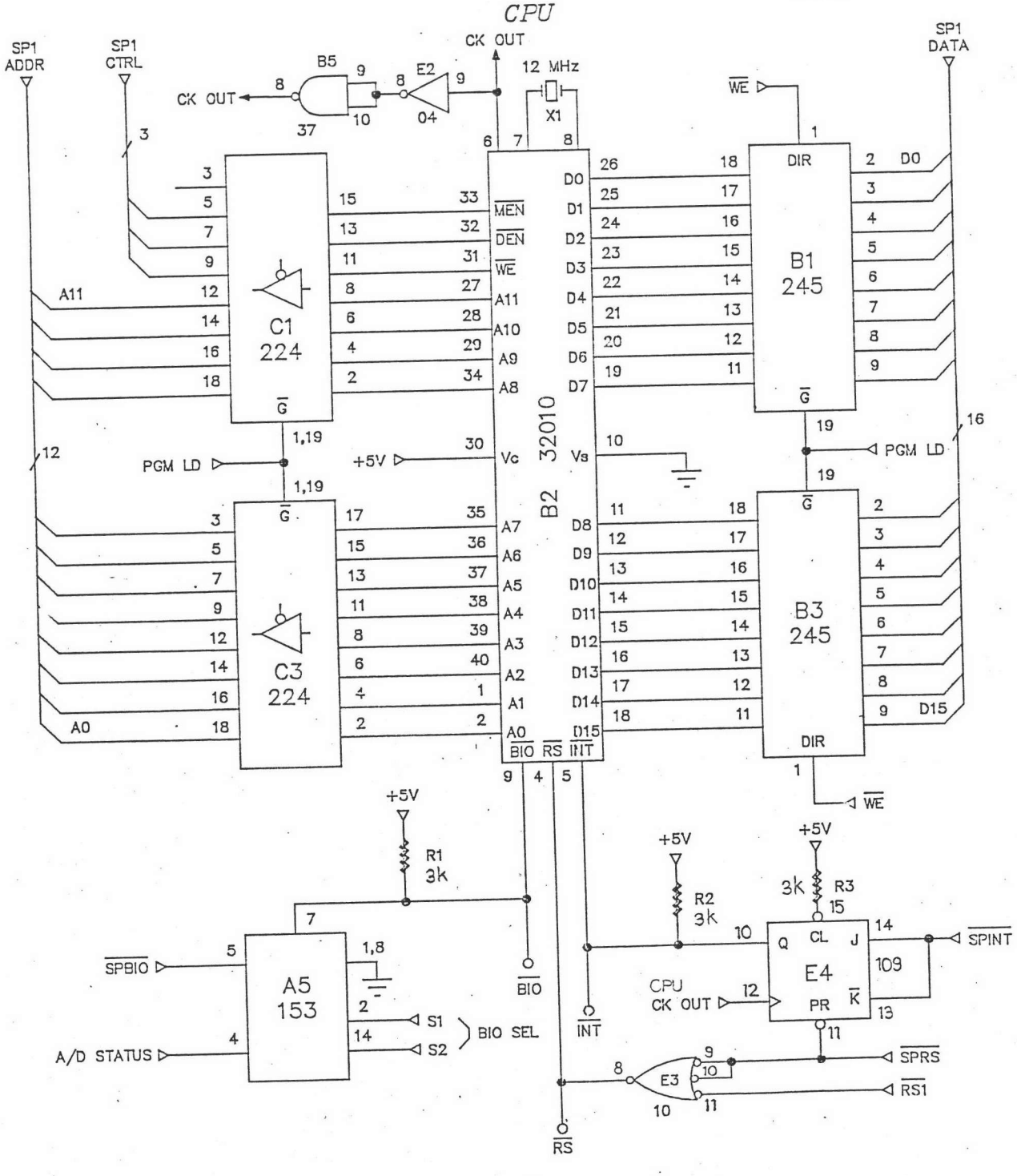


C1 74LS11 C4 74LS154 D3 74LS00 E2 74LS175 F6 74LS123
C2 74LS32 C5 74LS27 D4 74LS138 F3,F4,G4 74LS374
C3 74LS30 D2 74LS02 E1 74LS04 G3,G4,G5 74LS244

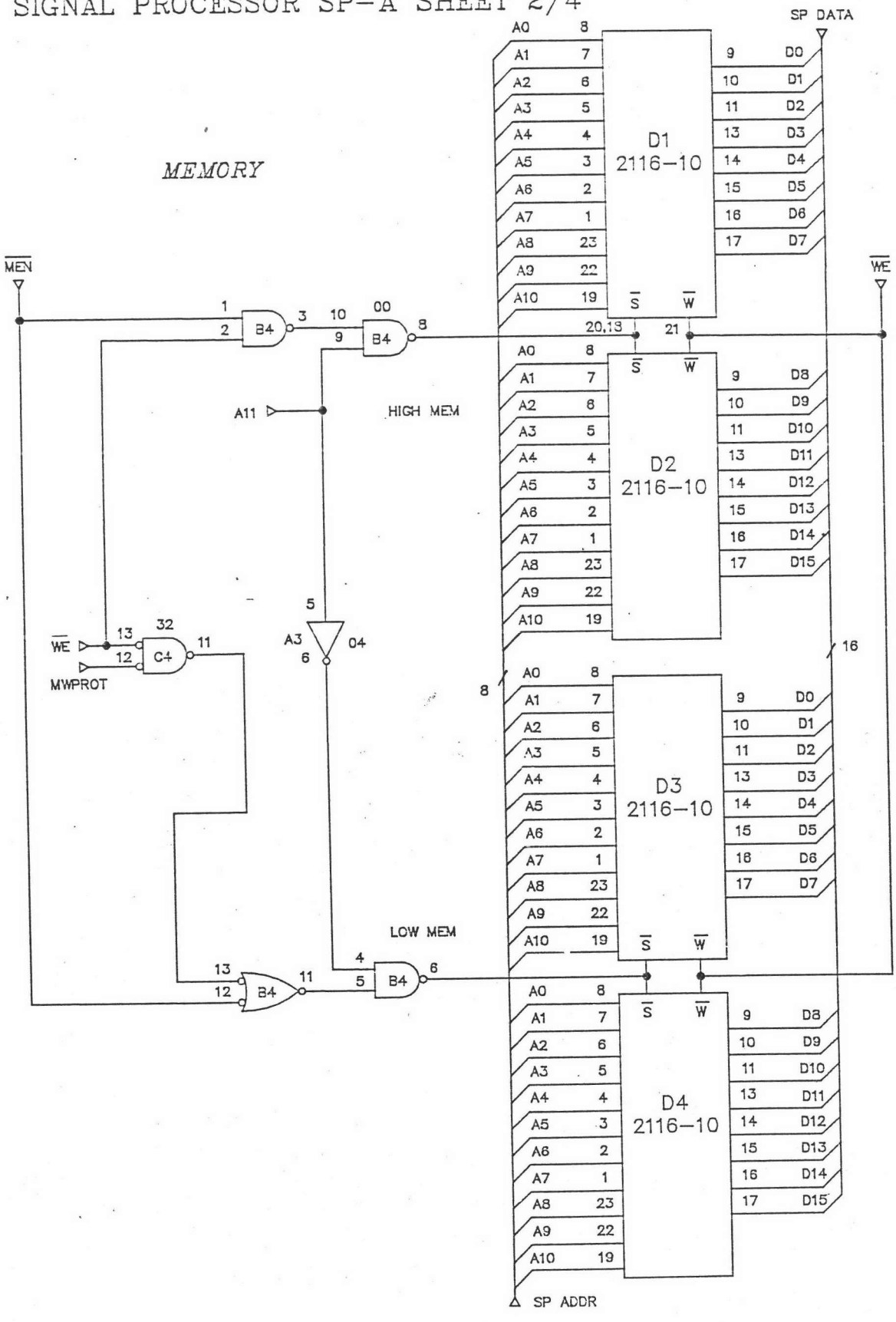
รูป 3.12.2 วงจรภาคประมวลผลสัญญาณบอร์ด SP-B (ต่อ)

หอสมุดกลาง สถาบันวิทยบริการ จุฬาลงกรณ์มหาวิทยาลัย

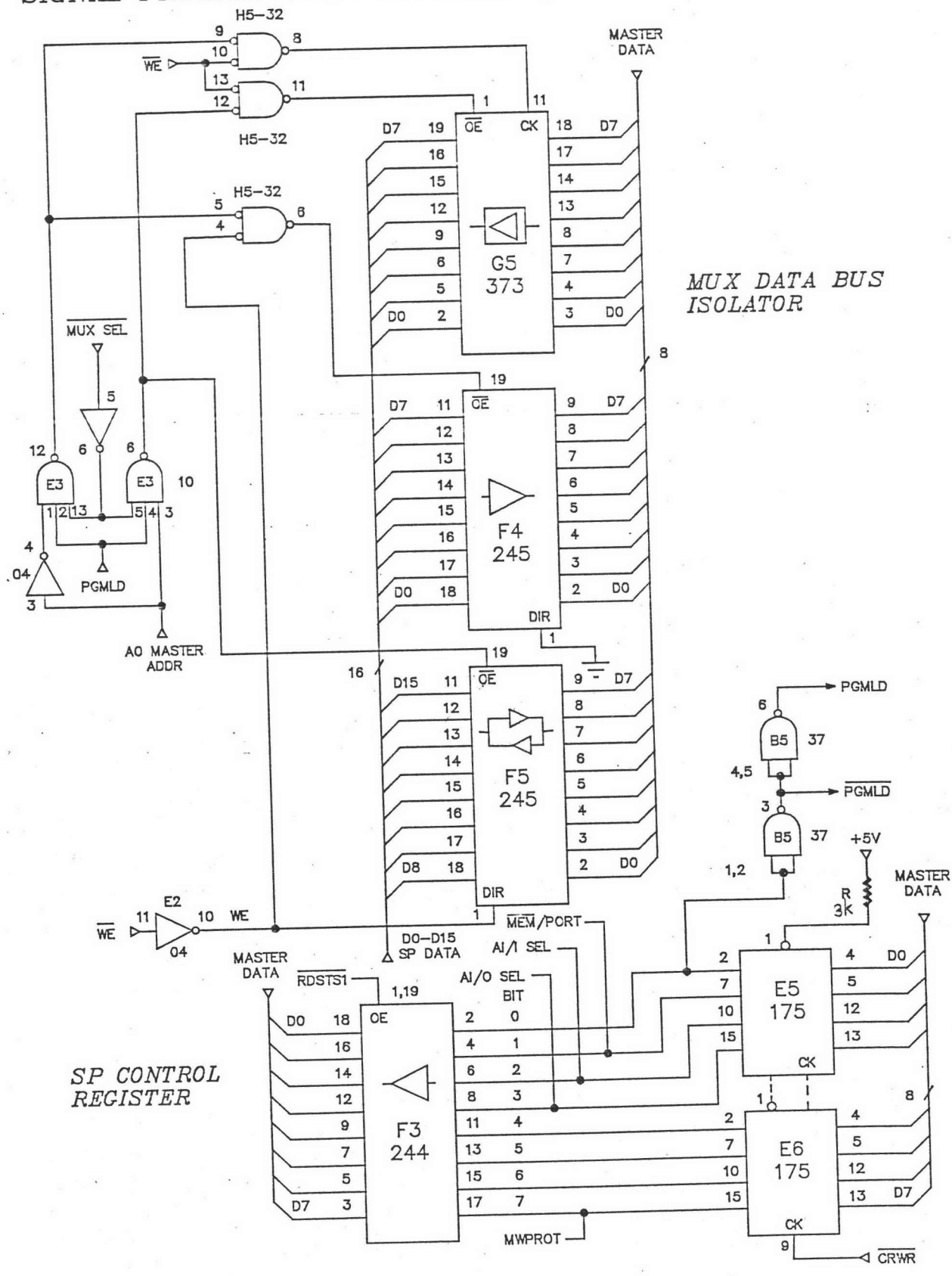
SIGNAL PROCESSOR SP-A SHEET 1/4



รูป 3.13.1 วงจรภาคประมวลผลสัญญาณบอร์ด SP-A

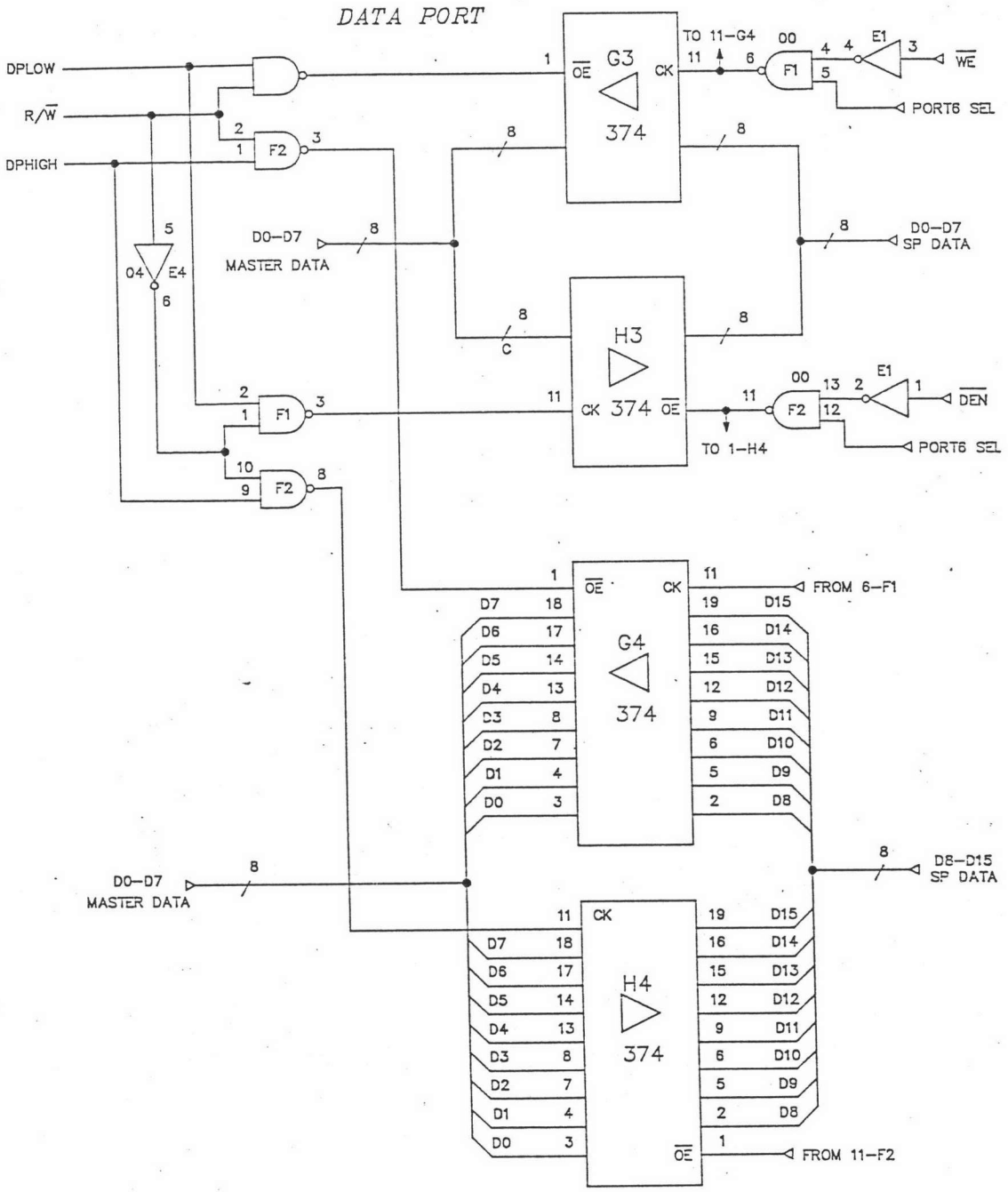


รูป 3.13.2 วงจรภาคประมวลผลสัญญาณบอร์ด SP-A (ต่อ)



รูป 3.13.3 วงจรภาคประมวลผลสัญญาณบอร์ด SP-A (ต่อ)

SIGNAL PROCESSOR SP-A SHEET 4/4



COMPONENTS

A3,E1,E2	74LS04	B2	TMS 32010	D1-D4	2116-10	G3,G4	74LS374
A4	74LS51	B4,F1,F2	74LS00	E3	74LS10	H3,H4	74LS374
A5	74LS153	C1,C3,F3	74LS244	E4	74LS109	G5	74LS373
B1,B3,F4,F5	74LS245	C4,H5	74LS32	E5,E6	74LS175		

รูป 3.13.4 วงจรภาคประมวลผลสัญญาณบอร์ด SP-A (ต่อ)