หอสมุดกลาง สถาบันวิทยบริการ จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 5

การออกแบบส่วนย่อยของระบบและการทดสอบเฉพาะส่วน

ในบทนี้จะได้กล่าวถึงรายละเอียดการออกแบบวงจรต่างๆ ที่ประกอบกันเป็นระบบ พร้อมทั้งการทดสอบเฉพาะส่วนนั้น เขียนแบ่งเป็นตอนๆ ตามแผ่นวงจรพิมพ์ที่ได้แบ่งไว้ในบทที่ 4 โดยถือเอาบล็อกไดอะแกรมในรูป 4.3-3 เป็นหลัก

5.1 แผงวงจรแหล่งจ่ายไฟตรง

เนื่องจากแหล่งจ่ายไฟตรงเป็นวงจรมาตรฐาน อุปกรณ์ที่ใช้เป็นวงจรรวม ซึ่งออกแบบไว้สมบูรณ์แล้ว และมีตัวอย่างวงจรใช้งานจากผู้ผลิต จึงจะกล่าวถึงการออกแบบอย่างคร่าวๆ ดังต่อไปนี้

1. +5V สำหรับจ่ายไฟตรงให้แก่วงจร logic RAM และDAC (DAC0808) กระแสรวมประมาณ 1.5A โดยใช้ LM309 และให้ Unregulated DC = 10V สามารถจ่ายกระแสได้ประมาณ 2A

2. + 6.5V และ- 6.5V สำหรับจ่ายให้ออพแอมป์ต่างๆ ในแผงวงจรแปลงสัญญาณและภาคเข้าและภาคออก เหตุที่เลือกค่า 6.5V เพราะจะต้องจ่าย- 6.5V ให้แก่วงจรเปรียบเทียบ(Comparators) LM710 ซึ่งต้องการค่าไฟลบไม่ต่ำกว่า - 7V นอกจากนี้- 6.5V ยังต้องจ่ายให้แก่ DAC (DAC0808) ซึ่งต้องการไฟลบในช่วง -4.5V ถึง- 16.5V ดังนั้นกระแสใช้งานของไฟลบจะมีค่ามากกว่าไฟบวกอยู่บ้าง แต่จะออกแบบให้จ่ายกระแสไฟได้เท่าๆ กัน

เนื่องจากความต้องการกระแสสำหรับ- 6.5V มีค่าประมาณ 15.0mA จึงออกแบบวงจร $\pm$ 6.5V ให้จ่ายกระแสได้ 300mA โดยใช้ IC เบอร์ LM723C

$$R_{sc} = \frac{0.6V}{300mA} = 2\,\Omega$$

IC LM723C จ่ายกระแสได้สูงสุด 150mA จึงใช้ทรานซิสเตอร์ช่วยจ่ายกระแส โดยการกำหนดให้กระแสสูงสุดที่จ่ายโดย LM723C ประมาณ 30mA (กระแสโหลดที่เหลือจ่ายผ่าน

ทรานซิสเตอร์)

$$R_b = \frac{0.6V}{300mA} = 20\ \Omega$$

ในวงจรจริง ใช้ $R_b = 18\ \Omega$

3. + 12V สำหรับจ่ายให้แก่วงจรเปรียบเทียบ (Comparators) LM710 กระแสโหลดประมาณ 120mA ออกแบบให้จ่ายกระแสได้ 300mA เช่นเดียวกับในข้อ 2

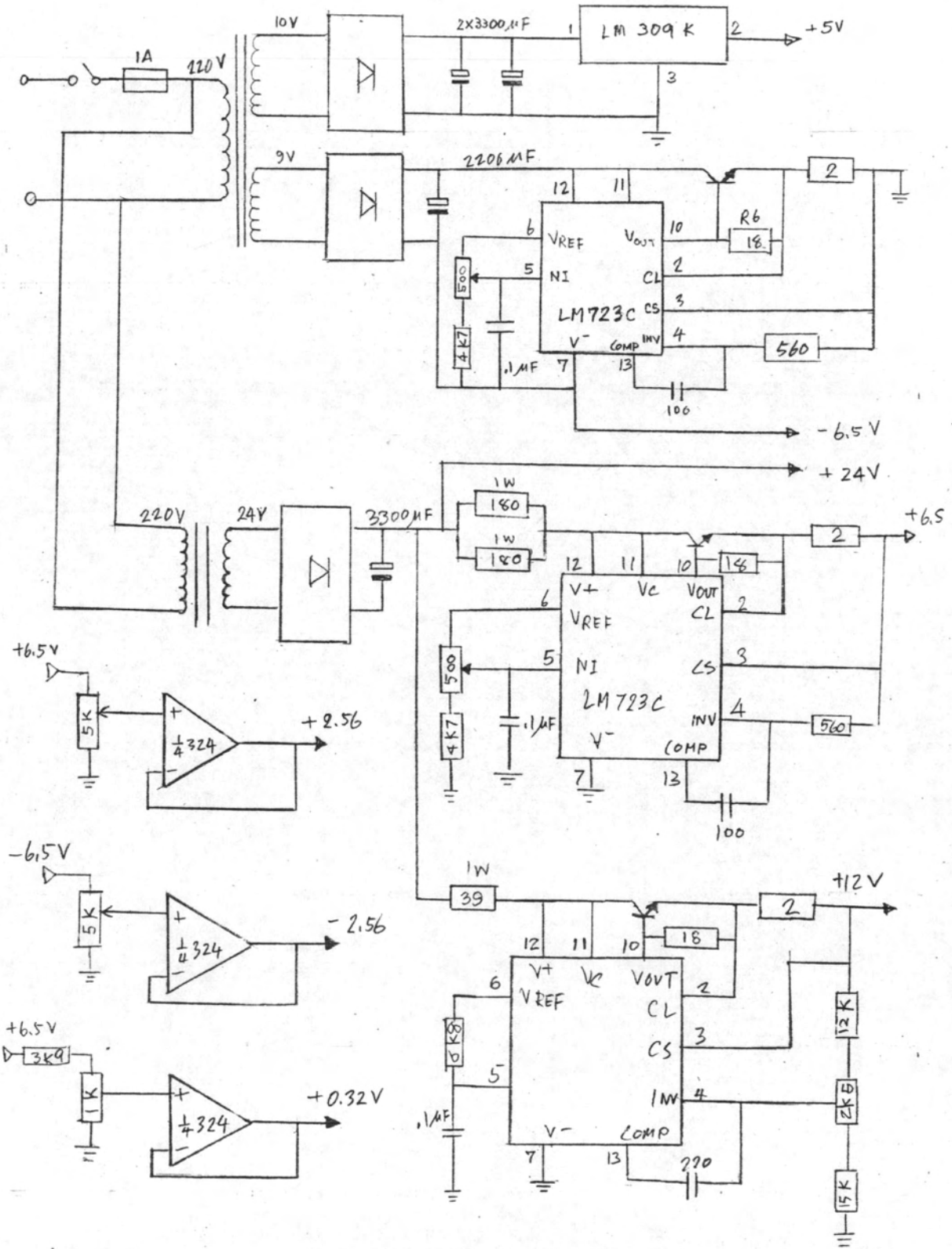
4. + 2.5V, - 2.5V และ +0.32V สำหรับเป็นแรงดันอ้างอิงในวงจร ADC กระแสโหลดสูงสุด = $\frac{2.56}{400}$ A = 6.4mA จึงใช้วงจร voltage divider และใช้ออพ-แอมป์เป็น buffer amp สำหรับจ่ายแรงดันค่าต่าง ๆ เหล่านี้

5. + 24V unregulated สำหรับจ่ายให้แก่รีเลย์ที่ใช้ตั้งความถี่ของการอ่านในแผงวงจรควบคุม

วงจรสมบูรณ์ของ แผงวงจรแหล่งจ่ายไฟตรง แสดงไว้ในรูป 5.1-1

5.2 แผงวงจรแปลงสัญญาน

แผงวงจรแปลงสัญญานนี้มีทั้ง ADC และ DAC อยู่ในแผงเดียวกัน รายละเอียดการออกแบบและการทดสอบได้แยกกล่าวเป็นตอน ๆ ไป



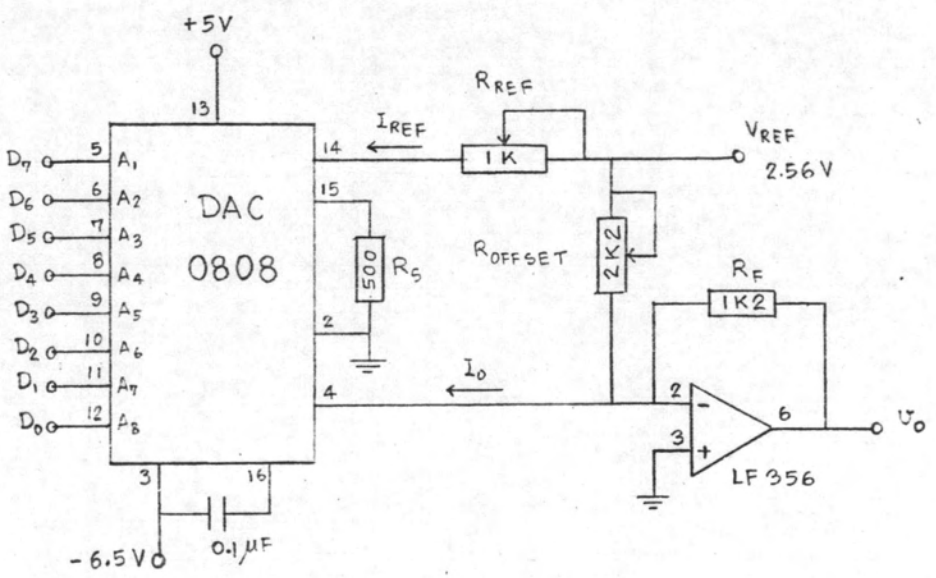
รูป 5.1-1 วงจรสมบูรณ์ของแผงวงจรแหล่งจ่ายไฟตรง

5.2.1 DAC

DAC ที่จะออกแบบใช้งานนี้จะใช้ Monolithic current type DAC เพราะการออกแบบโดยใช้ discrete component ทำได้ยาก ที่เห็นได้ชัดก็คือ R - 2R ladder network จะหาค่าความต้านทานที่มีค่าที่ต้องการพอดีทำได้ยาก และยังไม่สามารถทำให้สัมประสิทธิ์อุณหภูมิของความต้านทานมีค่าเท่า ๆ กัน ปัญหานี้จะไม่พบในความต้านทานภายในวงจรรวม (IC) เพราะแม้ว่าจะไม่สามารถควบคุมค่าสมบูรณ์ของความต้านทานให้ถูกต้องได้ แต่ก็สามารถควบคุมอัตราส่วนของความต้านทานให้มีค่าถูกต้องแม่นยำมาก ส่วนสัมประสิทธิ์อุณหภูมิของความต้านทานในวงจรรวมก็มีค่าเท่า ๆ กันอยู่แล้ว

DAC ที่จะใช้นี้คือเบอร์ DAC 0808 ซึ่งเป็นเบอร์ที่หาซื้อได้ในท้องตลาด รายละเอียดและข้อมูลของ IC เบอร์นี้รวบรวมไว้ที่ภาคผนวก ข.

รหัสที่ใช้เป็นแบบ offset binary ดังนั้นจึงต้องมีแรงดันออฟเซท ต่อจาก VREF มายัง inverting input ของออพแอมป์ ดังนั้นวงจร DAC ที่จะใช้งานจึงดัดแปลงเพิ่มเติมจากตัวอย่างวงจรใช้งานที่ให้จากผู้ผลิตได้ดังรูป 5.2-1



รูป 5.2-1 วงจร DAC

R_{REF} ทำหน้าที่ปรับกระแสอ้างอิง (I_{REF}) ที่ไหลเข้าขา 14 ตามสมการที่ให้ไว้โดยผู้ผลิต โดยใช้ D7, D6, ... D0 เป็นค่า digital input ตามในรูป

$$I_O = \frac{V_{REF}}{R_{REF}} \left(\frac{D7}{2} + \frac{D6}{4} + \frac{D5}{8} + \frac{D4}{16} + \frac{D3}{32} + \frac{D2}{64} + \frac{D1}{128} + \frac{D0}{256}\right) \quad (5.2\text{-}1)$$

R_{OFFSET} ทำหน้าที่ปรับให้แรงดันออกที่ออพแอมป์เป็นไปตาม Offset binary code มันจึงเป็นแรงดันออฟเซทไปในตัวไม่ต้องมีการปรับออพเซทสำหรับออพแอมป์อีก ถ้าให้ V_{FS} = full seale voltage ของ V_O เมื่อทุกบิทของค่าดิจิตอลทางเข้าเป็น 0 จาก (5.2-1) ได้ค่า Io เท่ากับ 0 และแรงดันออกเท่ากับ $- V_{FS}$ ดังนั้น

$$- V_{FS} = - \frac{R_F}{R_{OFFSET}} V_{REF} \quad (5.2\text{-}2)$$

เมื่อเฉพาะ MSB (D_7) = 1 บิทที่เหลือเป็น 0 หมด ค่าสัญญาณออกอยู่ตรงกึ่งกลางของช่วง $\pm V_{FS}$ นั่นคือ Vo = 0 ดังนั้น

$$0 = - \frac{R_F}{R_{OFFSET}} V_{REF} + IoR_F \quad (5.2\text{-}3)$$

แต่จาก (5.2-1) เมื่อ $D_7 = 1$ และ D อื่น ๆ เป็น 0 หมด

$$Io = \frac{V_{REF}}{R_{REF}} \quad (5.2\text{-}4)$$

แทนค่า Io ลงใน (5.2-3) จะได้

$$R_{OFFSET} = 2R_{REF} \quad (5.2\text{-}5)$$

เนื่องจากแรงดันที่ขา 14 เป็น 0

$$V_{REF} = I_{REF} R_{REF} \quad (5.2\text{-}6)$$

จากสมการทั้งสามคือ (5.2-2), (5.2-5) และ (5.2-6) เรามีตัวแปร 6 ตัว สามารถเลือกค่าได้ 3 ค่า ในที่นี้จะเลือก $V_{REF} = V_{FS} = 2.56V$ (full scale voltage) ค่านี้กำหนดจาก input voltage range ของวงจรเปรียบเทียบ LM710 ดูรายละเอียดในตอน 5.2-2 และเนื่องจาก I_{REF} ตาม rating characteristics จะต้องไม่เกิน 5 mA

จึงเลือก I_{REF} = 4mA ดังนั้นค่าต่าง ๆ จึงคำนวณได้ดังนี้ จาก (5.2-6)

$$R_{REF} = \frac{2.56V}{4mA} = 640\ \Omega$$

จาก (5.2-5)

$$R_{OFFSET} = 2 \times 640 = 1280\ \Omega$$

และแทนค่าต่าง ๆ ลงใน (5.2-2) จะได้

$$R_F = R_{OFFSET} = 1280\ \Omega$$

ในวงจรใช้งานจริงเลือก R_F = 1K2, R_{OFFSET} และ R_{REF} ใช้ potentio - meter เพื่อสะดวกในการปรับ และเลือกค่าเป็นประมาณ 2 เท่าของค่าที่คำนวณไว้ นั่นคือ R_{OFFSET} = 2K2 และ R_{REF} = 1K ค่าต่าง ๆ เหล่านี้ได้บันทึกไว้ในรูป 5.2-1 แล้ว R_S ใส่ไว้เพื่อ balance กระแสขาเข้าของวงจรขยายภายในวงจรรวม โดยเลือกให้ประมาณเท่ากับค่า R_{REF} ที่ใช้งาน ในที่นี้ใช้ 500 Ω ส่วนออพแอมป์ใช้เบอร์ LF356 ซึ่งมี slew rate สูง เพื่อลด conversion time

การปรับแต่ง DAC

1. ปรับค่า V_{REF} ซึ่งเป็นค่า 2.56V ที่มาจากแผงวงจรแหล่งจ่ายไฟตรง
2. ตั้ง pot (potentioneter) ทั้งสองประมาณกึ่งกลาง ตั้งค่าดิจิตอลเป็น 0 (00000000) แล้วปรับ offset pot ให้สัญญาณออก = -2.56V
3. เปลี่ยนค่า D_7 เป็น 1 (ค่าดิจิตอล = 10000000) แล้วปรับ Reference pot. จนสัญญาณออกเป็น 0V

เราอาจทดสอบความถูกต้องโดยให้ค่าดิจิตอล = 11111111 สัญญาณออกควรจะเป็น +2.540V (ดูตาราง 5.2-1)

ความจริงแล้วค่า V_{REF} เป็นค่าอื่นที่ไม่ใช่ค่า V_{FS} ก็ได้ เพราะเรายังสามารถปรับสัญญาณออกให้มีค่าสูงสุด = V_{FS} ได้ แต่ในกรณีนี้ค่า $V_{REF} = 2.56 = V_{FS}$ ต้องใช้ในวงจร ADC จึงนำมาใช้กับวงจร DAC ด้วย

ค่าดิจิตอล	ค่าอนาลอกตามทฤษฎี(V)	ค่าอนาลอกที่วัดได้(V)	ค่าความผิดพลาด(เศษส่วนของLSB)
00000000	- 2.560	- 2.560*	0
00000001	- 2.540	- 2.547	- 0.35
00000010	- 2.520	- 2.525	- 0.25
00000100	- 2.480	- 2.485	- 0.25
00001000	- 2.400	- 2.407	- 0.35
00010000	- 2.240	- 2.247	- 0.35
00100000	- 1.920	- 1.926	- 0.30
01000000	- 1.280	- 1.287	- 0.35
10000000	0.000	-0.0008*	- 0.04
10000001	+ 0.020	0.016	- 0.2
10000010	+ 0.040	0.037	- 0.15
10000100	+ 0.080	0.078	- 0.1
10001000	+ 0.160	0.158	- 0.1
10010000	+ 0.320	0.317	- 0.15
10100000	+ 0.640	0.641	+ 0.05
11000000	+ 1.280	1.280	0
11111111	+ 2.540	+ 2.543	+ 0.15

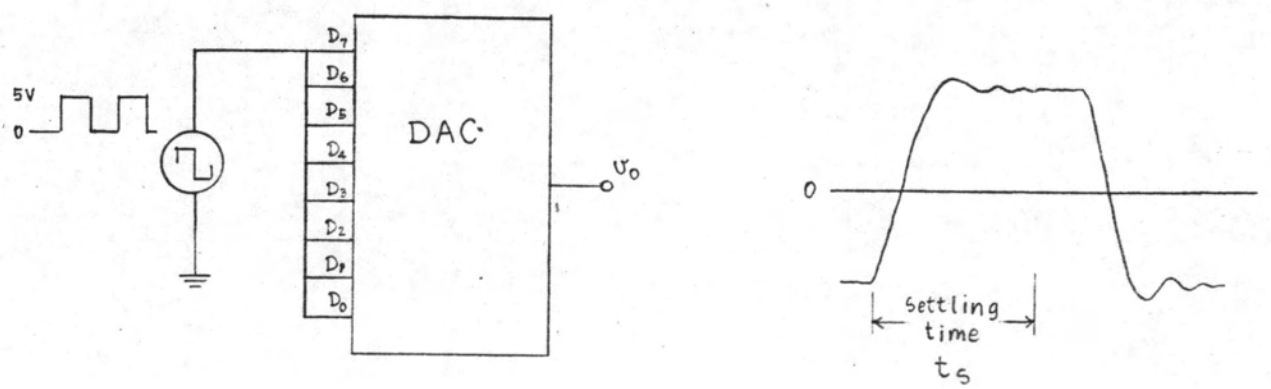
ตาราง 5.2-1 ผลการทดสอบ DAC เทียบกับค่าที่คำนวณตามทฤษฎี ค่าที่มีเครื่องหมาย * หมายถึงค่าที่ทำการปรับแต่ง DAC ซึ่งต้องทำก่อนที่จะวัดค่าอื่น ๆ

การทดสอบ DAC

จะทำการทดสอบเฉพาะค่ามาตรที่สำคัญ อันได้แก่

1. การวัด conversion accuracy เท่าที่ทำได้ ก็คือ ป้อนค่าดิจิตอลทางเข้าแล้ววัดค่าสัญญาณออกอนาลอก เนื่องจากมีรหัสได้ถึง 256 แบบ จึงสุ่มวัดเอาเฉพาะบางค่าที่สะดวก ผลการวัดแสดงไว้ในตาราง 5.2-1 เริ่มต้นด้วยการปรับแต่งวงจร DAC ตามวิธีที่กล่าวข้างต้น ซึ่งแสดงด้วยเครื่องหมาย • ในตาราง 5.2-1 เปรียบเทียบค่าที่วัดกับค่าที่คำนวณได้ตามทฤษฎีโดยใช้สมการ (3.2-1) และ (3.2-2) ค่าความผิดพลาดหาได้จากผลต่างของค่าที่วัดได้และค่าตามทฤษฎี แล้วเทียบเป็นเศษส่วนของ LSB เพื่อเปรียบเทียบกับข้อกำหนดของผู้ผลิต DAC ซึ่งให้ไว้ว่าข้อผิดพลาดไม่เกิน $\pm$ 0.5LSB

2. การวัด Conversion time (t_c) ต่อวงจรตามรูป 5.2-2 (ก) เครื่องกำเนิดสัญญาณรูปสี่เหลี่ยมต้องเปลี่ยนระดับจาก 0 V เป็น +4V ซึ่งอยู่ในช่วง TTL logic range และสามารถปรับความถี่ได้ สัญญาณขาเข้าดิจิตอลของ DAC สามารถเลือกให้เป็นสัญญารูปสี่เหลี่ยมหรือเป็น 0 V ก็ได้ เมื่อตั้งสวิทช์ไว้ตามรูป 5.2-2 (ก) เป็นการวัด t_c ในกรณีเลวร้ายที่สุด



รูป 5.2-2 (ก) การต่อวงจรทดสอบ DAC (ข) รูปคลื่นของสัญญาณออกอนาลอก

คือมีการเปลี่ยนแปลงที่ทุกบิท โดยการตั้งความถี่ของเครื่องกำเนิดสัญญาณให้พอเหมาะที่จะวัด settling time (t_s) ตามรูปสัญญาน ในรูป 5.2-2 (ข) ค่า t_c ก็คือค่า settling time ที่วัดได้นั่นเอง

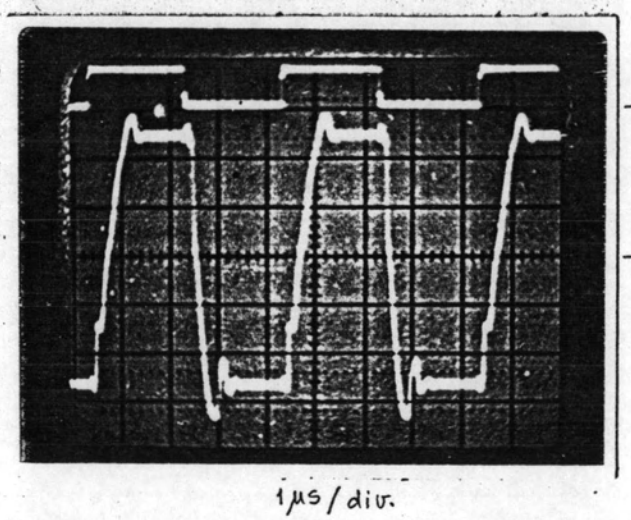
รูป 5.2-3 แสดงภาพถ่ายจากออสซิลโลสโคปที่ได้จากการทดสอบนี้ ส่วนค่า Conversion time (t_c) ที่วัดได้คือ

$$t_c = 1.4\ \mu s$$

5.2.2 ADC แบบขนาน 3 บิท ชุดแรก

วงจรนี้เป็นส่วนหนึ่งของ ADC ที่จะออกแบบขึ้นตามวงจรในรูป 4.3-2 รูปแบบของวงจรจะคล้ายกับวงจรในรูป 4.2-6 แต่การตั้งระดับแรงดันอ้างอิง ไม่เหมือนกัน

ข้อแตกต่างสำคัญระหว่างวงจรในรูป 4.2-6 กับ ADC แบบขนาน 3 บิท ของเราก็คือ ในรูป 4.2-6 เป็นวงจรสำหรับ 3 บิทที่มีนัยสำคัญต่ำสุดส่วน ADC แบบขนาน 3 บิท ชุดแรกนี้เป็นบิทที่ 7, 6 และ 5 ซึ่งยังมีบิทตามหลังมาได้อีก ดังนั้นโดยการจัดรหัสอย่างสม่ำเสมอ[1.4] สำหรับรหัส 3 บิทที่มีนัยสำคัญต่ำสุดจะเริ่มเปลี่ยนรหัสที่ระดับกึ่งกลางของช่วง ตามรูป 5.2-4 (ก)



รูป 5.2-3 แสดงผลการทดสอบ DAC ตามเงื่อนไขที่เลวร้ายที่สุด กล่าวคือทุกบิททางขาเข้าเปลี่ยนแปลงพร้อมกันหมด

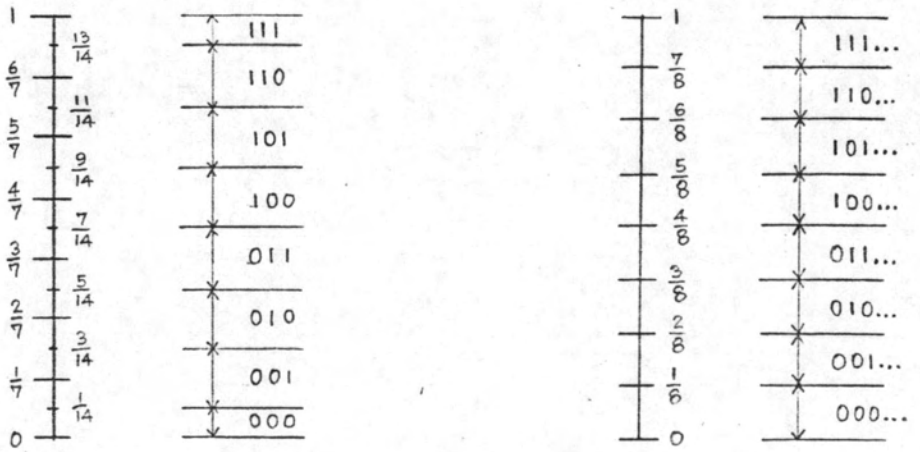
ช่วน ADC 3 บิทที่ยังจะมีบิทตามหลังมาอีกจะเปลี่ยนรหัสที่จุดต่อระหว่างช่วง ทั้งนี้เพราะมันมีบิทที่มีนัยสำคัญต่ำกว่าที่จะเปลี่ยนค่าไปภายในแต่ละช่วง การจัดรหัสจึงเป็นไปตามรูป 5.2-4(ข)

ดังนั้น ADC แบบขนาน 3 บิท ชุดแรกของเราจึงต้องใช้ตัวต้านทาน 8 ตัว สำหรับแบ่งค่าแรงดันอ้างอิง ที่จะจ่ายให้แก่วงจรเปรียบเทียบตามรูป 5.2-5 เนื่องจาก ADC ชุดแรกนี้เปรียบเทียบกับสัญญาณเข้าอนาลอกซึ่งมีค่าระหว่าง $-V_{fs}$ ถึง $+V_{fs}$ (V_{fs} = full scale voltage) จึงจะใช้ค่าแรงดันทั้งสองที่ปลายชุดตัวต้านทานแบ่งแรงดันในรูป 5.2-5

การเลือกแรงดัน V_{fs} มีข้อจำกัดที่ทางภาคเข้าของวงจรเปรียบเทียบในที่นี้เราใช้วงจรเปรียบเทียบเบอร์ LM710 ซึ่งกำหนด differential input voltage range = $\pm$5.0v ตามรูป 5.2-5 กรณีผลต่างแรงดันที่ขาเข้าของวงจรเปรียบเทียบสูงสุดเกิดขึ้นที่ตัวล่างสุด เมื่อ $V_i = +V_{fs}$ V_{fs} ต้องมีค่าตามเงื่อนไข

$$V_{fs} - (\frac{3}{4} V_{fs}) \geq V_{dmax} \qquad (5.2\text{-}7)$$

โดยที่ V_{dmax} = differential input voltage range ในที่นี้แทนค่า V_{dmax} = 5V จะได้



รูป 5.2-4 แสดงการจัดรหัส (ก) 3 บิท นัยสำคัญต่ำสุด (ข) 3 บิทที่ยังมีบิทที่มีนัยสำคัญต่ำกว่าตามมาอีก

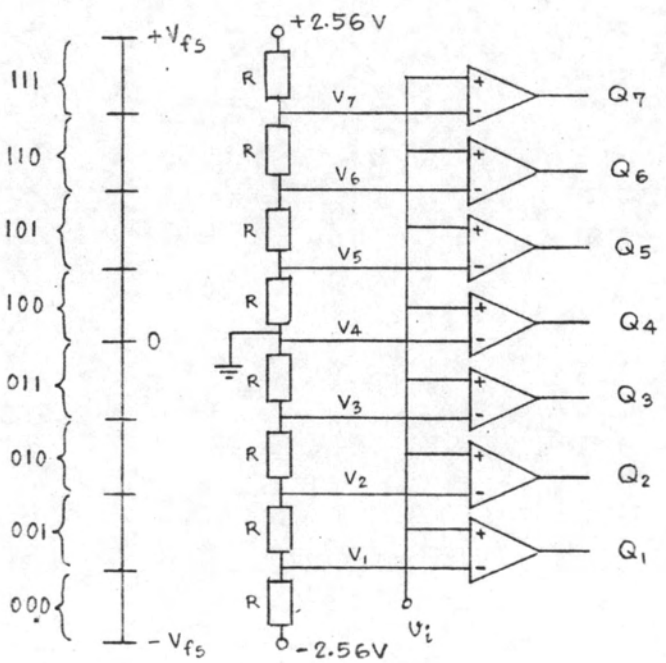
$$V_{fs} \leq 2.86V$$

เพื่อความสะดวกจึงเลือกเลขในชุดที่หารด้วย 2 ลงตัวคือ

$$V_{fs} = 2.56V$$

การแปลงสัญญาณทำได้โดยใช้วงจรเปรียบเทียบ 7 ตัว (สำหรับรหัส 3 บิท) ต่อสัญญาณเข้าอนาลอกเข้าที่เขาเข้าทางบวกของวงจรเปรียบเทียบทุกตัว ส่วนขาเข้าทางลบต่อเข้ากับจุดแบ่งแรงดันด้วยชุดของตัวต้านทานตามวงจรในรูป 5.2-5 สัญญาณออกของวงจรเปรียบเทียบต่อเข้ากับวงจรตรรก (logic) เพื่อแปลงให้เป็นค่าดิจิตอลให้สัญญาณออกของวงจรเปรียบเทียบทั้ง 7 เป็นตัวแปรตรรก Q_1 ถึง Q_7 ตามลำดับนัยสำคัญดังที่ได้แสดงไว้ในรูป 5.2-5 บิทที่มีนัยสำคัญสูงสุด (MSB - most significant bit) จะเป็น "1" เมื่อสัญญาณสูงกว่า V_4 นั่นคือเมื่อ Q_4 = "1" ดังนั้น

$$MSB = Q_4 \qquad (5.2\text{-}8)$$



รูป 5.2-5 แสดงการจัดแรงดันอ้างอิงสำหรับ ADC แบบขนาน 3 บิท ชุดแรก (บิท 7, 6, 5)

บิทที่มีนัยสำคัญอันดับสอง (2SB - second significant bit) เป็น "1" ได้สองช่วงคือ เมื่อ $V_2 \leq v_i \leq V_4$ และเมื่อ v_1 V_6 ดังนั้น

$$2SB = Q_2\overline{Q}_4 + Q_6 \qquad (5.2\text{-}9)$$

บิทที่มีนัยสำคัญต่ำสุด (LSB - least significant bit) เป็น "1" ได้สี่ช่วง คือ เมื่อ V_1 V_1 V_2, V_3 v_i V_4, V_5 v_i V_6 และเมื่อ v_i V_7 ดังนั้น

$$LSB = Q_1\overline{Q}_2 + Q_3\overline{Q}_4 + Q_5\overline{Q}_6 + Q_7 \qquad (5.2\text{-}10)$$

ถ้าจะสร้างวงจรตามสมการทั้งสามนี้ ทันที่ต้องใช้ AND และ OR gate ซึ่งหาได้ยากกว่า NAND หรือ NOR gate นอกจากนี้การหน่วงเวลาของ AND และ OR มากกว่า NAND และ NOR gate เราจึงจะแปลงสมการให้อยู่ในรูปที่สร้างด้วย NAND หรือ NOR gate โดยทั่วไปถ้าสมการอยู่ในรูปของ sum of product สามารถแปลงให้อยู่ในรูปที่ใช้ NAND gate อย่างเดียวได้ ดังนั้นโดยใช้ De Morgan's Law กับสมการ (5.2-9)

$$2SB = \overline{\overline{Q_2\overline{Q}_4\overline{Q}_6}} \qquad (5.2.11)$$

และกับสมการ (5.2-10)

$$LSB = \overline{\overline{Q_1\overline{Q}_2}\ \overline{Q_3\overline{Q}_4}\ \overline{Q_5\overline{Q}_6}\ \overline{Q}_7} \qquad (5.2.12)$$

โดยใช้สมการ (5.2-8), (5.2-11) และ (5.2-12) เราสามารถสร้างวงจรได้ในรูป 5.2-6 ซึ่งจะเห็นได้ว่า Q_6 และ Q_7 ปรากฏเป็นค่า complement เสมอ จึงสลับขาเข้าของ Comparator เพื่อสร้าง $\overline{Q}_6$ และ $\overline{Q}_7$ ขึ้นมาแทน

ตัวต้านทานที่ใช้ในวงจรสร้างแรงดันอ้างอิงใช้ Resistor array เบอร์ RA08 - 100N ซึ่งเป็นตัวต้านทานขนาด 100 Ω แปดตัวอยู่ใน package เดียวกัน ข้อดีก็คือ resistance matching ดีมาก ค่าความต้านทานของตัวต้านทานใน package เดียวกันจะต่างกันไม่เกิน 0.2 % แม้ว่าค่าความต้านทานสัมบูรณ์ของมันอาจจะผิดพลาดได้ถึง ± 2 % อีกประการหนึ่งการเปลี่ยนแปลงค่าความต้านทานต่ออุณหภูมิที่เปลี่ยนไปของค่าต้านทานทุกตัวใกล้เคียงกันมาก คือต่างกันเพียง 2 ppm/^oC เมื่อนำมาใช้งานในที่นี้มันจะทำหน้าที่แบ่งแรงดันได้อย่างสม่ำเสมอ และ

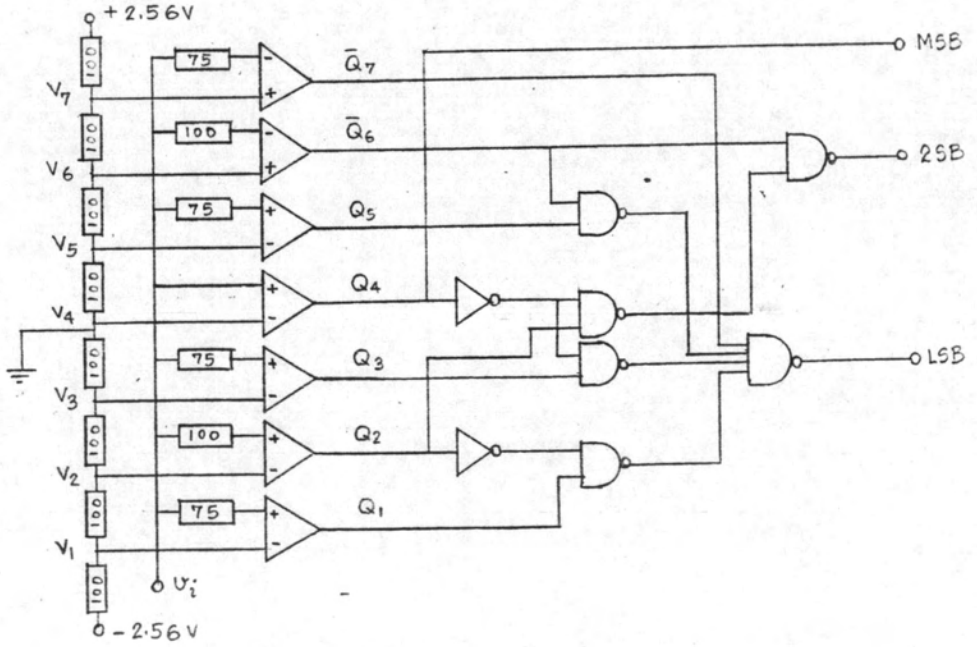
คงที่แม้ว่าอุณหภูมิจะเปลี่ยนไป

เพื่อให้กระแสภาคเข้าของวงจรเปรียบเทียบสมดุลย์กันทั้งสองขา จึงต้องใส่ความต้านทานที่ขาเข้าด้านที่ต่อกับ v_i ด้วยค่าต่าง ๆ ดังที่แสดงให้วงจรรูป 5.2-6 โดยใส่ค่าความต้านทานให้เท่ากับ ความต้านทานที่มองจากขาเข้าอีกขาหนึ่งลงดิน เช่น สำหรับวงจรเปรียบเทียบตัวบนสุด ขาเข้าทางบวกมองเห็นความต้านทานต่อลงดินมีค่า

$$R_s+ = \frac{100 \times 300}{100 + 300} = 75\ \Omega$$

จึงต้องต่อตัวต้านทานขนาด 75 Ω จาก v_1 เข้าไปยังขาเข้าทางลบของมันดังนี้เป็นต้น

จากการสร้างและทดสอบวงจรในรูป 5.2-6 พบปัญหาที่วงจรเปรียบเทียบตัวโดยการป้อน v_1 เป็นสัญญาณไฟตรงที่ปรับระดับแรงดันต่าง ๆ ผลการทดสอบพบว่าในช่วงที่แรงดันที่ขาเข้าทั้งสองมีค่าใกล้เคียงกัน จะเกิด Oscillation ที่ขาออกของวงจรเปรียบเทียบ ทั้งนี้เพราะ[2.5] วงจรเปรียบเทียบก็คือวงจรขยายที่มีอัตราขยายแรงดันสูง slew rate สูงและทำงานโดยไม่มี feedback compensation ถ้าเกิดมี parasitic feedback ที่มาจาก



รูป 5.2-6 วงจร ADC แบบขนานขนาด 3 บิท ที่ออกแบบครั้งแรก

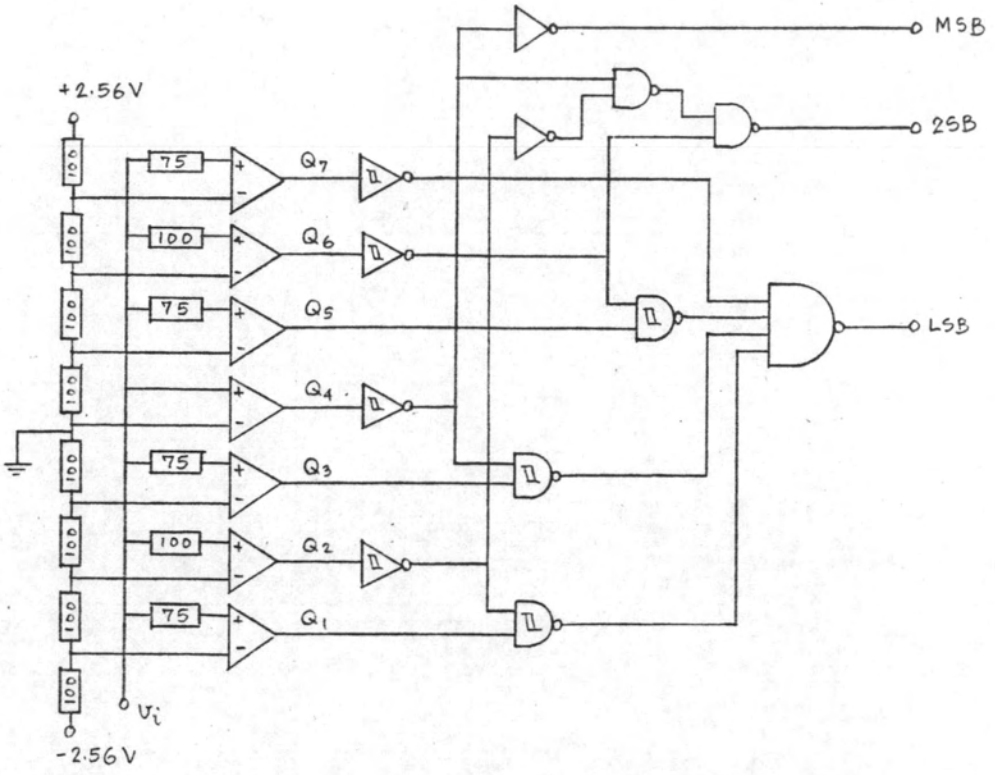
แหล่งจ่ายไฟตรง หรือเนื่องมาจากการออกแบบลายแผ่นวงจรไม่ดี เช่น สัญญานออก ซึ่งมีการเปลี่ยนแปลงอย่างรวดเร็วอยู่ใกล้กับขาเข้าของวงจรเปรียบเทียบ ก็จะทำให้เกิด Oscillation ขึ้นได้

วิธีแก้ปัญหาบางแบบสำหรับออพแอมป์ก็ใช้กับวงจรเปรียบเทียบไม่ได้[2.5] เช่น การเพิ่ม Capactive Coupling จากขาออกมายังขาเข้าทางลบ ซึ่งใช้กันโดยทั่วไปสำหรับออพแอมป์จะยิ่งเพิ่ม ringing ซึ่งเป็นคลื่นความถี่สูงที่ปนมาที่สัญญาณออกของวงจรเปรียบเทียบซึ่งปกติควรจะเป็นแรงดัน "0" หรือ "1" เรียบ ๆ หรือมิฉะนั้นก็กลายเป็น Oscillation ไปเลย หรือ Power supply leads decoupling โดยใช้ตัวเก็บประจุแบบ disc ceramic ค่าประมาณ 0.01μF - 0.1μF ต่อระหว่างขาที่ต่อกับแหล่งจ่ายไฟตรงกับดินมักจะไม่ได้ผล

การแก้ปัญหาที่ดี[2.5] ทำโดยการชิลด์ขาเข้าของวงจรเปรียบเทียบจากขาออกของมันโดยใช้ ground plane ซึ่งจะได้ผลดีก็ต้องใช้แผ่นวงจรพิมพ์แบบที่มีทองแดงสองหน้า แต่แผงวงจรที่ได้สร้างขึ้นเป็นแบบมีทองแดงหน้าเดียว การจัดอุปกรณ์ก็หนาแน่นมาก โอกาสที่สัญญาณออกจะรบกวนขาเข้าของวงจรเปรียบเทียบมีได้มาก ได้ทดลองตัดต่อสายทองแดงของแผงวงจรที่สร้างขึ้นโดยใช้สายโยงแทนสายทองแดงในบางช่วง เพื่อหลีกเลี่ยง Capacitive Coupling แต่ก็ไม่ได้ผล ในขั้นนี้เราจะสรุปว่าการแก้ปัญหา Oscillation ยังสามารถทำได้โดยอาศัยการออกแบบสายทองแดงของแผ่นวงจรให้ถูกต้องตามหลักการที่ได้กล่าวแล้วข้างต้น รวมทั้งหลักการอื่น ๆ ที่พบได้ในเอกสาร ที่เกี่ยวเนื่องกับข้อระมัดระวังในการใช้อุปกรณ์ที่มีความไวสูงเช่น ออพแอมป์ที่มี slew rate สูง ๆ เป็นต้น

ในการแก้ปัญหา Oscillation นี้ได้ใช้ logic gate จำพวกที่มีวงจรภาคเข้าเป็น Schmitt trigger[1.10] โดยคิดว่า Hysteresis window ของมันจะช่วยลด oscillation จึงแก้วงจรให้เป็นไปตามรูป 5.2-7 มีการปรับปรุงวงจรให้ดีขึ้นอีกประการหนึ่งก็คือจัดให้การต่อขาเข้าของวงจรเปรียบเทียบให้เหมือนกันหมด กล่าวคือสัญญาน v_i ต่อเข้ากับขาเข้าทางบวกเหมือนกันทุกตัว ทั้งนี้จากการทดสอบในตอนแรกพบว่า จุดเริ่มต้นที่สัญญาณออกจะเปลี่ยนค่าจะต่างกันถ้าต่อ v_i เข้ากับขาเข้าต่างกัน

วงจรในรูป 5.2-7 ยอมให้เกิดoscillation ที่วงจรเปรียบเทียบวงจรตรรกที่ต่อโดยตรงกับวงจรเปรียบเทียบใช้อุปกรณ์ที่มีภาคเข้าเป็น Schmitt trigger ทันทีเพื่อหยุด



รูป 5.2-7 วงจร ADC แบบชนาน 3 บิทที่ปรับปรุงใช้ Schmitt trigger

oscillation ไม่ให้ข้ามไปที่วงจรภาคต่อ ๆ ไป แต่จากผลการทดสอบปรากฏว่า oscillation จะลดลงไปบ้างเมื่อผ่าน Schmitt trigger แต่ก็ยังมี oscillation เหลืออยู่

การแก้ปัญหาในขั้นต่อไปเป็นการแก้ที่วงจรเปรียบเทียบแรงดัน ซึ่งเป็นตัวเกิด oscillation โดยการป้อนกลับแบบบวกขนาดน้อย ๆ จะทำให้ตัวเปรียบเทียบแรงดันมีสมบัติเป็น Schmitt trigger[1.10,8] คือมีลักษณะ Hysteresis ตามในรูป 5.2-8 ช่วงที่เป็น "หน้าต่าง" (Window) เป็นช่วงที่มีค่าได้สองค่าแล้วแต่ทิศการเปลี่ยนแปลง สมมุติว่าเดิมจุดทำงานของมันอยู่ที่จุด X เมื่อเกิดการเปลี่ยนแปลงไปทางบวกเล็กน้อย สัญญาณออกจะเปลี่ยนจาก 0 เป็น 1 ซึ่งเป็นลักษณะของการเริ่ม oscillation แต่เมื่อผลต่างแรงดันทางเข้าเปลี่ยนกลับมาเท่ากับจุดเดิมที่ X สัญญาณออกจะยังคงเป็น 1 ที่จุด Y เท่ากับว่า oscillation ได้หยุดไป

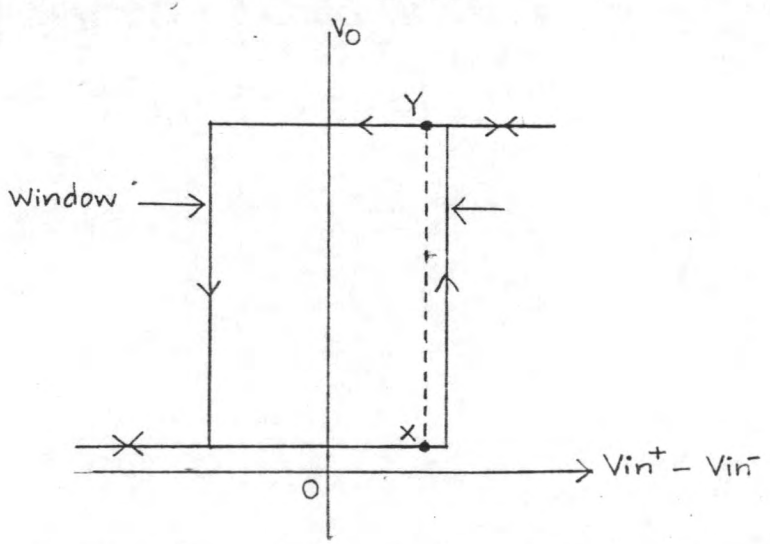
ข้อเสียของการมีคุณสมบัติเป็น Hysteresis ก็คือถ้าช่วง "หน้าต่าง" กว้างเกินไปจะเป็นการเพิ่มข้อผิดพลาดในการแปลงรหัส เพราะเพิ่มช่วงที่ตัดสินไม่ได้เด็ดขาด (ช่วงหน้าต่าง)

ให้แก่วงจร ADC

สำหรับวงจร ADC ที่สร้างขึ้น ได้ทดลองป้อนกลับแบบบวกโดยใช้ตัวต้านทาน 47K ต่อจากขาออกของตัวเปรียบเทียบกลับมายังขาเข้าทางบวกของมัน ผลก็คือ ขนาดของ oscillation ลดลงบ้าง แม้จะลดค่าตัวต้านทานนี้ลงจนมีค่า 10K oscillation ก็ยังเหลืออยู่ เนื่องจากเกรงว่าจะเกิดข้อผิดพลาดในการแปลงรหัสดังกล่าว จึงไม่ใช้วิธีแก้ปัญหาวิธีนี้

แม้เราจะไม่สามารถแก้ปัญหา oscillation ของวงจร ADC ที่ได้สร้างขึ้นมาก็ตาม แต่ก็มีวิธีการลดผลของมันที่มีต่อการแปลงรหัสโดยการเพิ่มขนาดของ LSB[2.5] ซึ่งเป็นการเพิ่มขนาดของก้าวนาลอกที่จะแทนได้ด้วยค่าดิจิตอล ในวงจรของเราก็คือการเพิ่มค่า V_{fs} นั่นเอง ทำให้ช่วงผลต่างของแรงดันขาเข้าของวงจรเปรียบเทียบที่จะเกิด oscillation เป็นส่วนน้อยของช่วง 1 LSB สำหรับ ADC 3 บิทแรก เราได้เลือกค่า V_{fs} ใกล้เคียงค่าสูงสุดที่จะทำได้อยู่แล้ว ส่วน ADC ที่มีนัยสำคัญรองลงมายังจะสามารถเพิ่ม V_{fs} ได้ ซึ่งจะได้กล่าวถึงต่อไป

การทดสอบ ADC 3 บิทชุดแรกนี้ทำโดยการป้อนแรงดันไฟตรงเข้าที่ขาเข้า v_i และเปลี่ยนค่าไปเพื่อวัดดูการเปลี่ยนแปลงของสัญญาณออกดิจิตอล ผลการทดสอบบันทึกไว้ในตาราง 5.2-2 โดยทำการวัดช่วงสัญญาณเข้าที่จะได้รหัสต่าง ๆ ช่วงที่ขาดหายไปจากช่วงที่วัดได้เป็นช่วงที่ไม่มีความแน่นอน เพราะเกิด oscillation



รูป 5.2-8 ลักษณะ Hysteresis ของตัวเปรียบเทียบแรงดัน

การทดสอบวิธีนี้อ่านค่าแรงดันได้ละเอียดแต่มีความเชื่อถือได้ค่อนข้างต่ำ เพราะการปรับแรงดันไฟตรงให้อยู่ในระดับต่างกันในระดับ 10 mV ทำได้ยากมาก ในบางช่วง เช่น ในช่วงที่สัญญาณเข้าใกล้ ๆ 0 V ช่วงที่วงจรเกิด oscillation ครอบเกี่ยวไปถึงช่วงอื่น ทำให้วัดค่าไม่ได้

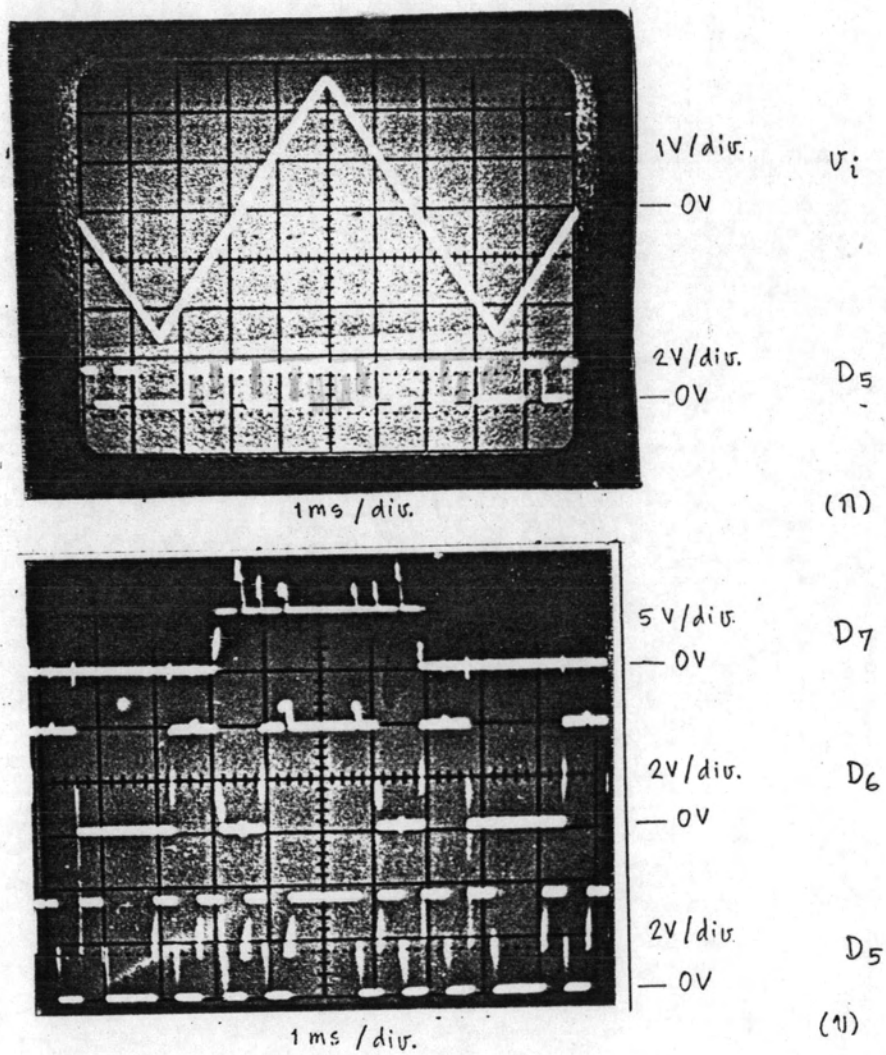
รหัสดิจิตอล	ช่วงสัญญาณเข้าตามทฤษฎี	ช่วงสัญญาณเข้าที่วัดได้	ช่วงไม่มีความแน่นอน
111	$V_1 \geq 1.92V$	$V_i \geq 2.09V$	1.72V-2.09V
110	1.28V-1.92V	1.55V-1.72V	1.12 -1.55V
101	0.64V-1.28V	0.83V-1.12V	(-0.77)V-0.83V
100	0 V-0.64V	วัดไม่ได้	
011	(-0.64)V-0 V	วัดไม่ได้	
010	(-1.28)V-(-0.64)V	(-0.91)V-(0.77)V	(-1.44)V-(-0.91)V
001	(-1.92)V-(-1.28)V	(-1.74)V-(1.44)V	(-2.07)V-(-1.74)V
000	$V_i \leq -1.92V$	$V_i \leq -2.07V$	

ตาราง 5.2-2 ผลการทดสอบ ADC แบบขนาน 3 บิทชุดแรก

การทดสอบที่สะดวกกว่าวิธีหนึ่งก็คือการใช้สัญญาณคลื่นสามเหลี่ยมป้อนเข้าที่ขาเข้า ซึ่งจะแทนการปรับแรงดันขาเข้าด้วยมือ แล้วดูสัญญาณออกดิจิตอลผลที่ได้แม้การวัดค่าจะไม่ละเอียดนักเพราะเป็นการวัดโดยใช้ออสซิลโลสโคป แต่ก็เป็นการทดสอบที่สามารถเห็นภาพรวมของ ADC ได้เป็นอย่างดี รูป 5.2-9 เป็นภาพที่ได้โดยการทดสอบใช้สัญญาณคลื่นสามเหลี่ยมที่มีขนาดเกิน $\pm V_{fs}$ เล็กน้อย เพื่อดูการเปลี่ยนแปลงของสัญญาณออกดิจิตอลครบทุกค่า

รูป 5.2-10 (ก) เป็นการขยายให้เห็นส่วนที่เกิด oscillation ทั้งขณะสัญญาณเข้ากำลังเพิ่มขึ้น และขณะสัญญาณเข้ากำลังลดลง ความจริงแล้วสัญญาณเข้าไม่มี oscillation แต่เป็นการรบกวนจากสัญญาณออกของวงจรเปรียบเทียบ ซึ่งผลดีในการศึกษาช่วง oscillation

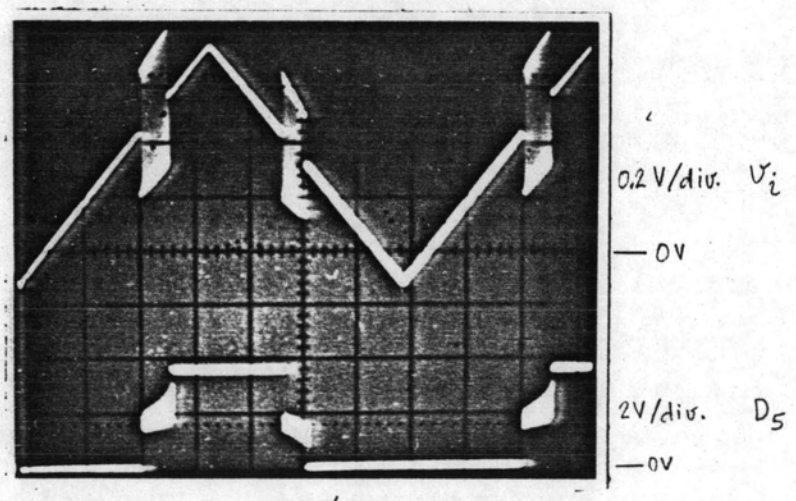
ของวงจรเปรียบเทียบ จะเห็นได้ว่าจุดที่เริ่ม oscillation ไม่ว่าสัญญาณเข้าจะเพิ่มขึ้นหรือลดลง จะเท่ากัน และเท่ากับค่าแรงดัน V_R ที่ตั้งด้วยชุดตัวต้านทานแบ่งแรงดัน ลักษณะการเกิด oscillation เป็นไปตามรูป 5.2-10 (ข) จะเห็นได้ว่ามีลักษณะเป็น Hysteresis ช่วงไม่แน่นอนทางบวกและทางลบรวมกันก็คือช่วงไม่แน่นอนที่วัดได้ในตาราง 5.2-2 นั่นเอง ค่าแรงดันเข้าที่เริ่มเปลี่ยนรหัสของ ADC แบบขนาน 3 บิท ชุดแรก บันทึกเปรียบเทียบกับค่าทางทฤษฎีในตาราง 5.2-3



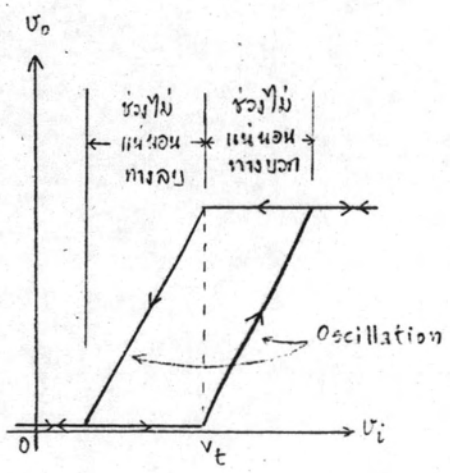
รูป 5.2-9 ภาพถ่ายสัญญาณต่าง ๆ จากการทดสอบ ADC แบบขนาน 3 บิทแรก (ก) เปรียบเทียบสัญญาณเข้ากับสัญญาณดิจิตอลที่มีนัยสำคัญต่ำสุด (ข) สัญญาณดิจิตอลทั้ง 3 บิทซึ่งแสดงรหัสครบทั้ง 8 ค่า จาก 000 ถึง 111

จุดเปลี่ยนรหัส	แรงดันตามทฤษฎี(V)	แรงดันที่วัดได้(V)	ช่วงไม่แน่นอน ทางบวก(V)	ช่วงไม่แน่นอน ทางลบ(V)
000 - 001	1.920	1.9	0.15	0.1
001 - 010	1.280	1.29	0.06	0.08
010 - 011	0.640	0.64	0.14	0.09
011 - 100	0.000	0.002	0.15	0.11
100 - 101	-0.640	-0.65	0.09	0.09
101 - 110	-1.280	-1.29	0.07	0.016
110 - 111	-1.920	-1.9	0.07	0.09

ตาราง 5.2-3 แรงดันของสัญญาณเข้าที่จุดเปลี่ยนรหัสต่าง ๆ ของ ADC แบบขนาน 3 บิทชุดแรก



(ก)



(ข)

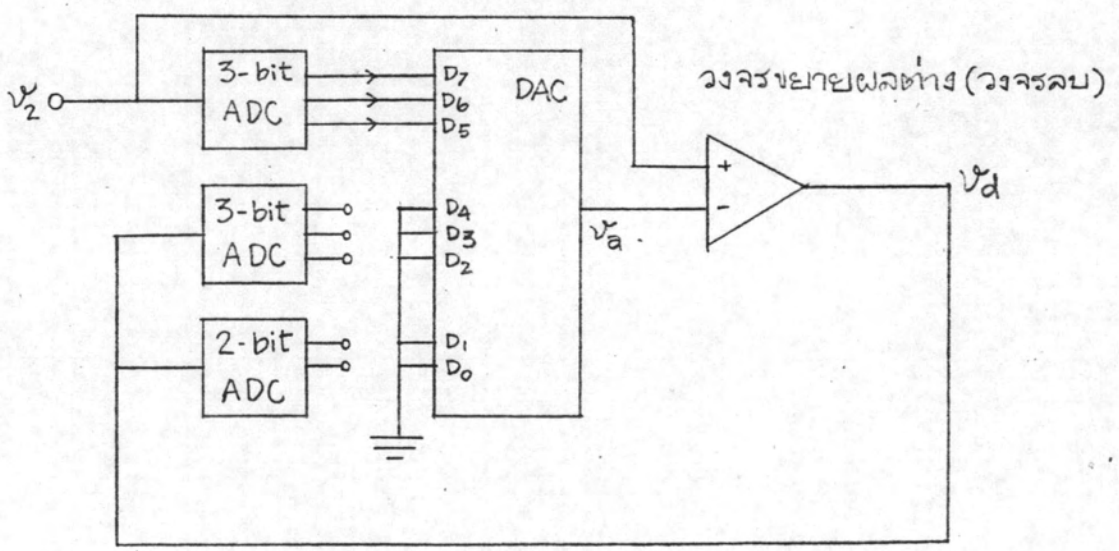
รูป 5.2-10 (ก) รายละเอียดการเกิด oscillation (ข) ลักษณะสมบัติของการเปลี่ยนแปลงค่าของสัญญาณดิจิทอล

5.2.3 ADC แบบขนาน 3 บิทชุดที่สอง

เป็น ADC ที่มีนัยสำคัญรองลงมาจากชุดแรก ทำหน้าที่แปลงค่าที่เหลือจากการลบสัญญาณที่ได้จาก DAC ตามค่าดิจิตอล 3 บิทแรก ของ ADC ชุดแรก ออกจากสัญญาณเข้า ตามรูป 5.2-11 ซึ่งเป็นการทำงานของวงจร ADC รวมในช่วงระหว่างพัลส์ C_1 และ C_2 ในรูป 4.3-2

เนื่องจากวิธีจัดรหัสของ ADC แบบขนาน 3 บิทแรก จะทำให้ผลที่ได้จากวงจรลบ v_d เป็นบวกเสมอ ตามรูป 5.2-11 ถ้าสัญญาณเข้า v_i มีค่าระหว่าง -2.56V ถึง -1.92V รหัสดิจิตอลที่ได้คือ 000 สัญญาณออกที่ได้จาก DAC คือ v_d มีค่า -2.56V ดังนั้น $v_d = v_i - v_a$ จะมีค่าเป็นบวก โดยพิจารณาในทำนองเดียวกันนี้สำหรับแรงดันช่วงต่าง ๆ ที่ได้จากการแบ่งของชุดตัวต้านทานแบ่งแรงดัน จะสรุปได้ว่า v_d มีค่าเป็นบวกเสมอในช่วงแรงดันใช้งานของสัญญาณอนาลอก (-2.56V ถึง +2.56V) ดังนั้นแรงดันอ้างอิงที่ใช้สำหรับชุดตัวต้านทานแบ่งแรงดันของ ADC แบบขนาน 3 บิทชุดที่สองจึงใช้ค่าต่ำสุด เป็น 0 V และค่าสูงสุดเป็นบวกขนาดเท่ากับแรงดันตกคร่อมตัวต้านแบ่งแรงดัน 1 ตัว ใน ADC 3 บิทชุดแรก

แรงดันอ้างอิงสูงสุดของ ADC ชุดที่สอง = 2.56/4 = 0.64V



รูปที่ 5.2-11 แสดงวงจร ADC ทั้งหมด ในช่วงแรกของการทำงาน คือเป็นช่วงระหว่างพัลส์ C_1 และ C_2 ในรูป 4.3-2

ค่าแรงกันอ้างอิงค่านี้ใช้กรณีที่วงจรลบมีอัตราขยายเป็น 1 แต่เนื่องจากเราต้องการลดผลของ oscillation โดยการเพิ่มค่า V_{fs} ตามที่ได้กล่าวถึงในตอน 5.2.2 จึงต้องใช้วงจรลบที่มีอัตราขยายเพื่อให้แรงกันอ้างอิงมีค่าสูงขึ้น ให้ A_d เป็นอัตราขยายของวงจรลบ ดังนั้น

$$V_d = A_d (V_i - V_a) \qquad (5.2\text{-}13)$$

และแรงกันอ้างอิงของ ADC ชุดที่สอง (V_{r2}) เพิ่มจากค่า 0.64V เป็น

$$V_{r2} = 0.64A_d \qquad (5.2\text{-}14)$$

เนื่องจากเรามีแรงกันอ้างอิง 2.56V สำหรับ ADC 3 บิทชุดแรกแล้ว เราจะใช้แรงกันค่านี้สำหรับ V_{r2} เพื่อลดความจำเป็นในการสร้างวงจรจ่ายแรงกันไฟตรงไปชุดหนึ่ง โดยการเลือก V_{r2} = 2.56V อัตราขยายของวงจรลบคำนวณได้จากสมการ (5.2-14)

$$A_d = 2.56/0.64 = 4$$

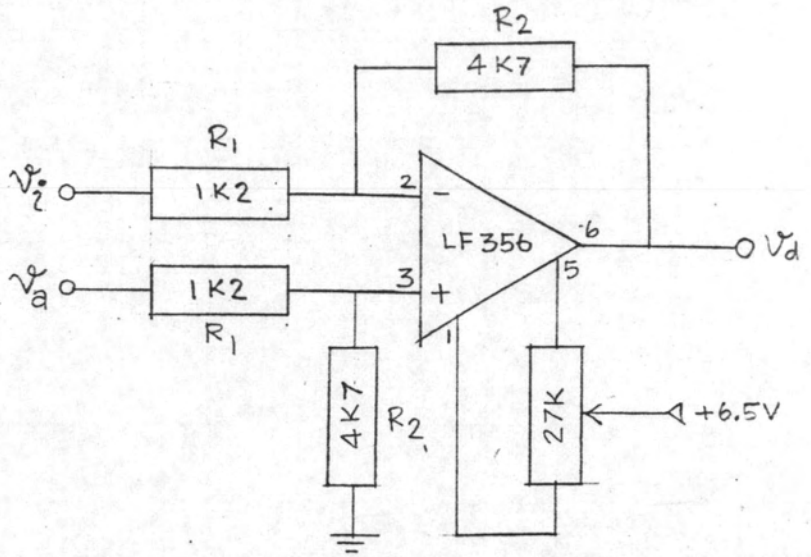
วงจรลบที่จะออกแบบใช้งานเป็นวงจรขยายความแตกต่างแบบสมดุลย์พร้อมกับวงจรปรับแรงกันออฟเซท แสดงไว้ในรูป 5.2-12 มีอัตราขยาย

$$A_d = \frac{R_2}{R_1} \qquad (5.2\text{-}15)$$

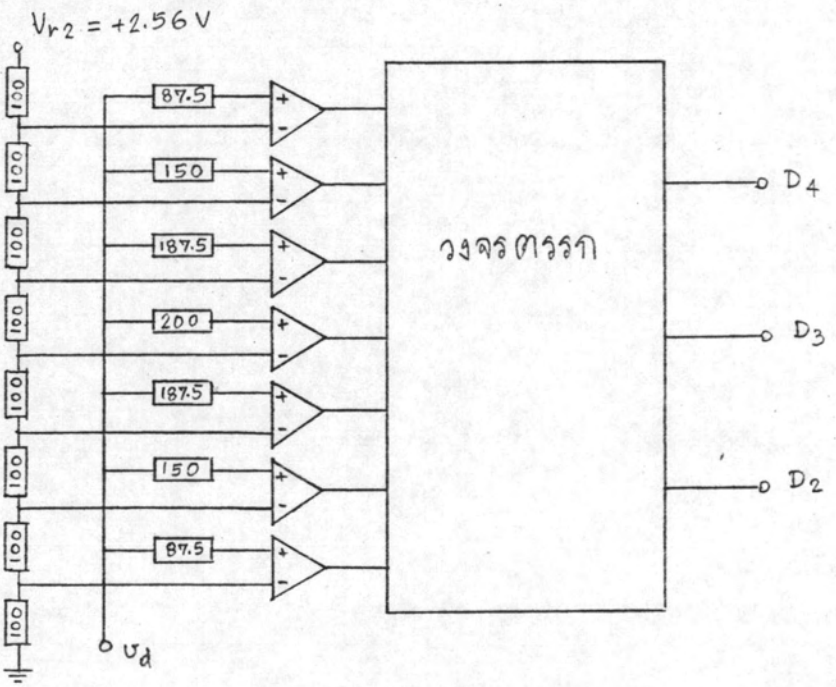
โดยการเลือก R_1 = 1.2KΩ คำนวณค่า R_2 = 4 x 1.2 = 4.8KΩ ในวงจรใช้งานจริงใช้ R_2 = 4.7KΩ ความผิดพลาดของอัตราขยายประมาณ 2 % ค่าเหล่านี้แสดงไว้ในรูป 5.2-12

สำหรับวงจร ADC แบบชนาน 3 บิทชุดที่สองเนื่องจากยังไม่ใช่ชุดที่มีนัยสำคัญต่ำสุด การจัดชุดตัวต้านทานแบ่งแรงดันจึงคล้ายกับของ ADC ชุดแรกโดยใช้แรงดันอ้างอิงที่ได้เลือกไว้แล้ว และใช้ตัวต้านทานที่ขาเข้าทางบวกของวงจรเปรียบเทียบให้สมดุลย์กับความต้านทานที่มองจากขาเข้าทางลบของมันวงจรที่ได้แสดงในรูป 5.2-13 ส่วนที่เป็นวงจรตรรกจะเหมือนกับของ ADC 3 บิทชุดแรก

การทดสอบจะทำเช่นเดียวกับ ADC 3 บิทชุดแรก โดยใช้คลื่นรูปสามเหลี่ยมที่มีค่าจากค่าลบเล็กน้อย จนถึงค่ามากกว่า +2.56V เล็กน้อยเพื่อให้สัญญาณออกดิจิตอลเกิดครบทุกค่า

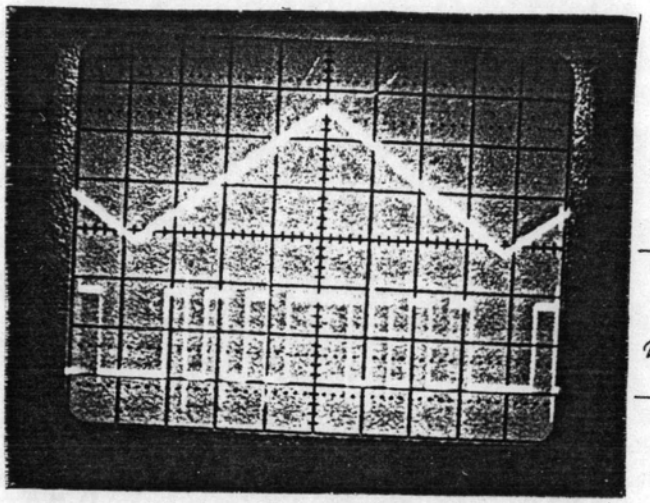


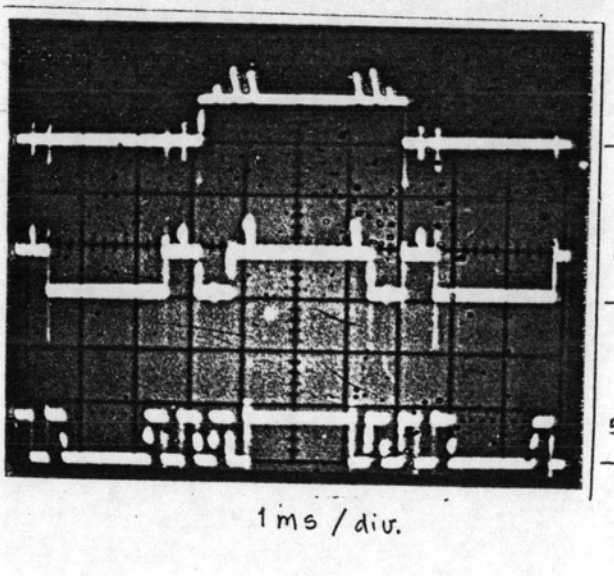
รูป 5.2-12 วงจรขยายความแตกต่างแบบสมดุลย์ที่ใช้เป็นวงจรลบ



รูป 5.2-13 วงจร ADC แบบขนาน 3 บิท ชุดที่สอง ส่วนที่เป็นวงจรตรรก เหมือนกับของ ADC 3 บิทชุดแรกในรูป 5.2-7

ผลการทดสอบแสดงในรูป 5.2-14 และตาราง 5.2-4





รูป 5.2-14 ภาพถ่ายสัญญาณต่าง ๆ จากการทดสอบ ADC แบบขนาน 3 บิทชุดที่สอง (ก) เปรียบเทียบสัญญาณเข้ากับบิทที่มีนัยสำคัญต่ำสุด (ข) สัญญาณดิจิตอลทั้ง 3 บิทแสดงรหัสครบทั้ง 8 ค่าจาก 000 ถึง 111

จุดเปลี่ยนรหัส	แรงดันตามทฤษฎี(V)	แรงดันที่วัดได้(V)	ช่วงไม่แน่นอนทางบวก(V)	ช่วงไม่แน่นอนทางลบ(V)
000 - 001	0.320	0.32	0.03	0.016
001 - 010	0.640	0.64	0.066	0.018
010 - 011	0.960	0.94	0.024	0.016
011 - 100	1.280	1.3	0.018	0.034
100 - 101	1.600	1.6	0.01	0.01
101 - 110	1.920	1.9	0.07	0.04
110 - 111	2.240	2.25	0.02	0.02

ตาราง 5.2-4 แรงดันของสัญญาณเข้าที่จุดเปลี่ยนรหัสต่าง ๆ ของ ADC แบบขนาน 3 บิทชุดที่สอง

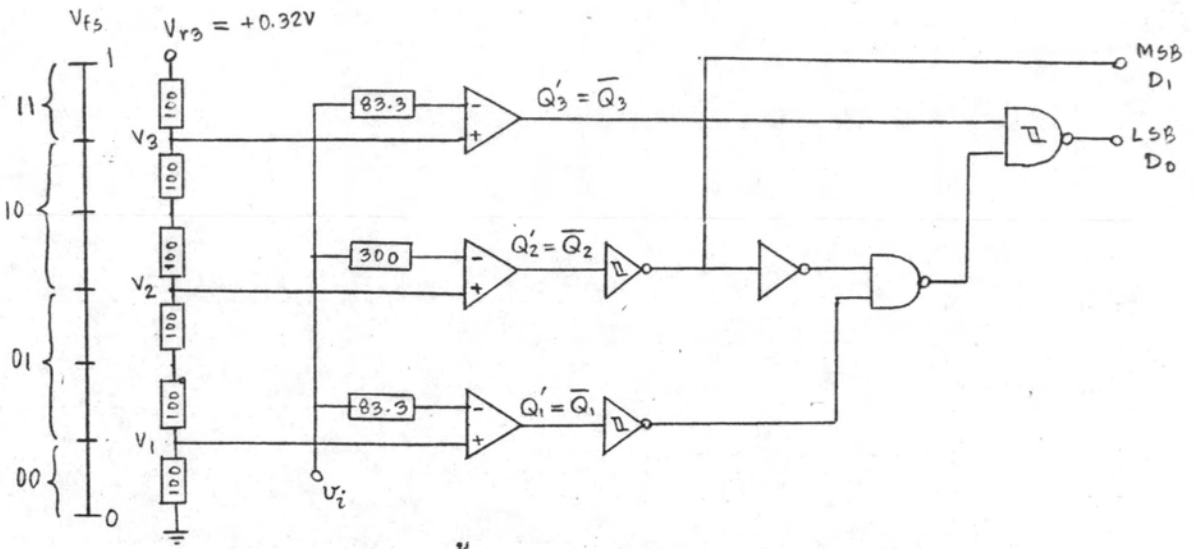
5.2.4 ADC แบบขนาน 2 บิท

เนื่องจากวงจรนี้เป็นชุดที่มีนัยสำคัญต่ำสุดจึงจัดรหัสแบบในรูป 5.2-4 (ก) ในช่วงที่ ADC ชุดนี้ทำงาน ขา D_4, D_3 และ D_2 ของ DAC ในรูป 5.2-11 จะต่อกับ ADC 3 บิท แทนที่จะต่อลงดิน ซึ่งในกรณีเช่นนี้ v_2 ก็ยังคงเป็นบวกเสมอ แรงดันอ้างอิงที่ปลายล่างของชุดตัวต้านทานแบ่งแรงดันจึงเป็น 0 V ส่วนแรงดันอ้างอิงปลายบนจะเท่ากับ 1 หน่วยย่อยของแรงดันอ้างอิงที่แบ่งด้วยตัวต้านทาน 1 ตัว ใน ADC 3 บิท ชุดที่สองนั่นคือ

$$V_{r3} = 2.56/8 = 0.32 \text{ V}$$

วงจร ADC แบบขนาน 2 บิทได้แสดงไว้ในรูป 5.2-15 ส่วนการออกแบบภาควงจรตรรก มีรายละเอียดดังต่อไปนี้

ให้ตัวแปรตรรก Q_1, Q_2 และ Q_3 แทนผลการเปรียบเทียบแรงดันขาเข้ากับแรงดันอ้างอิง MSB จะเป็น "1" เมื่อสัญญาณขาเข้าสูงกว่า V_2 ซึ่งเป็นจุดกึ่งกลางช่วงแรงดันอ้างอิง ดังนั้น



รูป 5.2-15 วงจรใช้งานของ ADC แบบขนานขนาด 2 บิท

$$MSB = Q_2 \qquad (5.2\text{-}13)$$

ส่วน LSB เป็น "1" ได้สองช่วง คือ ช่วงที่ V_1 V_i V_2 และช่วงที่ V_i V_3 ดังนั้น

$$LSB = Q_3 + \overline{Q}_2 Q_1 \qquad (5.2\text{-}14)$$

เนื่องจากต้องการให้สัญญาณออกจากตัวเปรียบเทียบ แรงดันทุกตัวผ่าน Schmitt trigger เราจึงแปลงสมการ (5.2-13) เป็น

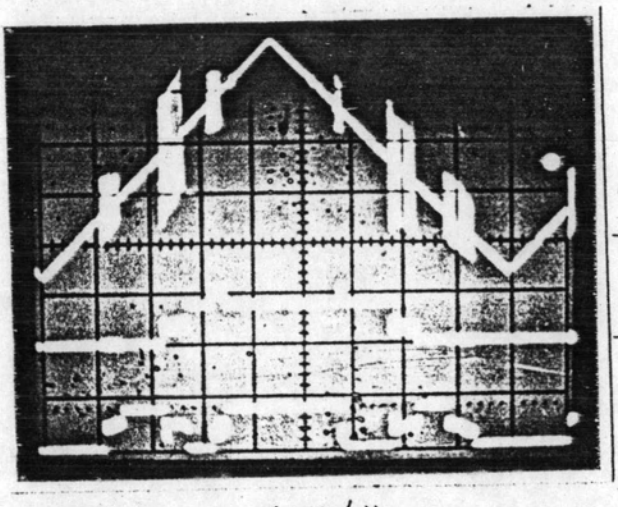
$$MSB = \overline{Q}_2 = \overline{Q}_2$$

และโดยใช้ De Morgan's law จากสมการ (5.2-14) เราได้

$$LSB = \overline{Q}_3 \ \overline{Q}_2 \ Q_1 = Q_3 \ Q_2 \ \overline{Q}_1$$

โดยที่เราสร้าง Q_1, Q_2 และ Q_3 ด้วยการต่อ V_i กับขาเข้าทางลบของวงจรเปรียบเทียบ ดังที่ได้แสดงในรูป 5.2-15

การทดสอบ ADC 2 บิทนี้ทำเช่นเดียวกับชุดอื่น ๆ คือป้อนสัญญาณคลื่นสามเหลี่ยมที่มีการเปลี่ยนแปลงสัญญาณจากค่าลบเล็กน้อยถึงค่ามากกว่า +0.32V เล็กน้อย เพื่อการเปลี่ยนแปลงรหัสของสัญญาณออกดิจิตอล และวัดจุดเปลี่ยนรหัส ผลการทดสอบแสดงในรูป 5.2-16 และ ตาราง 5.2-5



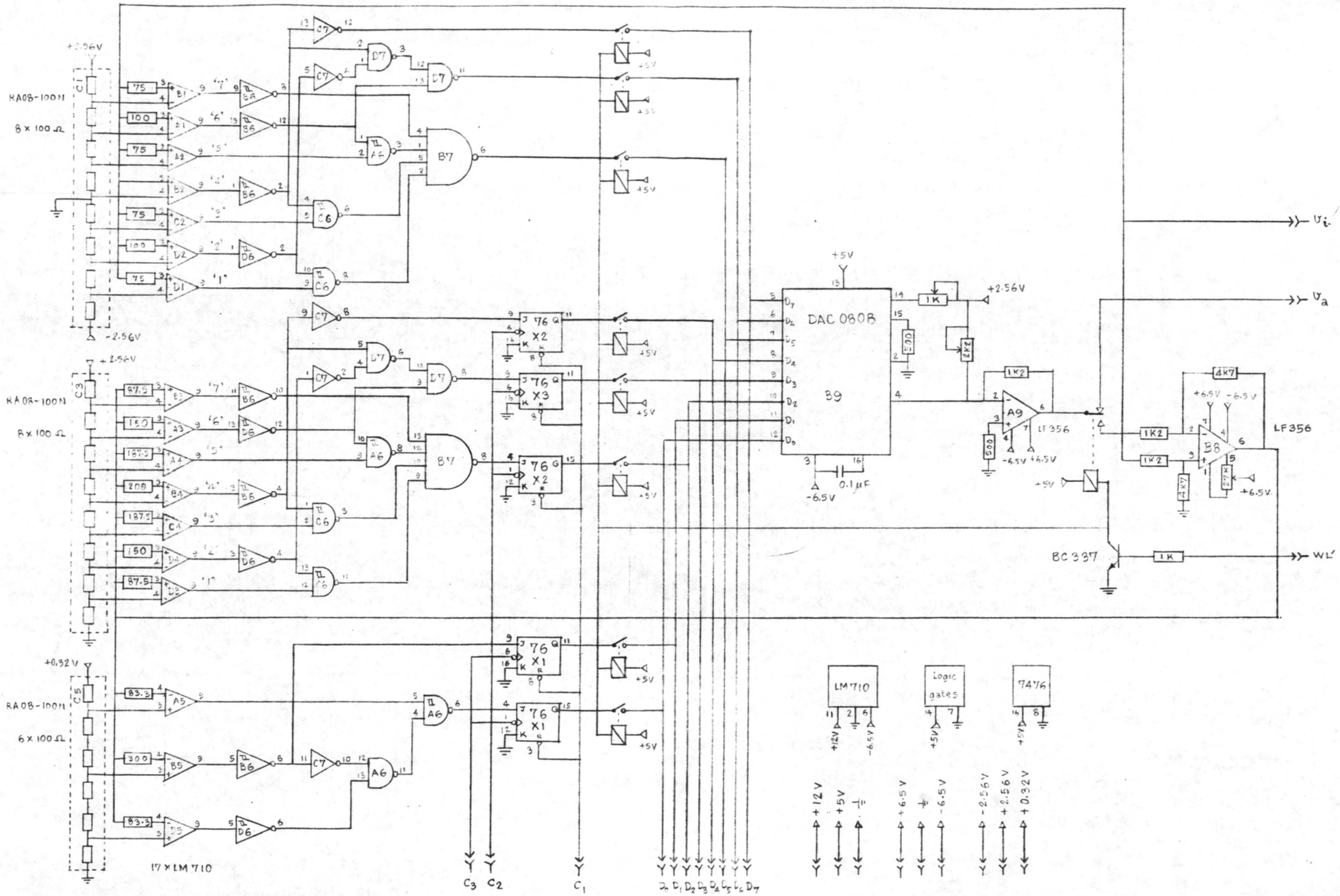
รูป 5.2-16 ภาพถ่ายแสดงสัญญาณจากการทดสอบ ADC แบบขนาน 2 บิท เปรียบเทียบสัญญาณเข้ากับ สัญญาณออกดิจิตอล

จุดเปลี่ยนรหัส	แรงดันตามทฤษฎี(V)	แรงดันที่วัดได้(V)	ช่วงไม่แน่นอน ทางบวก(V)	ช่วงไม่แน่นอน ทางลบ(V)
00 - 01	0.053	0.056	0.026	0.044
01 - 10	0.160	0.16	0.014	0.040
10 - 11	0.267	0.26	0.030	0.028

ตาราง 5.2-5 แรงดันของสัญญาณเข้าที่จุดเปลี่ยนรหัสต่างๆ ของ ADC แบบขนาน 2 บิท

5.2.5 วงจรสมบูรณ์ของแผงวงจรแปลงสัญญาณและการทดสอบ

วงจรสมบูรณ์ของแผงวงจรแปลงสัญญาณแสดงในรูป 5.2-17 ซึ่งได้ออกแบบไว้แล้วในตอน 4.3 และมีบล็อคไดอะแกรมตามที่แสดงในรูป 4.3-3 วงจรนี้ได้รวบรวมเอาวงจรที่ออกแบบไว้แล้วตั้งแต่ต้นของตอน 5.2 นี้ ส่วนที่เพิ่มเติมขึ้นมาคือชุดของ D Flipflop ซึ่งสร้างขึ้นจาก J-K flipflop 7476 สำหรับ latch ค่าดิจิตอลจาก ADC 3 บิทและ 2 บิท ที่มีนัยสำคัญต่ำ ซึ่งมีสัญญาณควบคุม C_1, C_2 และ C_3 ตามรูป 5.2-18 นอกจากนี้ยังมีชุดรีเลย์สำหรับตัด ADC ออกจาก DAC เพื่อให้ DAC รับสัญญาณดิจิตอลที่อ่านจาก RAM



รูป 5.2-17 วงจรสมบูรณ์ของแผงวงจรแปลงสัญญาณ

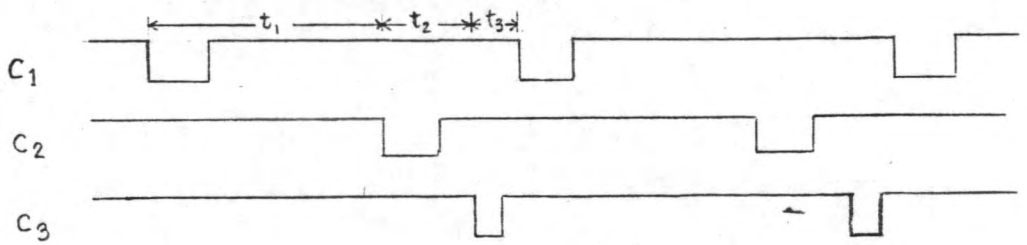
แทนในสภาวะ Read และมีรีเลย์อีกตัวหนึ่งเพื่อตัดสัญญานออกจาก DAC ออกจากวงจรลบ และต่อเข้ากับขาออกที่ต่อไปยังวงจรกรองแทน รีเลย์ ทั้งหมดนี้บังคับโดยสัญญาน $\overline{WL}$

การทดสอบวงจรเราจะทำเฉพาะวงจรรวมของ ADC เพื่อจะรวมผลของ DAC และวงจรลบ ส่วนวงจร DAC ไม่จำเป็นต้องทดสอบอีก ความถูกต้องของ ADC ได้ทำการทดสอบไปแล้ว ไม่จำเป็นที่จะทำอีก ส่วนที่จะทดสอบตอนนี้ก็คือ วัด Conversion time ของ ADC เพื่อใช้เป็นข้อมูลเบื้องต้นสำหรับออกแบบวงจรควบคุม การวัดจะแบ่งเป็นสองตอนดังนี้

5.2.5.1 <u>การวัดเวลาอยู่ตัวของค่าดิจิตอล 6 บิทแรก (t_1 ในรูป 5.2-18)</u>

เป็นการวัดเวลาที่ใช้ในการแปลงสัญญาณ เริ่มจาก ADC 3 บิทแรก ผ่าน DAC กลับมาเป็นสัญญาณอนาลอก ลบกับสัญญานเดิมที่วงจรลบ แล้วผ่าน ADC 3 บิทชุดที่ 2 จนกระทั่งสัญญานดิจิตอล 3 บิทหลังนี้มีค่าอยู่ตัว

วิธีการวัด ต่อไฟตรง 5v เข้าที่ขาเข้าสำหรับสัญญาณ $\overline{WL}$ เพื่อให้รีเลย์ในวงจรทำงาน ทำให้ ADC ต่อเข้ากับ DAC ต่อขาเข้าสำหรับสัญญาณ C_1 ลงดินเพื่อให้สัญญาณเข้าดิจิตอล บิท 4 - บิท 0 ของ DAC เป็น "0" ต่อสัญญาณรูปคลื่นสี่เหลี่ยมที่มีการเปลี่ยนแปลงของสัญญาณมากกว่า ± 2.56v เล็กน้อยเข้าที่ขาเข้าสำหรับสัญญาณอนาลอก (v_i) อันเป็นกรณีเลวร้ายที่สุดเพราะทุกบิทจะต้องเปลี่ยนค่าปรับความถี่คลื่นสี่เหลี่ยมให้พอเหมาะเพื่อวัดเวลาที่ใช้ในการที่ค่าดิจิตอล 6 บิทแรกมีค่าอยู่ตัว ผลการวัดแสดงในรูป 5.2-19

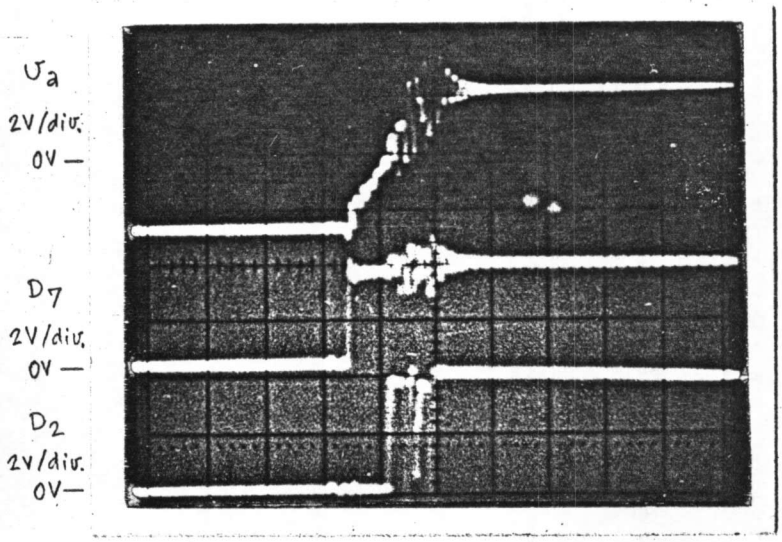


t_1 = เวลาสำหรับให้ค่าดิจิตอล 6 บิทแรกมีค่าอยู่ตัว

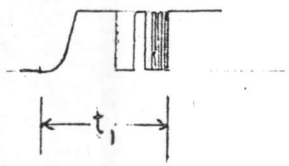
t_2 = เวลาสำหรับให้ค่าดิจิตอล 2 บิทหลังมีค่าอยู่ตัว

t_3 = เวลาสำหรับให้ค่าดิจิตอลทั้ง 8 บิทเก็บไว้ที่วงจร latch ที่แผงวงจรจำ

รูป 5.2-18 แสดงสัญญานควบคุม ADC และความหมายของช่วงเวลาต่าง ๆ



(ก)



t_1 = 700 ns

(ข)

รูป 5.2-19 (ก) ภาพถ่ายสัญญาณการทดสอบ ADC 6 บิทแรก แสดงสัญญาณเข้า และการเปลี่ยนแปลงของบิทที่อยู่ตัวช้าที่สุดในที่นี้คือ D_2 (ข) แสดงการวัด t_1 จากรูปคลื่นที่ได้

5.2.5.2 <u>การวัดเวลาอยู่ตัวของค่าดิจิตอล 2 บิทหลัง (t_r ในรูป 5.2-18)</u>

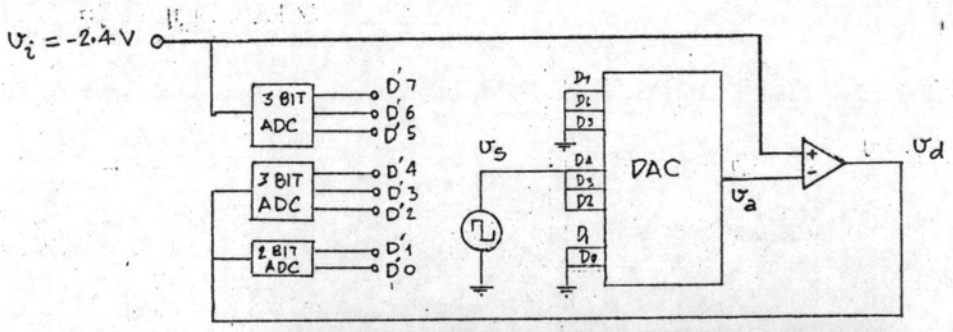
เป็นการวัดเวลาที่ใช้ในการแปลงสัญญานเริ่มจากการนำค่า 3 บิทที่สองจากวงจร ADC เข้าที่ขาเข้าของ DAC (ด้วยขอบด้านลงของสัญญานC_2) ผ่าน DAC ผ่านวงจรลบ ผ่าน ADC ขนาด 2 บิท จนกระทั่งค่าดิจิตอล 2 บิทนี้มีค่าอยู่ตัว

วิธีการวัดทำโดยต่อวงจรตามรูป 5.2-20 (ก) ปล่อยขาเข้าสำหรับ W_L' ให้ลอย ๆ เพื่อไม่ให้รีเลย์ในวงจรทำงาน ADC ทุกชุดจะถูกตัดออกจาก DAC ต่อสัญญาณรูปคลื่นสี่เหลี่ยม (v_s) ที่มีการเปลี่ยนแปลงของสัญญาณระหว่าง 0 ถึง 5V เข้าที่ขาเข้า D_4,D_3 และ D_2 ของ DAC ส่วนขาเข้าบิทที่เหลือต่อลงดิน ต่อแรงดันไฟตรงค่าประมาณ -2.4V เข้าที่ขาเข้าสำหรับสัญญาณอนาลอก (v_i) แรงดันค่าที่เพียงพอที่จะทำให้สัญญาณออกของวงจรลบ (v_2) มีค่ามากกว่า +0.32V เพื่อให้สัญญาณออกของ ADCแบบขนานขนาน 2 บิท (D_1' และ D_0') เป็น "1" ทั้งคู่ในขณะสัญญาณ v_s เป็น "0" และขณะ v_s เป็น "1" v_d จะเป็นค่าลบเล็กน้อย ซึ่งทำให้ D_1' และ D_0' เป็น "0" นั่นคือการที่ v_s เปลี่ยนแปลงค่าจะทำให้ D_1'

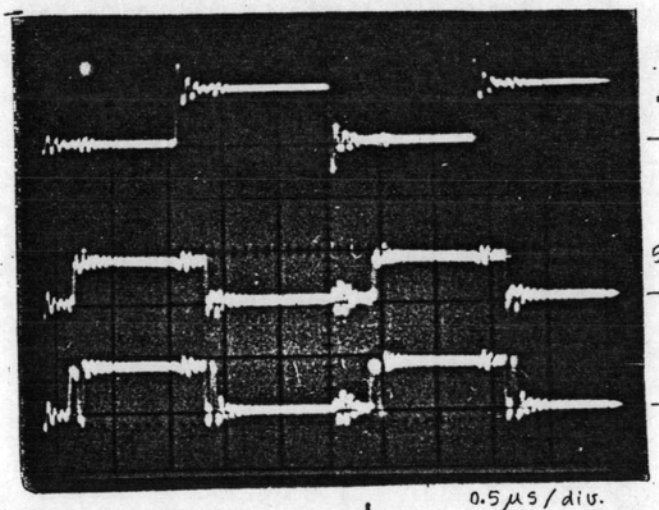
และ D_0' เปลี่ยนค่า รูป 5.2-20 (ข) แสดงการเปลี่ยนแปลงของสัญญาณต่าง ๆ t_2 วัดจากเวลาอยู่ตัวของบิทที่ช้าที่สุดในที่นี้คือ D_0 ซึ่งวัด t_2 ได้ 450 ns

ส่วน t_3 ในภาพ ส่วนหนึ่งเป็นการหน่วงเวลาของ D flip-flop และอีกส่วนหนึ่งเป็นการหน่วงเวลาของวงจร latch ที่แผงวงจรจำ รวมแล้ว t_3 มีค่าประมาณ 80 ns

การจัด C_1, C_2 และ C_3 ความจึงจัดให้ห่างกันเป็นจำนวนลงตัวของคาบของ MCLK (Master clock) ค่า t_1, t_2 และ t_3 เหล่านี้จะใช้กำหนดความถี่ MCLK ซึ่งจะกล่าวถึงในตอนของแผงวงจรควบคุมผลรวม $t_1 + t_2 + t_3 = 700 + 450 + 80 = 1230$ ns อาจจะเรียกได้ว่าเป็น Conversion time ของ ADC แต่ Conversion time เมื่อต่อครบทั้งระบบจะมากกว่านี้ เนื่องจากการจัด C_1, C_2 และ C_3 เป็นจำนวนลงตัวของคาบของ MCLK ดังกล่าว



(ก)



(ข)

รูป 5.2-20 (ก) วงจรสำหรับวัดเวลาอยู่ตัวของ ADC 2 บิทหลัง (t_2) (ข) ภาพถ่ายแสดงสัญญาณเข้าที่ D_4, D_3 และ D_2 ของ DAC (v_s) เปรียบเทียบกับสัญญาณออกของ ADC แบบขนาน 2 บิท (D_1' และ D_0')

5.3 แผงวงจรจำ

แผงวงจรจำถูกกำหนดไว้ในบล็อกไดอะแกรมรูป 4.3-3 ในการออกแบบวงจรใช้งานจริงก็เพียงแต่เลือก IC ที่ทำงานได้ตามบล็อกไดอะแกรมใส่ลงในวงจร วงจรสมบูรณ์ของแผงวงจรจำแสดงในรูป 5.3-1

RAM ที่ใช้คือเบอร์ MM2102AL ซึ่งเป็น RAM ขนาด 1 x 1K bit มีหน่วยจำอยู่ 1024 หน่วย เลือกด้วย Address lines 10 เส้น เนื่องจากระบบของเราใช้เพียง 8 เส้นหรือใช้เพียง 256 หน่วยจำ Address lines ที่เหลือคือ A_8, A_9 จะปล่อยไว้ลอย ๆ ไม่ได้ เนื่องจากเป็น MOS device มีอิมดีแดนซ์ทางเข้าสูง การปล่อยขาเข้าให้ลอยจะเกิด oscillation ในวงจรของเราได้ต่อให้ A_8 และ A_9 เป็น "1" ทั้งคู่

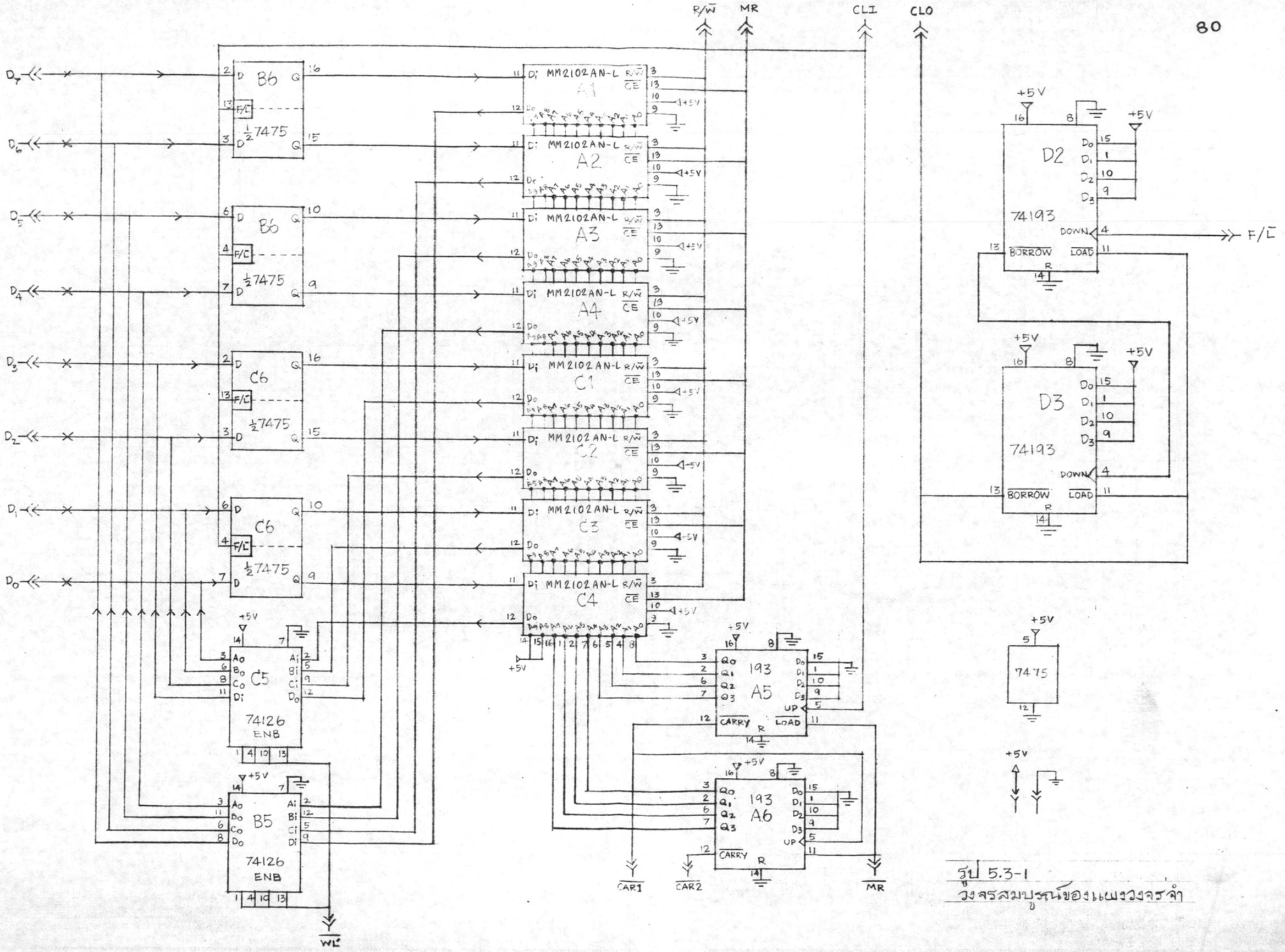
สัญญาณ MR ที่ต่อเข้ากับขา $\overline{CE}$ (Chip select) ของ RAM ความจริงไม่เป็นสิ่งจำเป็น เพราะสัญญาณ R/$\overline{W}$ (Read - write) เส้นเดียวก็สามารถบังคับให้อ่านหรือบันทึกได้ตามต้องการแล้ว

Address counter ของ RAM สร้างจากวงจรนับ 4 บิท สองตัวต่อเรียงกัน สัญญาณ clock9 ของวงจรนับ CLI เลือกโดยใช้สวิทภายนอกแผงวงจร ว่าจะเป็นสัญญาณ F/$\overline{L}$ หรือสัญญาณ CLO ที่ได้จากการหาร F/$\overline{L}$ ด้วยวงจรที่ตั้งค่าตัวหารได้ในแผงวงจรนี้ จะเลือกกรณีหลังก็ต่อเมื่อเครื่องอยู่ในช่วง Read เพื่อให้ความถี่การอ่านต่ำลงพอเหมาะกับ X-Y recorder วงจร Address counter ยังต้องมีสัญญาณ $\overline{MR}$ เพื่อใช้ load วงจร Address counter ด้วยเลข 'OO'H* ซึ่งเป็นตำแหน่งแรกที่จะทำการบันทึกค่าดิจิตอลที่แปลงได้ ส่วนสัญญาณ $\overline{CAR1}$ และ $\overline{CAR2}$ จะเป็น "0" ทั้งคู่เมื่อบันทึกถึง Address ตำแหน่งสุดท้ายคือ 'FF'H**

วงจร latch ใช้วงจรรวมเบอร์ 7475 เพื่อทำหน้าที่เก็บค่าดิจิตอลที่ได้จากก่อนบันทึกเข้า RAM และยอมให้สุ่มค่าอนาลอกค่าใหม่เข้ามาแปลงสัญญาณ โดยที่ขณะนั้นก็ทำการบันทึกค่าดิจิตอลเก่าลงใน RAM ไปด้วย สัญญาณบังคับ latch นี้ก็คือ F/$\overline{L}$ สัญญาณออกของ Latch จะมีค่าตามสัญญาณเข้าของมันจนกว่าสัญญาณบังคับจะสั่งให้ latch ในสภาวะวงจร Latch ก็ยังคงทำงานอยู่แต่ไม่มีผลต่อ RAM เพราะขณะนั้น RAM ถูกบังคับให้อยู่ในสภาวะ Read

---

* และ ** หมายถึงเลขฐาน 16 'OO'H = 00000000 และ 'FF'H = 11111111



รูป 5.3-1
วงจรสมบูรณ์ของแผงวงจรลำ

วงจร Tri - state buffer มีสัญญาณ $\overline{WL}$' มาควบคุมที่ขา Enable (ENB) ดังนั้นในสภาวะ Standby และ Write สัญญาณ $\overline{WL}$' = "0" Buffer จะอยู่ในสภาวะอิมพีแดนซ์สูง เพื่อตัดสัญญาณออกของ RAM ออกจาก Data bus (D_0 - D_7) ส่วนในสภาวะ Read $\overline{WL}$' = "1" สัญญาณออกของ RAM จะถูกส่งผ่านไปยัง Data bus เพื่อไปแปลงสัญญาณให้กลับเป็นสัญญาณอนาลอก ที่แผงวงจรแปลงสัญญาณ

ค่ามาตรที่จะใช้ในการออกแบบและตั้งค่าในแผงวงจรควบคุม มีดังนี้

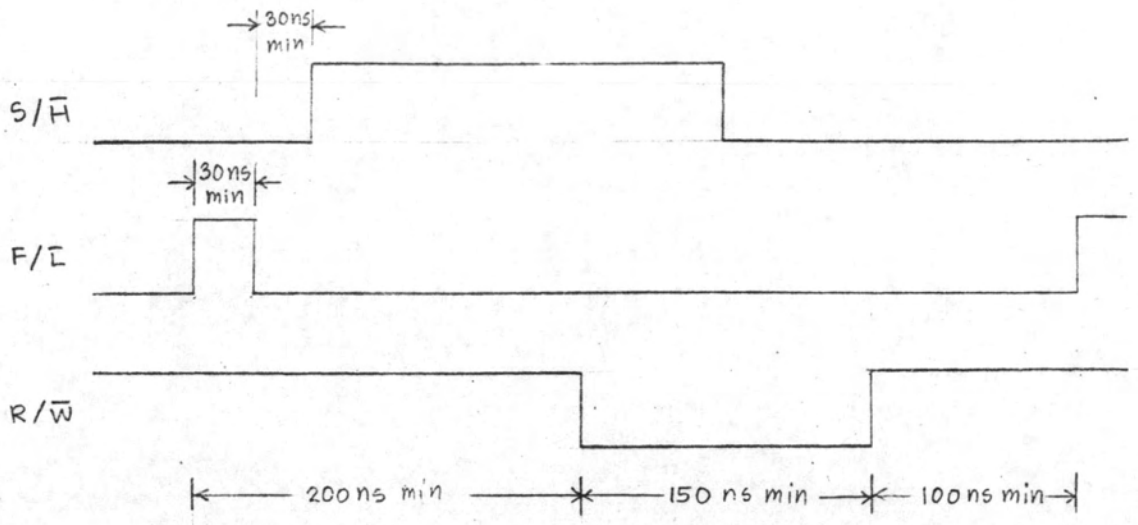
1. เนื่องจาก Latch control time = 30ns เป็นอย่างมาก ดังนั้นสัญญาณที่จะสั่งให้สุ่มค่าอนาลอกค่าต่อไปต้องเกิดหลังจากการสั่ง Latch อย่างน้อย 30ns

2. เนื่องจากข้อมูลจากผู้ผลิตของ RAM ให้มาไม่ชัดเจน ที่บอกไว้ชัดเจนก็อ Write cycle อย่างน้อย 350 ns และ Write pulse Width อย่างน้อย 150 ns ดังนั้นจึงกะเอาว่า Address และ data จะต้องอยู่ตัวก่อนและหลัง Write pulse เป็นเวลาอย่างน้อย = $\frac{350 - 150}{2}$ = 100 ns แต่เนื่องจาก Address จะเปลี่ยนหลังจากขอบด้านขึ้นของสัญญาณ $F/\overline{L}$ ซึ่งใช้นับ Address เพราะมีการหน่วงเวลาของวงจรนับ 2 ตัวต่อเรียงกัน (Cascade) การหน่วงเวลาในวงจรนับ = 2 x 50 = 100 ns ดังนั้น Write pulse จะเกิดหลังจากขอบด้านขึ้นของสัญญาณ $F/\overline{L}$ อย่างน้อย 200 ns

3. การหน่วงเวลาในการที่วงจร Latch มีค่าตามสัญญานขาเข้าอย่างมาก 30 ns

ทั้ง 3 ประการนี้แสดงไว้ในรูป 5.3-2

การทดลองแผงวงจรจำแบ่งเป็นสองขั้นตอน คือตอนแรกทดสอบ RAM โดยบันทึกค่า 0 หรือ 1 ลงไป แล้วอ่านกลับมาจะต้องได้ 0 หรือ 1 ตามที่บันทึกไว้ ตอนที่สองทดสอบส่วนประกอบอื่น ๆ อันได้แก่ Buffer และ Latch ว่าทำงานตามที่ต้องการหรือไม่ ทั้งนี้ก็ต้องอาศัยแผงวงจรควบคุม ผลการทดสอบเพียงแต่สรุปว่าได้หรือไม่ได้เท่านั้น จึงไม่มีการเสนอรายละเอียดการทดสอบแผงวงจรชุดนี้



รูป 5.3-2 แสดงค่ามาตรเวลาที่สำคัญที่เป็นเงื่อนไขในการจัดช่วงเวลาของแผงวงจรควบคุม

5.4 S/H

วงจร S/H เป็นส่วนหนึ่งของแผงวงจรภาคเข้าและภาคออก เหตุที่ออกแบบวงจรนี้ขึ้นมาก่อน ก็เพราะต้องการข้อมูลที่จะนำไปออกแบบวงจรควบคุม ซึ่งจะได้กล่าวถึงในตอน 5.5 วงจรอื่น ๆ ภายในแผงวงจร ภาคเข้าและภาคออกจะได้เสนอในตอน 5.6 เป็นการเรียงตามลำดับการออกแบบ เพราะการออกแบบวงจร LPF ในแผงวงจรภาคเข้าและภาคออกต้องอาศัยข้อมูลจากแผงวงจรควบคุม จึงเก็บไว้เสนอในตอนหลัง

ในชิ้นแรกได้เลือกทดลองวงจรที่ใช้ไดโอดเป็นสวิทช์ตามวงจรในรูป 4.2-5 แต่ใช้ไม่ได้ผลคือ acquisition time สูงมาก และ sample to hold offset สูง เหตุที่เป็นเช่นนี้อาจเป็นเพราะหม้อแปลงพัลส์พันได้ไม่ดี ไดโอดที่ใช้เป็นแบบธรรมดาไม่ใช่ schottky diode และวงจรควบคุมไม่ได้ใช้ ECL gate แต่เนื่องจาก acquisition time มากผิดปกติ จึงเข้าใจว่าปัญหาอยู่ที่หม้อแปลงพัลส์ ถ้าทดลองต่อไปจะเสียเวลาในการพันหม้อแปลงใหม่ จึงเปลี่ยนมาทดลองวงจรแบบมาตรฐาน โดยใช้ CMOS เป็นตัวสวิทช์ ซึ่งวงจรที่ใช้ก็คล้าย ๆ กับวงจรที่ใช้ JFET แต่วงจรสำหรับชับ CMOS ทำได้ง่ายกว่า และใช้แหล่งจ่ายไฟตรง

± 6.5v ได้เลย สำหรับ JFET ต้องการไฟลบต่ำกว่า -6.5v ทำให้ต้องเพิ่มแหล่งจ่ายไฟตรงอีกลำหนึ่ง นอกจากนี้ CMOS มีค่าความต้านทานนำกระแสคงที่ไม่ขึ้นกับขนาดแรงดันอนาลอก[1.11] จึงเหมาะที่จะนำมาใช้งาน

วงจรที่ทำการทดลองมีทั้งแบบสวิทช์ตัวเดียวและสวิทช์สองตัวตามวงจรในตอน 4.2.1.1 เท่าที่ทดลองปรากฏว่าวงจรสวิทช์สองตัว ผลที่ได้ไม่ดีกว่าวงจรแบบสวิทช์ตัวเดียว และเกิด oscillation ได้ง่าย หรือมิฉะนั้นสัญญาณออกเกิด ringing ในช่วง Sample ทำให้สัญญาณออกอยู่ตัวช้ากว่าแบบสวิทช์ตัวเดียว ทั้งนี้อาจเป็นผลเนื่องจากสวิทช์อยู่ภายใน feedback loop นอกจากนี้ Sample to hold offset มีค่าสูง เนื่องจากวงจรยุ่งยากขึ้น โอกาสที่เกิดการเหนี่ยวนำประจุเข้าสู่ตัวเก็บประจุจากสัญญาณบังคับ ($S/\overline{H}$) มีมากขึ้น จึงได้เลือกวงจรแบบสวิทช์ตัวเดียวสำหรับใช้งาน วงจรที่ออกแบบแล้วอยู่ในรูป 5.4-1

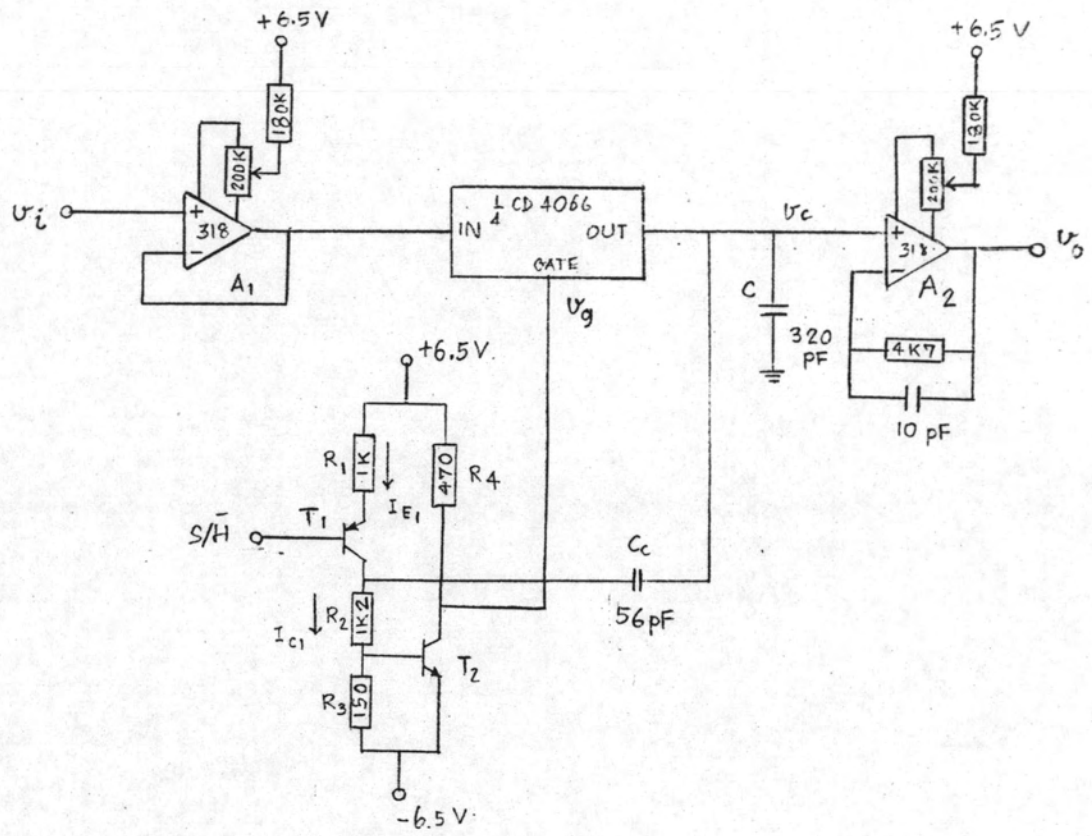
A_1 และ A_2 ต่อเป็นวงจรขยายอัตราขยาย + 1 พร้อมทั้งวงจรปรับออฟเซท A_2 มีวงจรป้อนกลับซึ่งทำตามตัวอย่างวงจรใช้งานของผู้ผลิตออพแอมป์ CMOS ที่ใช้เป็นสวิทช์คือเบอร์ CD4066 ซึ่งใช้ได้กับแหล่งจ่ายไฟตรง ± 6.5v และยอมให้เป็นสัญญาณอนาลอกภายในช่วง ± 6.5v ผ่านไปได้โดยการให้แรงดัน + 6.5v ที่ gate ของมัน ส่วนการให้ - 6.5v ที่ gate เป็นการเปิดสวิทช์ไม่ให้สัญญาณอนาลอกผ่าน แต่เนื่องจากสัญญาณ $S/\overline{H}$ อยู่ในช่วง 0-5 v เท่านั้น (TTL level) ดังนั้นจึงต้องมีวงจรเปลี่ยนระดับอันประกอบด้วยทรานซิสเตอร์ T_1, T_2 และตัวต้านทาน $R_1 - R_4$

คือตัวเก็บประจุที่ใช้คงค่าสัญญาณที่ได้สุ่มไว้ แรงดัน v_c คร่อม (ที่ได้จากการสะสมประจุจากสัญญาณ step ขนาด v มีค่า

$$v_c = V (1 - e^{-\frac{t}{RC}}) \qquad (5.4-1)$$

ในที่นี้สัญญาณ Step ได้จาก A_1 และ R คือความต้านทานขณะนำกระแสของ CMOS = 80 Ω ตามข้อมูลของผู้ผลิต สมการนี้ละเลยอิมพีแดนซ์ทางเข้าของ A_2 ซึ่งมีค่าอย่างน้อย = 500K (ตามข้อมูลของผู้ผลิต) เพราะมีค่าสูงกว่าค่า R (=80Ω) มาก ถ้าถือว่าเวลาที่ v_c มีค่า 99 % ของ V เป็น acquisition time (t_a) ดังนั้นจากสมการ (5.4-1)

$$t_a = RC \ln 100 \qquad (5.4-2)$$



รูป 5.4-1 วงจร S/H ที่ใช้งาน

โดยตั้งข้อกำหนดว่า $t_a < 0.5\,\mu s$ และค่า $R = 80\,\Omega$

$$C < 1358\ pF$$

ในขณะอยู่ใน hold mode เริ่มจากแรงดันคร่อม $c = V_h$ จะมีการคายประจุผ่านอิมพีแดนซ์ขาเข้าของ $A_2 = R_i$ ตามสมการ

$$v_c = V_h\, e^{-\frac{t}{R_i C}} \qquad (5.4\text{-}3)$$

เวลาที่ C ยังคงค่าแรงดันอยู่ได้โดยลดลงเหลือ 99 % ของ v_h จะเรียกว่า Hold time (t_h) หาได้จากสมการ (5.4-3)

$$t_h = R_i C \ln \frac{1}{.99} \qquad (5.4\text{-}4)$$

C จะต้องคงค่าแรงดันไว้ ในขณะที่ ADC ทำงาน ซึ่งจะใช้เวลา 1.23 μS อันเป็น conversion time ของ ADC ดังนั้นเลือก $t_h > 2\mu S$ และใช้ค่า $R_i = 3M\Omega$ ซึ่งเป็นค่า typical value จะได้

$$C > 66 \text{ pF}$$

ดังนั้น ค่า C ที่ใช้ต้องเลือกค่าในช่วงระหว่าง 66 pF ถึง 1358 pF โดยใช้ geometric mean เพื่อให้เปอร์เซนต์ที่ต่างจากค่าปลายช่วงทั้งสองเท่า ๆ กันจะได้

$$C = \sqrt{66 \times 1358} = 299 \text{ pF}$$

เพื่อให้การคงค่าแรงดันได้ดีต้องใช้ตัวเก็บประจุแบบที่มี Dielectric absorption ต่ำ[2.6] เช่น พวก Polypropyrene, Polystyrene หรือ Silver mica ตัวเก็บประจุที่หาได้เป็นแบบ Silver mica ขนาด 220pF ขนานกับตัวเก็บประจุอีกแบบซึ่งเข้าใจว่าเป็นพวก Poly carbonate ขนาด 100pF รวมแล้วใช้ค่า C = 320pF

การคำนวณค่าตัวต้านทานในวงจรเปลี่ยนระดับ เมื่อสัญญาณ $S/\overline{H}$ = "1" คือมีค่า 3V (ค่าเฉลี่ย) T_1 จะยังคงนำกระแส จึงเลือก R_1 เพื่อจำกัดกระแสไม่ให้มากเกินไปที่จะทำให้ T_2 นำกระแส เพื่อให้ V_G มีค่า = +6.5V กระแส

$$I_{C1} = I_{E1} = \frac{6.5 - 3 - 0.6}{R} = \frac{2.9}{R}$$

โดยที่ V_{BE} ของ T_1 = 0.6V และ $S/\overline{H}$ = 3 V ที่ช่วง Sample ขณะนี้ v_{BE2} ต้องน้อยกว่า 0.6 V เพื่อไม่ให้ Q_2 นำกระแสดังนั้น

$$I_{c1}R_3 < 0.6 \text{ V}$$

หรือ $$\frac{2.9R3}{R} < 0.6V \qquad (5.4\text{-}5)$$

เมื่อ $S/\overline{H}$ เป็น "0"

$$I_{C2} \cong I_{E2} = \frac{6.5 - 0.6}{R_1} = \frac{5.9}{R_1}$$

ต้องการให้ T_2 นำกระแส ดังนั้นให้ $v_{BE2} = 0.7V$

$$\frac{5.9}{R_1} R_3 = 0.7V \qquad (5.4\text{-}6)$$

โดยหาค่า R_3 จาก (5.4-6) เพื่อแทนค่าลงด้านซ้ายมือของ (5.4-5)

$$L.H.S. = 2.9 \times \frac{0.7}{5.9} = 0.34$$

ดังนั้น (5.4-6) ไม่ขัดกับ (5.4-5)

โดยการเลือกค่า R_3 ให้มีค่าน้อย ๆ เพื่อให้การคายประจุใน B.E junction ของ T_2 ขณะเปลี่ยนจากภาวะนำกระแสเป็นภาวะหยุดนำกระแสเร็วขึ้น เลือก $R_3 = 100\,\Omega$

$$R_1 = \frac{5.9 \times 100}{0.7} = 843\,\Omega$$

ใช้ค่า R_1 ตามค่ามาตรฐาน คือ $820\,\Omega$ ส่วนค่า R_2 คำนวณได้โดยกำหนดให้ขณะ $S/\overline{H}$ = "0" $V_{CE1} = -1$ V คือไม่ให้ T_1 นำกระแสมากจนถึงกับอิ่มตัว เพื่อให้ switching time ของวงจรจะเร็วขึ้น นั่นคือขณะนั้น $V_{C1} = V_{CE1} - V_{E1} = -1 + 0.6 = -0.4V$ ดังนั้น

$$R_3 = \frac{-0.4 - 0.7 - (-6.5)}{5.9\ mA} = 915\,\Omega$$

ใช้ค่า R_3 มาตรฐาน คือ $1K\Omega$

ค่า R_4 เลือกให้มีค่าน้อย ๆ เพื่อแรงดัน V_G ขณะเปลี่ยนจาก -6.5V เป็น + 6.5V เมื่อ T_1 เปลี่ยนจากภาวะนำกระแสไปยังภาวะหยุดนำกระแส เร็วขึ้น แต่ต้องมากพอที่จะจำกัดกระแสสูงสุดขณะ T_1 นำกระแสที่ไม่ทำให้ T_1 เสียหาย เนื่องจาก ทรานซิสเตอร์ที่ใช้คือ 2N2222A ทนได้ 0.5W $V_{CEO} = 40V$ และ $I_C = 0.8A$ ออกแบบให้กำลังงานสูญเสียที่ทรานซิสเตอร์ = 0.4w ดังนั้นกระแส I_{C2} ขณะ T_2 นำกระแสคำนวณจาก

$$P = \frac{1}{2} V_{max} I_{max}$$

$$I_{c2} = \frac{0.4 \times 2}{13} = 61\ mA$$

กระแสค่านี้ไม่เกินขีดจำกัดของ T_1 ดังนั้นเราคำนวณ R_4 ได้

$$R_4 = \frac{13}{0.061} = 211\ \Omega$$

และ R_4 ต้องทนกำลังงานได้ $(.061)^2 \times 211 = 0.793$ W เลือก $R_4 = 220\ \Omega$ 1 W

จากการทดลองต้องจัดค่า $R_1 - R_3$ ใหม่เพื่อให้ T_2 นำกระแสและหยุดนำกระแสจริง ๆ ตามต้องการ ส่วนค่า R_4 ปรากฏว่าค่า $220\ \Omega$ ทำให้ได้สัญญาณที่มีอัตราการเปลี่ยนแปลงแรงดัน (dv/dt) สูงเกินไปจนเกิน ringing ที่สัญญาณออกมากเกินไป จึงเพิ่มค่าเป็น $470\ \Omega$

C_c เป็นตัวเก็บประจุเพื่อแก้ sample to hold offset โดยต่อจากคอลเล็คเตอร์ของ T_1 ซึ่งมีสัญญาณกลับเฟสกับ v_g ไปยังตัวเก็บประจุ C เพื่อหักล้างกับผลของการเปลี่ยนแปลงประจุอันเนื่องมาจาก stray capacitance

ผลการทดสอบแสดงในรูป 5.4-2 ซึ่งสรุปผลได้ดังนี้

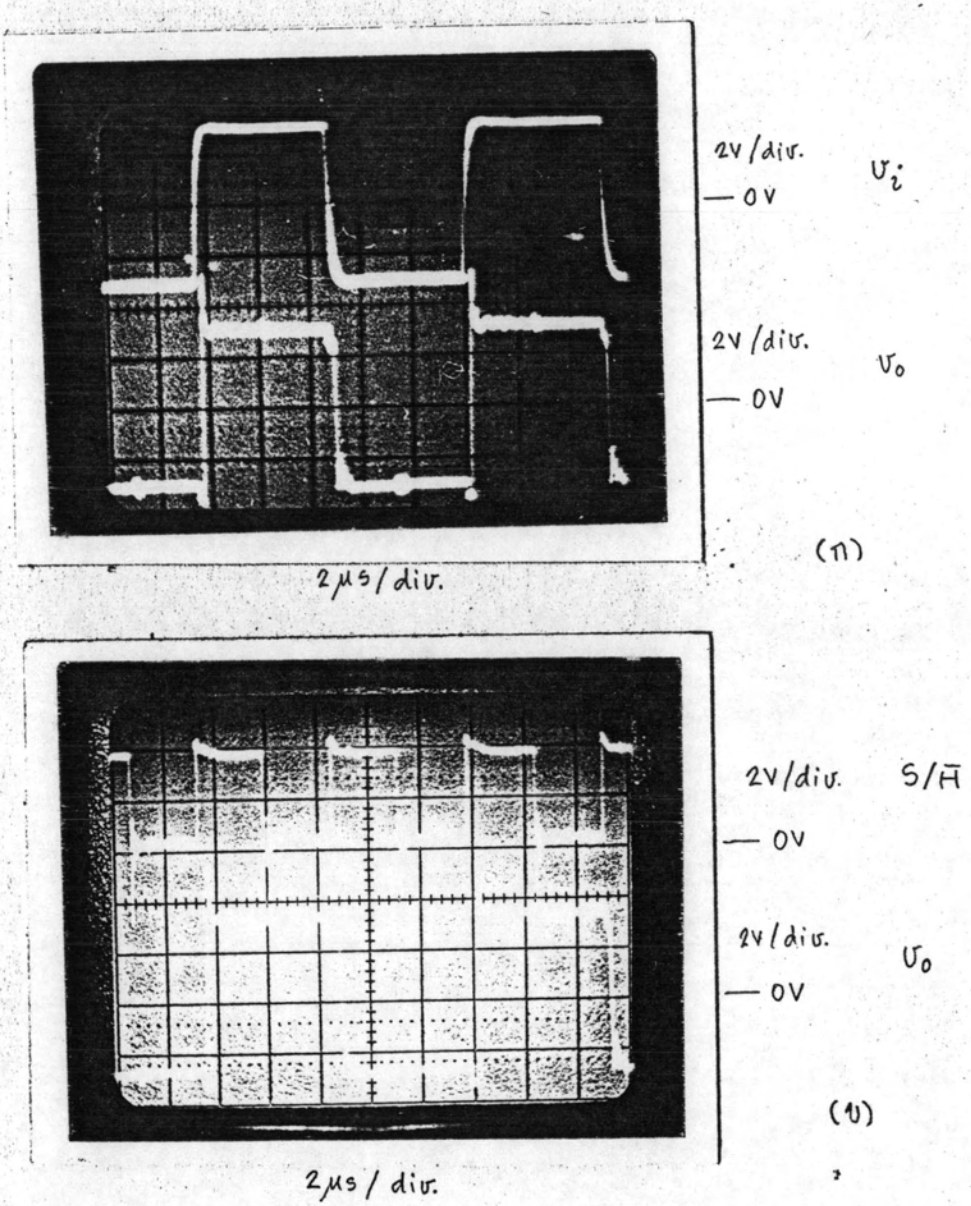
Acquisition time	=	1.5 μs
Sample - to - hold offset	$\leq$	50 mV
Droop (สำหรับ $t_h = 2\ \mu s$)		น้อยมาก

5.5 แผงวงจรควบคุม

แผงวงจรควบคุมนับได้ว่าเป็นหัวใจของระบบโดยมีสัญญาณควบคุมต่าง ๆ ส่งไปยังหน่วยอื่น ๆ เพื่อให้ทุกหน่วยทำงานสอดคล้องกันตามต้องการ ความจริงแล้ววงจรควบคุมถูกกำหนดในระดับบล็อกไออะแกรมพร้อม ๆ กับการพิจารณารายละเอียดหน่วยย่อยของระบบ ในบางส่วนก็ต้องมีการออกแบบถึงระดับชิ้นส่วนภายในวงจรเพื่อสร้างความมั่นใจว่าระบบจะทำงานตามที่ต้องการ แต่อย่างไรก็ตามการออกแบบวงจรควบคุมจะทำอย่างเป็นหลักเป็นฐานจะทำไม่ได้ถ้าไม่ได้ข้อมูลจากส่วนย่อยของระบบ เช่น S/H วงจรแปลงสัญญาน และวงจรจำ รายละเอียดการออกแบบวงจรควบคุม จะได้เสนอโดยแบ่งเป็นตอน ๆ ตามลำดับดังต่อไปนี้

5.5.1 ข้อกำหนดของวงจรควบคุม

ในขั้นต้นจะต้องกำหนดข้อกำหนดของวงจรควบคุมที่จะออกแบบขึ้นมาเสียก่อน ซึ่งก็



รูป 5.4-2 ภาพถ่ายแสดงผลการทดสอบวงจร S/H (ก) สัญญาณอนาลอก (ข) สัญญาณออกที่สุ่ม

เท่ากับเป็นวางข้อกำหนดของทั้งระบบนั่นเอง เนื่องจากการทำงานของเครื่องจะได้มากหรือน้อยประการใดขึ้นอยู่กับวงจรควบคุมของมัน จึงจำเป็นที่จะจำกัดขอบเขตของงาน โดยวางข้อกำหนดดังต่อไปนี้

ระบบมีการทำงานได้ 4 สภาวะ คือ Reset, Standby, Write และ Read

Reset คือสภาวะที่เครื่องไม่ทำงาน เช่น ตอนเริ่มเปิดเครื่อง นอกจากนี้โดยใช้

สวิทช์กด สามารถบังคับให้เครื่องกลับมาอยู่สภาวะนี้ ไม่ว่าเดิมจะอยู่ในสภาวะใดก็ตาม

Standby คือสภาวะที่เครื่องพร้อมจะบันทึกสัญญาณ เปลี่ยนมาจากสภาวะ Reset โดยใช้สวิทช์กด

Write คือสภาวะที่เครื่องทำการบันทึกสัญญาณ เปลี่ยนมาจากสภาวะ Standby ได้ 2 วิธี คือ แบบ Manual หรือใช้สวิทช์กดกับแบบอัตโนมัติโดยมีวงจรที่ส่งสัญญาณควบคุมมาเมื่อพบว่าสัญญาณเข้าสูงกว่าระดับที่ได้ตั้งไว้

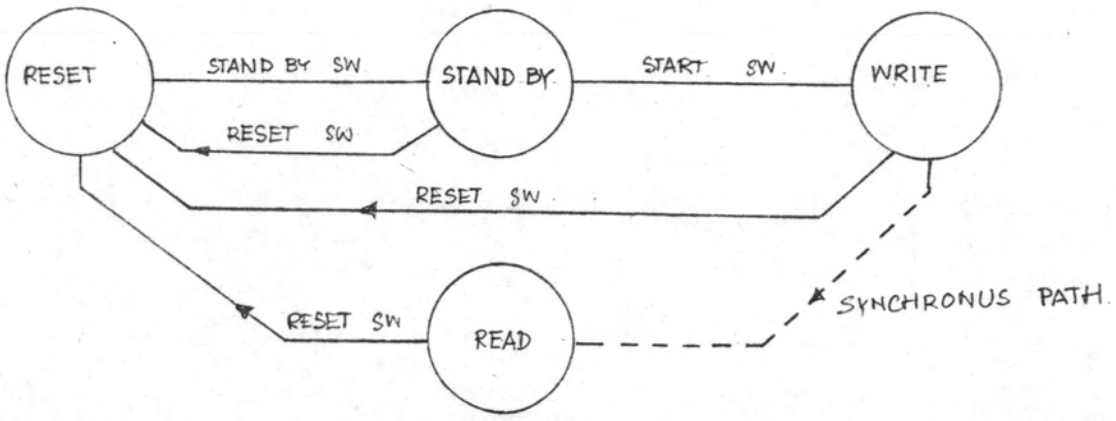
Read คือสภาวะที่เครื่องทำการอ่านผลการบันทึกออกมา เปลี่ยนมาจากสภาวะ Write โดยอัตโนมัติหลังจากได้บันทึกค่าของสัญญาณได้เต็มหน่วยจำแล้ว

ความถี่สุ่มสามารถเลือกโดยใช้สวิทช์เลือก แต่ความถี่อ่านจะตั้งไว้คงที่ค่าหนึ่งเพื่อให้ใช้วงจรกรองแบบผ่านต่ำที่มี Cutoff frequency คงที่ได้ นอกจากนี้การเปลี่ยนความถี่ในการสุ่มทำในลักษณะที่ควบคุมให้หน่วยอื่น และวงจรจำทำงานในช่วงเวลาเท่ากับในตอนสุ่มด้วยความถี่สูงสุด ส่วนเวลาที่เหลือก็จะปล่อยให้หยุดอยู่เฉย ๆ ทำให้การออกแบบหน่วยย่อยง่ายขึ้น โดยเฉพาะอย่างยิ่งวงจร S/H ในช่วง Hold เราจะใช้ Hold time เท่าเดิมเพื่อให้วงจรแปลงสัญญาน ทำงานจนเสร็จได้ผลเป็นค่าดิจิตอลซึ่งสามารถ latch ไว้ เวลาที่เหลือ (ในกรณีสุ่มด้วยความถี่ต่ำลง) S/H ไม่ต้องทำงาน ทำให้สามารถใช้ Hold capacitor ตัวเดิมแม้ว่าจะสุ่มด้วยความถี่ต่ำลงเพียงใดก็ตาม

การอ่านค่าจากหน่วยจำจะอ่านทุกค่าที่เก็บไว้ เมื่ออ่านครบทุกตำแหน่งของหน่วยจำแล้วมันจะเริ่มต้นอ่านจากตำแหน่งแรกใหม่ เป็นเช่นนี้ซ้ำไปเรื่อย ๆ

5.5.2 <u>วงจรควบคุมสภาวะของเครื่อง</u>

เป็นส่วนของวงจรภาคควบคุมที่เกี่ยวข้องกับสภาวะของเครื่องทั้งสี่ตามที่ได้กล่าวมาแล้ว เราสามารถเขียน State diagram เบื้องต้นได้ตามรูป 5.5.1 เนื่องจากสภาวะของเครื่องแบ่งเป็น 2 พวก คือพวก Inactive ได้แก่ Reset และ Standby กับพวก active ซึ่งได้แก่ Write และ Read พวกหลังนี้จะมีสัญญาณ clock มาเกี่ยวข้องด้วย อย่างน้อยก็มีสัญญาณสำหรับเลื่อน Address ของ RAM ดังนั้นการเปลี่ยนสภาวะจาก Write ไป



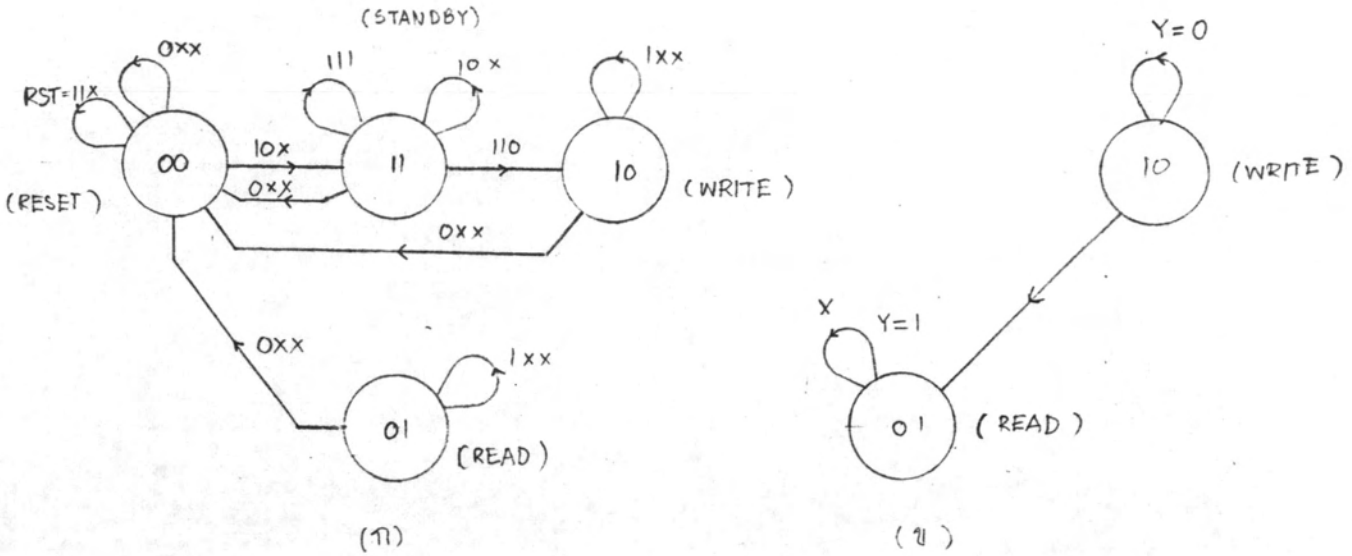
รูป 5.5-1 State diagram เบื้องต้นที่เขียนขึ้นจากข้อกำหนด

Read ซึ่งเป็นไปโดยอัตโนมัติจึงเป็น Synchronous transition คือมี clock มาเกี่ยวข้องด้วย จึงแสดงด้วยเส้นประในรูป 5.5-1 เพื่อให้เห็นแตกต่างจาก Asynchronous transition ซึ่งเปลี่ยนสภาวะโดยการกดสวิทช์

ตามรูป 4.3-4 จะเห็นได้ว่าขอบด้านขึ้นของสัญญาณ $F/\overline{L}$ เหมาะสำหรับเป็น clock ใน Synchronous transition คือเมื่อเปลี่ยนจากสภาวะ Write เป็น Read ทั้งนี้เพราะ มันเกิดขึ้นหลังจาก Write ค่าลงใน RAM เสร็จพอดี $F/\overline{L}$ ถูกเลือกไปเลื่อน Address ของ RAM ด้วยเหตุผลเดียวกันนี้

เราจะแบ่ง State diagram ออกเป็นส่วน Asynchronous และส่วน Synchronous ดังที่ได้แสดงไว้ในรูป 5.5-2 โดยให้ X_1 และ X_2 เป็นสัญญาณขาออกของ State flipflop ดังนั้นจึงให้ค่าสภาวะต่าง ๆดังนี้

$$X_1\ X_2 = \begin{cases} 00 & \text{สำหรับสภาวะ} \quad \text{Reset} \\ 11 & \text{สำหรับสภาวะ} \quad \text{Standby} \\ 10 & \text{สำหรับสภาวะ} \quad \text{Write} \\ 01 & \text{สำหรับสภาวะ} \quad \text{Read} \end{cases}$$

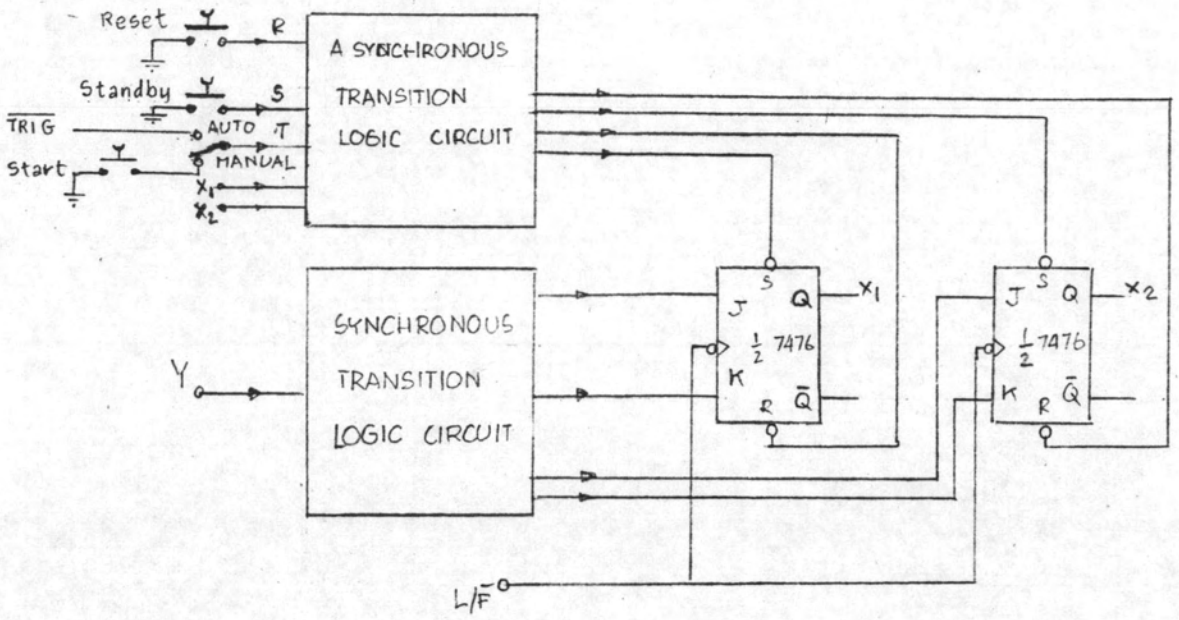


รูป 5.5-2 แสดง State diagram (ก) Asynchronous transition (ข) Synchronous transition, X = don't care

เราเลือกวงจรรวม เบอร์ 7476 เพื่อใช้เป็น State flip-flop เพราะมันเป็น JK flip-flop ที่มีขา $\overline{\text{PRESET}}$ และ $\overline{\text{RESET}}$ ทำให้สามารถสร้างวงจรทั้ง ภาค Synchronous และ Asynchronous transition ดังแสดงในรูป 5.5-3

สำหรับ Asynchronous transition มีสัญญาณเข้าจากภายนอก 3 เส้น คือ R, S, T ซึ่งเป็นสัญญาณจากสวิทช์ Reset, Standby และสวิทช์ Start หรือ $\overline{\text{TRIG}}$ pulse ตามลำดับ การกดสวิทช์หมายถึงการทำให้ค่าตัวแปร R, S หรือ T เป็น "0" นอกจากนี้ยังมีสัญญาณเข้าจากภายใน คือ X_1 และ X_2 จาก State flip-flop วงจรตรรกจะส่งสัญญาณไปควบคุมขา $\overline{\text{PRESET}}$ และ $\overline{\text{RESET}}$ ของ State flip-flop

ย้อนกลับไปดู State diagram ในรูป 5.5-2 (ก) จะเห็นได้ว่าได้เขียนคลุมทุกเงื่อนไขที่จะเกิดขึ้นได้ เช่นการกดสวิทช์ซ้ำกัน ซึ่งจะเห็นได้ว่า สวิทช์ Reset มี priority เหนือกว่าสวิทช์อื่นๆ บางสภาวะเช่นสภาวะ Standby (11) ต้องกดสวิทช์ Start (T=0) เท่านั้นจึงจะสามารถเปลี่ยนเป็นสภาวะ Write ได้ และที่สภาวะ Write และ Read สวิทช์ Standby (S) ไม่มีผลในการเปลี่ยนสภาวะดังนี้เป็นต้น



รูป 5.5-3 แสดง State flip-flop พร้อมกับ Asynchronous และ Synchronous transition logic circuit

ส่วน Sysnchronous transition มี 1 input คือ Y ซึ่งเป็น "1" เมื่อบันทึกค่าลงใน RAM จนครบตามจำนวน สัญญาน Y นี้ได้มาจาก $\overline{CAR1}$ และ $\overline{CAR2}$ จากแผงวงจรจำ ซึ่งจะเป็น 0 ทั้งคู่ เมื่อ Address ='11111111'H ดังนั้น

$$Y = CAR1 \cdot CAR2$$

$$= \overline{\overline{CAR1} \cdot \overline{CAR2}} \qquad (5.5\text{-}1)$$

ส่วน clock ของมันเนื่องจาก flip-flop ทำงานที่ขอบด้านลบของ clock เราจึงต้องใช้สัญญาณ $L/\bar{F}$ แทนที่จะเป็น $F/\bar{L}$

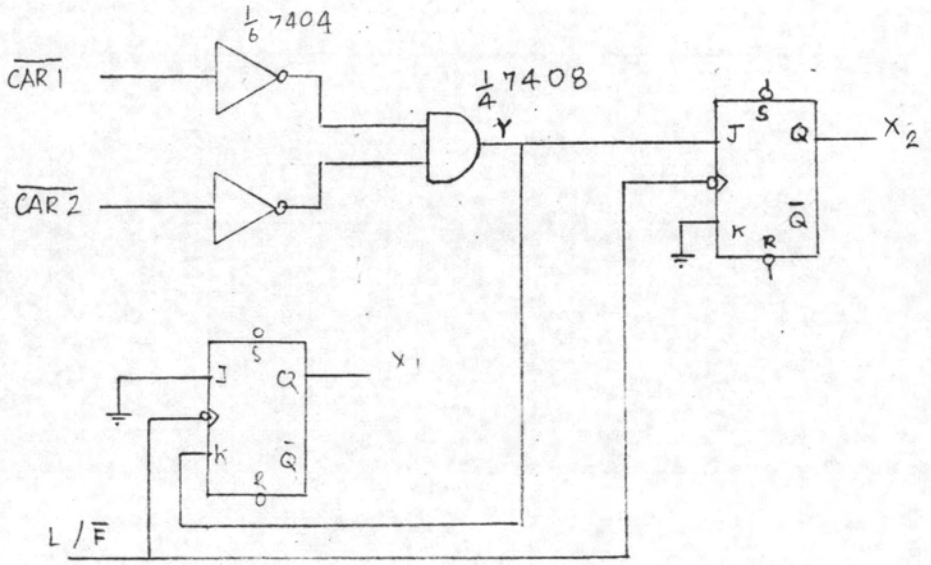
เท่าที่ได้กล่าวมาเราสามารถออกแบบวงจรส่วนของ Synchronous transition ได้เกือบจะทันที เนื่องจากสภาวะปลายทาง $X_1\ X_2 = 0\ 1$ ดังนั้นจึงจัดขา J และ K ให้เป็น

การ reset X_1 และ set X_2 เมื่อ Y = 1 นั่นคือ

$$J_1 = K_2 = 0 \qquad (5.5\text{-}2\ \text{ก})$$

$$J_2 = K_1 = Y \qquad (5.5\text{-}2\ \text{ข})$$

และวงจรที่ได้แสดงไว้ในรูป 5.5-4



รูป 5.5-4 แสดงวงจรภาค Synchronous Transiton

การออกแบบ Asynchronous transition logic เริ่มด้วยตารางแสดงสัญญาณเข้าที่ต้องการที่ขา $\overline{\text{PRESET}}$ ($\overline{S}$) และ $\overline{\text{RESET}}$ ($\overline{R}$) ของ flipflop ในรูป 5.5-5 (ก) และจาก state diagram ในรูป 5.5-2 (ก) เราสร้าง Karnaugh Map ได้ตามรูป 5.5-5 (ข), (ค), (ง) และ (จ) สำหรับ $\overline{R}_1$, $\overline{S}_1$, $\overline{R}_2$ และ $\overline{S}_2$ ของ State flipflops ตามลำดับ จะได้ยกตัวอย่างการสร้างตารางขณะที่อยู่ในสภาวะ reset (00) โดยพิจารณาสัญญาณเข้าทุก ๆ กรณีตามส่วนของ state diagram ในรูป 5.5-6 เราสามารถสร้างตามในแถวที่ 1 ของตาราง 5.5-5 (ข), (ค), (ง) และ (จ) ดังนี้

เมื่อ R = 0 ไม่ว่า S และ T จะเป็นอะไรก็ตาม สภาวะของเครื่องไม่เปลี่ยนแปลงดังนี้จากตาราง 5.5-5 (ก) ต้องการ $\overline{R}_1 = \overline{R}_2 = X$ และ $\overline{S}_1 = \overline{S}_2 = 1$ ซึ่งปรากฏที่

P.S.	N.S	$\bar{R}$	$\bar{S}$
0	0	X	1
0	1	1	0
1	1	1	X
1	0	0	1

(ก)

R	0				1			
ST / X_1X_2	00	01	11	10	10	11	01	00
00	X	X	X	X	X	X	1	1
01	X	X	X	X	X	X	X	X
11	0	0	0	0	1	1	1	1
10	0	0	0	0	1	1	1	1

$\bar{R}_1 = R$

(ข)

R	0				1			
ST / X_1X_2	00	01	11	10	10	11	01	00
00	1	1	1	1	1	1	0	0
01	1	1	1	1	1	1	1	1
11	1	1	1	1	X	X	X	X
10	1	1	1	1	X	X	X	X

$\bar{S}_1 = \overline{R\bar{S}\bar{X}_2}$

(ค)

R	0				1			
ST / X_1X_2	00	01	11	10	10	11	01	00
00	X	X	X	X	X	X	1	1
01	0	0	0	0	1	1	1	1
11	0	0	0	0	0	1	1	1
10	X	X	X	X	X	X	X	X

$\bar{R}_2 = R\bar{S} + RT + R\bar{X}_1$

$= R(\bar{S} + T + \bar{X}_1)$

$= R \cdot \overline{\overline{\bar{S} + T + \bar{X}_1}}$

$= R \cdot \overline{S\bar{T}X_1}$

(ง)

R	0				1			
ST / X_1X_2	00	01	11	10	10	11	01	00
00	1	1	1	1	1	1	0	0
01	1	1	1	1	X	X	X	X
11	1	1	1	1	1	X	X	X
10	1	1	1	1	1	1	1	1

$\bar{S}_2 = \overline{R\bar{S}\bar{X}_1}$

(จ)

รูป 5.5-5(ก) ตารางแสดงสัญญาณเข้าที่ต้องการของ J-K flip-flop

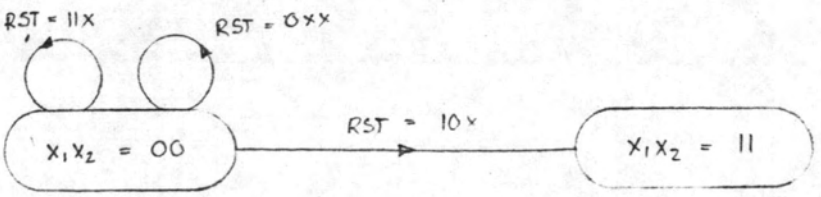
(ข),(ค),(ง) และ (จ) แสดง Karnaugh map เพื่อใช้สร้างวงจร

4 ตัวแรกของ Karnargh Map ในแถวแรก ($X_1 X_2 = 00$)

เมื่อ R = 1 และ S = 0 X_1 และ X_2 ต่างก็เปลี่ยนจาก 0 → 1 ตามตาราง 5.5-5 (ก) แถว 2 ต้องการ $\overline{R}_1 = \overline{R}_2 = 1$ และ $\overline{S_1} = \overline{S}_2 = 0$ ดังที่ปรากฏที่ 2 ตัวสุดท้ายของ Karnaugh Maps ในแถวแรก

สัญญาณเข้าที่แตกต่างจาก 2 กรณีข้างต้นนี้ (นั่นคือ RST = 11X) ไม่มีการเปลี่ยนสภาวะ ดังนั้น $\overline{R}_1 = \overline{R}_2 = X$ และ $\overline{S}_1 = \overline{S}_2 = 1$ ตรงตามที่ได้บันทึกไว้ที่ตัวที่ 5 และ 6 ของ Karnaugh Maps ในแถวแรก

เมื่อสร้างเสร็จจนครบก็สามารถเขียนสมการของสัญญาน $\overline{R}_1$, $\overline{S}_1$, $\overline{R}_2$ และ ตามที่ต้องการได้ซึ่งอยู่ในรูปที่จะสร้างได้สะดวก ดังนี้



รูป 5.5-6 ส่วนของ State diagram สำหรับสภาวะ reset (00)

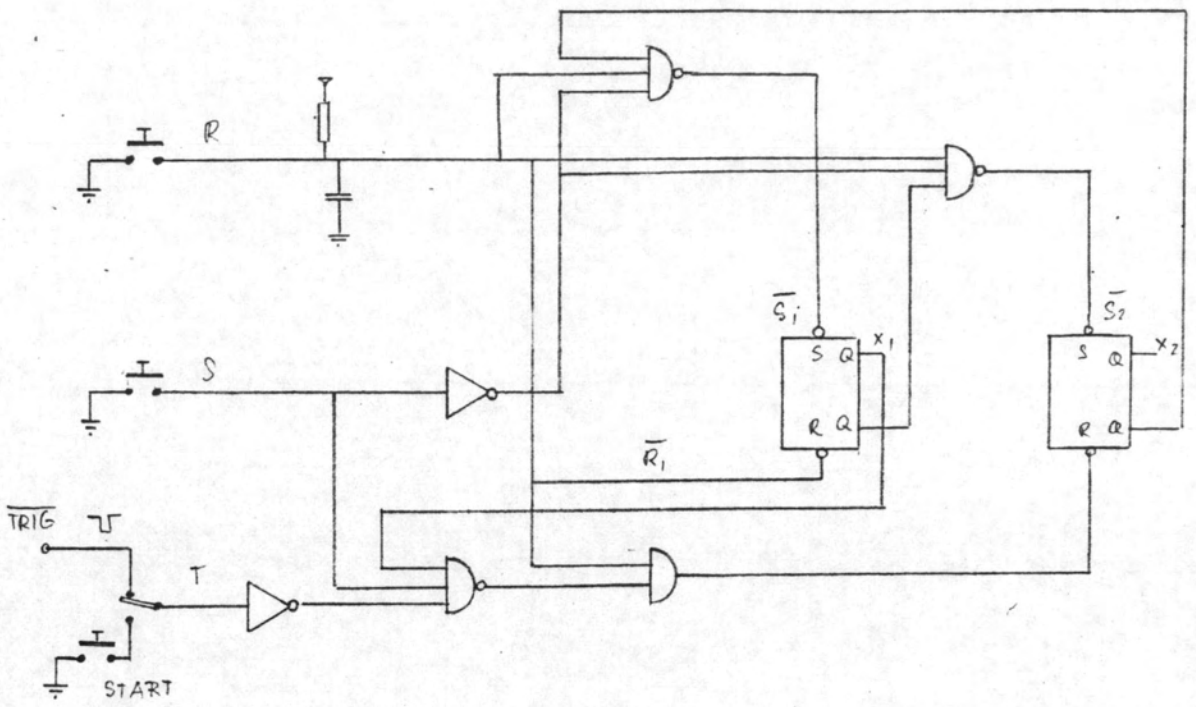
$$\overline{R}_1 = R \qquad \text{(5.5-3 ก)}$$

$$\overline{S}_1 = \overline{R\,\overline{S}\,\overline{X}_2} \qquad \text{(5.5-3 ข)}$$

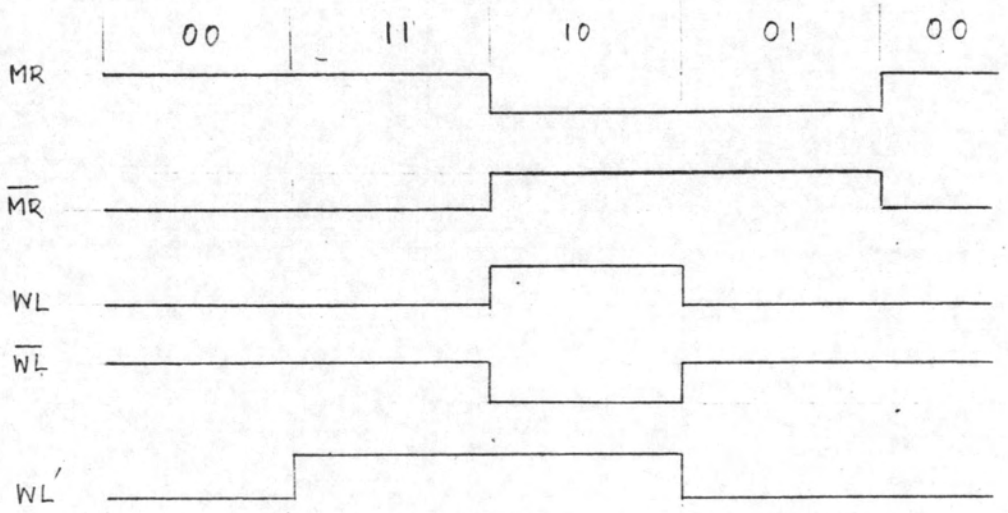
$$\overline{R}_2 = \overline{R.S\overline{T}\,X_1} \qquad \text{(5.5-3 ค)}$$

$$\overline{S}_2 = \overline{R\,\overline{S}\,\overline{X}_1} \qquad \text{(5.5-3 ง)}$$

และวงจรที่ได้อยู่ในรูป 5.5-7 ตัวต้านทานและตัวเก็บประจุที่สัญญาณ R เป็นตัวบังคับให้เครื่องอยู่ในสภาวะ Reset ก่อนเปิดไฟ



รูป 5.5-7 วงจรภาค Asynchronous transition



รูป 5.5-8 แสดงสัญญานควบคุมที่ขึ้นกับสภาวะของเครื่อง

5.5.3 สัญญาณควบคุมที่ขึ้นกับสภาวะของเครื่อง

ในตอนนี้จะได้กล่าวถึงการสร้างสัญญาณที่ขึ้นกับสภาวะของเครื่อง ซึ่งได้แก่ สัญญาณ Master Reset (MR และ complement ของมัน $\overline{MR}$) Write loop (WL) และWrite

loop standby (WL') รูป 5.5-8 แสดงถึงสัญญาณเหล่านี้ที่สภาวะของเครื่องต่าง ๆ กัน

MR มีขึ้นเพื่อแยกสภาวะของเครื่องแบบ Inactive และแบบ Active ออกจากกัน เพื่อใช้ในการหยุดสร้างสัญญาณควบคุม เช่น $S/\overline{H}$ และ $F/\overline{L}$ ในสภาวะ Inactive

WL สำหรับกันไม่ให้มีการบันทึกถ้าเครื่องไม่อยู่ในสภาวะ Read

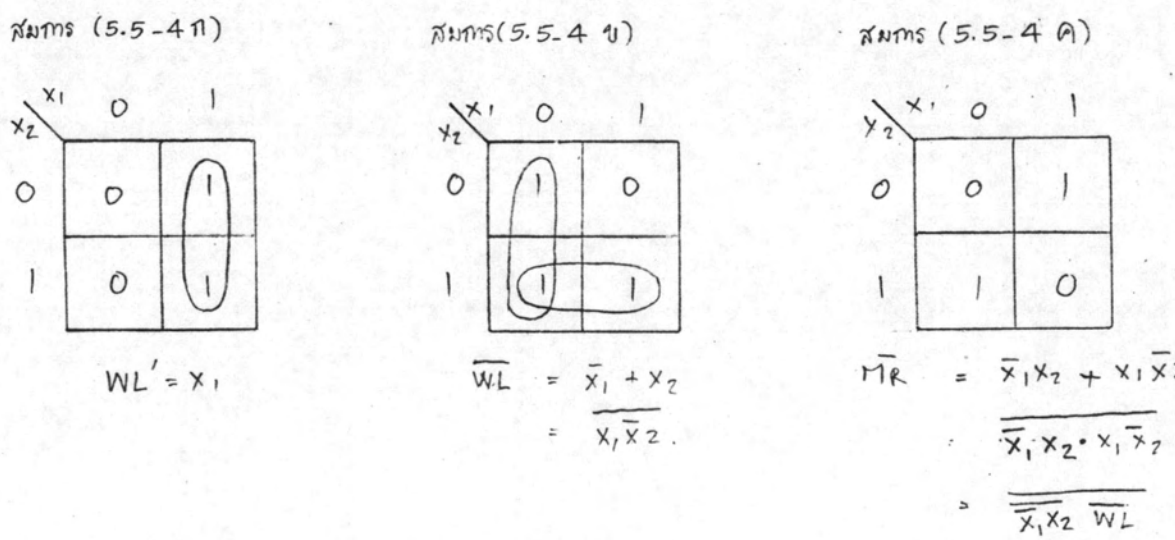
WL' สำหรับบังคับให้ รีเลย์ ในวงจรแปลงสัญญาณทำงาน ก่อนที่จะเริ่มทำการบันทึก นอกจากนี้ยังจะใช้สำหรับบังคับ รีเลย์ ให้เปลี่ยนความถี่จากความถี่ในการอ่านเป็นความถี่ในการบันทึกซึ่งจะได้กล่าวถึงในตอนต่อไป

รูป 5.5-9 แสดง Karnaugh Maps สำหรับ $\overline{MR}$, $\overline{WL}$ และ WL' ซึ่งสร้างโดยอาศัยรูป 5.5-8 ผลลัพธ์ที่ได้มีดังนี้

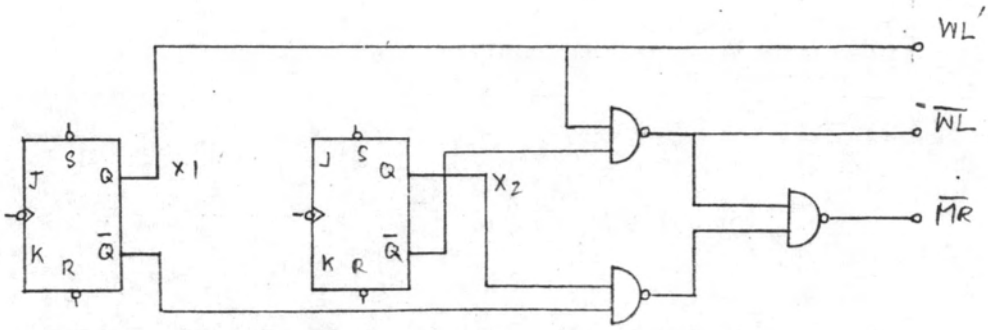
$$WL' = X_1 \qquad (5.5\text{-}4\ ก)$$

$$\overline{WL} = \overline{X_1 \overline{X}_2} \qquad (5.5\text{-}4\ ข)$$

$$\overline{MR} = \overline{\overline{X}_1 X_2 \ \overline{WL}} \qquad (5.5\text{-}4\ ค)$$



รูป 5.5-9 Karnaugh Map ของการสร้างสัญญาณ WL', $\overline{WL}$ และ $\overline{MR}$

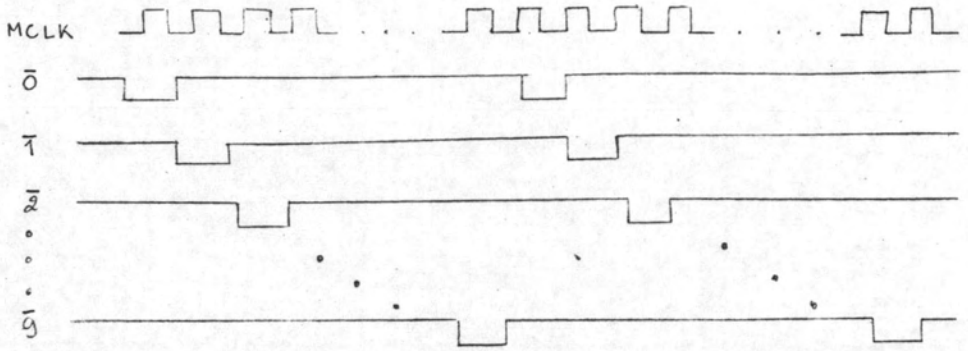


รูป 5.5-10 วงจรในการสร้างสัญญาณ WL', $\overline{WL}$ และ $\overline{MR}$

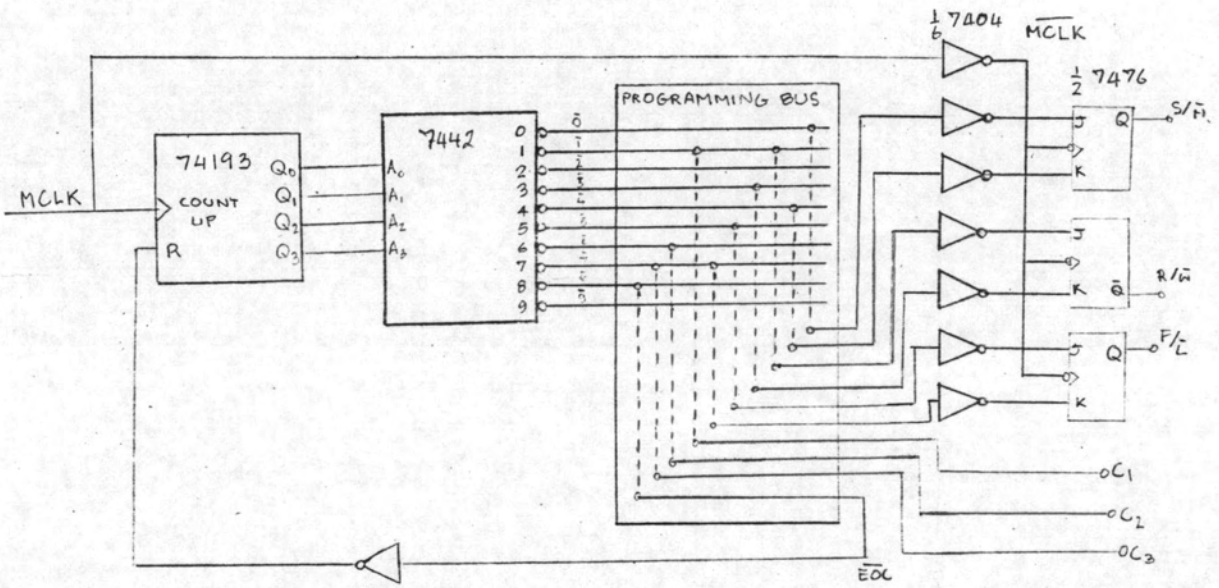
จากสมการชุดนี้สร้างวงจรได้ดังรูป 5.5-10

5.5.4 <u>วงจรสร้างสัญญาณควบคุม</u>

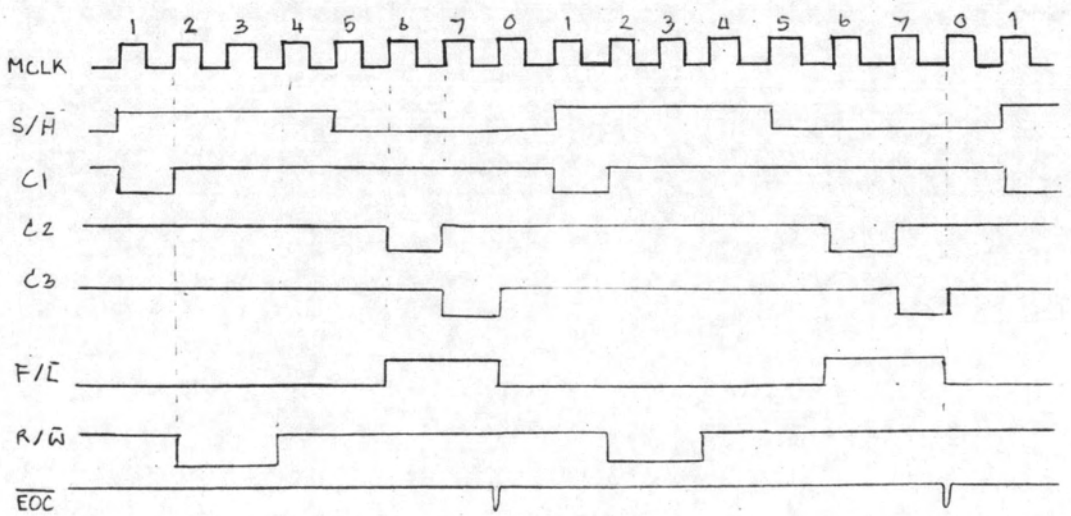
สัญญาณควบคุมที่สำคัญได้แก่ S/$\overline{H}$, R/$\overline{W}$, F/$\overline{L}$, C_1, C_2 และ C_3 ที่ได้กล่าวถึงในตอน 4.3 เพื่อให้วงจรสร้างสัญญาณควบคุมเหล่านี้ยืดหยุ่นเพียงพอสำหรับการแก้ไขในภายหน้า เราจึงออกแบบให้สามารถ program รูปร่างของสัญญาณเหล่านี้ โดยย้ายจุดบัดกรีที่ programming bus ซึ่งได้จากการนำเอา Master clock (MCLK) มาผ่านวงจรหารให้ผลเป็น Decoded output สำหรับวงจรหารสิบสัญญาณออกจะมี 10 เส้น และมีจังหวะที่จะมีค่าเป็น "0" ทีละเส้นตามลำดับ ดังแสดงในรูป 5.5-11 การสร้างสัญญาณควบคุมทำโดยการเลือกต่อจากเส้นที่ต้องการมายัง JK flip-flop โดยขา J กำหนดเวลาที่เริ่มเกิดสัญญาณ และขา K กำหนดเวลาสิ้นสุดสัญญาณที่ต้องการ รูป 5.5-12 แสดงวงจรใช้งานและตัวอย่างการจัดสัญญาณควบคุมซึ่งจะใช้สำหรับทดสอบแผงวงจรต่าง ๆ เป็นเบื้องต้น เป็นที่น่าสังเกตว่าสัญญาณควบคุมที่สร้างขึ้นโดยอาศัย JK flip-flop การเปลี่ยนแปลงของสัญญาณจะเกิดที่ปลายช่วงเลขที่ตั้งไว้ เช่น สัญญาณ S/$\overline{H}$ ตั้งจุดเริ่มต้นที่ $\overline{0}$ กำลังจะเปลี่ยนเป็น $\overline{1}$ ทั้งนี้เพราะ Flip-flop เปลี่ยนค่าที่ของด้านลงของ $\overline{MCLK}$ หรือประมาณที่ของด้านขึ้นของ MCLK ส่วนสัญญาณ $\overline{0}$ – $\overline{9}$ จะเริ่มที่ขอบด้านขึ้นของ MCLK เช่นกัน แต่มาปรากฏที่ขา J หรือ K ของ Flip-flop ช้าไปเนื่องจากการหน่วงเวลาในวงจรหารและวงจร Decoder



รูป 5.5-11 Decoded counter output สำหรับ Programming bus



(ก)

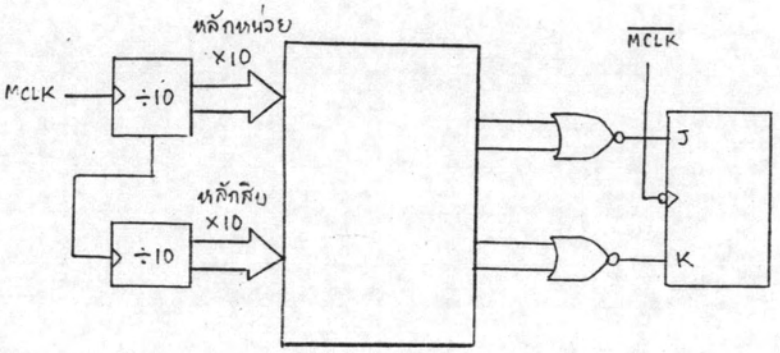


(ข)

รูป 5.5-12 (ก) วงจรสำหรับสร้างสัญญาณควบคุมต่าง ๆ แสดงการตั้งเวลา ซึ่งจะใช้ในการทดสอบ (ข) สัญญาณควบคุมต่าง ๆ ตามการตั้ง

ในวงจรของเราตั้งเวลาได้ละเอียดถึง 1 ใน 10 ของเวลาครบรอบ แต่สามารถดัดแปลงให้ตั้งเวลาละเอียดถึง 1 ใน 100 ของเวลาครบรอบตามรูป 5.5-13 เวลาแต่ละจุดต้องตั้งทั้งหลักหน่วยและหลักสิบ จึงต้องใช้ 2-input NOR gate ในการตั้งเวลาแต่ละจุด

วงจรในรูป 5.5-12 (ก) ใช้ได้เฉพาะสภาวะ Write ที่ความถี่สุ่มสูงสุดเท่านั้น จะต้องมีการดัดแปลงวงจรสำหรับเปลี่ยนความถี่ของการสุ่ม นอกจากนี้ยังต้องอาศัยสัญญาณที่ขึ้นกับสภาวะของเครื่องเพื่อให้สัญญาณบังคับมีค่าที่สภาวะต่าง ๆ เป็นไปตามที่ต้องการ

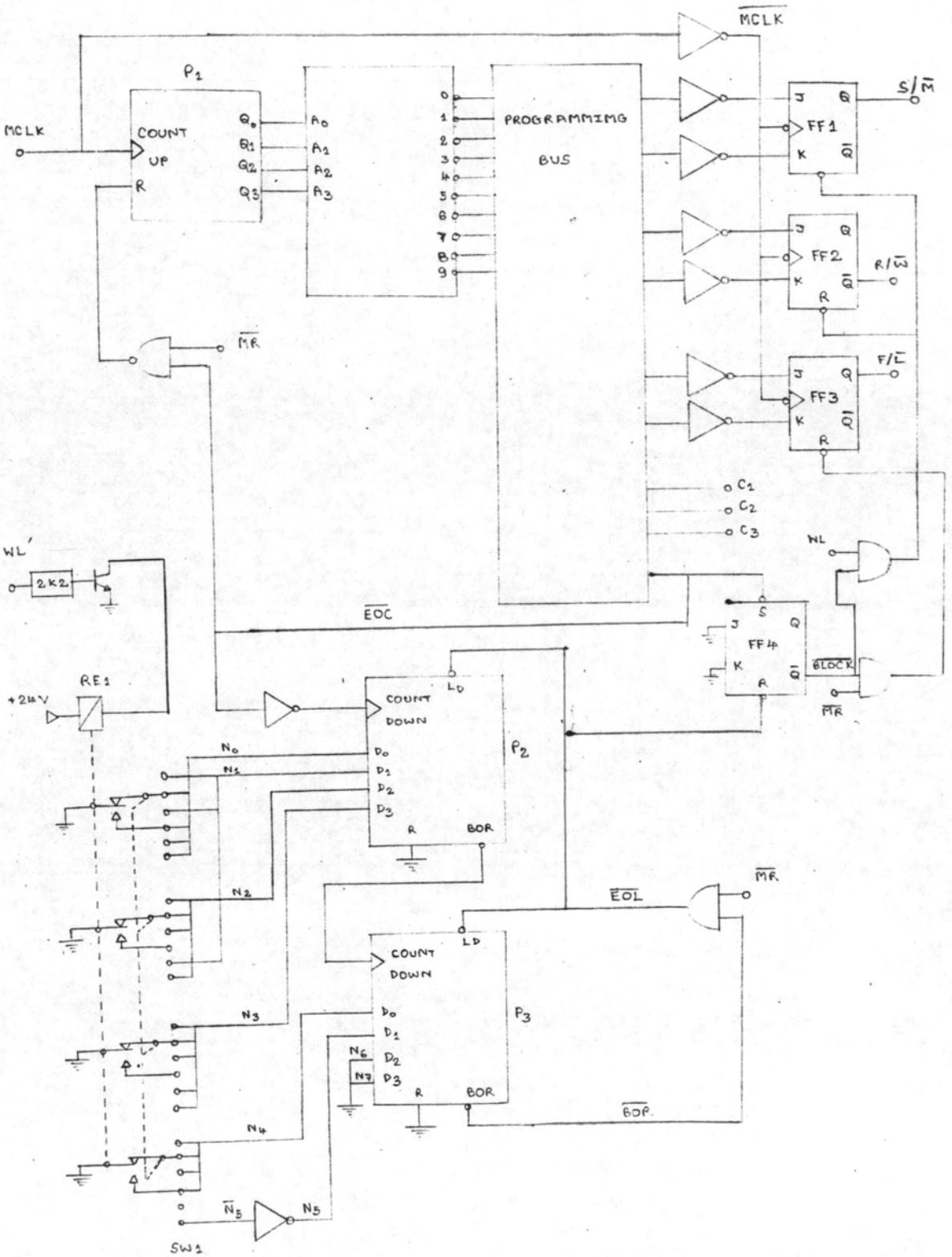


รูป 5.5-13 การดัดแปลงวงจรกรณีต้องการตั้งเวลาให้ละเอียดยิ่งขึ้น

5.5.5 <u>วงจรเปลี่ยนแปลงความถี่ในการสุ่ม</u>

ดังที่ได้กล่าวมาแล้วในตอน 5.5.2 เราจะเปลี่ยนความถี่การสุ่มโดยการหยุดส่งสัญญาณบังคับออกมาเป็นระยะเวลาหนึ่ง เช่น การสุ่มด้วยความถี่ต่ำลงเป็นครึ่งหนึ่งของความถี่สูงสุด ทำโดยการส่งสัญญาณบังคับออกมาชุดหนึ่ง แล้วหยุดไปเป็นเวลา 1 รอบของสัญญาณแล้วค่อยส่งสัญญาณออกมาอีกชุดหนึ่ง วิธีทำเราจะมีวงจรนับอีกชุดหนึ่งคอยนับจำนวนรอบที่จะส่งสัญญาณออกมา 1 ชุด

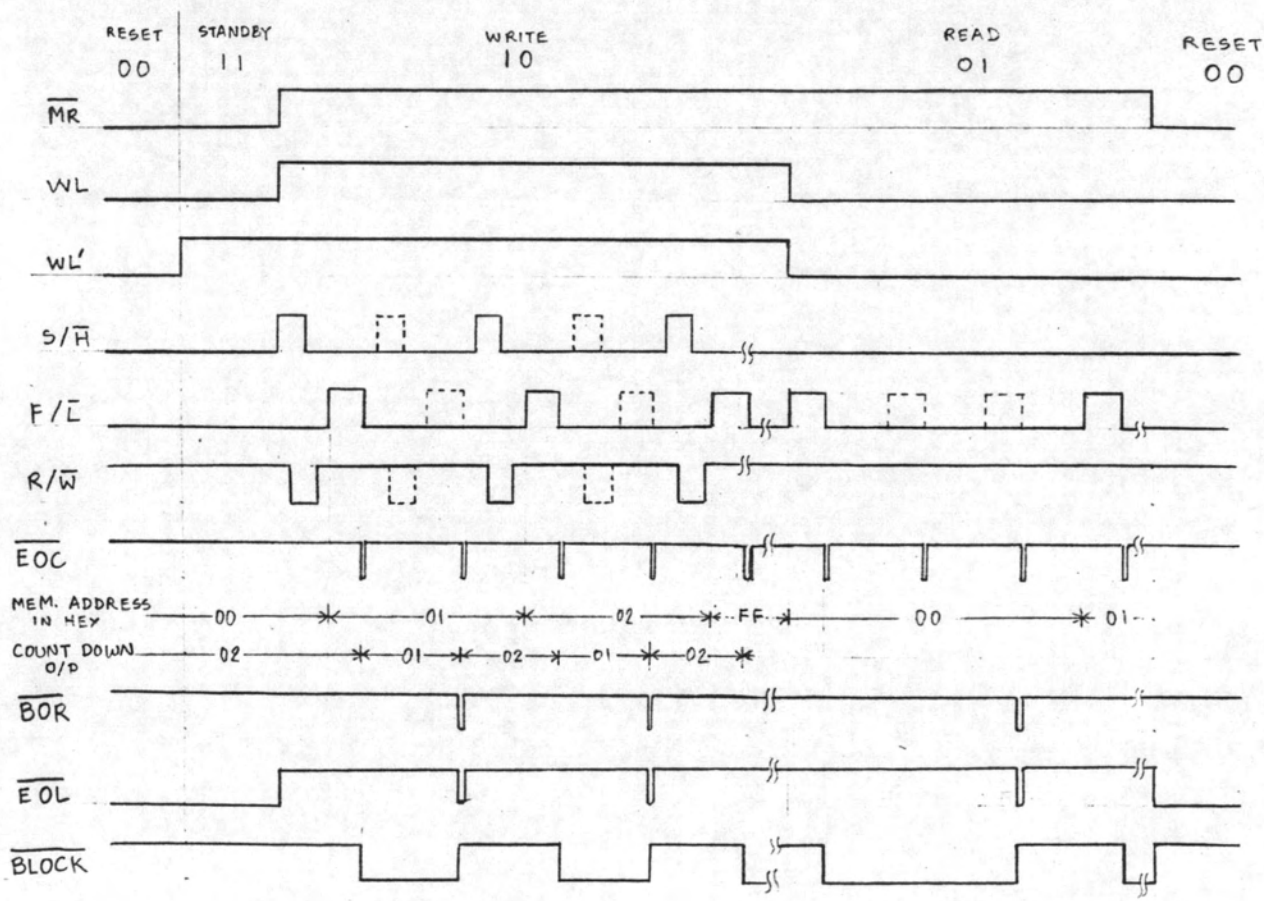
วงจรในรูป 5.5-14 เป็นวงจรสร้างสัญญาณควบคุมพร้อมกับวงจรเปลี่ยนความถี่ในการสุ่ม ซึ่งดัดแปลงมาจากวงจรในรูป 5.5-12 (ก) หลักการสำคัญก็คือ timing pulse ใน programming bus มีอยู่อย่างต่อเนื่องในสภาวะ Write หรือ Read แต่สร้างสัญญาณควบคุมมาบังคับ Flip-flop FF1, FF2 และ FF3 ไม่ให้ส่งสัญญาณออกมา ซึ่งแสดงเป็นเส้น



รูป 5.5-14 วงจรสร้างสัญญาณควบคุม ซึ่งสามารถตั้งความถี่สูงต่างๆ

ประในรูป 5.5-15

FF4 ใช้เป็น RS flip-flop ซึ่งจะถูก set โดย $\overline{EOC}$ (End of Cycle) ทำให้สัญญาณ $\overline{BLOCK}$ = 0 เพื่อใช้หยุดสัญญาณบังคับ $S/\overline{H}$, $R/\overline{W}$ และ $F/\overline{L}$ โดยการ reset FF1-FF3 ในขณะเดียวกัน $\overline{EOC}$ ยังทำหน้าที่ reset P_1 เพื่อให้ timming pulse เริ่มต้นใหม่อีกครั้งหนึ่ง นอกจากนี้สัญญาณ EOC ยังใช้เป็นสัญญาณ clock ของวงจรนับถอยหลัง P_2 และ P_3 ตอนเริ่มต้นวงจรนับถอยหลังถูก load ด้วยค่า N_7 N_6 ...N_0 ซึ่งเลือกโดยสวิทช์เลือกความถี่สุ่มซึ่งจะได้กล่าวถึงต่อไป เมื่อวงจรนับถอยหลังนับลงมาถึง 0 จะได้สัญญาณออก $\overline{BOR}$ ของ P_3 เป็น "0" ซึ่งทำให้ $\overline{EOL}$ เป็น "0" ด้วย ดังนั้นทุกครั้งที่วงจรนับถอยหลังนับถึง 0 สัญญาณ $\overline{EOL}$ จะเป็น "0" ซึ่งจะทำหน้าที่สองอย่าง คือ



รูป 5.5-15 รูปร่างสัญญาณควบคุมต่าง ๆ เมื่อ SW_1 อยู่ในตำแหน่งตามรูป

Load ค่าให้แก่วงจรนับถอยหลัง และ reset FF4 เพื่อปล่อยให้มีการส่งสัญญาณควบคุมออกมาอีก 1 ชุด ก่อนที่ FF1, FF2 และ FF3 จะถูก Reset เมื่อสัญญาณ $\overline{EOC}$ set FF4 อีกครั้งหนึ่ง

เป็นที่น่าสังเกตว่า สัญญาณควบคุม ADC นั่นคือ C_1, C_2 และ C_3 จะมีออกมาอย่างต่อเนื่อง แต่ไม่มีผลต่อระบบตราบใดที่สัญญาณ $R/\overline{W}$ ทำงานถูกต้อง ข้อสังเกตอีกประการหนึ่งที่ Address '00'H ของ RAM อันเป็นข้อมูลค่าแรกที่บันทึกไว้จะมีค่าไม่ถูกต้อง เพราะขณะนั้นยังอยู่ในช่วง Sample ของข้อมูลค่าแรกอยู่ (ดูรูป 5.5-15 ขณะ Address เป็น '00'H)

สัญญาณที่เกี่ยวกับสภาวะของเครื่องอันได้แก่ $\overline{MR}$ WL และ WL' ได้นำมาใช้เพื่อให้สัญญาณออกเป็นไปตามที่ต้องการที่สภาวะของเครื่องต่าง ๆ ดังนี้

ในช่วง Inactive (สภาวะ Reset และ Standby) สัญญาณ $\overline{MR}$ ทำหน้าที่หยุด timing pulses โดย reset P_1 ตั้งสัญญาณ $F/\overline{L}$ ให้เป็น 0 โดย reset FF3 และ Load วงจรนับถอยหลังในขณะยังไม่มีการนับ ซึ่งขณะนั้น $\overline{BOR}$ เป็น "1" ตลอด

สัญญาณ WL ทำหน้าที่บังคับให้สัญญาณ $R/\overline{W}$ = "1" คือให้ RAM ทำงานเฉพาะการอ่านในช่วงที่ไม่ใช่สภาวะ Write

สัญญาณ WL' ใช้บังคับรีเลย์ต่าง ๆ ให้ทำงานก่อนและระหว่างสภาวะ Write ซึ่งได้แก่รีเลย์ในแผงวงจรควบคุม และรีเลย์ RE_1 ในรูป 5.5-14 RE_1 ทำหน้าที่ตั้งค่าสัญญาณ N_0 - N_5ของวงจรนับถอยหลังโดยใช้สวิทช์ SW_1 เลือกความถี่ในการบันทึกในสภาวะ Write ส่วนในสภาวะ Read RE_1 ไม่ทำงาน N_0 - N_5จะถูกจัดด้วย contact ของรีเลย์ให้ได้ตามความถี่อ่าน

การตั้งค่า N_0 - N_7 ของวงจรนับถอยหลังตั้งโดยให้ค่า binary ของ $N_7N_6N_5 \ldots N_0$ ให้เท่ากับอัตราส่วนความถี่บันทึกต่อความถี่อ่าน ตาราง 5.5-1 แสดงค่าตัวเลขนี้สำหรับใช้ในวงจรที่สร้างขึ้น ซึ่งจะเห็นได้ว่า N_5 และ N_7 เป็น "0" เสมอ ดังนั้นจึงต่อเฉพาะ N_0 - N_5 ไปยัง SW_1 และ RE_1 ในรูป 5.5-14 ดังกล่าว ค่า N_0 - N_5 สำหรับ

ความถี่อ่านในรูปที่กล่าวถึงนี้ ตั้ง (หลังจากการทดสอบแล้ว) ให้อัตราส่วนความถี่บันทึกต่อความถี่อ่าน = 10 ซึ่งจะได้ความถี่อ่านที่พอเหมาะ กล่าวคือความถี่อ่านต่ำเพียงพอเพื่อให้การสร้างวงจรกรองแบบผ่านต่ำ (LPF) สะดวกขึ้น แต่ก็ไม่ต่ำเกินไปจนไม่เกิดภาพนิ่งเมื่อดูจากออสซิลโลสโคป

การสร้างวงจรควบคุมต้องอาศัยข้อมูลที่ได้จากหน่วยย่อยต่าง ๆ เพื่อใช้กำหนดความถี่ของ MCLK (Master clock) ความถี่สุ่มสูงสุด และการจัดรูปร่างสัญญาณควบคุมต่าง ๆ จากการทดสอบที่ผ่านมา Acquisition time ของ S/H = 1.5 μs ส่วน ADC Conversion time แบ่งเป็น 3 ช่วง ดังที่ได้กล่าวถึงในตอน 5.2.5 และจากการทดสอบได้ค่า t_1 = 700ns t_2 = 450ns ส่วน t_3 ได้จากข้อมูลของผู้ผลิต = 70ns และจากข้อมูลของผู้ผลิต RAM Read หรือ Write Cycle time อย่างน้อย = 350 ns โดยที่ Write pulse width อย่างน้อย 150ns เราสามารถเลือก MCLK' ความถี่สูง ๆ เพื่อให้การตั้ง timing ละเอียด เช่น อาจจะให้ละเอียดถึง 70 ns เท่ากับข้อมูลค่าที่ต่ำที่สุดที่ได้รวบรวมไว้ ณ ที่นี้ เพื่อลดข้อยุ่งยากของวงจรเราจะกำหนด timing ให้ละเอียดแค่ 1 ใน 10 ของรอบโดยเลือกคาบของ MCLK = 500ns ซึ่งตรงกับความถี่ 2 MHz

อัตราส่วนความถี่สุ่มสูงสุดต่อความถี่สุ่มในการบันทึก	ค่าเริ่มต้นนับของวงจรนับถอยหลัง $N_7N_6N_5 \cdots N_0$	ความถี่สุ่ม	ความถี่ของสัญญาณเข้าสูงสุด	ตัวคูณเวลาสำหรับความถี่อ่าน
1	0000 0001	250KHz	25KHz	X.1
2	0000 0010	125KHz	12.5KHz	X.2
5	0000 0101	50KHz	5KHz	X.5
10	0000 1010	25KHz	2.5KHz	X1
20	0001 0100	12.5KHz	1.25KHz	X2
50	0011 0010	5KHz	500KHz	X5

ตาราง 5.5-1 แสดงตัวเลขที่สำคัญเกี่ยวกับการตั้งความถี่สุ่มที่ค่าต่าง ๆ

รูป 5.5-14 แสดงทั้งวงจรการจัดสัญญาณควบคุม และรูปร่างสัญญาณที่ได้ ช่วง Sample เราตั้งเวลาไว้ 2μs หรือเท่ากับ MCLK สี่ลูก เพื่อให้แน่ใจว่าสัญญาณสุ่มมีค่า (เกือบ) เท่าสัญญาณเข้า ช่วงเวลา t_1 ซึ่งนับจากขอบด้านลงของ C_1 ถึงขอบด้านลงของ C_2 อันเป็นช่วงที่ ADC 6 บิทแรกทำงาน จากการตั้งสัญญาณตามรูปดังกล่าว ADC จะทำงานไปพร้อมกับ S/H ดังนั้นขณะเริ่ม Hold ADC 6 บิทแรกก็ทำงานไปเกือบจะเสร็จจึงให้เวลาอีก 500 ns จากเวลาเริ่ม Holdจนถึงขอบลงของ C_2 เพื่อให้เวลาให้สัญญาณออกของ 6 บิทแรกอยู่ตัว การจัดเวลาของสัญญาณควบคุมที่เหลือก็ตรงไปตรงมา โดยเผื่อเวลาไว้อย่างเพียงพอ จะเห็นได้ว่าเป็นไปตามเงื่อนไขในรูป 5.3-2

เนื่องจากหนึ่งรอบการทำงาน ใช้เวลา 8 x 500 ns = 4 μs ดังนั้นค่าความถี่สุ่มสูงสุดจึงเท่ากับ 250KHz ซึ่งจะใช้สำหรับสัญญาณเข้าอนาลอกสูงสุดไม่เกิน 1/10 ของค่านี้ คือ 25KHz ตาราง 5.5-1 แสดงความถี่สุ่มและความถี่สัญญาณเข้าสูงสุดค่าต่าง ๆ ตามการเลือก ค่า N_0 - N_7

เนื่องจาก Master clock (MCLK) สร้างจาก Crystal Oscillator จึงให้อัตราส่วนระหว่างความถี่ในการบันทึกและความถี่อ่านเที่ยงตรงมาก เพื่อความสะดวกในการใช้งานจึงได้ให้ค่าตัวคูณเวลาที่คอลัมน์สุดท้ายของตาราง 5.5-1 เพื่อใช้คูณกับเวลาที่วัดได้ตอนอ่านค่าบนออสซิโลสโกป เพื่อให้ได้ค่าเวลาที่ถูกต้อง ค่าตัวคูณเหล่านี้จะปรากฏอยู่บนหน้าปัทม์ของสวิทช์เลือกความถี่สุ่ม

5.5.6 การทดสอบวงจรและการแก้ไข

จากการทดสอบวงจรได้พบปัญหาว่าการเปลี่ยนแปลงสภาวะแบบ Asynchronous มีผลต่อแบบ Synchronous ซึ่งในการออกแบบในตอน 5.5.2 คือแยกกันโดยเด็ดขาด ผลของการเปลี่ยนแปลงสภาวะทั้งสองแบบที่มีต่อกันดังจะเห็นได้จากรูป 5.5-16 ซึ่งเป็นส่วนของวงจรเฉพาะที่เกี่ยวข้องกับสวิทช์ Start โดยเริ่มจากสภาวะ 11 (Standby) เมื่อเรากดสวิทช์ Start จะเกิดสัญญาณค่า "0" ไป reset X_2 เนื่องจากขา reset มีผลเหนือกว่า Synchronous transition การกดสวิทช์ค้างจะบังคับให้ X_2 เป็น "0" เสมอ ในเวลาต่อมาอีกเล็กน้อยแม้จะเกิดเงื่อนไขสำหรับ Synchronous transition (Y = 1 และ $L/\overline{F}$

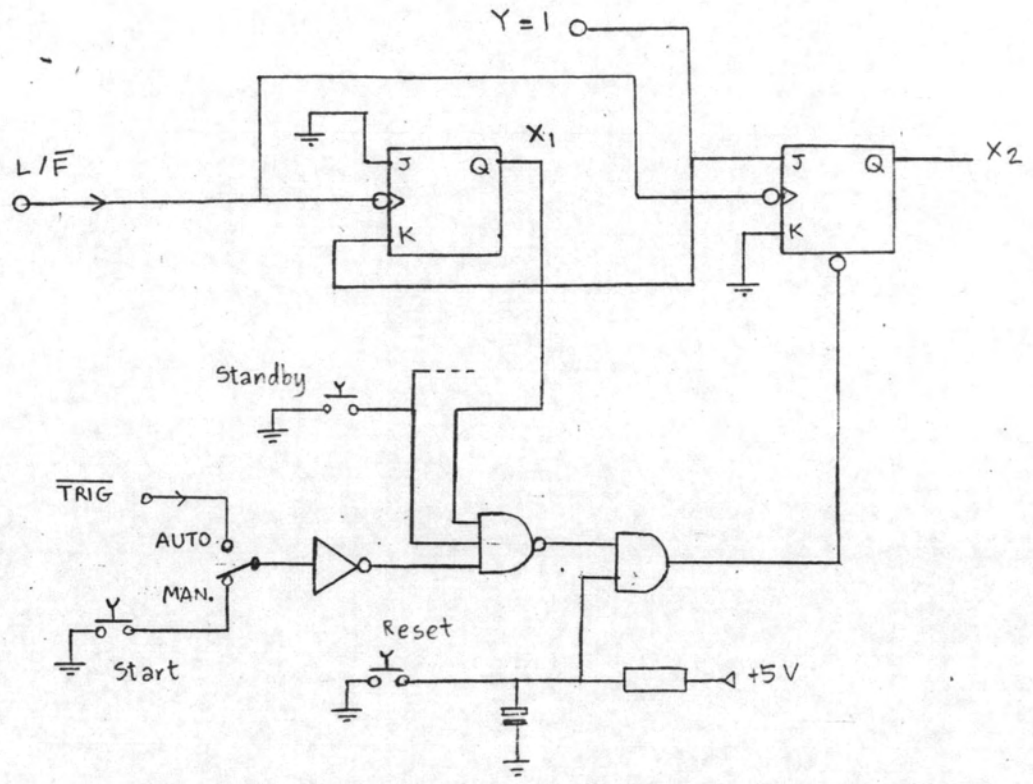
เปลี่ยนจาก 1 เป็น 0) เพื่อเปลี่ยนให้ x_2 เป็น 1 x_2 จะยังคงเป็น "0" ตามเดิม

ปัญหาอีกประการหนึ่งที่พบเป็นกรณีที่กดสวิทช์ Standby ค้างขณะสวิทช์เลือก Auto triggering จากสัญญาณ $\overline{TRIG}$ เนื่องจากการออกแบบทำให้สวิทช์ Standby มีผลเหนือสวิทช์ Start ทำให้มันมีผลเหนือสัญญาณ $\overline{TRIG}$ ด้วย เนื่องจาก $\overline{TRIG}$ เกิดตามสัญญาณเข้า มันอาจเกิดขณะกดสวิทช์ Standby ซึ่งจะไม่มีผลอะไรเกิดขึ้นจนกว่าสวิทช์ Standby จะถูกปล่อย

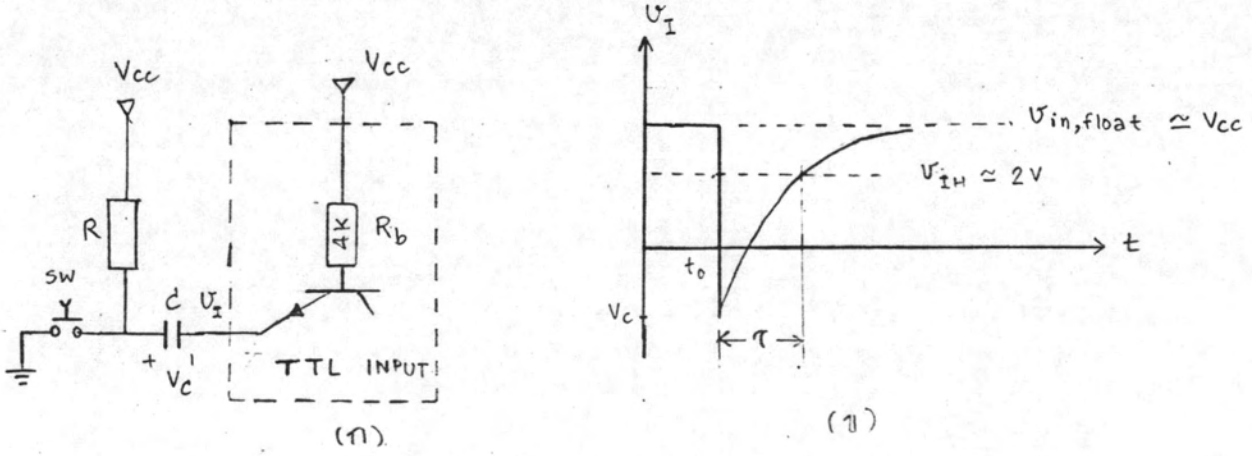
ปัญหาทั้งสองที่กล่าวมาแล้วนี้ อาจจะแก้ไขโดยใช้ตัวต้านทานและตัวเก็บประจุช่วยให้เกิด พัลส์ เพียงชั่วเวลาสั้น ๆ การทำงานดูจากวงจรในรูป 5.5-17 เมื่อสวิทช์ยังไม่กด แรงดันคร่อมตัวเก็บประจุ V_c เป็นดังแสดงในรูป เมื่อเริ่มกดสวิทช์ที่เวลา t_o V_c ยังไม่เปลี่ยนแปลงทันที ทำให้ V_I มีค่าเป็นลบเท่าแรงดันตกคร่อมเดิมของตัวเก็บประจุ V_c ซึ่งมีค่าเกือบเป็น 0 ในเวลาต่อมาตัวเก็บประจุจะคายประจุออก จะสะสมและประจุในทิศตรงข้ามกับของเดิม เนื่องจากมีกระแสจากความต้านทาน และไดโอด B-E ที่ภาคเข้าของ TTL gate ที่มาต่อกับสวิทช์ เวลาที่เสมือนสวิทช์ถูกกดก็คือช่วงเวลาที่ V_I มีค่าไม่ถึงค่าแรงดันต่ำสุดที่ถือว่าเป็น "1" ก็อประมาณ 2V เวลาหลังจากนั้น V_1 มีค่าสูงขึ้นจนเป็น "1" โดยที่สวิทช์ยังกดอยู่ จะเห็นได้ว่าถึงแม้จะกดสวิทช์อยู่นานแต่มีผลเหมือนการกดสวิทช์เป็นเวลาสั้น τ ซึ่งคำนวณได้จากค่าคงตัวเวลาในการประจุตัวเก็บประจุ

สำหรับสวิทช์ Start ค่า τ จะต้องน้อยกว่าเวลาทั้งหมดของ Write loop ซึ่ง $= 256 \times (1/250 \times 10^3) \cong 1ms$ ส่วนค่า τ ของสวิทช์ Standby จะต้องนานพอที่จะให้รีเลย์ในแผงวงจรแปลงสัญญาณ และรีเลย์ที่จะเปลี่ยนเป็นความถี่บันทึกทำงานเรียบร้อยแล้ว สำหรับรีเลย์ที่ใช้งาน ค่า τ จะต้องมีค่า 13ms เป็นอย่างน้อย

จากการทดลองพบว่าวิธีการข้างต้นแก้ปัญหาการกดสวิทช์ค้างได้ แต่พบว่ายังมีปัญหาที่สัญญาณ $\overline{TRIG}$ ในขณะใช้ Automatic triggering เพราะมันสร้างจากสัญญาณเข้าอนาลอกซึ่งอยู่นอกเหนือการควบคุมของเรา จึงเกิดกรณี $\overline{TRIG}$ มีค่าเป็น "0" ขณะที่เครื่องพร้อมที่จะเปลี่ยนจากสภาวะ Write เป็น Read เช่นเดียวกับกรณีของการกดสวิทช์ Start ค้างอยู่ การแก้โดยใช้ตัวต้านทานและตัวเก็บประจุ จะไม่ได้ผลเพราะสัญญาณ $\overline{TRIG}$ เปลี่ยน-



รูป 5.5-16 ส่วนของวงจรควบคุมซึ่งแสดงผลของการกดสวิทช์ Start ค้างที่มีต่อ Synchronous transition



รูป 5.5-17 (ก) การสร้างพัลส์แคบ ๆ เพื่อขจัดผลการกดสวิทช์ค้างไว้ (ข) การเปลี่ยนแปลงของสัญญาณที่ขาเข้าของ TTL gate ตามเวลา

แปลงเรื่อย ๆ คล้ายกับการกดสวิทช์ซ้ำ ๆ วิธีแก้ปัญหานี้เราจะทำโดยการป้องกันไม่ให้สัญญาณ T ซึ่งอาจจะมาจากสวิทช์หรือมาจาก $\overline{TRIG}$ ไม่ให้มีผลขณะอยู่ในสภาวะ Write ดังนั้น สัญญาณ T จึงต้องถูกควบคุมด้วย $\overline{WL}$ ตามรูป 5.5-18 ในสภาวะ Write สัญญาณ T จะไม่มีผลไป reset X_2 อีกต่อไป เนื่องจากขณะนั้น $\overline{WL}$ = "0" ทำให้ $\overline{T}$' เป็น "0" ตลอดช่วง Write

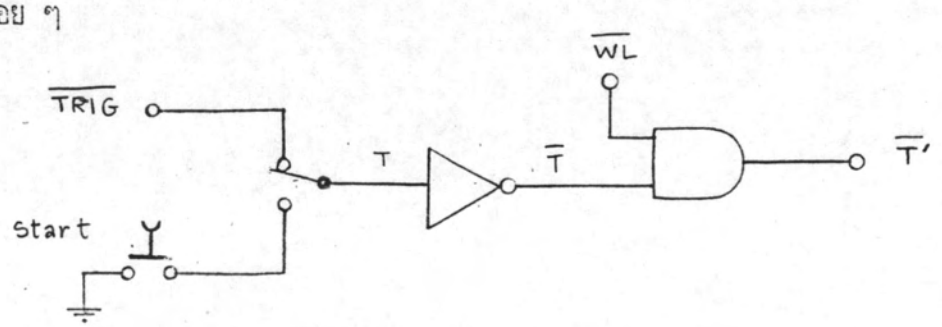
สำหรับสวิทช์ Standby ซึ่งต้องเกี่ยวข้องกับเวลาที่รีเลย์ทำงานก็ยังคงใช้วงจรตัวต้านทานและตัวเก็บประจุในรูป 5.5-17 เนื่องจากขาเข้าของ TLL gate ขณะที่มันลอยหรือขณะที่ไม่มีกระแสไหลเข้าหรือออกเช่นตอนที่อยู่ในสภาวะสมดุลย์ตามรูป 5.5-17 (ก) มีแรงดัน $=V_{cc}$ = 5 v ดังนั้น V_c มีค่าน้อยมาก ≅ 0 v สมการการถ่ายเทประจุในรูป 5.5-17 (ข) คือ

$$V_I = (V_{cc} + V_c)(1-e^{-(t-t_o)/R_bC}) - V_c;\ t \geq to \quad (5.5-5)$$

โดยการแทนค่า V_c ช่วงต้น และ R_b = 4 KΩ (ของ TTL gate) V_I สุดท้าย = 2v และ $t - t_o = \tau$ = 13ms ซึ่งเป็นเวลาทำงานของรีเลย์ในวงจรของเรา คำนวณค่า C ได้

$$C = 6.36\ \mu F$$

เนื่องจากค่า C ใหญ่มาก จึงใช้ตัวเก็บประจุแบบ Electrolytic ขนาด 10 μF สองตัวต่ออนุกรมกันโดยให้ขั้วสวนทางกัน ส่วนค่า R เกี่ยวข้องกับเวลาการสะสมประจุของ C ขณะปล่อยสวิทช์ ซึ่งไม่สำคัญนัก เลือกค่า R = 10KΩ เพื่อให้กระแสไหลผ่านขณะกดสวิทช์มีค่าน้อย ๆ



รูป 5.5-18 วงจรแก้ปัญหาสัญญาณ T ค้างที่ค่า "0" ในสภาวะ Write

หอสมุดกลาง สถาบันวิทยบริการ จุฬาลงกรณ์มหาวิทยาลัย

5.5.7 วงจรสมบูรณ์ของแผงวงจรควบคุม

วงจรต่าง ๆ ของภาคควบคุมที่ได้ออกแบบและแก้ไขแล้วได้รวบรวมไว้ในรูป 5.5-19 มีส่วนเพิ่มเติมสำคัญที่ยังไม่ได้กล่าวถึงได้แก่ Crystal Oscillator ซึ่งใช้วงจรแบบColpitts ความถี่ที่วัดได้ก็อ 6.012645 MHz เมื่อผ่านวงจรหารสามจะได้สัญญาณความถี่ 2.004215 MHz ซึ่งใช้เป็น MCLK (Master clock) ความถี่ MCLK นี้แม้จะไม่เป็นเลขลงตัว แต่สำหรับความถี่สุ่มที่ตั้งไว้ค่าหนึ่งอัตราส่วนระหว่างความถี่บันทึกต่อความถี่อ่านจะคงที่ ผลที่ได้จึงไม่ขึ้นกับความถี่ MCLK จะมีข้อยกเว้นก็เฉพาะวงจรกรองความถี่แบบผ่านต่ำซึ่งมี Cutoff frequency ขึ้นกับค่าความถี่สุ่มโดยตรง แต่ก็ไม่ Critical นัก อย่างไรก็ดีด้วยความถี่ MCLK ดังกล่าวเราจะประมาณได้ว่า MCLK = 2 MHz ดังนั้นโดยการตั้ง $\overline{EOC}$ ที่ ๘ ทำให้ความถี่การสุ่มสูงสุด = $\frac{2}{8}$ MHz = 250KHz ดังที่ปรากฏในตาราง 5.5-1

เนื่องจาก MCLK = 2MHz ดังนั้นหน่วยเวลาย่อยมูลฐานในการตั้งสัญญาณควบคุมจะเท่ากับ 1 คาบของ MCLK = 500ns เวลานี้นานพอที่จะเป็นไปตามเงื่อนไขต่าง ๆ ในรูป 5.3-2 ของแผงวงจรจำ

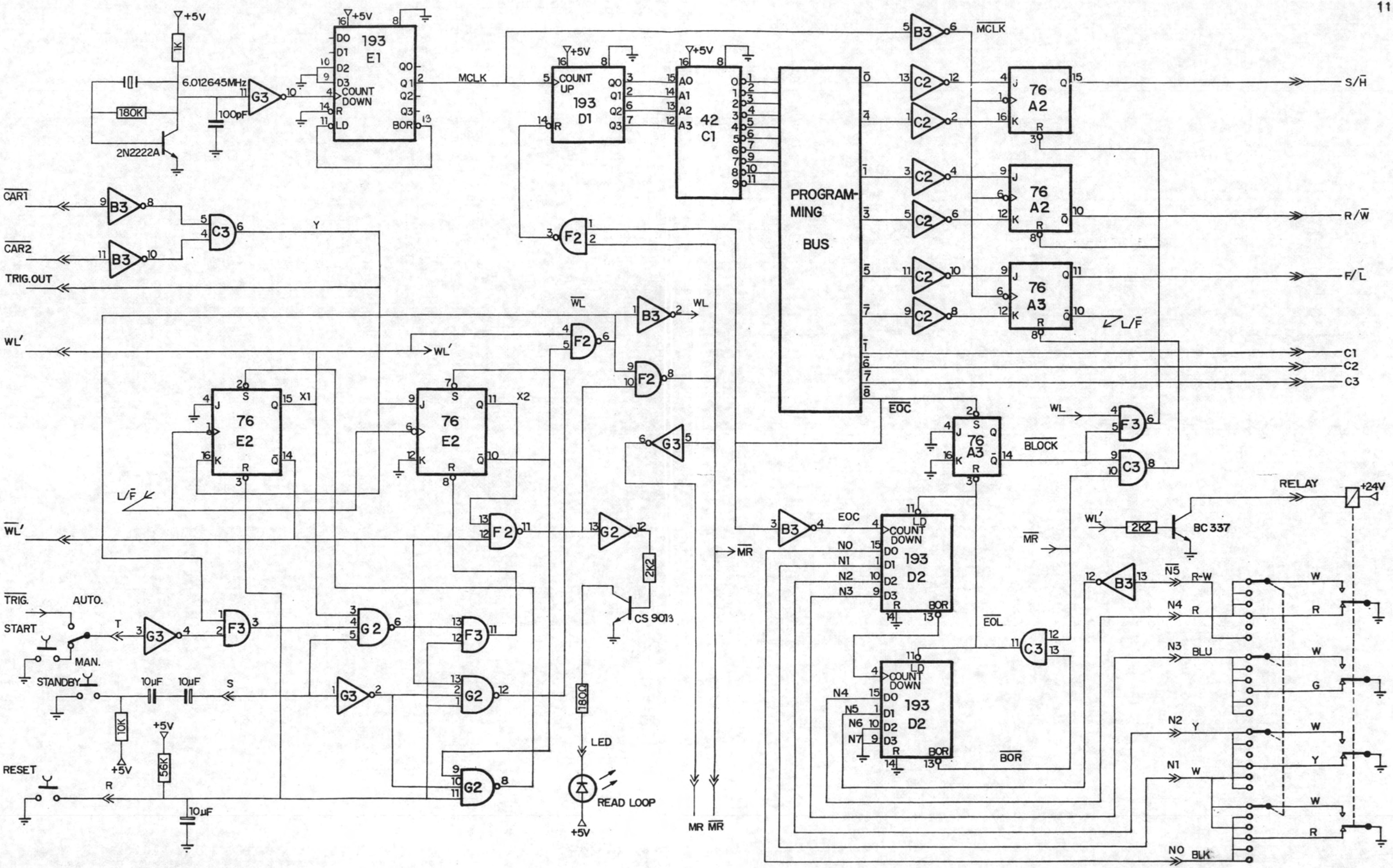
วงจรส่วนที่เพิ่มขึ้นอีกอันหนึ่งก็คือวงจรที่จะแสดงให้ทราบว่าเครื่องอยู่ในสภาวะ Read โดยใช้ LED (Light Emitting Diode)เนื่องจากสภาวะ Read คือ 01 และเราก็มี $\overline{\overline{X}_1 X_2}$ จากการสร้าง $\overline{MR}$ แล้ว จึงเพิ่ม inverter อีก 1 ตัวก่อนที่จะต่อเข้า transistor สำหรับจุด LED ตามวงจรในรูป 5.5-19

5.6 แผงวงจรภาคเข้าและภาคออก

เป็นแผงวงจรที่รวมเอากระบวนการต่าง ๆ สำหรับสัญญาณอนาลอกเข้าด้วยกัน ได้แก่ S/H ซึ่งกล่าวไปแล้วในตอน 5.4 นอกจากนี้ก็ยังมีวงจรกรองสัญญาณแบบผ่านต่ำ และวงจรสร้างสัญญาณทริกเกอร์อัตโนมัติ ซึ่งจะกล่าวถึงในตอนนี้เพื่อให้ครบเป็นวงจรสมบูรณ์ของทั้งภาค

5.6.1 วงจรกรองสัญญาณแบบผ่านต่ำ (LPF)

เนื่องจากการอ่านค่าจาก RAM ทำด้วยความถี่คงที่ ดังนั้นไม่ว่าค่าที่เก็บใน RAM จะได้มาด้วยการสุ่มมาเร็วหรือช้าเพียงไหนก็ตาม แต่ตอนอ่านจาก RAM ข้อมูลของสองจุดจะ



รูป 5.5-19 วงจรสมบูรณ์ของแผงควบคุม

มีเวลาห่างกันคงที่เสมอ นั่นคือวงจรกรองจะ "เห็น" สัญญาณใด ๆ ที่บันทึกไว้ถูกสุ่มด้วยความถี่เท่าเดิมเสมอ ทำให้เราสามารถสร้างวงจรกรองสัญญาณที่มี Cutoff frequency คงที่ ไม่ขึ้นกับความถี่สุ่ม

จากการวิเคราะห์สเปคตรัมของสัญญาณซายน์ที่ถูกสุ่มในตอน 3.3 จะเห็นได้ว่าความถี่ของสัญญาณซายน์ยิ่งใกล้กับความถี่สุ่มเพียงใด ช่วงห่างระหว่างสเปคตรัมของสัญญาณซายน์กับฮาร์โมนิคของมันจะยิ่งใกล้กันทำให้ต้องใช้วงจรกรองสัญญาณที่มีอัตราการทอนสัญญาณที่ไม่ต้องการชันยิ่งขึ้น หรือกล่าวได้ว่าอันดับของวงจรกรองยิ่งสูงขึ้น ในที่นี้เราจะกำหนดความถี่ของสัญญาณเข้าไม่สูงกว่า 1/10 เท่าของความถี่สุ่ม เพื่อลดความจำเป็นในการใช้วงจรกรองอันดับสูง ๆ และเพื่อไม่ต้องมีการชดเชยการตัดทอนที่ความถี่มูลฐาน (fundamental frequency) ของสัญญาณเข้าซึ่งจะละเลยไม่ได้ถ้าความถี่มูลฐานนี้ใกล้เคียงกับความถี่สุ่มมากเกินไป

วงจรกรองสัญญาณที่ใช้เป็นแบบ Active filter คือใช้วงจร R-C กับออพแอมป์ และเลือกใช้แบบ Butterworth[4] เพราะมีผลตอบสนองความถี่ในช่วงความถี่กลางราบเรียบที่สุดตามสมการ

$$A_V(W) = \frac{A_{VO}}{\sqrt{1+(\frac{W}{W_O})^{2n}}} \qquad (5.6\text{-}1)$$

โดยที่ A_{VO} คืออัตราขยายของวงจรกรองที่ความถี่กลาง W_O คือ Cutoff frequency ของวงจรกรอง และ n คืออันดับของวงจรกรอง

สำหรับระบบของเราได้เลือกเอา n = 4 เพื่อให้อัตราการทอนสัญญาณสูงพอสมควร โดยใช้สมการ (5.6-1) และ normalize ให้ $A_{VO} = 1$ และ $W_O = 1$ คำนวณและสร้างตาราง 5.6-1 โดยใช้โปรแกรมในรูป 5.6-1 เราจะเลือก Cutoff frequency จากตาราง 5.6-1 นี้ โดยใช้กรณีเลวร้ายที่สุดคือความถี่สุ่ม = 10 เท่าของความถี่สัญญาณเข้า ดังนั้นฮาร์โมนิคแรกที่อยู่ที่ความถี่ 9 เท่าของความถี่ของสัญญาณเข้า เราต้องการให้วงจรกรองตัดทอนฮาร์โมนิคที่ 9 นี้อย่างน้อย 100 เท่าของการตัดทอนที่ความถี่มูลฐาน โดยใช้ตาราง 5.6-1 เราจะคิดย้อนกลับโดยถือว่าถ้าใช้วงจรกรองที่มี Cutoff frequency (W_O) = 1.0 ความถี่สูงสุดของสัญญาณอนาลอกขาเข้า (W_m) ควรจะอยู่ที่ความถี่เท่าใดจึงจะมีการตัดทอนความถี่มูลฐาน

```
LPF : PROC OPTIONS (MAIN);                                          LPF000
/*****************************************************************LPF000
* PROGRAM TO TABULATE FREQUENCY RESPONSE OF BUTTERWORTH *LPF000
*         4_TH ORDER LOW PASS FILTER NORMALIZED WITH    *LPF000
*         RESPECT TO CUTOFF FREQUENCY                   *LPF000
*****************************************************************/LPF000
                                                                    LPF000
DECLARE A DECIMAL FLOAT (16);                                       LPF000
                                                                    LPF000
PUT SKIP (7);                                                       LPF001
PUT EDIT ('FREQUENCY RESPONSE OF BUTTERWORTH 4_TH ORDER',LPF001
          ' LOW PASS FILTER') (X(12),A,A);                          LPF001
PUT SKIP(2) EDIT ('FREQUENCY NORMALIZED WITH RESPECT TO',LPF001
                  ' CUTOFF FREQUENCY') (X(12),A,A);                 LPF001
PUT SKIP(3) EDIT ('FREQUENCY','ABSOLUTE RESPONSE')                  LPF001
                 (X(17),A,X(5),A);                                  LPF001
PUT SKIP;                                                           LPF001
                                                                    LPF001
DO X=0.01,0.1,1,10,100;                                             LPF001
   DO Z=X BY X TO 9*X WHILE (Z<=100);                               LPF002
      A = 1/SQRT(1+(Z**8));                                         LPF002
      PUT SKIP EDIT (Z,A) (X(17),F(7,2),X(6),F(16,13));             LPF002
   END;                                                             LPF002
END;                                                                LPF002
                                                                    LPF002
END LPF;                                                            LPF002
```

รูป 5.6-1 โปรแกรมสำหรับคำนวณผลตอบสนองของความถี่ของวงจรกรองแบบ Butterworth อันดับ 4

FREQUENCY RESPONSE OF BUTTERWORTH 4_TH ORDER LOW PASS FILTER

FREQUENCY NORMALIZED WITH RESPECT TO CUTOFF FREQUENCY

FREQUENCY	ABSOLUTE RESPONSE
0.01	1.0000000000000
0.02	1.0000000000000
0.03	1.0000000000000
0.04	1.0000000000000
0.05	1.0000000000000
0.06	1.0000000000000
0.07	1.0000000000000
0.08	1.0000000000000
0.09	1.0000000000000
0.10	1.0000000000000
0.20	0.9999990463257
0.30	0.9999675750732
0.40	0.9996729493141
0.50	0.9980525374413
0.60	0.9917065501213
0.70	0.9723649024963
0.80	0.9253817200661
0.90	0.8361056447029
1.00	0.7071069478989
2.00	0.0623782835901
3.00	0.0123447366059
4.00	0.0039062201977
5.00	0.0015999979805
6.00	0.0007716044784
7.00	0.0004164930433
8.00	0.0002441406250
9.00	0.0001524157851
10.00	0.0000999999902
20.00	0.0000062499994
30.00	0.0000012345672
40.00	0.0000003906250
50.00	0.0000001600000
60.00	0.0000000771605
70.00	0.0000000416493
80.00	0.0000000244141
90.00	0.0000000152416
100.00	0.0000000100000

ตาราง 5.6-1 แสดงผลตอบสนองของความถี่ของวงจรกรองแบบ Butterworth อันดับ 4

เพียงเล็กน้อย คือน้อยกว่า 1 % โดยที่การตัดทอนที่ฮาร์โมนิคที่ 9 มากกว่า 100 เท่าเทียบกับผลตอบสนองที่ความถี่กลาง จะเห็นได้จากตารางว่าที่ความถี่มูลฐาน = 0.5 การตัดทอนมีเพียง 0.2 % โดยที่การตัดทอนที่ฮาร์โมนิคที่ 9 คือที่ความถี่ = 4.5 มากกว่า 100 เท่าเทียบกับผลตอบสนองที่ความถี่กลาง (A_V (4.5)< 0.01) เนื่องจากค่าที่ความถี่ 4.5 ไม่มีในตาราง เราจึงคำนวณจากสมการ(5.6-1)

$$A_V\ (4.5) \quad = \quad \frac{1}{\sqrt{1 + 45^8}} \quad = 0.0024$$

สรุปแล้วเราจะเลือก cutoff frequency ของวงจรกรอง (W_o) เป็นสองเท่าของความถี่สูงสุดของสัญญาณเข้า (W_m)

วงจรกรองแบบผ่านต่ำอันดับสองแสดงในรูป 5.6-2 ดังนั้นเราจะสร้างวงจรกรองอันดับสี่จากวงจรกรองอันดับสองสองภาคต่อเรียงกัน สมการการออกแบบที่จะกล่าวถึงต่อไปนี้ส่วนใหญ่เรียบเรียงจากเอกสารอ้างอิงหมายเลข 4

Transfer function ของวงจรกรองอันดับสองอยู่ในรูป

$$\frac{A_V\ (S)}{A_{VO}} \quad = \quad \frac{1}{(S/W_o)^2 + 2k(S/W_o) + 1} \qquad (5.6\text{-}2)$$

สำหรับวงจรกรองอันดับสี่แบบ Butterworth จะต้องจัด Transfer function ให้อยู่ในรูปของ Transfer function อันดับสองสองชุดดังนี้

$$A_V(S) \quad = \quad \frac{A_{VO1}}{(S/W_o)^2 + 2k(S/W_o)+1} \quad \frac{A_{VO2}}{(S/W_o)^2 + 2K_2(S/W_o)+1} \qquad (5.6\text{-}3)$$

โดยที่ค่า k_1 และ k_2 เป็นไปตาม Normalized Butter worth polynomial อันดับ 4

$$(S^2+2k_1S+1)(S^2+2k_2S+1) \quad = \quad (S^2+0.7655+1)(S^2+1.8485+1) \qquad (5.6\text{-}4)$$

การสร้างวงจรกรองอันดับสองจากวงจรในรูป 5.6-2 มี Transfer function

$$\frac{A_V(S)}{A_{VO}} \quad = \quad \frac{1}{(RCS)^2+(3-A_{VO})RCS+1} \qquad (5.6\text{-}5)$$

และค่าอัตราขยาย A_{VO}

$$A_{VO} = 1 + \frac{R_f}{R_i} \qquad (5.6\text{-}6)$$

ดังนั้นโดยการเทียบสัมประสิทธิ์ระหว่างสมการ (5.6-2) และ (5.6-5)

$$W_o = \frac{1}{RC} \qquad (5.6\text{-}7)$$

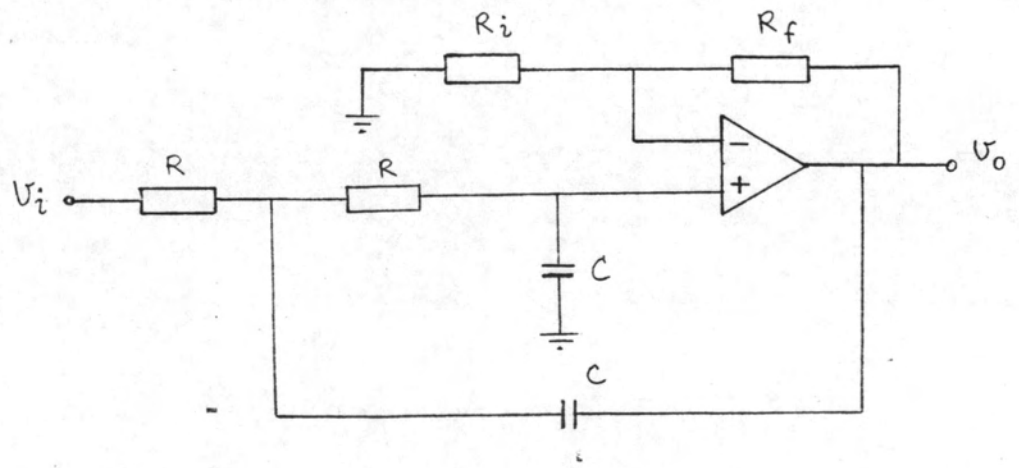
$$2k = 3 - A_{VO} \quad \text{หรือ} \quad A_{VO} = 3 - 2k \qquad (5.6\text{-}8)$$

จากตอน 5.5.6 ได้เลือกความถี่อ่าน 25KHz ซึ่งจะเป็นความถี่สุ่มที่ปรากฏแก่วงจรกรอง โดยให้สัญญาณเข้าความถี่สูงสุดคือ 1/10 เท่าของความถี่สุด สัญญาณเข้านี้จะปรากฏเป็นความถี่ 25/10 = 2.5KHz ดังนั้น f_o = 2x2.5 = 5KHz

$$f_o = \frac{1}{2\pi RC} = 5000 \text{ Hz}$$

เลือก C = 4n7 (4.7×10^{-9} F) คำนวณค่า R = 6774 Ω ในวงจรทดลองใช้ค่า R = 6.8KΩ แต่ได้ Cutoff frequency ต่ำไปจึงเปลี่ยนไปเป็น R = 5.6KΩ

สำหรับอัตราขยายของวงจรขยายทั้งสองภาคคำนวณจากสมการ (5.6-8) โดยใช้ค่า K_1 และ K_2 จากสมการ (5.6-4)

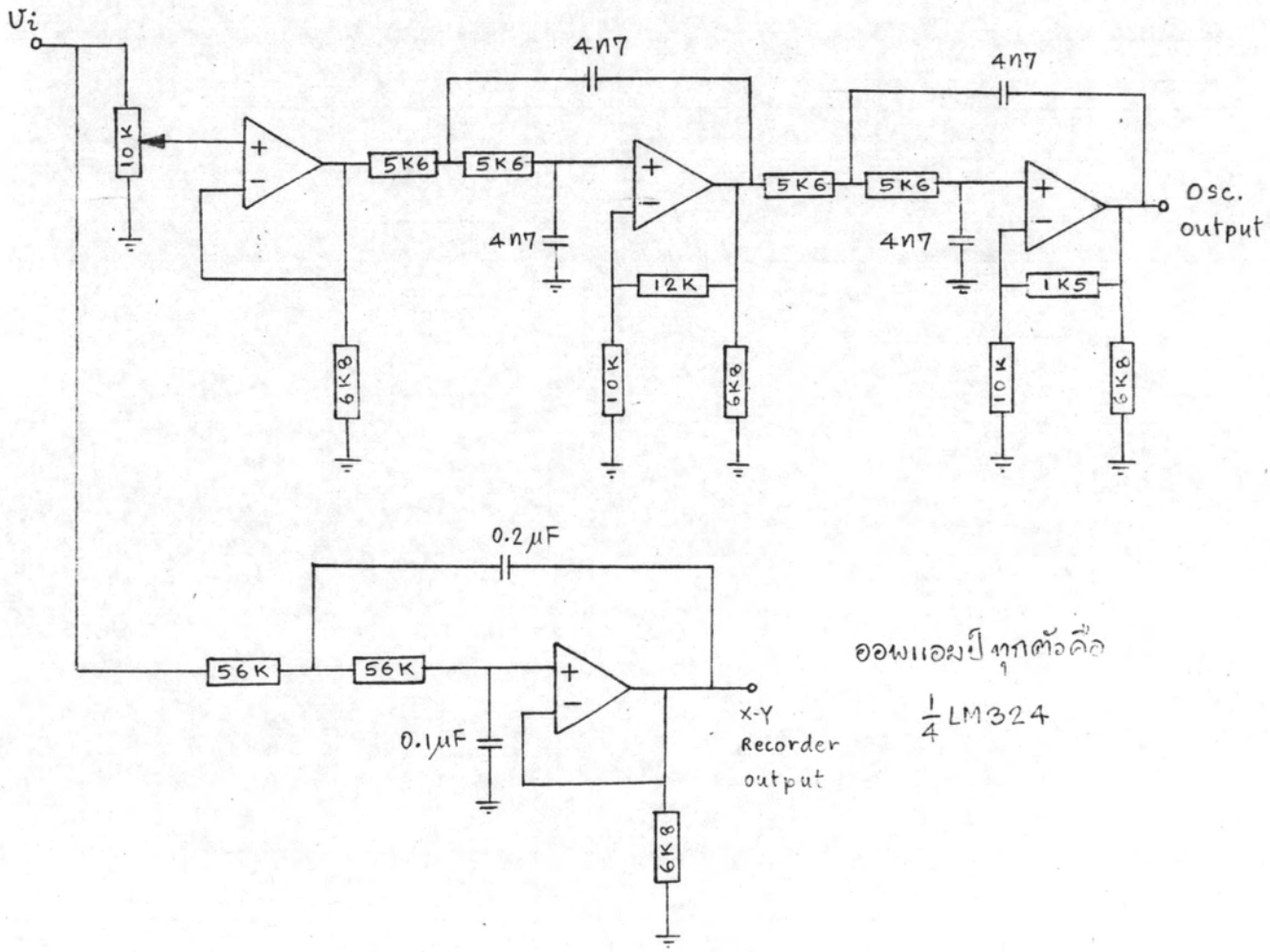


รูป 5.6-2 วงจรกรองแบบผ่านต่ำอันดับสอง

$$A_{VO1} = 3 - 0.765 = 2.235$$

$$A_{VO2} = 3 - 1.848 = 1.152$$

โดยเลือก $R_{i1} = R_{i2} = 10K\Omega$ $R_{f1} = (2.235-1)x10 = 12.35K\Omega$ ใช้ค่ามาตรฐาน $12K\Omega$ และ $R_{f2} = (1.152-1)x10 = 1.52K\Omega$ เลือกค่ามาตรฐาน $1.5\ K\Omega$ เนื่องจากเราต้องการวงจรกรองทั้งชุดมีอัตราขยาย = 1 จึงต้องมีการลดสัญญาณลงโดยใช้ pot และวงจรขยายอัตราขยาย = 1 อีก 1 ตัว วงจรกรองทั้งหมดจึงได้ตามรูป 5.6-3



รูป 5.6-3 วงจรกรองแบบผ่านต่ำที่สร้างขึ้น

การปรับ pot ทำโดยการป้อนสัญญาณที่ความถี่กลางประมาณ 500 Hz ปรับ pot ให้สัญญาณออกเท่ากับสัญญาณเข้า ออพแอมป์ที่ใช้คือ LM324 ต้อง load ภาคออกของมันด้วยตัวต้านทาน 6.8Kเพื่อให้มันทำงานที่ Linear mode (ถ้าภาคออกของมันมี Load น้อยเกินไปจะเกิด Cross over distortion)

ในวงจรที่สร้างขึ้นมีวงจรกรองอีกชุดหนึ่งสำหรับสัญญาณออกที่จะต่อไปยัง X-Y Recorder โดยใช้ Cutoff frequency = 5000/256 = 19.5 Hz ทั้งนี้เพราะความถี่การอ่านสำหรับ X-Y Recorder ลดลงไปอีก 256 เท่า เนื่องจาก X-Y Recorder มีสมบัติในการตอบสนองความถี่ต่ำมาก วงจรกรองจึงต้องการเพียงอันดับสองก็เพียงพอแล้ว การออกแบบเราจะทำให้วงจรกรองมีอัตราขยาย = 1 เพื่อลดความจำเป็นในการทอนสัญญาณลงมา วิธีการออกแบบที่ใช้จะผิดกับที่กล่าวมาแล้วตอนต้น แม้จะเป็นวงจรแบบ Butterworth เหมือนกัน จากเอกสารอ้างอิงหมายเลข 5 หน้า 296 - 297 Transter function ของวงจรกรองอันดับสองโดยทั่ว ๆ ไปเขียนได้เป็น

$$A_V(S) = \frac{A_{VO} W_O^2}{S^2+\alpha W_O S+W_O^2} \qquad (5.6\text{-}9)$$

โดยใช้วงจรในรูป 5.5-4 ค่ามาตรต่าง ๆ หาได้จาก

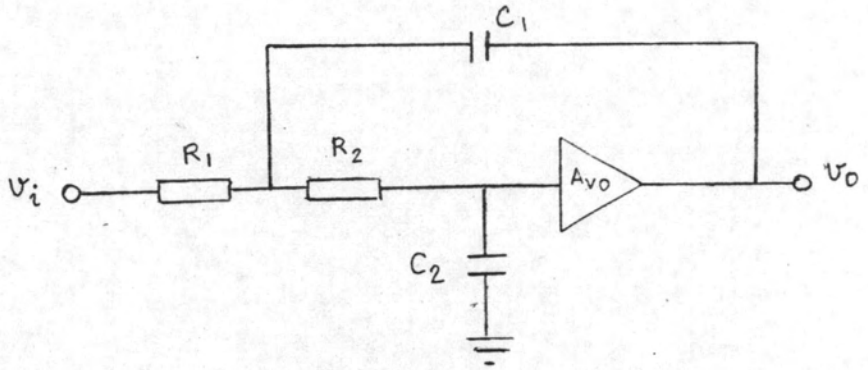
$$W_O = \frac{1}{\sqrt{R_1R_2C_1C_2}} \qquad (5.6\text{-}10)$$

$$\alpha = \sqrt{\frac{R_2C_2}{R_1C_1}} + \sqrt{\frac{R_1C_2}{R_1C_1}} + \sqrt{\frac{R_1C_1}{R_2C_2}} - A_{VO}\sqrt{\frac{R_1C_1}{R_1C_2}} \qquad (5.6\text{-}11)$$

เนื่องจาก $A_{VO} = 1$ ตามที่เราเลือกไว้ ดังนั้น สมการ (5.6-11) จึงกลายเป็น

$$\alpha = \sqrt{\frac{C_2}{C_1}}\left(\sqrt{\frac{R_1}{R_2}} + \sqrt{\frac{R_2}{R_1}}\right) \qquad (5.6\text{-}12)$$

สำหรับวงจรแบบ Butterworth $\alpha = \sqrt{2}$ ดังนั้นโดยการเลือก $R_1=R_2=R$ จากสมการ (5.6-12) เราจะได้



รูป 5.6-4 วงจรกรองสัญญาณแบบผ่านต่ำอันดับสองโดยทั่ว ๆ ไป

$$\frac{C_1}{C_2} = 2 \quad \text{หรือ} \quad C_1 = 2C_2$$

โดยใช้ $f_o = W_o/2\pi = 19.5$Hz และเลือก $C_2 = 0.1\,\mu F$, $C_1 = 0,2\,\mu F$ เรา คำนวนค่า R จาก (5.6-10) ได้

$$R = \frac{1}{2\pi \times 19.5 \times \sqrt{2} \times 10^{-7}} = 57.6\ K\Omega$$

เลือกใช้ค่า 56 KΩ

การทดสอบวงจรกรองสัญญาณได้ทำการวัดผลตอบสนองความถี่ของวงจรชุดที่ใช้กับออสซิโลสโคป อย่างละเอียดตามตาราง 5.6-2 ซึ่งเปรียบเทียบค่าที่วัดได้กับค่าผลตอบสนองตามทฤษฎีโดยถือว่า cutoff frequency = 5KHz ส่วนชุดที่ใช้กับ X-Y Recorder จะวัดคร่าว ๆ เฉพาะค่าที่สำคัญ ๆ เท่านั้น ผลการทดสอบสรุปได้ถือว่า Cutoff frequency คือความถี่ที่ผลตอบสนองลดลงมา -3dB หรือ 0.707 เท่าของค่าที่ความถี่กลาง

วงจรกรองสำหรับ ออสซิลโลสโคป

Cutoff frequency (f_o)	=	5.314 KHz
ผลตอบสนองที่ครึ่งหนึ่งของ f_o	=	0.988

วงจรกรองสำหรับ X-Y Recorder

Cutoff frequency (f_o)	=	23.25 Hz
ผลตอบสนองที่ครึ่งหนึ่งของ f_o	=	0.98

ความถี่ (KHz)	ผลตอบสนองที่วัดได้	ผลตอบสนองตามทฤษฎี (f_o = 5KHz)
0.25	1.00	1.000
0.50	0.999	1.000
1.0	0.998	0.999
1.5	0.992	0.999
2.0	0.982	0.999
2.5	0.988	0.998
3.0	0.979	0.992
3.5	0.961	0.972
4.0	0.932	0.925
4.5	0.882	0.836
5.0	0.768	0.707
5.314	0.707	-
6.0	0.540	0.434
7.0	0.343	0.252
8.0	0.222	0.151
9.0	0.146	0.095
10	0.0992	0.0624
15	0.0206	0.0123
20	0.0064	0.0039
25	0.0025	0.0016
30	0.001	0.0007

ตาราง 5.6-2 ผลการทดสอบการตอบสนองความถี่ของวงจรกรอง เปรียบเทียบกับผลตอบสนองของวงจรกรองที่มี Cutoff frequency = 5KHz

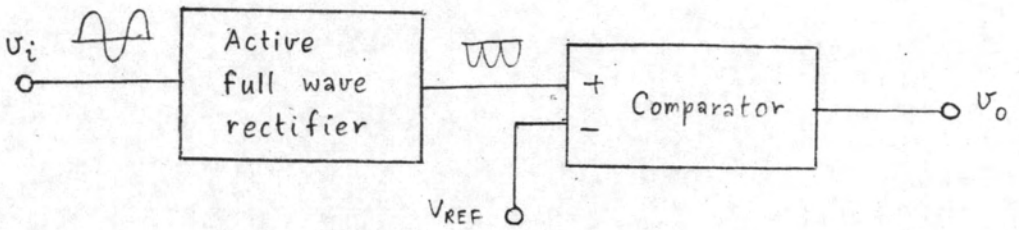
5.6.2 <u>วงจรสร้างสัญญาณทริกเกอร์อัตโนมัติ</u>

วงจรสร้างสัญญาณทริกเกอร์อัตโนมัติทำงานโดยการส่งพัลส์ทางลบเมื่อสัญญาณเข้าอนาลอกมีขนาดเกินกว่าค่าที่ตั้งไว้ไม่ว่าสัญญาณเข้าจะมีค่าเป็นบวกหรือเป็นลบก็ตาม ตามบล็อกไดอะแกรมในรูป 5.6-5 ภาคเข้าจะเป็นวงจร Active full wave rectifier คือ เปลี่ยนสัญญาณกระแสสลับที่เข้าให้เป็นสัญญาณกระแสตรงแบบเต็มคลื่น ในที่นี้สัญญาณที่ได้จะมีค่าเป็นลบเท่านั้น สัญญาณที่ได้จะนำมาเปรียบเทียบกับแรงดันอ้างอิงอันหนึ่ง ถ้าสัญญาณที่เข้ามามีขนาดต่ำกว่าแรงดันอ้างอิงซึ่งต่อเข้าที่ขาลบของตัวเปรียบเทียบสัญญาณออกจะคงเป็น "1" อยู่ แต่ถ้าขณะใดที่สัญญาณเข้ามีขนาดมากกว่าแรงดันอ้างอิง สัญญาณออกจะเป็น "0"

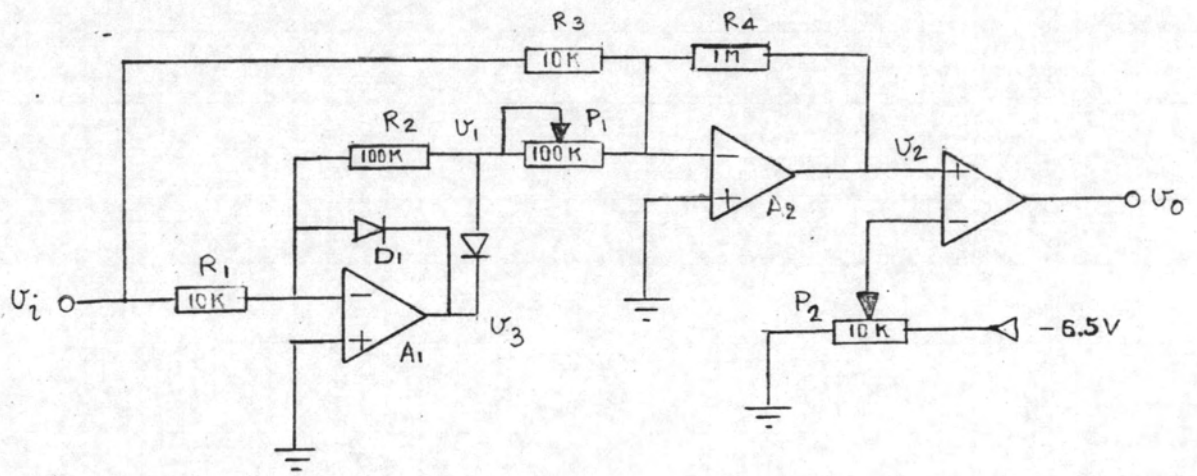
รูป 5.6-6 คือวงจรใช้งานของวงจรสร้างสัญญาณทริกเกอร์อัตโนมัติ A_1 ทำหน้าที่เป็น Precision diode และให้สัญญาณ v_1 เป็นสัญญาณครึ่งรูปคลื่น คือมีเฉพาะซีกบวก สัญญาณ v_1 มารวมกับสัญญาณเข้า v_1 โดยการจัดอัตราขยาย จาก v_i ผ่าน A_1 และถึง v_2 เป็นสองเท่าของอัตราขยายจาก v_i ผ่าน A_2 โดยตรงถึง v_2 รูปสัญญาณขาออกจะหักล้างกันเหลือเฉพาะซีกลบที่ v_2 ตามวงจรในรูป 5.6-6 อัตราขยายจาก A_2 ผ่านถึง $v_2 = 100$ ส่วนอัตราขยายจาก v_i ถึง $v_1 = 10$ และจาก v_1 ถึง $v_2 = 20$ โดยการปรับ P_1

หลักการทำงานของ A_1 มีดังนี้[5.3] เมื่อสัญญาณเข้า v_1 เป็นบวก จะทำให้มีค่าเป็นลบ cathode ของ D_1 มีแรงดันประมาณ 0 V ทำให้ D_1 นำกระแส และไม่มีกระแสไหลผ่าน R_2 นอกจากนี้ D_2 ก็ยังไม่นำกระแสเพราะได้รับแรงดันเป็นลบที่ Anode ขณะที่ v_1 จะเป็น 0 เมื่อ v_i เป็นลบทำให้ v_3 เป็นบวก D_1 จะหยุดนำกระแส แต่ D_2 จะนำกระแส ทำให้ R_2 ต่อเป็นความต้านทานป้อนกลับทางลบ สัญญาณ v_1 จะถูกขยายจาก v_i ด้วยอัตราขยาย $-(R_2/R_1)$ โดยที่ v_i เป็นลบ ดังนั้น v_1 จึงเป็นบวก

P_2 เป็นตัวปรับระดับสัญญาณเข้าที่จะเริ่มส่งพัลส์ เราจะตั้งระดับสัญญาณที่จะเริ่มส่งพัลส์ที่ $\pm$ 10 mV ซึ่งเป็นค่า 1/2 LSB (Least significant bit) สำหรับระบบของเรา แต่เนื่องจากอัตราขยายจาก v_i ถึง $V_o = 100$ ดังนั้นแรงดันอ้างอิงที่ตัวเปรียบเทียบ



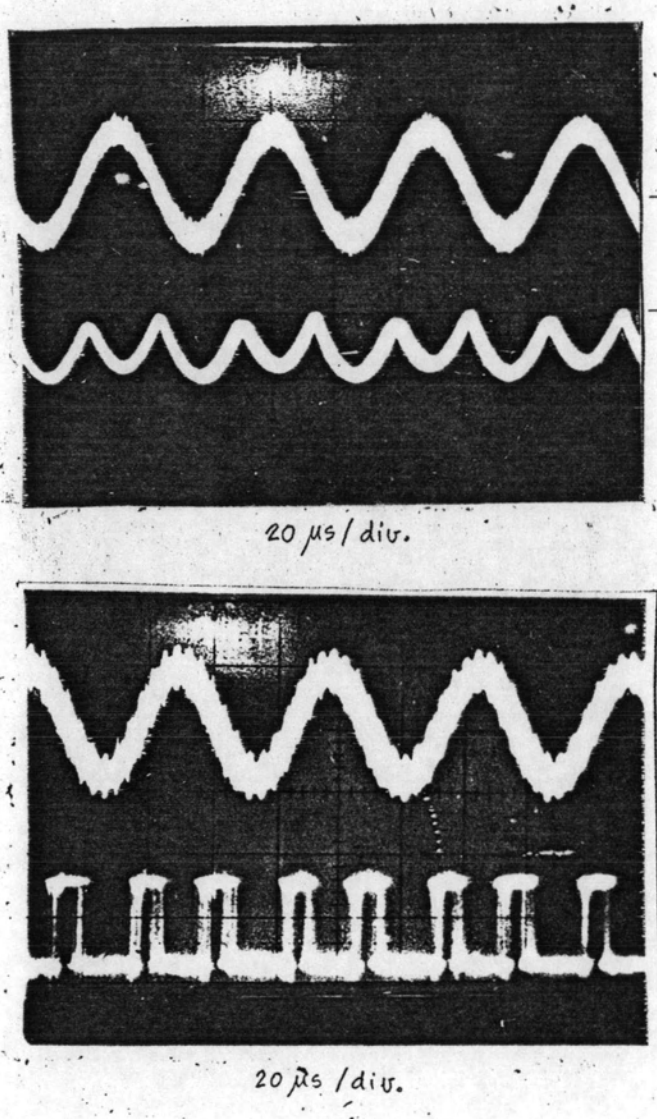
รูป 5.6-5 บล็อกไดอะแกรมของวงจรสร้างสัญญาณทริกเกอร์อัตโนมัติ



รูป 5.6-6 วงจรใช้งานสำหรับสร้างสัญญาณทริกเกอร์

ประมาณ = -1 V

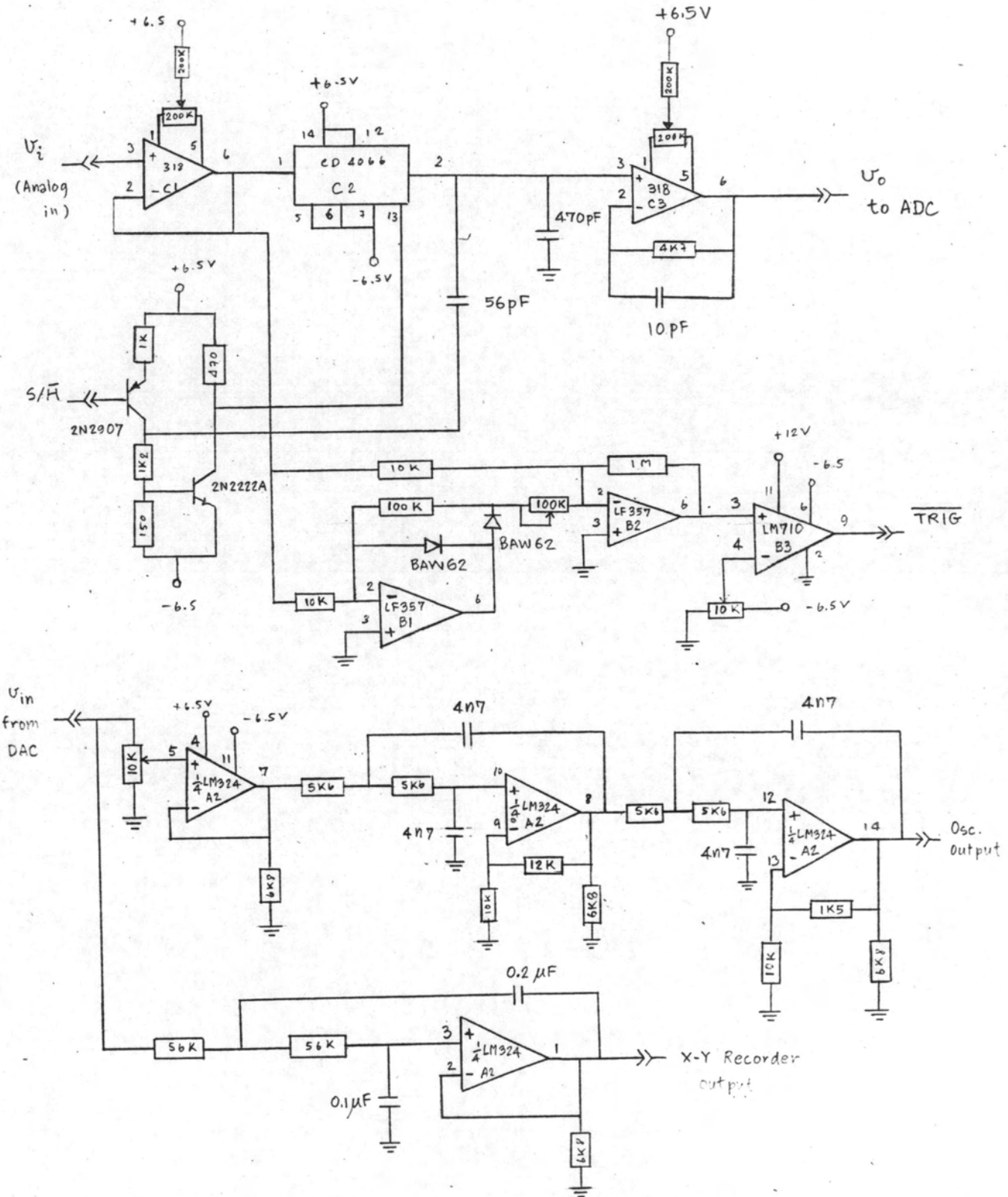
การทดสอบทำโดยป้อนสัญญาณซายน์เข้า v_i แล้วปรับ P_1 ให้ได้สัญญาณเต็มคลื่นที่ v_2 และปรับ P_2 ให้เริ่มส่งพัลส์เมื่อสัญญาณเข้า มีค่าเกิน $\pm$ 10 mV ผลที่ได้แสดงในรูป 5.6-7



รูป 5.6-7 ภาพถ่ายจากการทดสอบวงจรสร้างสัญญาณทริกเกอร์อัตโนมัติระหว่างสัญญาณเข้ากับสัญญาณออกที่วงจร Active full wave rectifier (ก) และกับสัญญาณออก $\overline{\text{TRIG}}$ (ข)

5.6.3 <u>วงจรสมบูรณ์ของแผงวงจรภาคเข้าและภาคออก</u>

รูป 5.6-8 แสดงวงจรสมบูรณ์ของแผงวงจรภาคเข้าและภาคออกซึ่งประกอบด้วย S/H วงจรกรอง และวงจรสร้างสัญญาณทริกเกอร์อัตโนมัติ วงจรขยายที่เป็น Buffer ของวงจร S/H ยังใช้ในการจ่ายสัญญาณเข้าให้แก่วงจรสร้างสัญญาณทริกเกอร์อัตโนมัติด้วย



รูป 5.6-8 วงจรสมบูรณ์ของแผงวงจรภาคเข้าและภาคออก