หอสมุดกลาง สถาบันวิทยบริการ จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 4

การออกแบบระบบ

โดยทั่วไปแล้วการออกแบบระบบจะทำไม่ได้ถ้าไม่ได้ศึกษารายละเอียดของส่วนต่าง ๆ ที่ประกอบกันเป็นระบบ ในบทนี้จะได้รวบรวมรายละเอียดของส่วนย่อยของระบบทำการเลือกแบบของวงจรที่จะใช้ และออกแบบระบบในระดับบล็อกไดอะแกรม

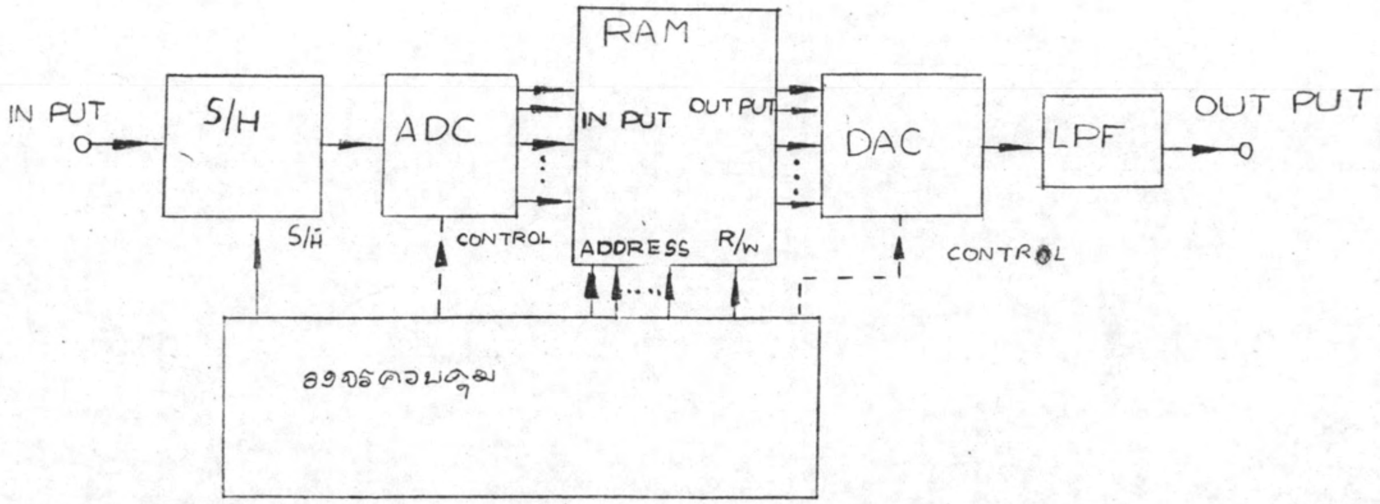
4.1 บล็อกไดอะแกรมเบื้องต้น

ระบบการบันทึกสัญญาณอนาลอก ในรูปของสัญญาณดิจิตอลจะต้องประกอบด้วยส่วนประกอบพื้นฐานต่าง ๆ ดังนี้ (ดูรูป 4.1-1)

1. <u>S/H (Sample and Hold Circuit)</u> เป็นวงจรที่ทำหน้าที่เก็บค่าสัญญาณอนาลอกเป็นช่วง ๆ แล้วคงค่าสัญญาณอนาลอกนั้นไว้เพื่อให้วงจรแปลงค่าเป็นค่าดิจิตอลในภาคถัดไปทำงานจนเสร็จ สัญญาณควบคุมใช้ชื่อว่า $S/\overline{H}$ เพื่อบังคับให้วงจรทำหน้าที่ Sample นั่นคือ สัญญาณขาเข้า หรือเพื่อบังคับให้วงจรทำหน้าที่ Hold นั่นคือคงค่าสัญญาณขาออกไว้ที่ค่าเดิม แม้สัญญาณขาเข้าจะเปลี่ยนไปแล้วก็ตาม

2. <u>ADC (Analog to Digital Converter)</u> เป็นวงจรที่รับสัญญาณอนาลอกทางภาคเข้าแล้วแปลงสัญญาณดิจิตอลทางภาคออก วงจรนี้อาจจะมีหรือไม่มีสัญญาณบังคับก็ได้ แล้วแต่แบบที่ใช้ จึงแสดงสัญญาณบังคับเป็นเส้นประในรูป 4.1-1 เนื่องจาก ADC ต้องใช้เวลาจำนวนหนึ่งในการแปลงค่าสัญญาณ ในช่วงเวลานี้จึงจำเป็นต้องคงค่าสัญญาณทางภาคเข้าไว้ ซึ่งทำได้โดยใช้วงจร $S/\overline{H}$ ในข้อ 1

3. <u>RAM (Random Access Memory)</u> เป็นหน่วยเก็บค่าดิจิตอล มีชื่อเรียกอีกชื่อหนึ่งว่า Read Write Memory แต่ชื่อ RAM มักใช้กันโดยทั่วไปในทางการค้าและในวารสารของวิชาชีพแขนงนี้ คุณสมบัติของมันดูได้ตามชื่อของมันนั่นเอง คือมันสามารถเก็บหรือบันทึกค่าดิจิตอลทางภาคเข้า และสามารถอ่าน (Read) ค่าที่บันทึกออกมาโดยมีสัญญาณควบคุมมีชื่อว่า $R/\overline{W}$ และมีสัญญาณบังคับอีกชุดหนึ่งคือ Address lines ซึ่งกำหนดตำแหน่งของหน่วยจำ (Memory) ที่ใช้เก็บค่า ถ้าใช้ Address lines 8 เส้นจะสามารถเก็บค่าได้ $2^8 = 256$ ค่า



รูป 4.1-1 บล็อกไดอะแกรมเบื้องต้นของระบบ

4. <u>DAC (Digital to Anaolg Converter)</u> เป็นวงจรที่รับสัญญาณดิจิตอลแล้วแปลงกลับเป็นค่าอนาลอก เช่นเดียวกับ ADC วงจรนี้อาจจะมีหรือไม่มีสัญญาณบังคับก็ได้ แล้วแต่แบบที่ใช้

5. <u>LPF (Low Pass Filter)</u> หรือวงจรกรองแบบผ่านต่ำเป็นวงจรกรองสัญญาณความถี่สูงออก ยอมให้สัญญาณความถี่ต่ำผ่านไปได้ เนื่องจากสัญญาณที่ออกจาก DAC เป็นสัญญาณที่มีค่าคงที่เป็นช่วง ๆ ตามค่าดิจิตอลที่อ่านออกมาจาก RAM แต่ละค่า รูปร่างของสัญญาณจึงมีลักษณะคล้ายขั้นบันได ซึ่งผิดไปจากรูปร่างของสัญญาณอนาลอกทางภาคเข้าของระบบ จากการวิเคราะห์สเปคตรัมของสัญญาณที่ได้จาก DAC นี้ในตอน 3.3 แสดงว่ามีความถี่สูง ๆ ปนมาด้วย ดังนั้นจึงต้องใช้ LPF เพื่อกรองเอาความถี่สูงเหล่านี้ออกไปให้เหลือแต่ความถี่ของสัญญาณอนาลอกทางภาคเข้าของระบบ สัญญาณออกหลังจากผ่าน LPF จึงจะได้เป็นรูปร่างเดิมของสัญญาณขาเข้า

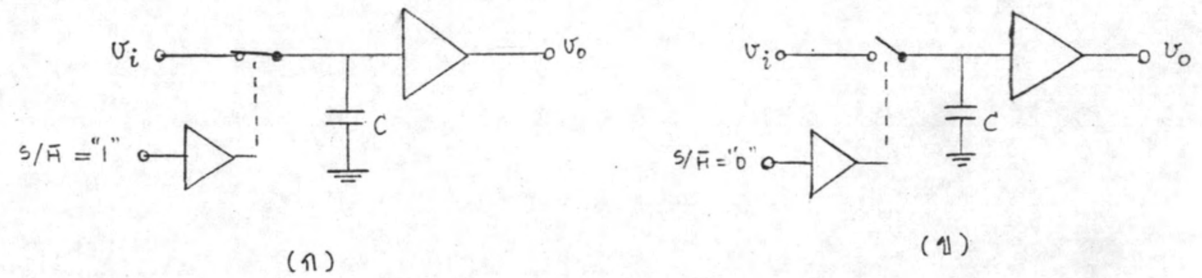
6. <u>วงจรควบคุม</u> เป็นวงจรที่สร้างสัญญาณควบคุมไปยังส่วนต่าง ๆ ของระบบ เพื่อให้ทั้งระบบทำงานตามที่ต้องการ กำหนดสภาวะของเครื่อง และกำหนดความถี่ในการบันทึกและการอ่านของระบบ

4.2 ส่วนย่อยของระบบ

ในตอนนี้จะกล่าวถึงรายละเอียดของส่วนประกอบพื้นฐานของระบบที่ได้กล่าวถึงในตอน 4.1 ยกเว้นวงจรควบคุมซึ่งเป็นวงจรที่ออกแบบตามความต้องการเฉพาะงาน

4.2.1 S/H (Sample and Hold)

โดยหลักการแล้ววงจร S/H จะมีสวิทช์ที่ยอมให้สัญญาณอนาลอกผ่านไปยังตัวเก็บประจุในช่วง Sample แต่ไม่ยอมให้สัญญาณผ่านในช่วง Hold ตัวเก็บประจุจะทำหน้าที่คงค่าสัญญาณค่าสุดท้ายที่สุ่มได้ ทำให้สัญญาณออกคงที่ในช่วง Hold การทำงานของวงจรแสดงในรูป 4.2-1



รูป 4.2-1 การทำงานของวงจร S/H (ก) ช่วง Sample (ข) ช่วง Hold

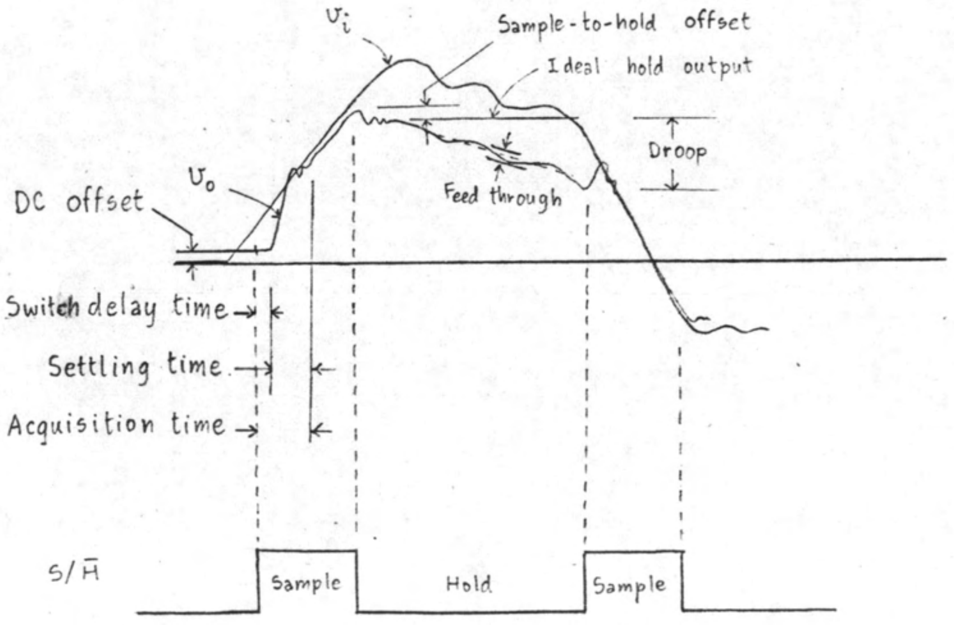
สวิทช์ที่จะใช้เป็นสวิทช์อนาลอก คือยอมให้สัญญาณผ่านไปได้ทั้งทางบวกและทางลบ ในทางปฏิบัติมี 2 อย่างคือ FET และไดโอด FET ที่ใช้ได้แก่ JFET และ CMOS (Complementary metal oxide semiconductor) ซึ่งผลิตมาในรูปของวงจรรวม (IC) การควบคุม FET ทำได้ง่ายกว่าเมื่อเทียบกับไดโอด แต่สวิทช์ที่ใช้ไดโอดทำงานได้เร็วกว่าโดยเฉพาะอย่างยิ่งถ้าใช้ Schottky diode

วงจรขยายที่ต่อเป็นโหลดของตัวเก็บประจุ ทำหน้าที่เป็น Buffer โดยที่อิมพีแดนซ์ขาเข้าของมันสูงพอที่จะไม่ทำให้มีการคายประจุจากตัวเก็บประจุมากเกินไปในช่วง Hold และอิมพีแดนซ์ขาออกต่ำพอที่จะจ่ายสัญญาณให้วงจรภาคต่อไปได้

ในช่วง Sample สมรรถนะของวงจรดูจากค่ามาตรต่าง ๆ คล้ายๆ กับออพแอมป์ เช่น Offset, Drift, Nonlinearity, Gain error, Bias current นอกจากนี้ก็มีค่ามาตรที่เกี่ยวข้องกับการสะสมประจุ เช่น Slew rate, Settling time เป็นต้น แต่สำหรับในช่วง Sample - to - hold, Hold และ Hold - to - sample ค่ามาตรต่าง ๆ จะมีชื่อเฉพาะของวงจร S/H ค่ามาตรต่าง ๆ ที่สำคัญ[2.2,3] แสดงไว้ในรูป 4.2-2

Acquisition time คือช่วงเวลานับตั้งแต่เริ่มมีสัญญาณ S/$\overline{H}$ (สั่งให้ Sample) จนถึงเวลาที่สัญญาณออกเท่ากับสัญญาณเข้าภายในช่วงของความผิดพลาดที่ระบุไว้ ค่ามาตรตัวนี้เป็นผลรวมของ Switch delay time, Slewing interval และ Settling time ซึ่งได้ดูจากรูป 4.2-2

Aperture (Delay) time คือช่วงเวลานับตั้งแต่หมดสัญญาณ S/$\overline{H}$ (สั่งให้ Hold) จนถึงเวลาที่สวิทช์จะเปิดเต็มที่ ในช่วงนี้วงจรจะยังคงทำหน้าที่ Sample อยู่แม้จะสั่งให้ Hold แล้ว



รูป 4.2-2 แสดงสัญญาณออกของ S/H และค่ามาตรที่สำคัญ

Sample - to - Hold Offset (Offset step) เป็นการเปลี่ยนแปลงประจุในตัวเก็บประจุ เนื่องจากมีการถ่ายเทประจุเข้าหรือออกจากตัวเก็บประจุโดยผ่านทาง Stray capacitance ในช่วงที่เปลี่ยนจาก Sample ไปเป็น Hold ออฟเซทนี้เป็นผลของสัญญาณบังคับ S/$\overline{H}$ ดังนั้นทิศทางการถ่ายเทประจุจึงเป็นไปตามทิศทางการเปลี่ยนของสัญญาณบังคับ

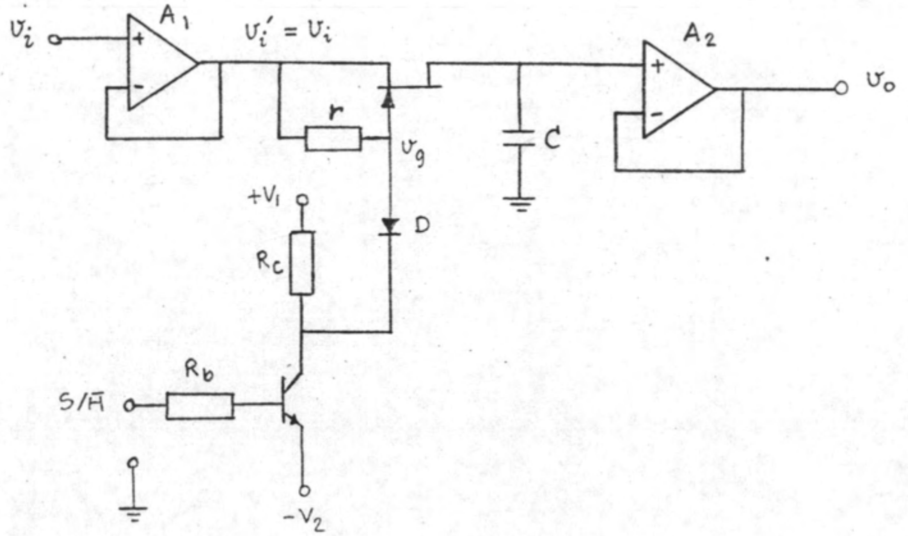
Droop เป็นการเปลี่ยนแปลงของสัญญาณออกในระหว่างช่วง Hold อันเป็นผลมาจากกระแสรั่วไหลหรือกระแสไบแอสผ่านตัวเก็บประจุ ทิศทางของมันขึ้นอยู่กับทิศทางของกระแสรั่วไหล หรือกระแสไบแอสดังกล่าว สำหรับวงจร S/H ทั่วไปผู้ผลิตจะบอกค่า Droop เป็นอัตราการเปลี่ยนแปลงของแรงดัน (dv/dt)

Feedthrough เป็นส่วนของการเปลี่ยนแปลงของสัญญาณขาเข้าที่ปรากฏที่สัญญาณออกเนื่องมาจาก stray capacitive coupling สาเหตุส่วนใหญ่มาจากค่าความจุไฟฟ้าของสวิทช์ในภาวะเปิด

(4.2.1.1) <u>S/H ซึ่งใช้ FET</u>[1.2, 5.1]

ในรูป 4.2-3 แสดงวงจรที่งานจริงที่ใช้ JFET ซึ่งวงจรเหล่านี้สามารถใช้ได้กับ MOSFET และ CMOS วงจรนี้ปรับปรุงจากรูป 4.2-1 โดยมีวงจรขยายต่อข้างหน้าสวิทช์เพื่อทำหน้าที่เป็นวงจรที่มีอิมพีแดนซ์ขาออกต่ำสำหรับให้ประจุแก่ตัวเก็บประจุ C ได้ดี ทำให้ Acquisition time น้อยลง วงจรขับนำ (drive) ทำหน้าที่จ่ายไฟ $+V_1$ หรือ $-V_2$ ให้แก่เกตของ FET เพื่อบังคับให้ FET on หรือ off ตามต้องการ จะต้องเลือก $+V_1$ ให้มากพอที่จะทำให้ไดโอด D อยู่ที่ Cutoff แม้เมื่อสัญญาณอนาลอก v_i มีค่าบวกสูงสุด ซึ่งขณะนั้น $v_{GS} = 0$ ซึ่งทำให้ FET on โดยยอมให้สัญญาณอนาลอกผ่านไปได้ตลอดช่วง Sample (FET จะ off เมื่อ $v_{GS} = -V_P$ โดยที่ค่า typical value ของ $V_P = 4$ V) นอกจากนี้จะต้องเลือก $-V_2$ ให้เป็นลบมากพอที่จะทำให้ไดโอด D นำกระแสซึ่งมีผลให้แรงดันเกตต่ำกว่า v_i เกินค่า V_P ($v_g - v_i = v_{GS} < -V_P$) แม้เมื่อ v_i มีค่าเป็นลบต่ำสุด เพื่อให้ FET ไม่ทำงานตลอดช่วง Hold

โดยการจัด FET ให้อยู่ภายในวงรอบป้อนกลับดังในรูป 4.2-4 A_1 สามารถจ่ายกระแสสูงสุดของมันผ่าน FET ไปสะสมประจุให้แก่ C ทำให้ Acquisition time ลดลง

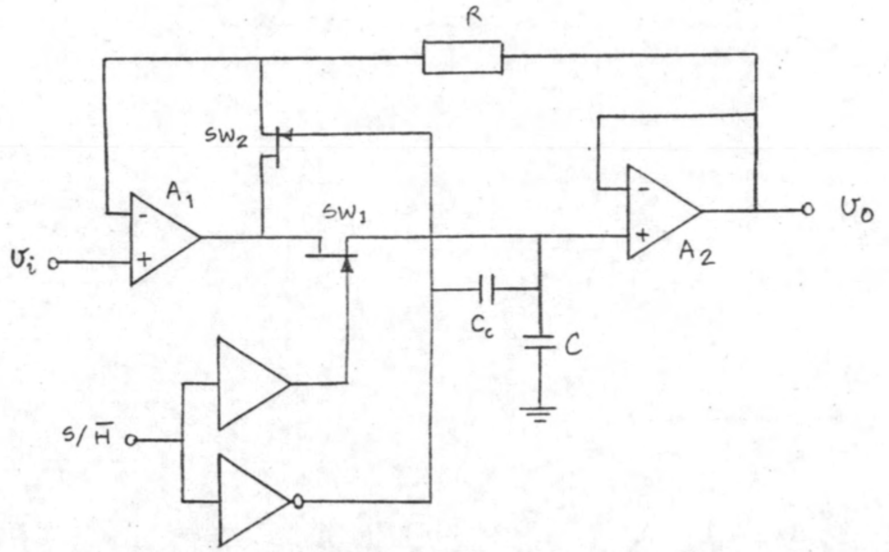


รูป 4.2-3 วงจร S/H ที่ใช้ FET ตัวเดียวพร้อมวงจรขับนำ

วงจรนี้ต้องใช้ FET อีกตัวหนึ่ง (SW_2) เป็นสวิทช์ที่ทำงานกลับกัน FET ตัวแรก (SW_1) โดยที่ในช่วง Sample SW_1 จะ on ส่วน SW_2 จะ off ส่วนในช่วง Hold SW_1 จะ off แต่ SW_2 จะ on เพื่อให้มีการป้อนกลับสำหรับ A_1 เป็นการป้องกันไม่ให้ A_1 oscillate เหตุผลอีกประการหนึ่งในการมี SW_2 ก็คือ ในช่วง Hold สัญญาณออกของ A_1 จะยังคงมีค่าตามค่าสัญญาณอนาลอกที่เปลี่ยนแปลงไป ผลก็คือในช่วง Sample ถัดไปจะ Sample ได้เร็วขึ้น C_c ในรูปจะทำหน้าที่แก้ออฟเซทอันเนื่องมาจากการถ่ายเทประจุเล็กน้อยผ่านทาง Stray capacitance ในช่วงเปลี่ยนจาก Sample ไปยัง Hold

(4.2.1.2) <u>S/H ซึ่งใช้ diode transmission gate</u>[1.3]

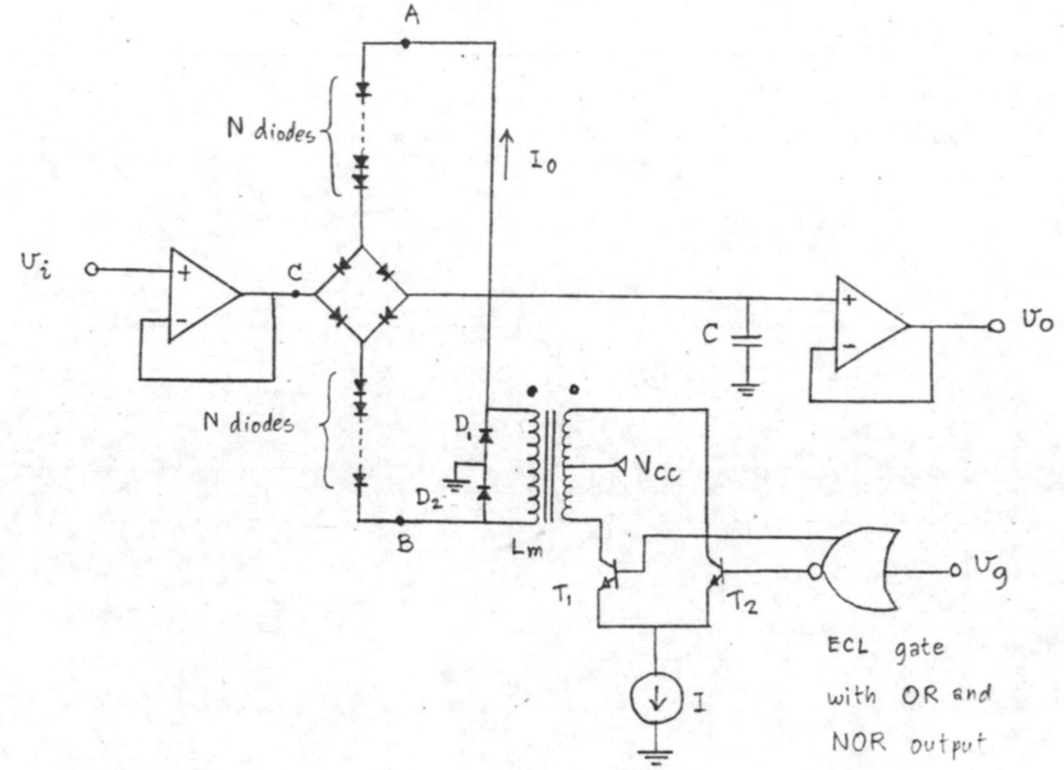
หลักการใช้ไดโอดเป็นสวิทช์ก็คือการไบแอสให้ไดโอดนำกระแสในช่วง Sample และให้ไดโอดหยุดนำกระแสในช่วง Hold ข้อสำคัญต้องจัดวงจรให้อยู่ในรูปที่สัญญาณควบคุมการไบแอสไดโอดไม่มีผลต่อค่าสัญญาณอนาลอกที่จะเก็บไว้ในตัวเก็บประจุ



รูป 4.2-4 วงจร S/H ที่ใช้ FET สองตัว

ตามรูป 4.2-5 แรงดันควบคุม v_g จะทำหน้าที่ปล่อยให้กระแสจากแหล่งจ่ายกระแส I ไหลผ่าน T_1 หรือ T_2 ตามต้องการ ในช่วง Sample กระแสจะไหลผ่านซึ่งทำให้แรงดันเหนี่ยวนำ ที่จุด A สูงกว่าจุด B มีผลให้ไดโอดทุกตัวระหว่างจุด A และ B นำกระแส ไดโอดที่ต่อเป็น bridge นั้นสร้างอยู่ในวงจรรวมเดียวกันจึงมีลักษณะสมบัติใกล้เคียงกันมาก ทำให้แรงดันที่จุด C และ D เท่ากันตลอดเวลา ดังนั้นเมื่อมีแรงดันค่าหนึ่งเข้ามาที่จุด C แรงดันที่เท่ากันนี้จะมาปรากฏที่จุด D ในทางตรงกันข้ามในช่วง Hold กระแส I ไหลผ่าน T_2 แรงดัน จุด A จะต่ำกว่าจุด B ทำให้ไดโอด D_1 และ D_2 นำกระแส และไดโอดที่เหลือหยุดนำกระแส ประจุในตัวเก็บประจุ C ก็จะคงค่าเดิมไว้

เนื่องจากกระแสในขดทุติยภูมิของหม้อแปลงพัลส์ เป็นกระแสเหนี่ยวนำชั่วคราวที่เกิดจากการเปลี่ยนแปลงของฟลักซ์แม่เหล็ก มันจึงมีค่าลดลงตามเวลา ดังนั้นเพื่อให้ไดโอดคงการนำกระแสตลอดช่วง Sample ค่าความเหนี่ยวนำของขดทุติยภูมิของหม้อแปลงพัลส์ (L_m) จะต้องมีค่ามากพอที่จะรักษากระแสที่ไหลผ่านไดโอด (I_0) ไม่ให้ลดลงมากเกินไป ถ้าให้ T_C = charging time หรือเวลาในช่วง Sample และถ้าต้องการให้กระแสที่ผ่านไดโอด (= I_0



รูป 4.2-5 วงจร S/H ที่ใช้ไดโอดเป็นสวิทซ์

ในตอนแรก) ลดลง 1 % ค่าความเหนี่ยวนำนี้จะต้องมีค่าประมาณดังนี้[1.3]

$$L_m = \frac{140\ (N + 1)\ T_C}{I_O} \qquad (4.2\text{-}1)$$

โดยที่ N = ครึ่งหนึ่งของจำนวนไดโอดที่ต่ออนุกรมกัน (ดูรูป 4.2-5) ค่า N นี้จะถูกกำหนดโดยค่าสูงสุดของสัญญาณอนาลอกที่จุด C (v_{imax}) ดังนี้

$$N \geq 1.43\ v_{imax} - 1.93 \qquad (4.2\text{-}2)$$

4.2.2 <u>ADC (Analog to Digital Converter)</u>

วงจร ADC ทำหน้าที่เปลี่ยนสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอล โดยทำการแบ่งช่วงของสัญญาณอนาลอกที่กำหนดให้เป็นช่วงใช้งานออกเป็นช่วงย่อย ๆอย่างสม่ำเสมอแล้วใช้ค่า

ดิจิตอลค่าหนึ่งตามระบบของรหัสที่ใช้สำหรับแทนค่าสัญญาณอนาลอกในหนึ่งช่วงย่อย

การแปลงสัญญาณดิจิตอลกลับไปเป็นสัญญาณอนาลอกจะใช้สร้างสัญญาณอนาลอกให้มีค่าเท่ากับจุดกึ่งกลางช่วงย่อยที่แทนด้วยค่าดิจิตอลนั้น ดังนั้นสัญญาณอนาลอกที่ได้จากการแปลงกลับนี้อาจไม่เท่าค่าเดิมของมัน ก่อนที่จะแปลงเป็นสัญญาณดิจิตอล แต่อยู่ในช่วงย่อยเดียวกัน ข้อผิดพลาดจากการแปลงรหัสเช่นนี้เกิดขึ้นโดยธรรมชาติ มีชื่อเรียกว่า Quantizing error และมีค่า ± 1/2 LSB หรือครึ่งหนึ่งของช่วงย่อยที่เล็กที่สุดในการจัดรหัส นอกเหนือจากข้อผิดพลาดนี้แล้ว ADC ยังมีข้อผิดพลาดในการแปลงรหัสเนื่องจากวงจรของมัน ซึ่งอาจบอกเป็นเศษส่วนของ LSB เช่นกัน

ค่ามาตรที่สำคัญของ ADC คือ Conversion time ซึ่งเป็นเวลาที่ใช้ในการแปลงค่าจากสัญญาณอนาลอกจนได้ค่าดิจิตอล

วงจร ADC มีอยู่หลายแบบ ในที่นี้จะแบ่งออกเป็น 2 พวกคือจำพวกที่ไม่ต้องใช้ DAC (Digital to Analog Converter) และจำพวกที่ต้องใช้ DAC สำหรับจำพวกแรกซึ่งไม่ต้องใช้ DAC มีแบบที่สำคัญ ๆ ดังนี้

- ADC แบบขนาน (Parallel type)
- Voltage - to - time type
- Voltage - to - Frequency type
- Dual - Slope Converter

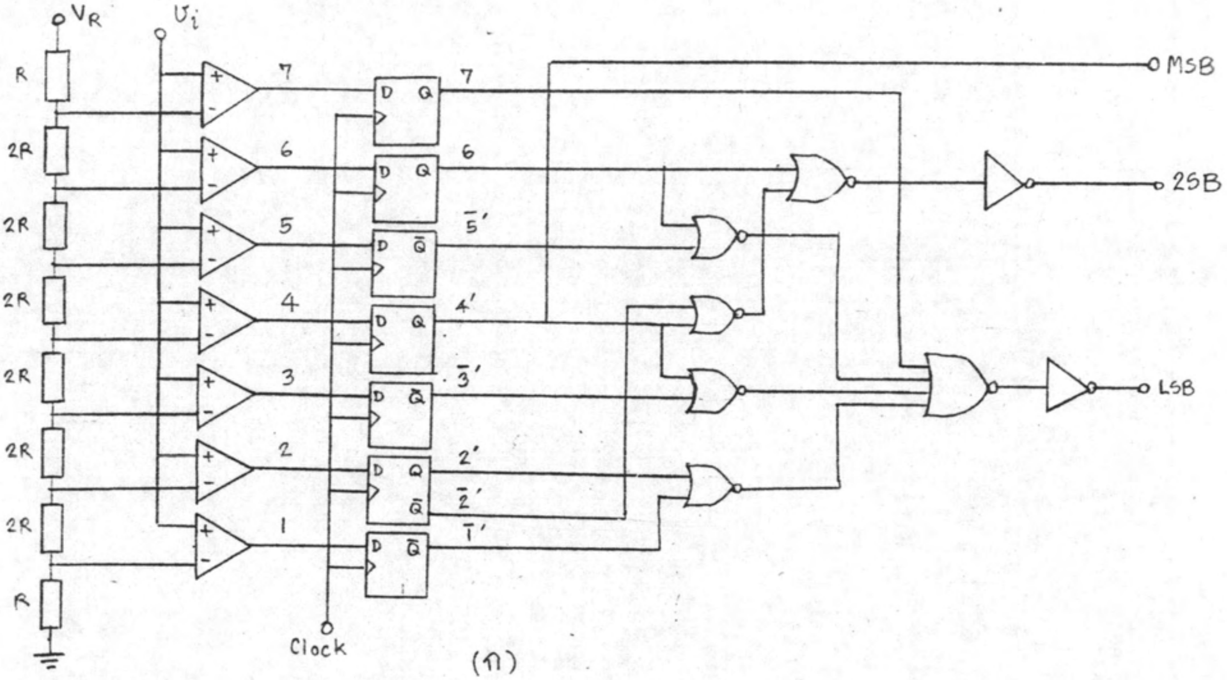
ส่วน ADC จำพวกที่ต้องใช้ DAC มีแบบที่สำคัญ ๆ ได้แก่

- Successive appoximation converter
- Counter and Servo type

ในที่นี้จะกล่าวถึงเฉพาะ ADC แบบที่มีลักษณะพิเศษเพียง 3 แบบ เพื่อใช้อ้างอิงในการเลือก ADC แบบที่จะใช้งานต่อไป

(4.2.2.1) <u>ADC แบบขนาน</u> [1.4, 2.3]

รูป 4.2-6 แสดง ADC แบบขนาน 3 บิท ซึ่งใช้วงจรเปรียบเทียบ 7 ตัว โดยทั่วไปสำหรับ ADC แบบนี้ขนาด n บิท จะใช้วงจรเปรียบเทียบ $2^n - 1$ ตัว ระดับเปรียบเทียบจัดห่างกันอย่างสม่ำเสมอ (ดูในรูป)



(ก)

BINARY	ANALOG	THRESHOLD
111	V_R	$\frac{13}{14} V_R$
110	$\frac{6}{7} V_R$	$\frac{11}{14} V_R$
101	$\frac{5}{7} V_R$	$\frac{9}{14} V_R$
100	$\frac{4}{7} V_R$	$\frac{7}{14} V_R$
011	$\frac{3}{7} V_R$	$\frac{5}{14} V_R$
010	$\frac{2}{7} V_R$	$\frac{3}{14} V_R$
001	$\frac{1}{7} V_R$	$\frac{1}{14} V_R$
000	0	

(ข)

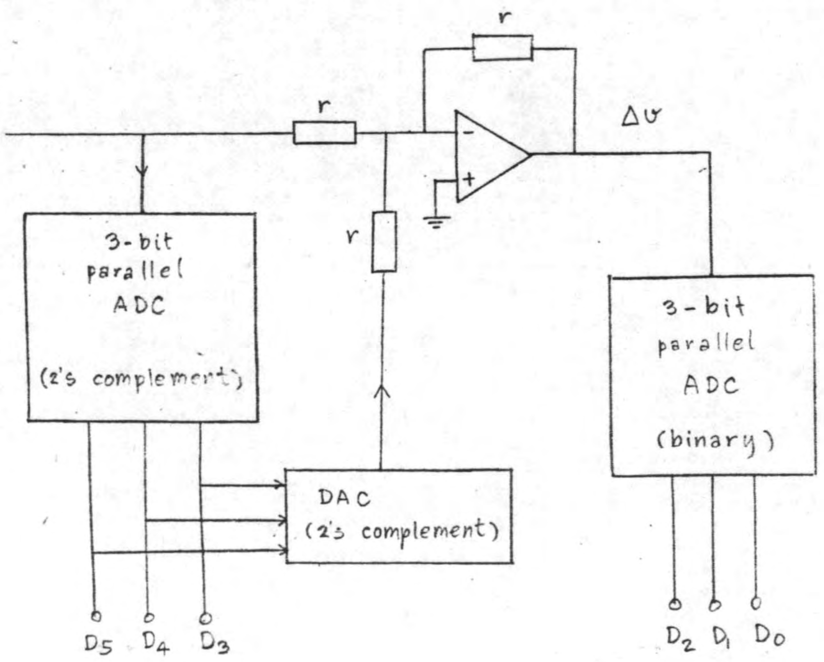
รูป 4.2-6 (ก) **Parallel 3 - bit ADC** (ข) ตารางการแบ่งค่า

ข้อดีของ ADC แบบนี้ก็คือทุก bit ถูกแปลงขนานกันไป ความเร็วของการแปลงขึ้นอยู่กับความเร็วของวงจรเปรียบเทียบและวงจรที่ใช้ ADC แบบอื่นที่จะกล่าวต่อไปล้วนเป็นการแปลงครั้งละ 1 บิท ดังนั้น ADC แบบนี้จึงเป็นแบบที่เร็วที่สุด

ข้อเสียของ ADC แบบขนานนี้ก็คือจำนวนวงจรเปรียบเทียบที่ใช้จะเพิ่มขึ้นเป็นอนุกรมเรขาคณิตเมื่อ resolution เพิ่มขึ้น สำหรับขนาด n บิทต้องใช้วงจรเปรียบเทียบ 2^n-1 ตัว จำนวนอุปกรณ์ทางตรรกก็เพิ่มตามไปด้วย

โดยการยอมลดความเร็วของการแปลงลง เราอาจนำ ADC แบบนี้มาต่อเรียงกัน (caseade)[1.5] เพื่อให้ลดอุปกรณ์ต่าง ๆ ลงเมื่อจำนวนบิทเพิ่มขึ้น ตามรูป 4.2-7 ซึ่งเป็น ADC แบบต่อเรียงกันขนาด 6 บิท และใช้วงจรเปรียบเทียบ $2(2^3-1) = 14$ ตัวแทนที่จะใช้ถึง $2^6-1 = 63$ ตัว

ความคิดในการแบ่ง ADC เป็นส่วน ๆ นี้มีบริษัทผู้ผลิตแห่งหนึ่งในสหรัฐอเมริกานำไปใช้ในการผลิตวงจรรวม (IC) ซึ่งอาจจะเป็น ADC ที่เร็วที่สุด โดยใช้ Ga-As TEDs (Transferred - electron devices) สร้าง ADC ขนาด 5 บิท ซึ่งประกอบด้วยวงจร



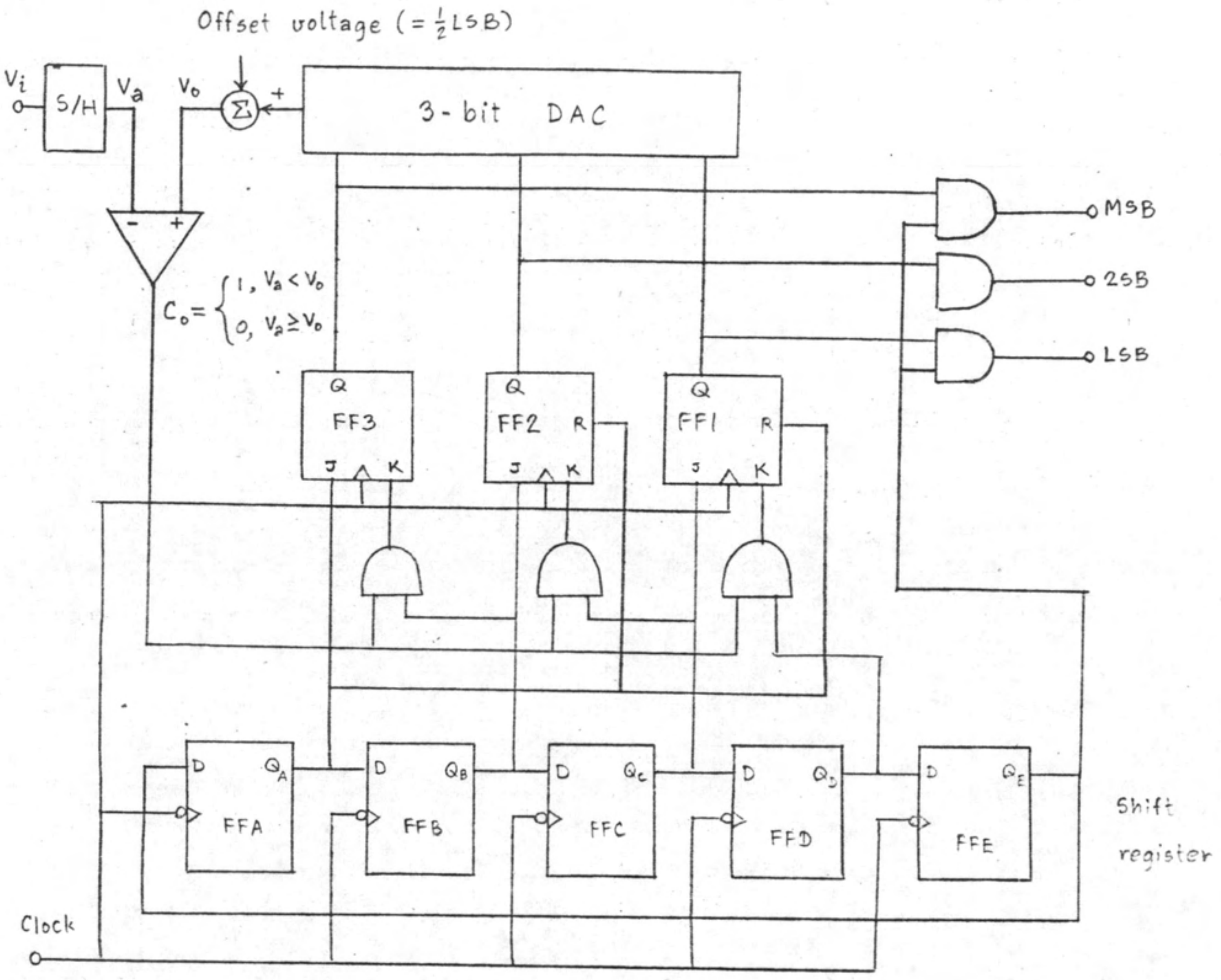
รูป 4.2-7 6-bit ADC แบบต่อเรียงกัน

ขนาด 1 บิท 5 หน่วยต่อเรียงกัน แต่ละหน่วยทำหน้าที่เป็น ADC และ DAC ขนาด 1 บิท รับเอาสัญญาณอนาลอกทางขาเข้าแล้วเปลี่ยนเป็นสัญญาณดิจิตอล สัญญาณเข้าจะถูกหักออกด้วยค่าอนาลอกที่แปลงกลับจากค่าดิจิตอลที่ได้ ค่าอนาลอกผลลัพธ์จะต่อเข้ากับหน่วยต่อไป ความเร็วของการทำงานของวงจร 5 บิทนี้สามารถทำการ sampling ได้ 30 ล้านครั้งต่อวินาที (Conversion time = 33 ns)

ที่แบ่งย่อยเป็นหน่วยละ 1 บิทนี้ยังอยู่ในขั้นวิจัย แต่ในท้องตลาด บริษัทดังกล่าวได้ผลิต ADC ขนาด 8 บิท ซึ่งมี Conversion time = 33ns ออกมาในรูปของวงจรรวมตัวเดียว ตามข้อความในโฆษณาในนิตยสารเล่มเดียวกันนี้ได้ข้อมูลเพียงสั้น ๆ ว่า ภายในประกอบด้วยวงจรเปรียบเทียบ 255 ตัว ซึ่งก็เป็นที่ทราบได้ทันทีว่าเป็น ADC แบบขนาน นั่นเอง (ทั้งนี้เพราะ ADC แบบนี้ขนาด 8 บิท ใช้วงจรเปรียบเทียบ $2^8-1 = 255$ ตัว)

(4.2.2.2) <u>Successive approximation converter</u>[1.6]

เป็น ADC ที่มีลักษณะพิเศษเฉพาะตัว คือ Conversion time มีค่าคงที่ไม่ขึ้นกับขนาดของสัญญาณอนาลอก วงจรในรูป 4.2-8 เป็นวงจรแบบหนึ่งของ ADC ชนิดนี้ Q_A, Q_B, Q_C, Q_D และ D_E ต่อเป็น Modulo-5 ring counter หรืออาจถือว่าเป็น shift register ซึ่งมีสัญญาณออกเป็น "1" เพียงตัวเดียว และค่า "1" นี้จะเลื่อนไปเรื่อย ๆ เป็นวงแหวนทุกครั้งที่ clock เปลี่ยนค่าจาก "1" เป็น "0" ส่วน Q_1, Q_2 และ Q_3 เป็นฟลิปฟลอปสำหรับเก็บค่าดิจิตอลขาออก ในการทำงานเริ่มต้นจะมีวงจร (ซึ่งไม่ได้แสดงในรูป 4.2-8) ที่จะ set ให้ Q_A = "1" ส่วน Q_B, Q_C, Q_D และ Q_E เป็น "0" หมด Q_A จะ reset FF2 และ FF1 ทำให้ Q_2 และ Q_1 เป็น "0" เมื่อ clock เปลี่ยนค่าจาก "0" เป็น "1" ขา J ของ FF3 เป็น "1" ทำให้ถูก set เป็น "1" ในขณะนี้สัญญาณเข้าของ DAC ภายใน $Q_3Q_2Q_1 = 100$ ซึ่งจะให้สัญญาณออก V_O เข้ามาเปรียบเทียบกับ V_a ซึ่งเป็นสัญญาณเข้าที่ได้จาก S/H ถ้า V_a น้อยกว่า V_O (หมายความว่า MSB ในขณะนี้มีค่าใหญ่เกินไป) C_O จะมีค่าเป็น "1" เมื่อ clock เปลี่ยนค่าจาก "1" เป็น "0" Q_B จะถูก set ขา J ของ FF3 = $C_O \cdot Q_B$ = "1" เป็นผลให้ Q_3 ถูก reset เมื่อ clock เปลี่ยนค่าจาก "0" เป็น "1" อีกครั้งหนึ่ง แต่ถ้าในรอบแรก



- รูป 4.2-8 Successive approximation converter

V_a มากกว่า V_o C_o จะเป็น "0" ทำให้ขา J ของ FF3 เป็น "0" และ FF3 จะไม่ถูก reset เมื่อ clock เปลี่ยนค่าจาก "0" เป็น "1" ใน clock ที่สองนี้ก็เช่นเดียวกัน C_o จะเป็นตัวบอกว่าขณะนี้ V_a มากหรือน้อยกว่า V_o ถ้ามากกว่าใน clock ต่อไป Q_2 จะถูกคงค่าไว้ แต่ถ้าน้อยกว่า Q_2 จะถูก reset ใน clock ต่อไป การทำงานจะเป็นเช่นนี้ไปเรื่อย ๆ จนครบทุกบิท ในกรณี 3 บิทนี้ บิทสุดท้ายจะถูกตัดสินว่ามีค่าอะไร ใน clock ที่ 4 และ clock ที่ 5 ใช้สำหรับส่งค่าดิจิตอลไปใช้งาน

การทำงานของ ADC แบบนี้เหมือนกับการชั่งน้ำหนัก โดยเริ่มต้นใส่ตุ้มน้ำหนักที่หนัก

ที่สุดลงไปก่อน ถ้าหนักเกินไปก็หยิบตุ้มนี้ออกมาแล้วใส่ตุ้มน้ำหนักรองลงไปแทน แต่ถ้าเบาไปก็ปล่อยตุ้มน้ำหนักแรกไว้บนตาชั่ง และใส่ตุ้มน้ำหนักรองเพิ่มลงไป ทำเช่นนี้ไปเรื่อย ๆ จนลองถึงตุ้มน้ำหนักอันเล็กที่สุด ก็เป็นอันว่าชั่งเสร็จ

(4.2.2.3) <u>Dual - Slope Converter</u>[1.7]

เป็น converter ที่นิยมใช้กันมากแบบหนึ่ง เหมาะสำหรับใช้ใน digital voltmeter หรือใช้ในวงจรที่ยอมให้ใช้เวลานานในการแปลง โดยมีข้อดีที่สามารถลด Noise ได้ซึ่งเนื่องมาจากการหาค่าเฉลี่ยของสัญญาณ การทำงานของวงจรดูจากรูป 4.2-9 (ก) ที่เวลาเป็น 0 สวิทช์ S_1 อยู่ที่ A S_2 เริ่มเปิดขณะนี้ C ไม่มีประจุสัญญาณอนาลอก V_a จะต่อกับวงจร integrator ถ้า T = RC สัญญาณออกของ integrator จะมีค่าลดลงไปทางลบ (ดูรูป 4.2-9 (ข))

$$V_O = -\frac{t}{T} V_a$$

ในขณะเดียวกันที่เวลาเป็น 0 แรงดันออกของวงจรเปรียบเทียบ V_C เป็น "1" สัญญาณ clock จะผ่านเกทเข้าไปนับในวงจรนับ ซึ่งถูก clear อยู่ก่อนแล้ว วงจรนับจะนับไปเรื่อย ๆ จนถึงเวลา T_1 ซึ่งนับได้ 2^N ครั้ง Q_N จะเปลี่ยนเป็น "1" ขณะนั้นสัญญาณออก V_O มีค่า

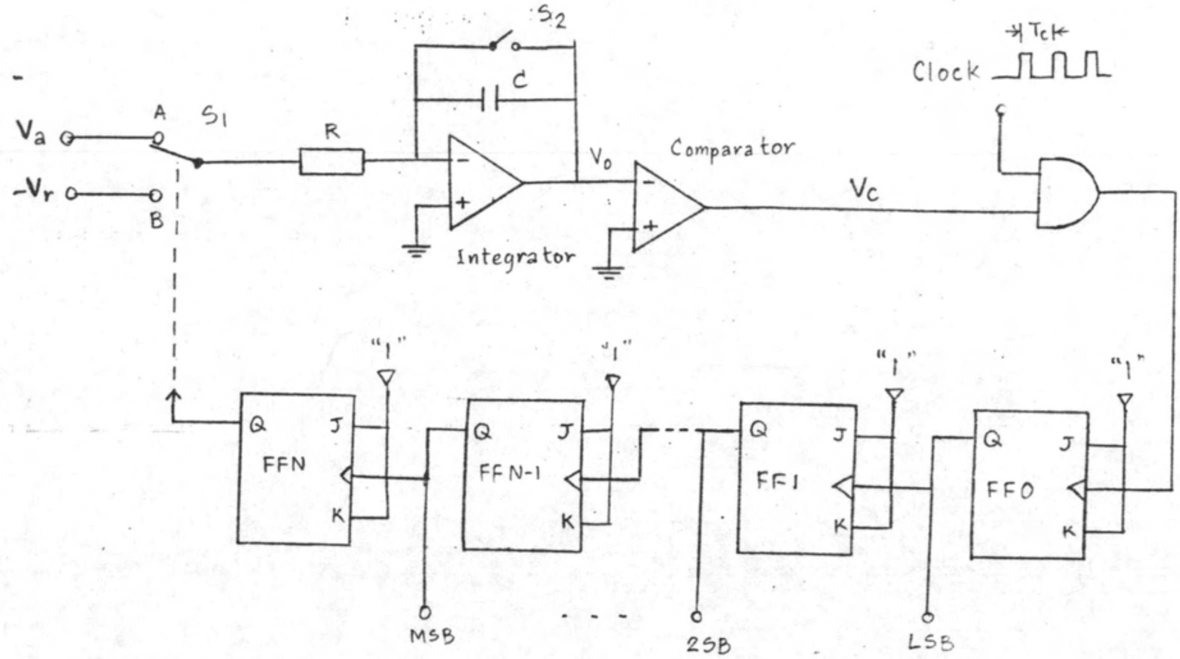
$$V_O = -\frac{V_a}{T} T_1 = -\frac{V_a}{T} 2^N T_C \qquad (4.2\text{-}3)$$

โดยที่ T_C คือคาบของสัญญาณ clock Q_N จะบังคับให้ S_1 เปลี่ยนมาอยู่ทาง B V_O จะเริ่มเพิ่มค่าไปทางบวกจนกระทั่งที่เวลา T_2 V_O เริ่มเป็นบวก V_C จะกลายเป็น "0" ซึ่งจะหยุดสัญญาณ clock ที่จะเข้าไปวงจรนับ เราจะได้

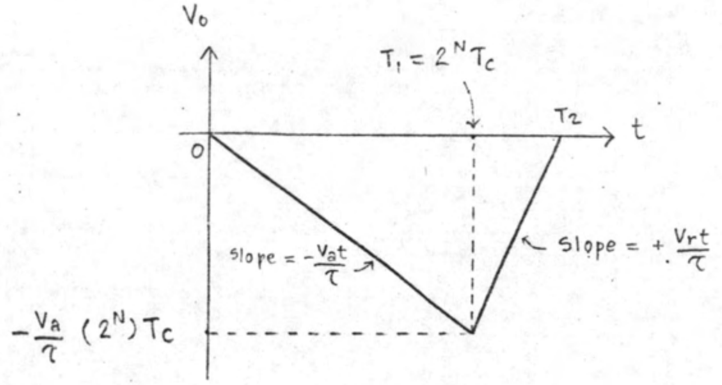
$$\frac{V_r(T_2-T_1)}{T} = \frac{V_a}{T} T_1 \qquad (4.2\text{-}4)$$

แทนค่าจาก (4.2-3) จะได้

$$T_2-T_1 = \frac{V_a}{V_r} 2^N T_C$$



(ก)



(ข)

รูป 4.2-9 (ก) Dual - Slope ADC (ข) สัญญาณออกของ integrator

เนื่องจากที่เวลา T_1 ฟลิปฟลอป N ตัวแรกต่างก็เป็น 0 ที่เวลา T_2 สมมุติว่าจำนวนนับเพิ่มขึ้นเป็น ดังนั้น

$$T_2 - T_1 = T_C = \frac{V_a}{V_r} 2^N Tc \qquad (4.2\text{-}5)$$

จำนวนนับ จะได้

$$= \frac{V_a}{V_r} 2^N \qquad (4.2\text{-}6)$$

ในขณะที่ $V_a < V_r$ วงจรนี้จะเป็น ADC เพราะ คือค่าสัญญาณออกดิจิตอลซึ่งจะแปรตาม ค่า V_a ถ้า $V_a \geq V_r$ จะเกิน 2^N เกิด over folw

เมื่อจะเริ่มการแปลงในรอบต่อไปจะต้อง Clear ฟลิปฟลอปทุกตัวเสียก่อน แล้วปิดสวิทช์ S_2 ชั่วขณะหนึ่งเพื่อคายประจุใน C และสับ S_1 กลับไปยัง A ใหม่อีกครั้งหนึ่ง

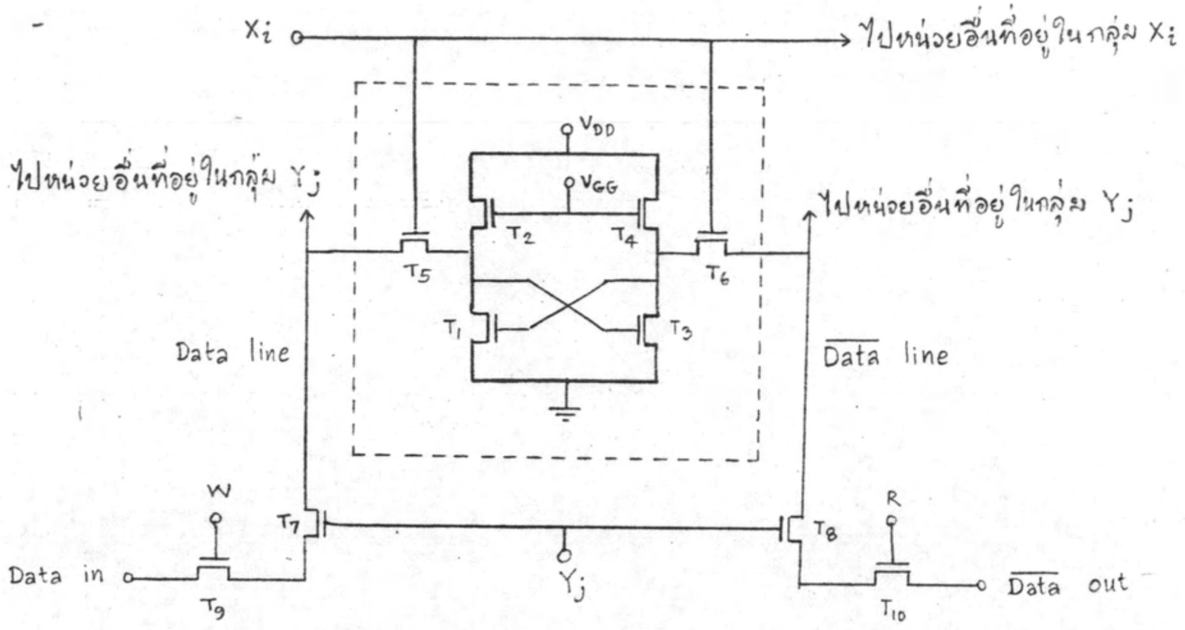
4.2.3 <u>RAM (Random access memory)</u>[1.8]

RAM เป็นหน่วยจำที่สามารถบันทึกค่าหรืออ่านค่าที่บันทึกไว้ การจัดหน่วยจำใน RAM อยู่ในลักษณะที่สามารถเลือกหน่วยจำที่ต้องการโดยให้ค่าดิจิตอลสำหรับหน่วยจำนั้นแก่ Address lines สำหรับ Address lines n เส้นจะมีค่าดิจิตอลได้ 2^n ค่า ซึ่งหมายถึงมีหน่วยจำได้มากที่สุด 2^n หน่วย

RAM อาจจะสร้างจาก BJT (Bipolar junction transistor) หรือ MOSFET (Metal - oxide - semiconductor field - effect transistor) ซึ่งมักจะเรียกว่า MOS RAM ที่สร้างจาก BJT มีข้อดีคือความเร็วสูง แต่มีข้อเสียที่ใช้กำลังงานสูง และกินเนื้อที่ของซิลิกอนในวงจรรวมมาก ส่วน RAM ที่เป็น MOS ความเร็วต่ำกว่า แต่ใช้กำลังงานต่ำและกินเนื้อที่ของซิลิกอนในวงจรรวมน้อยกว่า BJT มาก

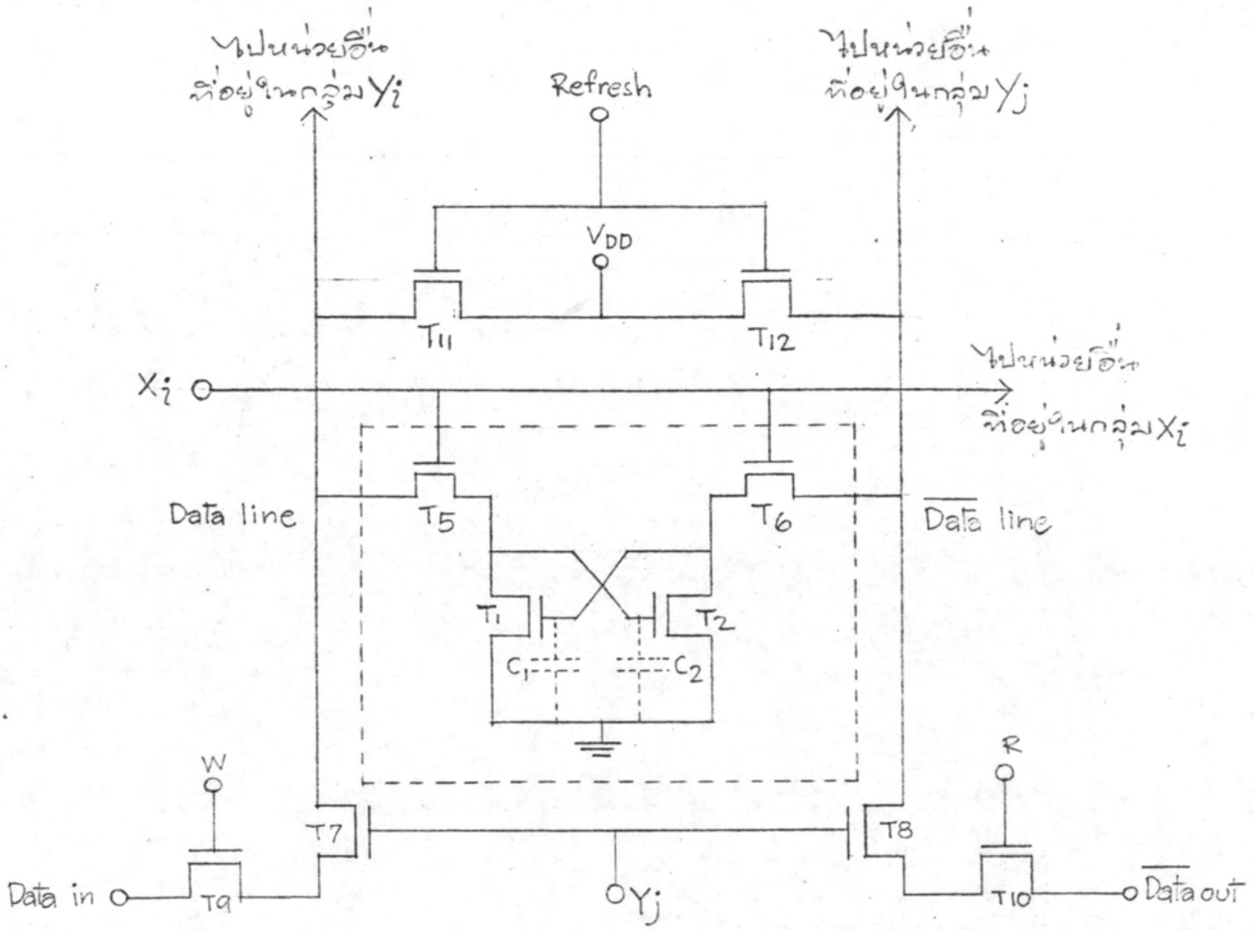
ใน BJT RAM หน่วยความจำใช้วงจร Cross - coupled inverters หรือ Flip-flop ซึ่งมีภาวะอยู่ตัวได้สองภาวะใช้เก็บค่า "0" หรือ "1" ส่วน MOS RAM มีได้สองแบบ

4.2.3.1 <u>Static MOS RAM</u> หน่วยความจำใช้วงจร Flip-flop เช่นเดียวกับ BJT RAM รูป 4.2-10 แสดงหน่วยความจำเพียงหนึ่งในจำนวนหน่วยความจำทั้งหมดซึ่งจัดเรียงให้อยู่ในรูปของ X-Y matrix โดยมีวงจร Decoder สำหรับแปลงจาก Address lines ให้สัญญาณกลุ่ม X และกลุ่ม Y เป็น "1" ได้กลุ่มละหนึ่งเส้นสำหรับที่หน่วยความจำที่ถูกเลือก T_5-T_6 จะนำกระแส ในการบันทึกค่าต้องตั้งให้ W = "1" T_9 จะนำกระแสผ่าน T_7 และ T_5 ไปเก็บใน Flip-flop ส่วนในการอ่านค่าที่บันทึกไว้ R = "1" T_{10} จะนำกระแส ค่าที่เก็บใน Flip-flop จะส่งผ่าน T_6, T_8 และ T_{10} ออกมาเป็นค่าที่เป็น Complement กับสัญญาณที่ได้บันทึกไว้



รูป 4.2-10 หน่วยความจำของ Static MOS RAM ซึ่งแสดงอยู่ภายในกรอบเส้นประ และอุปกรณ์ต่าง ๆ สำหรับการเลือก

4.2.3.2 Dynamic MOS RAM อาศัยตัวเก็บประจุที่เกตของ MOSFET เพื่อคงค่าแรงดันไว้ได้ชั่วขณะ เหตุที่สามารถคงค่าแรงดันไว้ได้ก็เนื่องจากความต้านทานขาเข้าของ MOSFET สูงมาก ทำให้การคายประจุที่เก็บไว้เป็นไปอย่างช้า ๆ แต่เนื่องจากประจุจะคายออกไปเรื่อย ๆ จึงจำเป็นต้องมีวงจร Refresh สำหรับคอยเพิ่มประจุจำนวนนี้เป็นระยะ ๆ รูป 4.2-11 แสดงหน่วยจำแบบหนึ่งของ RAM ประเภทนี้ ตัวเก็บประจุ C ที่แสดงด้วยเส้นประเพื่อแสดงว่ามีขึ้นเองโดยธรรมชาติ ไม่ได้จงใจสร้างขึ้น การบันทึกกระทำโดยผ่าน T_9 T_7 และ T_5 เหมือน Static RAM ถ้าสัญญาณเข้าเป็น "1" มันจะเก็บประจุไว้ใน C_2 T_2 จะนำกระแสทำให้ C_1 ถูกต่อลงดิน และ T_1 ไม่นำกระแส เนื่องจาก T_1 และ T_2 ต่อเป็นฟลิปฟลอป เมื่อหมดช่วงบันทึกค่าแล้ว ค่าประจุใน C_2 จะยังคงมีอยู่ต่อไปอีกระยะหนึ่ง ถ้าสัญญาณเข้าเป็น "0" ผลจะได้กลับกันคือ C_1 มีประจุ แต่ C_2 ไม่มีประจุ การอ่านกระทำโดยผ่าน T_6 T_8 และ T_{10} ในทำนองเดียวกับ Static RAM



รูป 4.2-11 หน่วยความจำของ Dynamic MOS RAM ซึ่งแสดงอยู่ภายในกรอบเส้นประ

ส่วนที่ต่างจาก Static RAM ก็คือมันต้องมี Refresh Cycle อยู่ตลอดเวลา เพื่อชดเชยประจุที่รั่วไหลจาก C_1 หรือ C_2 แล้วแต่ว่าข้อมูลที่เก็บมีค่าเป็น "0" หรือ "1" ในช่วง Refresh ขา Refresh และ X เป็น "1" ทำให้ T_5, T_6, T_{11} และ T_{12} นำกระแส สมมุติว่าเก็บค่า "0" ไว้ ในขณะนี้ประจุอยู่ที่ C_1 ทำให้ T_1 นำกระแส และ T_2 ไม่นำกระแส การที่ T_{11}, T_5 และ T_1 นำกระแสทำให้ C_2 ถูกประจุให้เต็มที่ได้ 1/3 V_{DD} ในขณะที่ T_{12}, T_6 นำกระแส แต่ T_2 ไม่นำกระแส C_1 จะถูกประจุเต็มที่ได้ถึง V_{DD} นอกจากนี้ใน C_1 เดิมจะมีประจุเหลืออยู่บ้าง ดังนั้นเมื่อหมดช่วง Refresh ซึ่งเป็นช่วงเวลาสั้น ๆ C_1 จะมีประจุอยู่มากกว่า C_2 เป็นผลให้ T_1 นำกระแส และ T_2 ไม่นำกระแส ประจุใน C_2 จะคายออกโดยผ่าน T_1 สรุปแล้ว C_1 จะได้ประจุเพิ่มขึ้นหลัง Refresh cycle

I16441321

4.2.4 <u>DAC (Digital to Analog Converter)</u>[1.9]

เป็นวงจรที่แปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก โดยหลักการแล้ว DAC สร้างได้ง่ายกว่าเมื่อเทียบกับ ADC ดังนั้นจึงมีผู้ผลิต DAC ออกมาจำหน่ายในรูปของวงจรรวม (Integrated circuit หรือ IC) ค่ามาตรที่สำคัญของ DAC ก็คล้ายกับของ ADC ได้แก่ความผิดพลาดของการแปลงสัญญาณ และเวลาในการแปลงสัญญาณ (Conversion time) สำหรับ DAC แบบที่เป็นวงจรรวม ความผิดพลาดของการแปลงสัญญาณขึ้นกับวงจรภายในไม่สามารถแก้ไขได้ มีแต่เวลาในการแปลงสัญญาณเท่านั้นที่สามารถแก้ไขเปลี่ยนแปลงโดยใช้อุปกรณ์ภายนอก

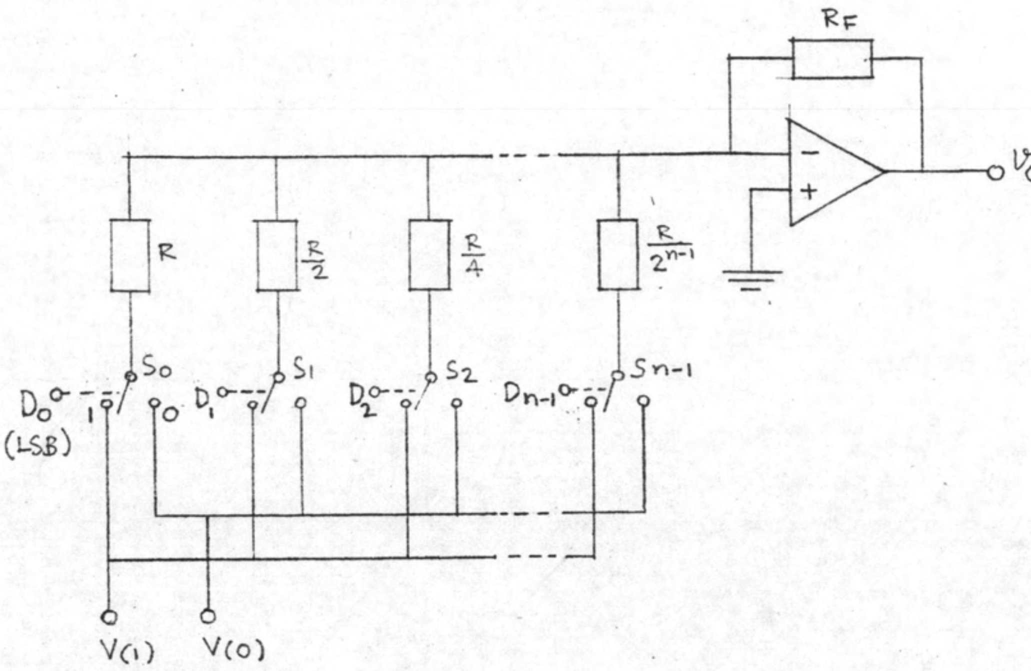
DAC มีได้หลายแบบ ในที่นี้จะกล่าวถึงเฉพาะแบบที่สำคัญ อย่างย่อ ๆ รายละเอียดจะดูได้จากในเอกสารอ้างอิง เช่น เอกสารอ้างอิงหมายเลข 1 และ 2 เป็นต้น

4.2.4.1 <u>The weighted - resistor DAC</u> ใช้หลักการของวงจรรวมสัญญาณ โดยมีอัตราขยายต่างกันสำหรับสัญญาณเข้าต่างกัน ตัวอย่าง DAC แบบนี้แสดงในรูป 4.2-12 สัญญาณดิจิตอลที่เป็น "1" จะบังคับสวิทช์ให้ส่งแรงดันอ้างอิงเข้าไปขยายในวงจรบวกสัญญาณ ซึ่งสร้างจากออพแอมป์ อัตราขยายของวงจรบวกสัญญาณจะจัดโดยค่าตัวต้านทานเข้าสำหรับแต่ละสัญญาณ ให้อัตราขยายของบิทที่ 1 (บิทที่มีนัยสำคัญต่ำเป็นที่สอง) เป็นสองเท่าของบิทที่ 0 (บิทที่มีนัยสำคัญต่ำสุด) อัตราขยายของบิทที่ 2 เป็นสองเท่าของบิทที่ 1 เช่นนี้ไปเรื่อย ๆ ตามน้ำหนักของบิทในระบบ Binary

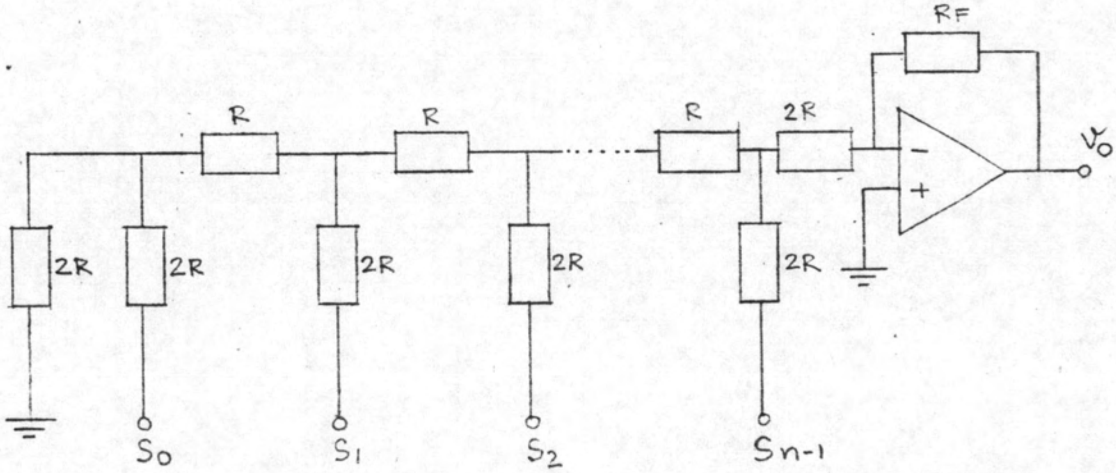
4.2.4.2 <u>The R-2R Ladder DAC</u> เป็น Weighted - Reristor DAC แบบหนึ่งซึ่งใช้ค่าความต้านทานอยู่สองค่าคือ R และ 2R ตามในรูป 4.2-13 ซึ่งสามารถตรวจสอบได้ว่าอัตราขยายจะเพิ่มเป็นสองสำหรับสัญญาณดิจิตอลที่มีนัยสำคัญเพิ่มขึ้นหนึ่งบิท

4.2.4.3 <u>The current - driven DAC</u> จะเป็นแบบใดในสองแบบข้างต้นก็ได้ แต่ใช้กระแสอ้างอิงแทนแรงดันอ้างอิง ทำให้ความเร็วสูงขึ้น วงจรแบบนี้แสดงในรูป 4.2-14 ซึ่งใช้

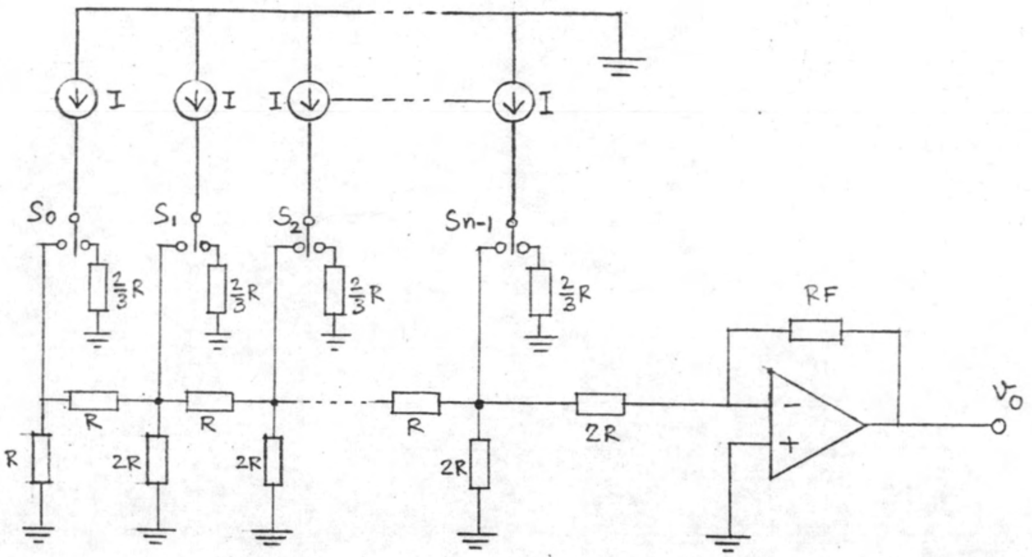
4.2.4.4 <u>The inverted - ladder DAC</u> เป็นการปรับปรุงเพื่อลดผลของการหน่วงเวลาในวงจร R-2R วงจร DAC แบบนี้แสดงในรูป 4.2-15



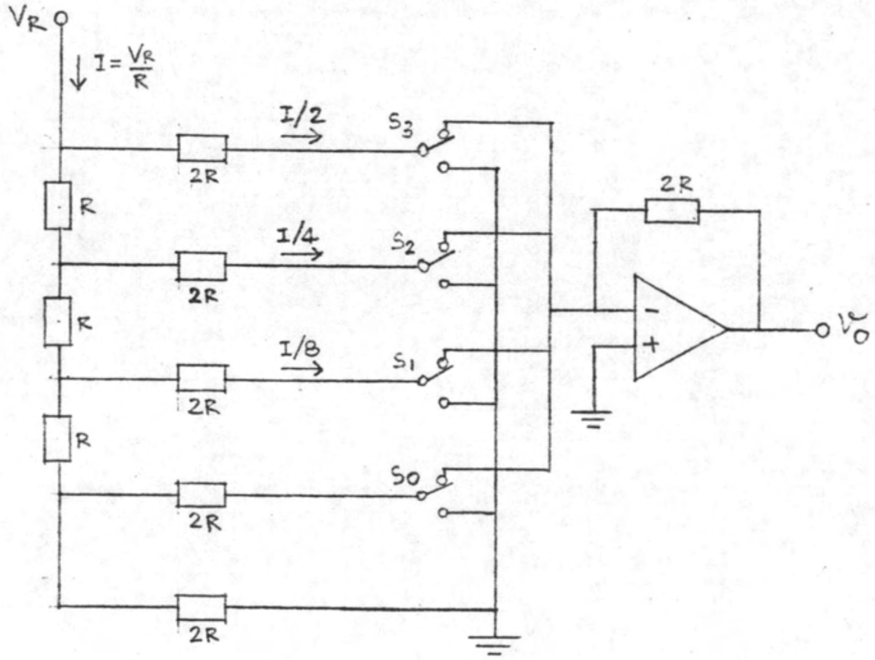
รูป 4.2-12 ตัวอย่างวงจร Weighted - resistor DAC ขนาด n บิท



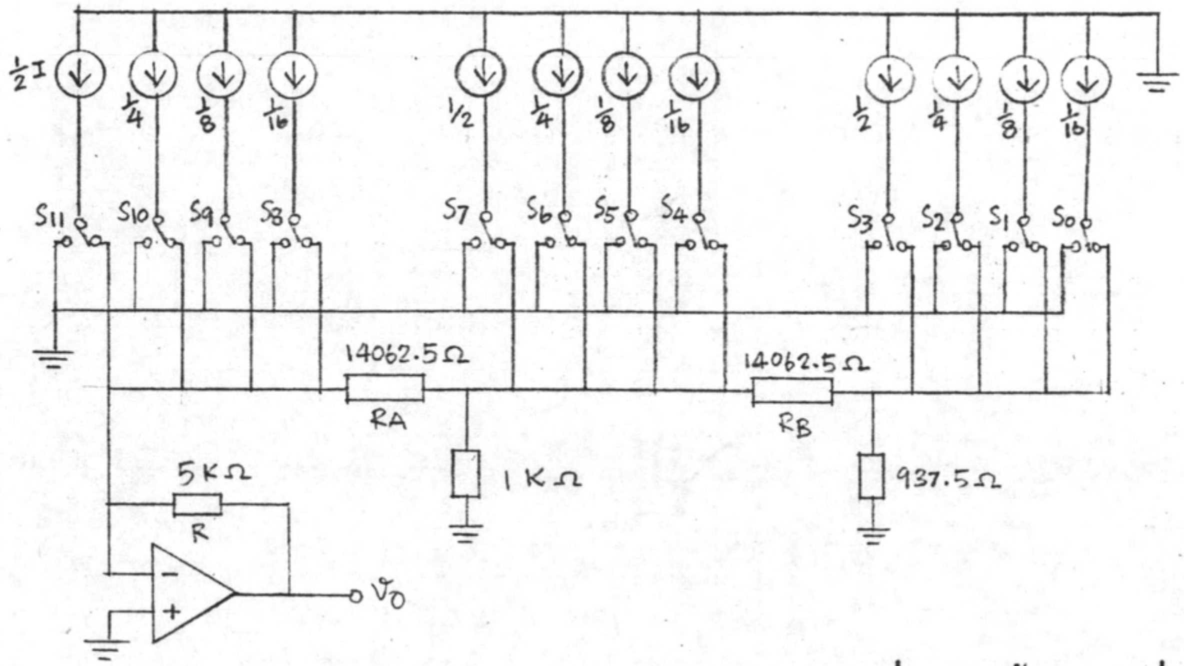
รูป 4.2-13 วงจร R-2R Ladder DAC ขนาด n บิท สัญญาณดิจิตอลจะใช้บังคับสวิทช์เพื่อส่งแรงดันอ้างอิงเหมือนในรูป 4.2-1 แต่จะละไว้ในฐานะที่เข้าใจเพื่อให้รูปดูง่ายขึ้น



รูป 4.2-14 วงจร Current - driven R-2R ladder DAC



รูป 4.2-15 วงจร Inverted - ladder DAC



รูป 4.2-16 วงจร DAC ขนาด 12 บิท แสดงการจัดกลุ่มกระแสอ้างอิง 4 ค่า สำหรับรหัสแบบ Binary ถ้าใช้รหัส BCD ต้องเปลี่ยนค่า R = 4K , R_A = 8132.5 และ R_B = 8437.5

สำหรับวงจรDAC ที่ผลิตออกมาในรูปของวงจรรวม จะใช้เทคนิคต่าง ๆ ตามที่กล่าวมาแล้วประกอบกัน สำหรับ DAC ที่มีจำนวนบิทมากขึ้นมักจะมีการรวมกลุ่มย่อย ๆ วงจรในรูป 4.2-16 แสดงถึงการจัดออกเป็นกลุ่มละสี่บิทซึ่งทำให้ใช้ค่ากระแสอ้างอิงเพียงสี่ค่า[2.4]

4.2.5 <u>วงจรกรองแบบผ่านต่ำ (LPF)</u>[5.2]

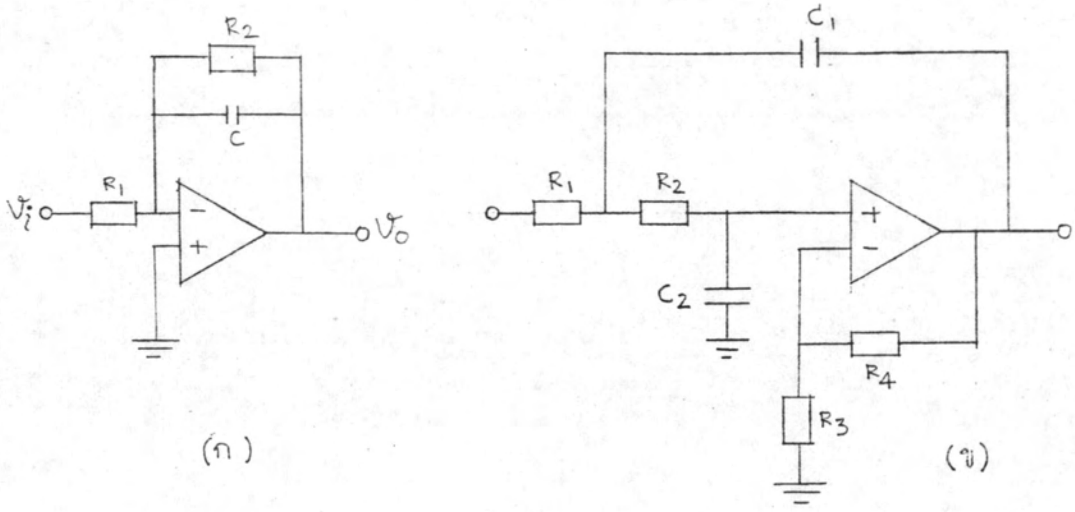
วงจรกรองแบ่งเป็น 2 แบบใหญ่ ๆ คือแบบ Passive และแบบ Active แบบ Passive หมายถึงวงจรที่ใช้เฉพาะอุปกรณ์ที่เป็น Passive ได้แก่ตัวต้านทาน ตัวเก็บประจุ และตัวเหนี่ยวนำ (Inductance) ส่วนแบบ Active เป็นแบบที่ใช้วงจรขยายประกอบกับตัวต้านทานและตัวเก็บประจุ สำหรับงานที่ความถี่ไม่สูงมากและต้องการวงจรกรองที่มีอันดับ(Order) สูง มักจะสร้างแบบ Active ข้อดีอีกประการหนึ่งของวงจรกรองแบบ Active ก็คือสามารถสร้างวงจรกรองให้มีอัตราขยายได้ และสามารถสร้างให้อิมพิแดนซ์ทางออกมีค่าต่ำ ทำให้เมื่อต่อโหลดเข้ากับจะไม่ทำให้ลักษณะสมบัติของวงจรกรองผิดไป ในที่นี้เราจะกล่าวถึงเฉพาะวงจร

กรองแบบผ่านต่ำแบบ Active ซึ่งเป็นแบบที่จะออกแบบขึ้น โดยทั่วไปจะใช้ออพแอมป์เป็นวงจรขยาย สำหรับออพแอมป์ 1 ตัวสามารถสร้างวงจรกรองแบบผ่านต่ำได้สองแบบ

4.2.5.1 <u>วงจรกรองอันดับหนึ่ง</u> เป็นวงจรกรองที่ Transfer function มีเพียงหนึ่ง pole ตามสมการ

$$H(S) = \frac{HoWo}{S+Wo} \qquad (4.2-7)$$

วงจรในรูป 4.2-17 (ก) แสดงวงจรแบบหนึ่งของวงจรกรองอันดับหนึ่ง วงจรกรองแบบนี้มักใช้ในกรณี อันดับรวมของวงจรกรองเป็นเลขคี่ เช่น ถ้าต้องการวงจรกรองอันดับ 3 จะสร้างโดยใช้วงจรอันดับหนึ่งต่อเรียงกันกับวงจรอันดับสอง เป็นต้น



รูป 4.2-17 วงจรกรองแบบผ่านต่ำ (ก) อันดับหนึ่ง (ข) อันดับสอง

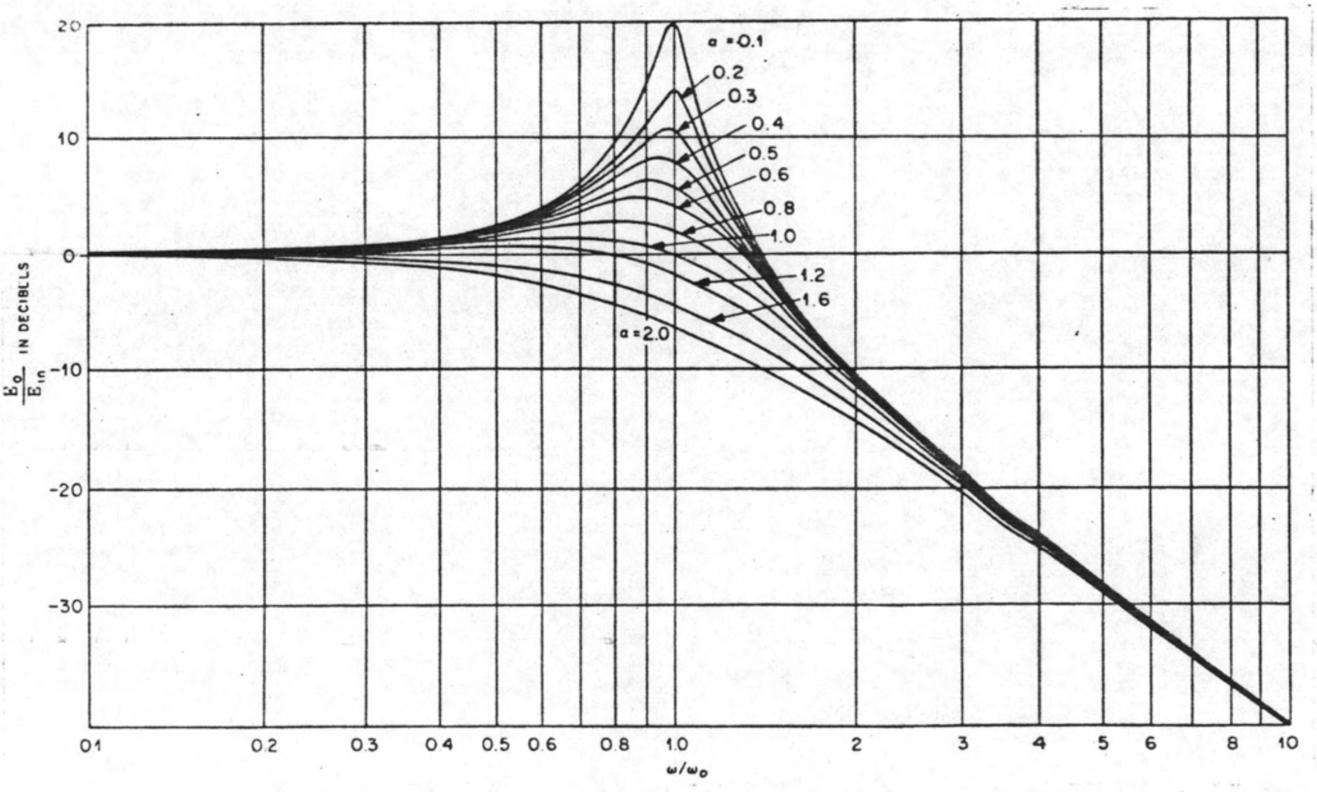
4.2.5.2 <u>วงจรกรองอันดับสอง</u> เป็นวงจรกรองที่ Transfer function มีสอง poles ตามสมการ

$$H(S) = \frac{HoWo^2}{S^2+\alpha WoS+Wo^2} \qquad (4.2-8)$$

วงจรแบบหนึ่งที่นิยมใช้กันแสดงในรูป 4.2-17 (ข) ค่า เป็นตัวกำหนดผลตอบสนองความถี่ของวงจรกรอง ดังรูป 4.2-18 ค่า = 1.414 เป็นค่าที่ได้ผลตอบสนองแบบ Maximally flat ถ้าค่า เล็กกว่านี้จะมี Overshoot คือผลตอบสนองจะมีบางส่วนเกินเส้น o dB ตามในรูป 4.2-18

การนำเอาวงจรกรองทั้งสองแบบมาต่อเรียงกัน เพื่อให้ได้ผลตอบสนองแบบต่าง ๆ มีได้หลายวิธี ที่นิยมกันมากคือจัดแบบ n-th order Butter worth หรือ Maximally flat LPF สำหรับวงจรกรองอันดับสองที่ = 1.414 เป็นเพียงกรณี n = 2 สำหรับ Butter worth LPF นี้ ขนาดของผลตอบสนองความถี่จะเป็นไปตามสมการ

$$\left| H\ (jW) \right| = \frac{Ho}{\sqrt{1+ \left(\frac{W}{Wo}\right)^{2n}}} \qquad (4.2\text{-}9)$$



รูป 4.2-18 ขนาดของผลตอบสนองความถี่ของวงจรกรองผ่านต่ำอันดับสอง สำหรับ $\alpha \leq 2$

4.3 การเลือกส่วนย่อยของระบบเพื่อกำหนดบล็อกไดอะแกรมใช้งานของระบบ

ดังที่ได้กล่าวมาแล้วในตอน 4.1 ส่วนย่อยของระบบประกอบด้วย

1. S/H
2. ADC
3. วงจรจำ
4. DAC
5. LPF
6. วงจรควบคุม

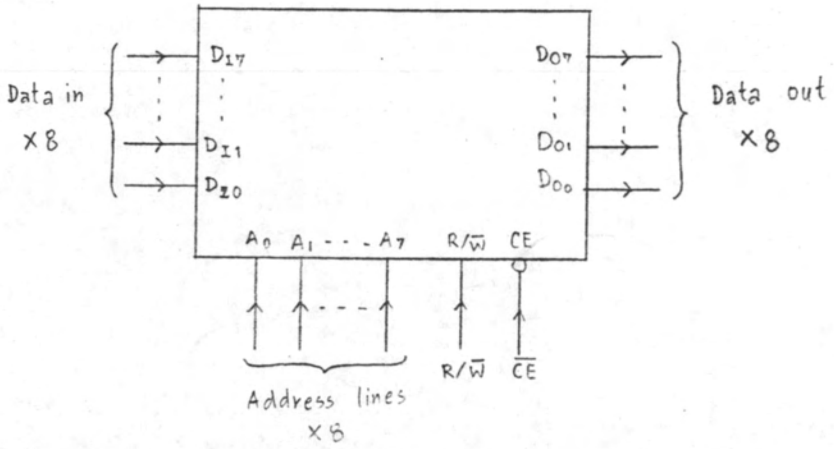
ในตอนนี้จะได้ทำการเลือกแบบของส่วนย่อยของระบบที่จะใช้เท่าที่จำเป็นในระดับบล็อกไดอะแกรม และทำการแบ่งและ/หรือรวม เอาหน่วยต่าง ๆ ไว้ในแผ่นวงจรพิมพ์แผ่นต่าง ๆ กัน เพื่อที่จะได้ออกแบบในรายละเอียดและสร้างแผ่นวงจรพิมพ์ขึ้นมาต่อไป

สำหรับวงจร S/H นั้น ไม่มีปัญหาเพราะไม่ว่าจะใช้แบบไหนลักษณะที่เขียนเป็นบล็อกไดอะแกรมจะเหมือนกัน วงจร LPF ก็เช่นเดียวกันไม่ว่าจะใช้วงจรแบบไหนก็แทนได้ด้วยบล็อกไดอะแกรมเหมือนกัน

วงจรจำเราเลือก Static RAM เพื่อตัดความยุ่งยากในการมี Refresh clock ซึ่งจำเป็นสำหรับ Dynamic RAM RAM ที่ใช้คือ MM2102AL ซึ่งมีขนาด 1 บิทและเก็บได้ 1024 ค่า ต้องใช้ RAM 8 ตัวเพื่อให้ได้ 8x256 บิท แต่ละตัวใช้เพียง 1 ใน 4 ของหน่วยความจำที่มีให้ ดังนั้น Address lines จึงใช้เพียง 8 เส้น สัญญาณควบคุมมี $R/\overline{W}$ (Read-Write) และ $\overline{CE}$ (Chip select) บล็อกไดอะแกรมของวงจรจำแสดงในรูป 4.3-1

วงจรควบคุมเป็นวงจรที่ออกแบบตามความต้องการใช้งาน และจะออกแบบเมื่อทำการเลือกส่วนย่อยของระบบครบหมดแล้ว ดังนั้นจึงเหลือวงจร ADC และ DAC ซึ่งจะต้องทำการเลือกแบบที่จะใช้เสียก่อนในตอนนี้

สำหรับวงจร DAC จะเลือกวงจรรวมเบอร์ DAC 0808 ซึ่งหาซื้อได้ในท้องตลาด



รูป 4.3-1 บล็อกไดอะแกรมของวงจรจำ

วงจร ADC ในลักษณะวงจรรวม (IC) ตัวเดียวเท่าที่พอจะสั่งซื้อได้ในราคาไม่แพงเกินไปนัก เป็นแบบ Successive approximation ซึ่งมี Conversion time ต่ำมาก เช่นเบอร์ ADC 0800 ขนาด 8 บิท ของ N.S. มี Conversion time=50μS ส่วน ADC ที่เร็วมาก เช่นเบอร์ ADC 1103-001 ของ Analog Devices (Conversion time 1 μS) ก็มีราคาแพงมากและต้องสั่งซื้อเป็นพิเศษจึงตัดสินใจจะออกแบบสร้าง ADC ขึ้นเองจากวงจรรวมย่อย ๆ

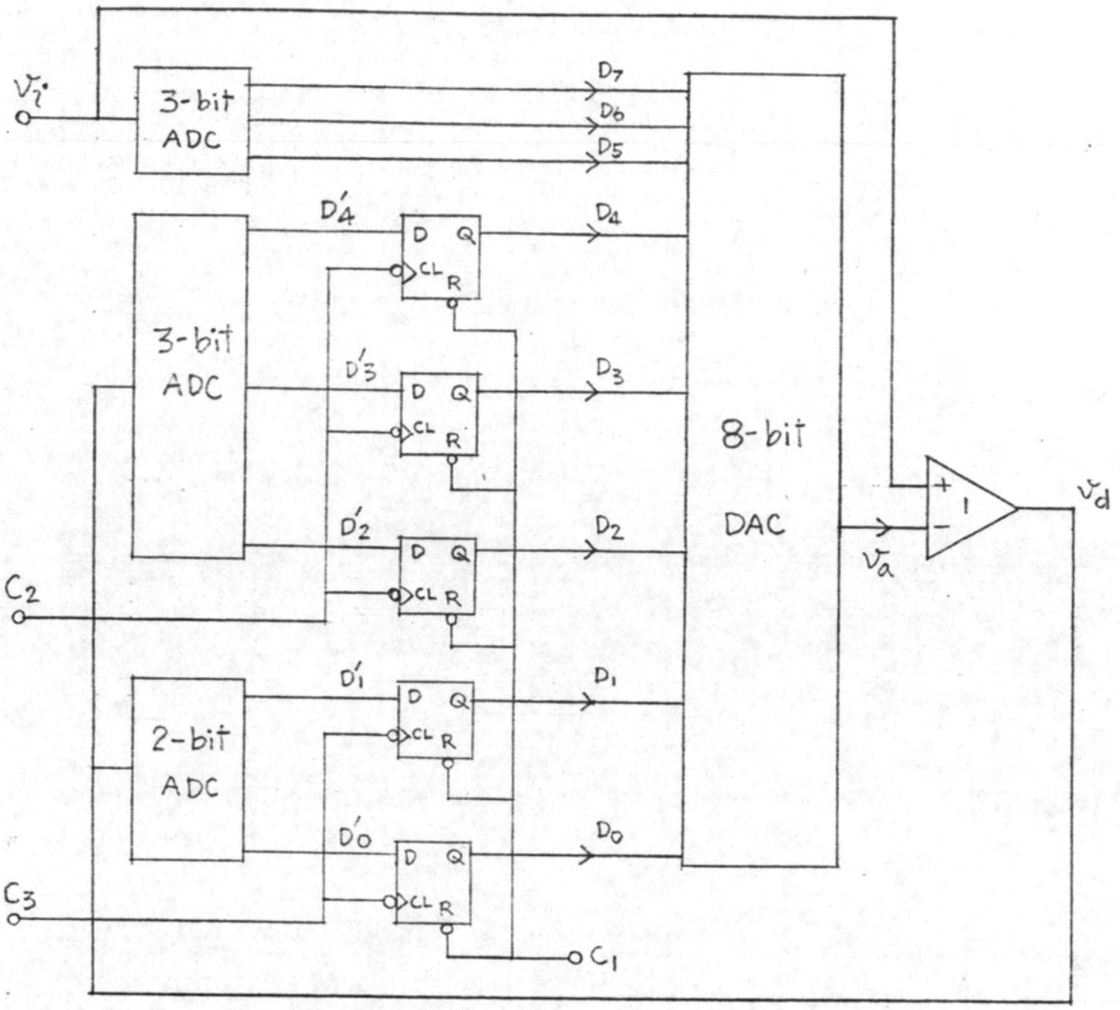
ADC แบบขนาน เป็นแบบที่มีความเร็วสูงสุดแต่วงจรยุ่งยากไม่เหมาะที่จะสร้างด้วยวงจรรวมย่อย ๆ สำหรับ ADC ขนาด 8 bit ต้องใช้วงจรเปรียบเทียบถึง 255 ตัว ADC แบบ dual slope integration เป็นแบบที่ความถูกต้องสูงมาก แต่ทำงานได้ช้ามากคืออยู่ในระดับหนึ่งในพันของวินาทีไม่เหมาะที่จะนำมาใช้ ณ ที่นี้ ส่วน ADC แบบ Successive approximation ถ้าจะสร้างขึ้นเอง วงจรก็ยุ่งยากพอสมควร แต่ความเร็วในการทำงานก็คงไม่สูงมากนัก โดยอาศัยข้อมูลเบื้องต้นจากการทดสอบวงจร DAC ที่ต่อขึ้นชั่วคราว (ภาคการทดสอบ DAC ที่จะกล่าวถึงในตอน 5.2.1 เป็นการทดสอบบนแผงวงจรใช้งานจริง) Conversion time ของ DAC 0808 ประมาณ 1.4 μS (ตามข้อมูลของผู้ผลิต t_c = 120ns ซึ่งยังไม่รวมผลของการใช้ออพแอมป์ทางภาคออก) ดังนั้นถ้าจะสร้าง

ADC แบบ Successive Approximation Conversion time ที่ได้จะไม่ดีกว่า $8 \times 1.4\ S = 11.2\ \mu S$ ทั้งนี้ยังไม่รวมผลการหน่วงเวลาของวงจรอื่น ๆ ที่ใช้ประกอบ เช่น วงจรเปรียบเทียบและวงจรตรรก เป็นต้น

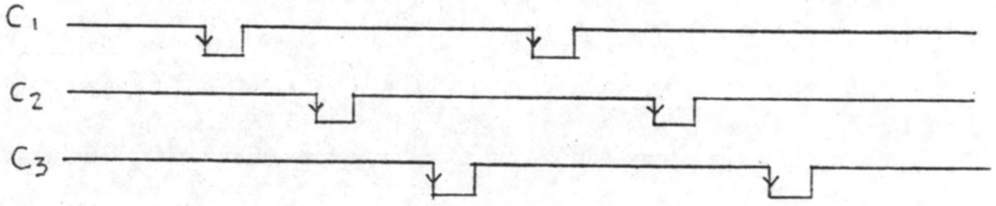
ADC แบบที่เลือกในการออกแบบดัดแปลงจากวงจรในรูป 4.2-7 โดยเพิ่ม ADC แบบขนาน 2 บิทเข้าไป เพื่อให้ทำงานเป็น ADC แบบขนานผสมกับแบบ Successive approximation ซึ่งแทนที่จะลองค่าดิจิตอลทีละหนึ่งบิท เราใช้ ADC แบบขนาน ทำให้ลองค่าได้ทีละ 3 บิท และ 2 บิทตามลำดับ วงจรและสัญญาณควบคุมแสดงไว้ในรูป 4.3-2

สัญญาณควบคุม C_1 ทำให้ D_4-D_0 เป็น 0 เป็นการลองค่าด้วย 3 บิทแรก หลังจากสัญญาณอนาลอก v_a อยู่ตัว แล้วนำไปลบจากสัญญาณเข้า v_i ได้สัญญาณ v_2 ซึ่งเป็นส่วนที่เหลือจะลองด้วยบิทต่ำ ๆ หลังจาก D_4', D_3',D_2' อยู่ตัวแล้ว ขอบด้านลงของสัญญาณ C_2 จะผ่านค่าเหล่านี้ไปเก็บคงค่าเป็น D_4, D_3, D_2 เป็นการลองค่า 3 บิทต่อไป สัญญาณ v_a และ v_d จะเปลี่ยนแปลงอีก จนกระทั่ง D_1' และ D_0' มีค่าอยู่ตัว (ในช่วงนี้ D_4, D_3, D_2 ก็มีการเปลี่ยนแปลงแต่เป็นค่าที่ไม่มีประโยชน์ต่อเราแล้ว ถ้าวงจรทำงานถูกต้องในช่วงนี้ D_4, D_3 และ D_2 จะมีค่าลงมาเป็น 0) และขอบด้านลงของสัญญาณ C_3 จะผ่านค่าเหล่านี้ไปที่ D_1 และ D_0 กระบวนการของ ADC สิ้นสุดที่ตรงนี้โดยไม่จำเป็นต้องรอเวลาให้ผลของ D_1 และ D_0 ไปปรากฏที่ v_a และ v_r C_1 จะ delay จาก C_3เพียงเล็กน้อยเพื่อ Latch ค่า D_7-D_0 ไว้สำหรับบันทึกเข้าวงจรจำ หลังจากนั้น C_1 เปลี่ยนเป็น 0 แล้วขบวนการแปลงสัญญาณรอบต่อไปก็เริ่มขึ้นอีกครั้งหนึ่ง

บล็อกไดอะแกรมของทั้งระบบแสดงในรูป 4.3-3 ซึ่งจัดอยู่ในแผ่นวงจรพิมพ์ 4 แผ่น (ไม่รวมแผงวงจรแหล่งจ่ายไฟตรงอีก 1 แผ่น) โดยใช้รีเลย์ตัดวงจร DAC ออกจาก ADC ในช่วง Read ทำให้สามารถใช้ DAC ตัวเดิมแปลงค่าที่อ่านจากวงจรจำเป็นค่าอนาลอก ซึ่งนอกจากจะลดองค์ประกอบลงแล้วยังลดความคลาดเคลื่อนในการแปลงเนื่องจากใช้ DAC ตัวเดียวกัน ทั้งตอนบันทึกค่าและตอนอ่านค่า รีเลย์เหล่านี้จะทำงานเฉพาะตอนบันทึก และเนื่องจากมันต้องใช้เวลาประมาณ 1/50 วินาทีในการตัดหรือต่อวงจร จึงต้องอาศัยสัญญาณบังคับ WL' (Pre-write loop) เพื่อให้รีเลย์เหล่านี้ทำงานเรียบร้อยเสียก่อนที่จะเปลี่ยนเป็น Write loop



(ก)



(ข)

รูป 4.3-2 (ก) บล็อกไดอะแกรมของ ADC ที่ออกแบบขึ้น (ข) สัญญาณควบคุมต่าง ๆ

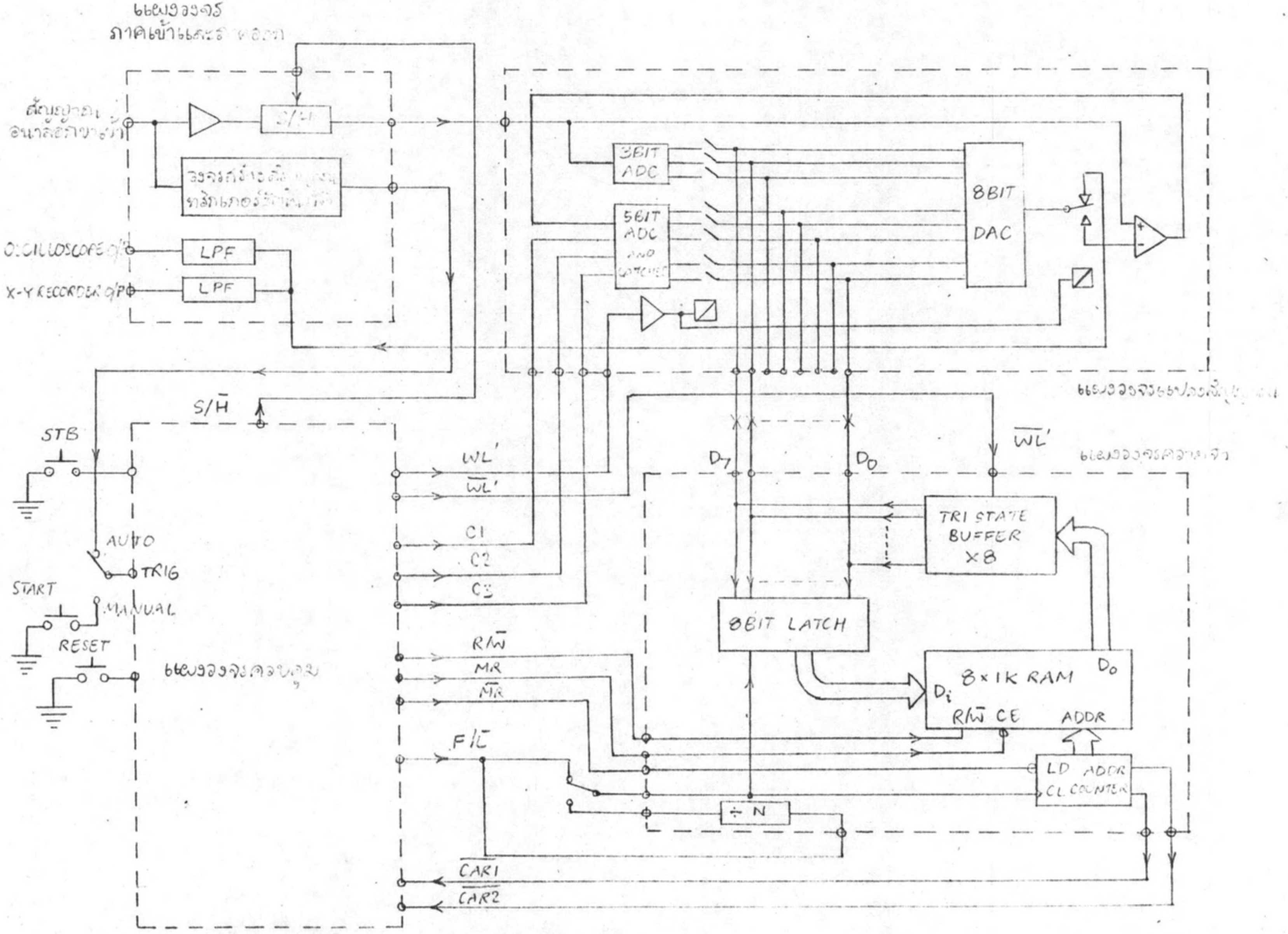
เนื่องจากสัญญาณดิจิตอล D_0-D_7 ที่ต่อระหว่างแผงวงจรแปลงสัญญาณและแผงวงจรจำเป็น Bi-directional bus คือในช่วง Write สัญญาณดิจิตอลจาก ADC จะส่งไปยังวงจรจำ ส่วนในช่วง Read สัญญาณจากวงจรจำส่งผ่าน bus นี้ กลับมายังแผงวงจรแปลงสัญญาณเข้าไปยัง ADC ดังนั้นที่แผงวงจรจำจึงต้องมี Tri-state buffers ทำหน้าที่ต่อสัญญาณออกจาก RAM มาเข้า bus นี้เพื่อต่อไปยัง DAC ในช่วง Read และตัดสัญญาณออกของ RAM ออกจาก bus ในช่วง Write Buffers เหล่านี้ควบคุมโดย $\overline{WL}$' เพื่อให้ทำหน้าที่ตัดต่อสัญญาณพร้อม ๆ กับรีเลย์ข้างต้นนี้

โดยการใช้วงจร Latch เพื่อคงค่าดิจิตอลที่ได้จาก ADC สำหรับบันทึกไว้ใน RAM ทำให้ระบบทำงานได้เร็วขึ้น เพราะเมื่อค่าดิจิตอลถูกเก็บไว้ที่ Latch แล้วเราจะเริ่มต้น Sample ค่าอนาลอกค่าใหม่ได้ทันทีพร้อม ๆ กับการบันทึกค่าดิจิตอลที่ Latch ลงไว้ใน RAM การจัดเวลาสัญญาณควบคุมเพื่อให้ระบบทำงานเป็นไปตามนี้แสดงในรูป 4.3-4

ปัจจัยสำคัญที่ทำให้สามารถจัดเวลาสัญญาณควบคุมแบบนี้ก็คือเวลาในการบังคับให้วงจร Latch ทำงาน ต้องน้อยกว่า Write cycle time ของวงจรจำ มิฉะนั้นจะไม่ทำให้ระบบเร็วขึ้นเลย แต่ในที่นี้เราทำได้เพราะ Latch ที่ใช้ซึ่งคือเบอร์ 7475 มี latch control time = 30ns ส่วน Write cycle time ของ RAM ที่ใช้ = 350 ns เป็นอย่างน้อย

สัญญาณควบคุม Latch คือ F/$\overline{L}$ (Follow - latch) ถ้าเป็น "1" หมายถึง Follow คือสัญญาณออกมีค่าตามสัญญาณเข้า ถ้าเป็น "0" หมายถึง Latch เนื่องจาก F/$\overline{L}$ เป็น "0" จนกว่าจะบันทึกค่าใน RAM เสร็จ ดังนั้นขอบด้านขึ้นของมันสามารถนำไปเลื่อน Address ของ RAM ไปอีก 1 ที่ เพื่อเตรียมบันทึกค่าดิจิตอลค่าต่อไป

จากบล็อกไดอะแกรมรูป 4.3-3 Clock input (CLI) ที่จะใช้กับ RAM สามารถเลือกจากสัญญาณ F/$\overline{L}$ หรือสัญญาณที่ได้จากการหาร F/$\overline{L}$ ด้วยวงจรหารภายในแผงวงจรจำ ซึ่งในกรณีหลังนี้ CLI จะมีความถี่ต่ำลงเพื่อใช้ในกรณีที่ต้องการสัญญาณออกที่อ่านจาก RAM ช้าลงพอที่จะบันทึกด้วย X-Y Recorder ได้

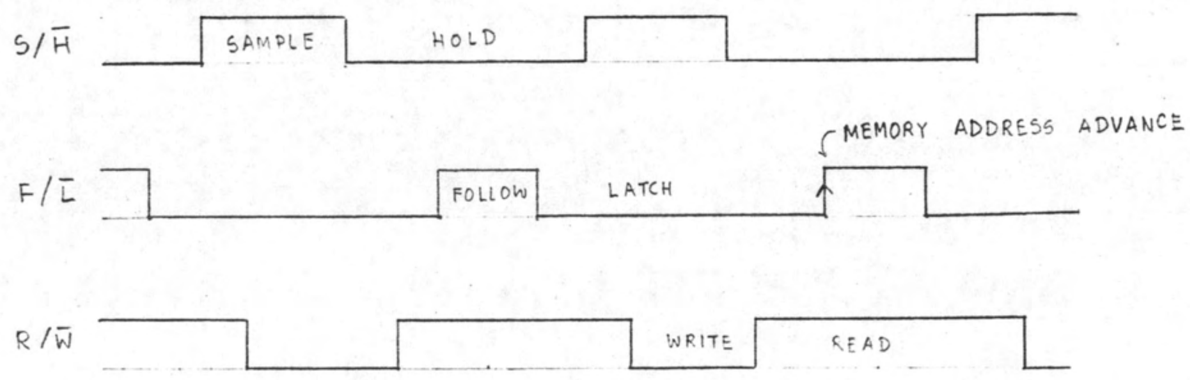


รูป 4.3-3 บล็อกไดอะแกรมสมบูรณ์ของระบบ แสดงการแบ่งหน่วยต่าง ๆ ลงบนแผ่นวงจรพิมพ์ต่าง ๆ

สัญญาณบังคับที่ออกจากแผงวงจรจำได้แก่ $\overline{\text{CAR1}}$ และ $\overline{\text{CAR2}}$ (CARRY) ซึ่งเป็นสัญญาณที่บอกให้ แผงวงจรควบคุมรู้ว่าขณะนี้สัญญาณทั้งสองนี้เป็น "O" พร้อมกันหมายถึงการบันทึกค่าได้ทำถึงตำแหน่งสุดท้ายของ RAM แล้ว หลังจากนี้วงจรควบคุมจะเปลี่ยนจากสภาวะ Write มาเป็นสภาวะ Read โดยอัตโนมัติ

ในแผงวงจรควบคุมนอกจากจะสร้างสัญญาณบังคับต่าง ๆ ที่ได้กล่าวมาแล้วยังมีวงจรบอกสภาวะของเครื่อง เช่น อยู่ในสภาวะ Reset บอกด้วยสัญญาณ MR (Master Reset) สภาวะ Standby บอกด้วยสัญญาณ WL' สภาวะ Write และสภาวะ Read ซึ่งบอกได้ด้วยสัญญาณ WL มีสวิทช์บังคับ 3 อันคือ Reset, standby และ Start สำหรับบังคับให้เครื่องอยู่ในสภาวะต่าง ๆ ที่พิเศษคือสภาวะ Write จะเปลี่ยนเป็นสภาวะ Read โดยอัตโนมัติหลังจากที่ได้บันทึกค่าเต็มตามจำนวนที่ต้องการใน RAM แล้ว การเริ่มสภาวะ Read จะเลือกได้สองแบบคือแบบ Manual หรือเริ่มด้วยการกดสวิทช์ Start และแบบอัตโนมัติซึ่งเริ่มเมื่อมีสัญญาณ $\overline{\text{TRIG}}$ จากแผงวงจรภาคเข้าและภาคออกเมื่อสัญญาณอนาลอกขาเข้ามีค่าสูงกว่าระดับที่ได้ตั้งไว้

ในบทต่อไปจะได้กล่าวถึงรายละเอียดการออกแบบวงจรโดยละเอียด



รูป 4.3-4 แสดงการจัดเวลาของสัญญาณบังคับที่สำคัญ