การเก็บบันทึกสัญญาณอนาลอก

นายประหยัด ครองอภิรดี

001613

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
ภาควิชาวิศวกรรมไฟฟ้า
บัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย
พ.ศ. 2523

I 16441321

STORAGE OF ANALOG WAVEFORMS

Mr. Prayad Krongapiradee

A Thesis Submitted in Partial Fulfillment of the Requirements

for the Degree of Master of Engineering

Department of Electrical Engineering

Graduate School

Chulalongkorn University

1980

หัวข้อวิทยานิพนธ์ เครื่องบันทึกสัญญาณอนาลอก

โดย นายประหยัด ครองอภิรดี

ภาควิชา วิศวกรรมไฟฟ้า

อาจารย์ที่ปรึกษา ผู้ช่วยศาสตราจารย์ ดร.โคทม อารียา

บัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย อนุมัติให้นับวิทยานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญามหาบัณฑิต

..... คณบดีบัณฑิตวิทยาลัย

(รองศาสตราจารย์ ดร.สุประดิษฐ์ บุนนาค)

คณะกรรมการสอบวิทยานิพนธ์

..... ประธานกรรมการ

(ผู้ช่วยศาสตราจารย์ ดร.ชาตรี ศรีไพพรรณ)

..... กรรมการ

(ผู้ช่วยศาสตราจารย์ ดร.โคทม อารียา)

..... กรรมการ

(ผู้ช่วยศาสตราจารย์ กฤษดา วิศวธีรานนท์)

..... กรรมการ

(ผู้ช่วยศาสตราจารย์ ประยูร เชี่ยววัฒนา)

ลิขสิทธิ์ของบัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย

หัวข้อวิทยานิพนธ์	เครื่องบันทึกสัญญาณอนาลอก
ชื่อนิสิต	นาย ประหยัด ครองอภิรดี
อาจารย์ที่ปรึกษา	ผู้ช่วยศาสตราจารย์ ดร. โคทม อารียา
ภาควิชา	วิศวกรรมไฟฟ้า
ปีการศึกษา	2523

พอสมุดกลาง สถาบันวิทยบริการ จุฬาลงกรณ์มหาวิทยาลัย

บทคัดย่อ

วิทยานิพนธ์นี้มีวัตถุประสงค์ที่จะประยุกต์เทคนิคการบันทึกสัญญาณอนาลอกโดยแปลงเป็นสัญญาณดิจิตอล แล้วบันทึกไว้ในหน่วยความจำทางอีเลคทรอนิคส์หรือ RAM (Random access memory) มาใช้สร้างเป็นเครื่องมือเพื่อใช้เป็นเครื่องบันทึกสัญญาณสำหรับเครื่องมือบางอย่าง เช่น ออสซิลโลสโคปแบบธรรมดา และ X-Y recorder โดยการอ่านข้อมูลที่บันทึกไว้ออกมาด้วยอัตราเร็วที่เหมาะสมแล้วแปลงสัญญาณดิจิตอลที่อ่านได้กลับมาเป็นสัญญาณอนาลอกตามเดิม แม้ว่าการบันทึกสัญญาณอนาลอกได้มีการทำกันแล้วโดยสร้างเป็น ออสซิลโลสโคปที่สามารถบันทึกสัญญาณได้ แต่สำหรับเครื่องมือที่สร้างขึ้นประกอบวิทยานิพนธ์นี้ใช้ประกอบกับออสซิลโลสโคป แบบธรรมดา ซึ่งมีอยู่ตามห้องปฏิบัติการโดยทั่วไป โดยมีขาเข้าสำหรับรับสัญญาณที่จะบันทึก และสัญญาณออกต่อไปเข้าออสซิลโลสโคป นอกจากนี้ยังมีขาออกสำหรับต่อเข้า X-Y recorder อีกด้วย เนื่องจากเครื่องมือนี้สามารถตั้งความถี่ การสุ่มในตอนบันทึกให้มากกว่าเท่ากับหรือน้อยกว่าความถี่ในการอ่านค่าซึ่งตั้งไว้คงที่ ทำให้สามารถแปลงสัญญาณความถี่ต่ำมากให้เป็นสัญญาณความถี่สูงพอที่จะเห็นเป็นภาพต่อเนื่องบนออสซิลโลสโคป หรือสามารถแปลงสัญญาณความถี่สูงให้มีความถี่ต่ำลงพอที่จะใช้กับ X-Y recorder ได้ นอกจากนี้การอ่านค่าสามารถอ่านซ้ำ ๆ กัน ทำให้สามารถแสดงภาพสัญญาณที่เกิดขึ้นครั้งเดียวให้เป็นภาพนิ่งบนออสซิลโลสโคปได้

ในทางภาคทฤษฎี ได้วิเคราะห์สเปคตรัมของสัญญาณรูปคลื่นซายน์ที่ถูกสุ่มเพื่อศึกษาลักษณะสมบัติทั่ว ๆ ไปของสัญญาณที่ถูกสุ่ม โดยเฉพาะอย่างยิ่งใช้ประกอบการออกแบบวงจรกรอง

แบบผ่านต่ำในภาคเข้าและภาคออก การวิเคราะห์ใช้วิธี Numerical method โดยอาศัยทฤษฎีบทของ Fourier

รายละเอียดของระบบมีดังนี้ DAC (Digital to analog converter) เป็นแบบวงจรรวม (IC) ADC(Analog to digital converter) เป็นแบบผสม โดยมี ADC แบบชนาน ย่อย ๆ ประกอบกับ DAC และวงจรเปรียบเทียบ (Comparator) เพื่อประกอบเป็น ADC แบบ Successive approximation ที่มีการเปลี่ยนแปลงครั้งละ 3 บิท หรือ 2 บิท สำหรับกลุ่มของบิทที่มีนัยต่ำสุด โดยใช้ DAC ตัวเดียวกับที่ใช้แปลงสัญญาณในตอนอ่านค่า วงจรจำใช้ Static MOS RAM วงจรควบคุมส่งสัญญาณควบคุมให้ระบบทำงานโดยเริ่มจากสภาวะการบันทึกค่า เสร็จแล้วเปลี่ยนเป็นสภาวะการอ่านค่าโดยอัตโนมัติ ภาคออกมีวงจรกรองแบบผ่านต่ำเพื่อขจัดฮาร์โมนิคความถี่สูงที่เป็นผลจากการสุ่มค่า

เครื่องมือที่สร้างขึ้นนี้สามารถใช้กับสัญญาณเข้าความถี่สูงสุด 25 KHz โดยใช้ความถี่สูงสุด 250 KHz ผลการทดสอบพบว่า ADC ทำงานโดยมีความผิดพลาดทางขนาดค่อนข้างสูงและไม่แน่นอน อันเป็นผลให้การทดสอบด้วยสัญญาณซายน์ได้สัญญาณออกที่มีรูปร่างเพี้ยนไป ส่วนความถูกต้องทางความถี่มีความแม่นยำสูงมาก เนื่องจากวงจรควบคุมใช้ Crystal oscillator สำหรับควบคุมความถี่

Thesis Title Storage of Analog Waveforms

Name Mr. Prayad Krongapiradee

Thesis Advisor Assist, Prof. Gothom Arya, Doc. Ing.

Department Electrical Engineering

Academic Year 1980

ABSTRACT

The objective of this thesis is to apply the techniques of storaging analog waveforms (after their conversion into digital form) in a RAM (random access memory), to the design of an instrument, to be used with other equipment such as an ordinary oscilloscope or an X-Y recorder, with the capability of storaging and displaying analog waveforms at convenient read-out speeds. Although a storage oscilloscope could perform similar functions, the instrument, designed here, requires only an ordinary oscilloscope which is generally found in laboratories. It is a complete unit, with one analog input and two outputs, one for the oscilloscope and another one for the X-Y recorder. The input analog waveform can be sampled at different pre-selected frequencies which are greater, equal or less than the fixed read frequency. Therefore, the insturment can either convert an extremely low frequency waveform into a higher frequency one thus allowing a continuous trace display on the oscilloscope, or convert a high frequency waveform into a lower frequency one suitable for the X-Y recorder.

Moreover, the output signal is obtained by reading out repeatedly from the memory, therefore a one-shot or transient signal can be displayed continuously.

In the theoretical part of this thesis, the spectrum of the sampled sine wave is analyzed. The result of the analysis is used in the design of the low pass filter of the input-output unit. The analysis is done numerically using the Fourier series.

The instuement is composed of different units. The DAC (Digital to analog converter) is an integrated circuit type. The ADC (Analog to digital converter) is a hybrid type consisting of 3-bit and 2-bit parallel type converters together with the DAC (the same one that is used to convert digital signals from the memory into analog signals) and comparators to form a special type of successive approximation converter where three bits (two bits for the least significant bits) are tried at a time. Static MOS RAM's are used as the memory. The control circuit first sets the system into the write mode, then automatically changes to the read mode. The output stage incorporates a low pass filter to get rid of the higher harmonics resulting from the sampling process.

The result from testing shows that the instrument can store input signals from DC. up to 25 KHz with 250 KHz as the highest sampling rate. The error in amplitude of the output signal is quite high due to erroneous operation of the ADC. The accuracy in frequency of time measurement is high due to the use of the crystal oscillator in the control circuitry.

กิตติกรรมประกาศ

ข้าพเจ้าขอขอบคุณ แผนกอิเล็คทรอนิคส์ และระบบสื่อสาร บริษัทไฟฟ้าฟิลิปส์แห่งประเทศไทย จำกัด ที่ได้อนุญาตให้ใช้สถานที่ เอกสารข้อมูลต่าง ๆ และเครื่องมือที่ใช้ในงานวิจัยชิ้นนี้ ขอขอบคุณพนักงานของแผนกดังกล่าวทุก ๆ ท่านที่ให้ความร่วมมือและความช่วยเหลือ จนกระทั่งงานวิจัยนี้สำเร็จลุล่วงไปด้วยดี และขอขอบคุณ ผู้ช่วยศาสตราจารย์ ดร. โคทม อารียา อาจารย์ที่ปรึกษาของข้าพเจ้าที่กรุณาสละเวลาอันมีค่าของท่านคอยติดตามผลงาน ให้คำแนะนำปรึกษา ให้กำลังใจ และตรวจทานวิทยานิพนธ์ฉบับนี้อย่างละเอียดถี่ถ้วนแทบทุกบรรทัด.

ประหยัด ครองอภิรดี

23 ก.ย. 2523

สารบัญ

หน้า

บทคัดย่อภาษาไทย . . . . . ข

บทคัดย่อภาษาอังกฤษ . . . . . ง

กิตติกรรมประกาศ . . . . . ช

รายการตารางประกอบ . . . . . ฎ

รายการภาพประกอบ . . . . . ฐ

บทที่

1. บทนำ 1

1.1 การบันทึกสัญญาณอนาลอก 1

1.2 วัตถุประสงค์และขอบเขตของงาน 2

1.3 เครื่องบันทึกสัญญาณอนาลอกที่มีจำหน่าย 4

2. ข้อตกลงในการเรียกชื่อสัญญาณและสัญญลักษณ์ที่ใช้ในวงจร 6

2.1 ชื่อสัญญาณต่าง ๆ 6

2.2 สัญญลักษณ์ที่ใช้ในวงจร 7

3. ทฤษฎี 10

3.1 ทฤษฎีบทของการสุ่ม (Sampling theorem) 10

3.2 การจัดรหัส 11

3.3 การวิเคราะห์สเปคตรัมของสัญญาณที่ได้จากการสุ่ม 14

4. การออกแบบระบบ 18

4.1 บล็อกไดอะแกรมเบื้องต้น 18

4.2 ส่วนย่อยของระบบ 20

หอสมุดกลาง สถาบันวิทยบริการ จุฬาลงกรณ์มหาวิทยาลัย

สารบัญ (ต่อ)

บทที่		หน้า
	4.2.1 S/H (Sample and Hold)	20
	4.2.1.1 S/H ซึ่งใช้ FET	22
	4.2.1.2 S/H ซึ่งใช้ diode transmission gate	23
	4.2.2 ADC (Analog to digital converter) . . .	25
	4.2.2.1 ADC แบบขนาน	27
	4.2.2.2 Successive Approximation converter	29
	4.2.2.3 Dual - Slope Converter	31
	4.2.3 RAM (Random access memory)	33
	4.2.3.1 Static MOS RAM	33
	4.2.3.2 Dynamic MOS RAM	34
	4.2.4 DAC (Digital to analog converter) . . .	36
	4.2.4.1 The weighted-resistor DAC . . .	36
	4.2.4.2 The R-2R ladder DAC	36
	4.2.4.3 The current-driven DAC	36
	4.2.4.4 The inverted-ladder DAC	36
	4.2.5 วงจรกรองแบบผ่านต่ำ (LPF)	39
	4.2.5.1 วงจรกรองอันดับหนึ่ง	40
	4.2.5.2 วงจรกรองอันดับสอง	40
	4.3 การเลือกส่วนย่อยของระบบเพื่อกำหนดบล็อกไดอะแกรมใช้งานของระบบ	42
5.	การออกแบบส่วนย่อยของระบบและการทดสอบเฉพาะส่วน	49
	5.1 แผงวงจรแหล่งจ่ายไฟตรง	49
	5.2 แผงวงจรแปลงสัญญาณ	50

สารบัญ (ต่อ)

บทที่		หน้า
	5.2.1 DAC	52
	5.2.2 ADC แบบขนาน 3 บิทชุดแรก	57
	5.2.3 ADC แบบขนาน 3 บิทชุดที่สอง	68
	5.2.4 ADC แบบขนาน 2 บิท	72
	5.2.5 วงจรสมบูรณ์ของแผงวงจรแปลงสัญญาณ	74
	5.2.5.1 การวัดเวลาอยู่ตัวของค่าดิจิตอล 6 บิทแรก	76
	5.2.5.2 การวัดเวลาอยู่ตัวของค่าดิจิตอล 2 บิทหลัง	77
	5.3 แผงวงจรจำ	79
	5.4 S/H	82
	5.5 แผงวงจรควบคุม	87
	5.5.1 ข้อกำหนดของวงจรควบคุม	87
	5.5.2 วงจรควบคุมสภาวะของเครื่อง	89
	5.5.3 สัญญาณควบคุมที่ขึ้นกับสภาวะของเครื่อง	96
	5.5.4 วงจรสร้างสัญญาณควบคุม	98
	5.5.5 วงจรเปลี่ยนแปลงความถี่ในการสุ่ม	100
	5.5.6 การทดสอบวงจรและการแก้ไข	105
	5.5.7 วงจรสมบูรณ์ของแผงวงจรควบคุม	109
	5.6 แผงวงจรภาคเข้าและภาคออก	109
	5.6.1 วงจรกรองสัญญาณแบบผ่านต่ำ (LPF)	109
	5.6.2 วงจรสร้างสัญญาณทริกเกอร์อัตโนมัติ	120
	5.6.3 วงจรสมบูรณ์ของแผงวงจรภาคเข้าและภาคออก . . .	122
6.	การทดสอบทั้งระบบ	124
	6.1 การทดสอบ ADC โดยใช้สัญญาณควบคุมจากแผงวงจรควบคุม	124
	6.2 การทดสอบผลรวมของ ADC และ S/H	126
	6.3 การทดสอบทั้งระบบ	128

สารบัญ (ต่อ)

บทที่	หน้า
7. สรุปผลและข้อเสนอแนะสำหรับวิจัยต่อ	135
เอกสารอ้างอิง	139
ภาคผนวก ก โปรแกรมและผลการวิเคราะห์สเปคตรัมของสัญญาณที่ได้จากการสุ่ม. .	141
ภาคผนวก ข ข้อมูลของวงจรรวมที่สำคัญ ๆ จากผู้ผลิต	154
ภาคผนวก ค รายละเอียดการจัดวางอุปกรณ์ในแผงวงจรพิมพ์	169
ประวัติผู้เขียน	174

รายการตารางประกอบ

ตาราง		หน้า
3.2-1	Natural binary code	11
3.2-2	รหัสที่ใช้กันมากสำหรับสัญญาณอนาลอกที่มีค่าทั้งบวกและลบ	12
5.2-1	ผลการทดสอบ DAC เทียบกับค่าที่คำนวณตามทฤษฎี	55
5.2-2	ผลการทดสอบ ADC แบบขนาน 3 บิทชุดแรก	65
5.2-3	แรงดันของสัญญาณเข้าที่จุดเปลี่ยนรหัสต่าง ๆ ของ ADC แบบขนาน 3 บิท ชุดแรก	67
5.2-4	แรงดันของสัญญาณเข้าที่จุดเปลี่ยนรหัสต่าง ๆ ของ ADC แบบขนาน 3 บิท ชุดที่สอง	72
5.5-1	แสดงตัวเลขที่สำคัญที่เกี่ยวกับการตั้งความถี่สุ่มที่ค่าต่าง ๆ	104
5.6-1	ตารางแสดงผลตอบสนองความถี่ของวงจรกรองแบบ Butter worth อันดับ 4	113
5.6-2	ผลการทดสอบการตอบสนองความถี่ของวงจรกรอง	119

รายการรูปประกอบ

รูป		หน้า
3.3-1	แสดงสัญญาณที่ได้จากการสุ่มเทียบกับสัญญาณเข้า	14
3.3-2	แสดงสเปคตรัมของ (ก) สัญญาณซายน์ความถี่ w_1 (ข) สัญญาณที่มีแถบความถี่จำกัดไม่เกิน w_m	14
3.3-3	กลื่นซายน์ที่ถูกสุ่ม ซึ่งจะทำการวิเคราะห์สเปคตรัม	17
3.3-4	สเปคตรัมของสัญญาณที่มีแถบความถี่จำกัดไม่เกิน f_m และถูกสุ่มด้วยความถี่ f_s	17
4.1-1	บล็อกไดอะแกรมเบื้องต้นของระบบ	19
4.2-1	การทำงานของวงจร S/H	20
4.2-2	แสดงสัญญาณออกของ S/H และค่ามาตรที่สำคัญ	21
4.2-3	วงจร S/H ซึ่งใช้ FET ตัวเดียวพร้อมวงจรขับนำ	23
4.2-4	วงจร S/H ที่ใช้ FET สองตัว	24
4.2-5	วงจร S/H ที่ใช้ไดโอดเป็นสวิทช์	25
4.2-6	(ก) วงจร ADC แบบขนาน 3 บิท (ข) ตารางการแบ่งค่า	27
4.2-7	6-bit ADC แบบต่อเรียงกัน	28
4.2-8	Successive approximation converter	30
4.2-9	(ก) Dual-slope ADC (ข) สัญญาณออกของ integrator	32
4.2-10	Dynamic MOS RAM	34
4.2-11	หน่วยความจำของ Dynamic MOS RAM	35
4.2-12	ตัวอย่างวงจร Weighted-resistor DAC ขนาด n บิท	37
4.2-13	วงจร R-2R laddef DAC ขนาด n บิท	37
4.2-14	วงจร Current-driven R-2R ladder DAC	38
4.2-15	วงจร Inverted-ladder DAC	38
4.2-16	วงจร DAC ขนาด 12 บิท	39
4.2-17	วงจรกรองแบบผ่านต่ำอันดับหนึ่งและอันดับสอง	40

รายการรูปประกอบ (ต่อ)

รูป		หน้า
4.2-18	ขนาดของผลตอบสนองความถี่ของวงจรกรองผ่านต่ำอันดับสองสำหรับ $\alpha \leq 2$	41
4.3-1	บล็อกไดอะแกรมของวงจรจำ	43
4.3-2	บล็อกไดอะแกรมของ ADC ที่ออกแบบขึ้นและสัญญาณควบคุมต่าง ๆ	45
4.3-3	บล็อกไดอะแกรมสมบูรณ์ของระบบ	47
4.3-4	แสดงการจัดเวลาของสัญญาณบังคับที่สำคัญ	48
5.1-1	วงจรสมบูรณ์ของแผงวงจรแหล่งจ่ายไฟตรง	51
5.2-2	วงจร DAC	52
5.2-2	การต่อวงจรทดสอบ DAC และรูปคลื่นของสัญญาณออกอนาลอก	56
5.2-3	แสดงผลการทดสอบ DAC ตามเงื่อนไขที่เลวร้ายที่สุด	57
5.2-4	แสดงการจัดรหัสของ 3 บิทที่มีนัยต่ำสุดและ 3 บิทที่ยังมีบิทที่มีนัยสำคัญต่ำกว่าตามมาอีก	58
5.2-5	แสดงการจัดแรงดันอ้างอิงสำหรับ ADC แบบขนาน 3 บิทชุดแรก (บิท 7, 6, 5)	59
5.2-6	วงจร ADC แบบขนานขนาด 3 บิทที่ออกแบบครั้งแรก	61
5.2-7	วงจร ADC แบบขนานขนาด 3 บิทที่ปรับปรุงใช้ Schmitt trigger	63
5.2-8	ลักษณะ Hysteresis ของตัวเปรียบเทียบแรงดัน	64
5.2-9	ภาพถ่ายสัญญาณต่าง ๆ จากการทดสอบ ADC แบบขนาน 3 บิทแรก	66
5.2-10	แสดงรายละเอียดการเกิด oscillation และลักษณะสมบัติของการเปลี่ยนค่าของสัญญาณดิจิตอลที่วัดได้	67
5.2-11	แสดงวงจร ADC ทั้งหมดในช่วงแรกของการทำงาน	68
5.2-12	วงจรขยายความแตกต่างแบบสมดุลย์ที่ใช้เป็นวงจรลบ	70
5.2-13	วงจร ADC แบบขนาน 3 บิทชุดที่สอง	70
5.2-14	ภาพถ่ายสัญญาณต่าง ๆ จากการทดสอบ ADC แบบขนาน 3 บิทชุดที่สอง	71

รายการรูปประกอบ (ต่อ)

รูป		หน้า
5.2-15	วงจรใช้งานของ ADC แบบขนานขนาด 2 บิท	73
5.2-16	ภาพถ่ายแสดงสัญญาณจากการทดสอบ ADC แบบขนาน 2 บิท	74
5.2-17	วงจรสมบูรณ์ของแผงวงจรแปลงสัญญาณ	75
5.2-18	แสดงสัญญาณควบคุม ADC และความหมายของช่วงเวลาต่าง ๆ	76
5.2-19	ภาพถ่ายการทดสอบ ADC 6 บิทแรก	77
5.2-20	วงจรสำหรับวัดเวลาอยู่ตัวของ ADC 2 บิทหลัง และภาพถ่ายจากการทดสอบ	78
5.3-1	แผงวงจรสมบูรณ์ของวงจรจำ	80
5.3-2	แสดงค่ามาตรเวลาที่สำคัญที่เป็นเงื่อนไขในการจัดช่วงเวลาของแผงวงจรควบคุม	82
5.4-1	วงจร S/H ที่ใช้งาน	84
5.4-2	ภาพถ่ายแสดงผลการทดสอบวงจร S/H	88
5.5-1	State diagram เบื้องต้นที่เขียนขึ้นจากข้อกำหนด	90
5.5-2	State diagram ของ Asynchronous และ Synchronous transition	91
5.5-3	แสดง State flip-flop พร้อมกับ Asynchronous และ Synchronous transition logic circuit	92
5.5-4	แสดงวงจรภาค Synchronous transition	93
5.5-5	ตารางแสดงสัญญาณเข้าที่ต้องการของ J-K flip-flop และ Karnaugh map เพื่อใช้สร้างวงจร Synchronous transition logic	94
5.5-6	ส่วนของ State diagram สำหรับสภาวะ reset (00)	95
5.5-7	วงจรภาค Asynchronous transition	96
5.5-8	แสดงสัญญาณควบคุมที่ขึ้นกับสภาวะของเครื่อง	96
5.5-9	Karnaugh map ของการสร้างสัญญาณ WL', $\overline{WL}$ และ $\overline{MR}$	97

รายการรูปประกอบ (ต่อ)

รูป		หน้า
5.5-10	วงจรในการสร้างสัญญาณ WL', $\overline{WL}$ และ $\overline{MR}$	98
5.5-11	Decoded counter output สำหรับ Programming bus	99
5.5-12	วงจรสำหรับสร้างสัญญาณควบคุมต่าง ๆ และรูปร่างสัญญาณ	99
5.5-13	การดัดแปลงวงจรกรณีต้องการตั้งเวลาให้ละเอียดยิ่งขึ้น	100
5.5-14	วงจรสร้างสัญญาณควบคุมซึ่งสามารถตั้งความถี่สุ่มค่าต่าง ๆ	101
5.5-15	รูปร่างสัญญาณควบคุมต่าง ๆ เมื่อ SW_1 อยู่ในตำแหน่งตามรูป 5.5-14	102
5.5-16	ส่วนของวงจรควบคุมซึ่งแสดงผลของการกดสวิทช์ Start ค้างที่มีต่อ Synchronous transition	107
5.5-17	การสร้างพัลส์แคบ ๆ เพื่อขจัดผลการกดสวิทช์ค้างไว้และการเปลี่ยนแปลงของสัญญาณที่ขาเข้าของ TTL gate ตามเวลา	107
5.5-18	วงจรแก้ปัญหาสัญญาณ T ค้างที่ค่า "0" ในสภาวะ Write	108
5.5-19	วงจรสมบูรณ์ของแผงวงจรควบคุม	110
5.6-1	โปรแกรมสำหรับคำนวณผลตอบตอบสนองของความถี่ของวงจรกรองแบบ Butterworth อันดับ 4	112
5.6-2	วงจรกรองแบบผ่านต่ำอันดับสอง	115
5.6-3	วงจรกรองแบบผ่านต่ำที่สร้างขึ้น	116
5.6-4	วงจรกรองสัญญาณแบบผ่านต่ำอันดับสองโดยทั่ว ๆ ไป	118
5.6-5	บล็อกไดอะแกรมของวงจรสร้างสัญญาณทริกเกอร์อัตโนมัติ	121
5.6-6	วงจรใช้งานสำหรับสร้างสัญญาณทริกเกอร์	121
5.6-7	ภาพถ่ายการทดสอบวงจรสร้างสัญญาณทริกเกอร์อัตโนมัติ	122
5.6-8	วงจรสมบูรณ์ของแผงวงจรภาคเข้าและภาคออก	123
6.1-1	วงจรสร้างสัญญาณอนาลอกสำหรับทดสอบ	124
6.1-2	สัญญาณต่าง ๆ สำหรับทดสอบ ADC และภาพที่ถ่ายสัญญาณออกของ DAC	125

รายการรูปประกอบ (ต่อ)

รูป		หน้า
6.2-1	ภาพถ่ายแสดงการทดสอบผลรวมของ S/H และ ADC โดยใช้สัญญาณรูปคลื่นสี่เหลี่ยม	126
6.2-2	วงจรสร้างสัญญาณอนาลอกรูปสามเหลี่ยม	127
6.2-3	ภาพสัญญาณออกของ DAC เปรียบเทียบกับสัญญาณเข้ารูปคลื่นสามเหลี่ยม	127
6.3-1	แสดงสัญญาณเข้ารูปคลื่นซายน์ความถี่ 25KHz ความถี่สุ่ม	129
6.3-2 - 6.3-8	เป็นภาพถ่ายสัญญาณออกจากการทดสอบด้วยสัญญาณซายน์ความถี่ต่าง ๆ โดยใช้ความถี่สุ่มค่าต่าง ๆ	
6.3-2	ความถี่ของสัญญาณเข้า 25KHz ความถี่สุ่ม 250KHz	129
6.3-3	ความถี่ของสัญญาณเข้า 25KHz ความถี่สุ่ม 250KHz(uncal.)	130
6.3-4	ความถี่ของสัญญาณเข้า 10KHz ความถี่สุ่ม 250KHz	130
6.3-5	ความถี่ของสัญญาณเข้า 10KHz ความถี่สุ่ม 125KHz	131
6.3-6	ความถี่ของสัญญาณเข้า 10KHz ความถี่สุ่ม 50KHz	131
6.3-7	ความถี่ของสัญญาณเข้า 1 KHz ความถี่สุ่ม 250KHz	133
6.3-8	เงื่อนไขเหมือน รูป 6.3-7 แต่แสดงสัญญาณออกของ DAC เทียบกับสัญญาณ $F/\overline{L}$	133
6.3-9	สัญญาณออกสำหรับสัญญาณเข้ารูปคลื่นสี่เหลี่ยมความถี่ 8KHz	134