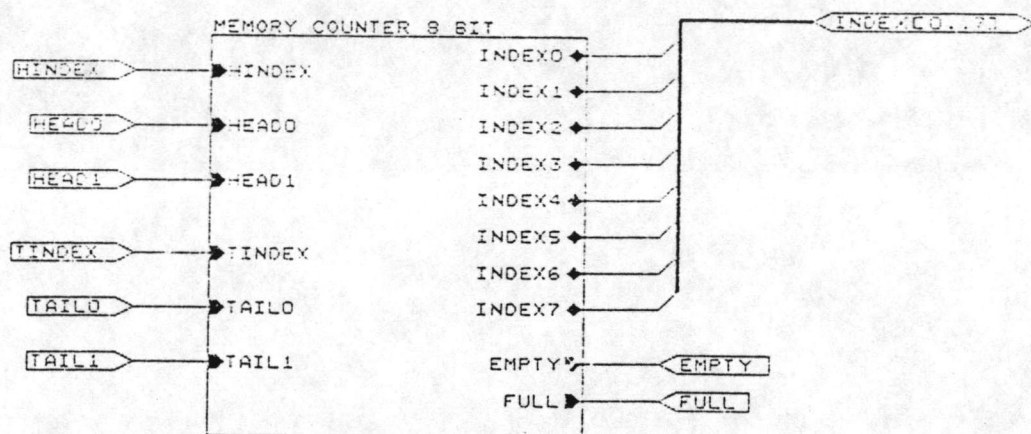


บทที่ 5

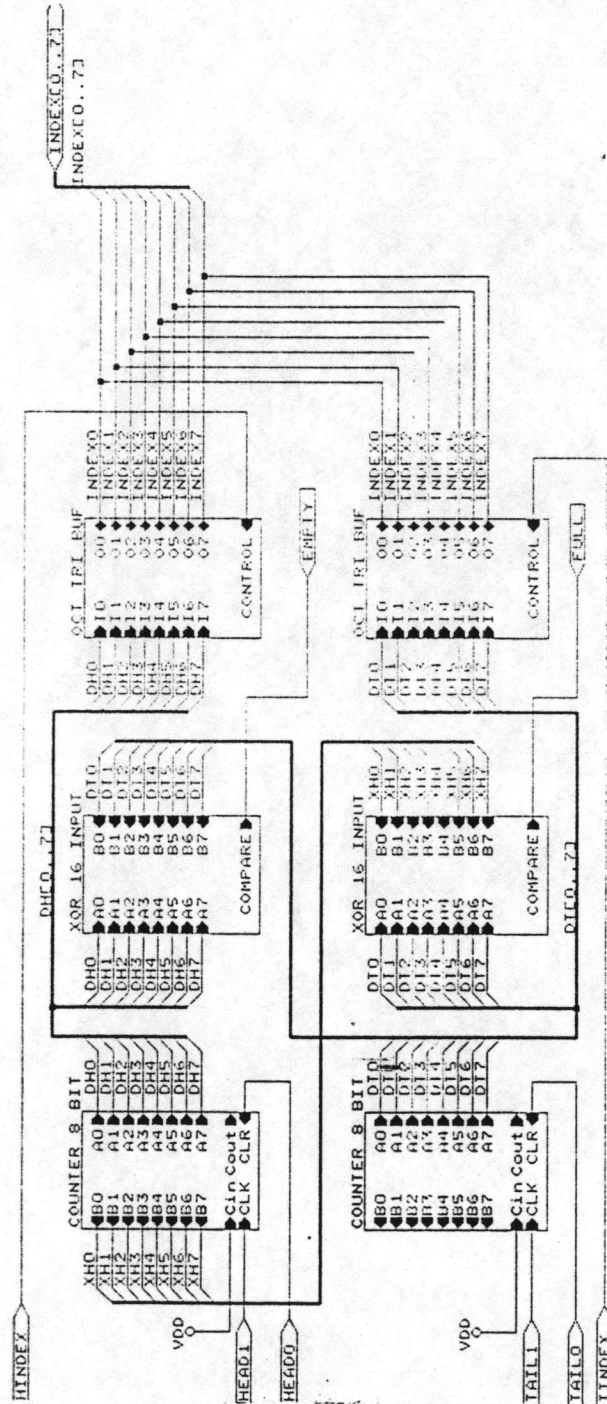
วงจรรวมจัดการข้อมูลแถวคอย

1. วงจรรวมจัดการแถวคอยที่ใช้เซลล์มาตรฐาน

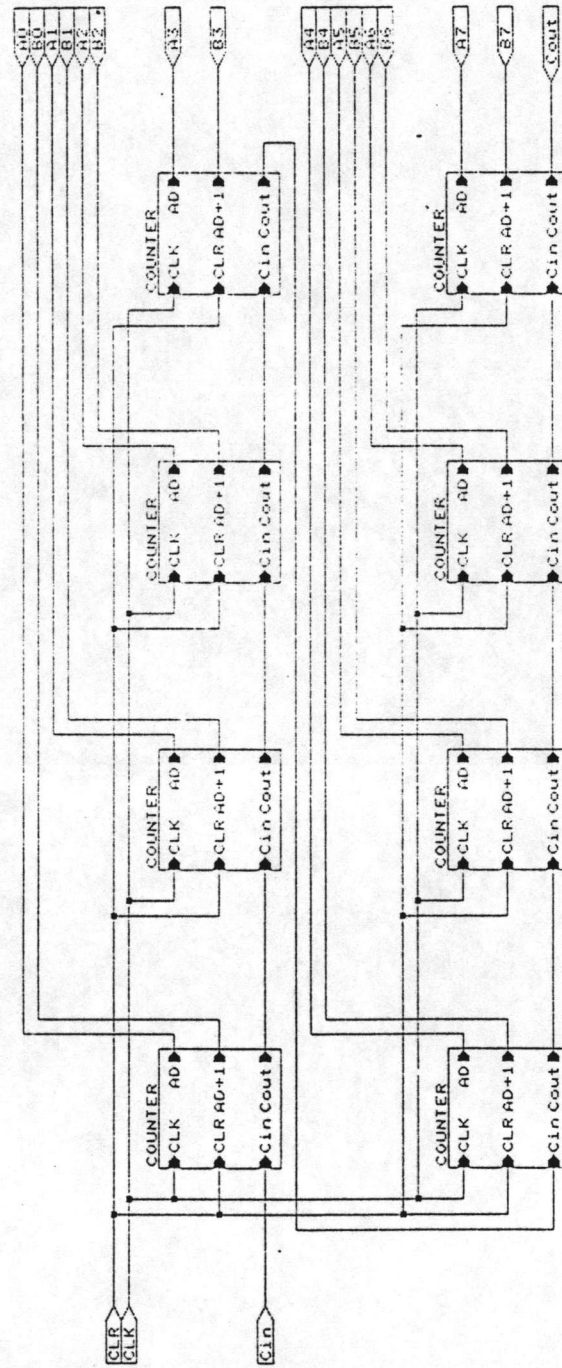
ในการวิจัยนี้ได้ทำการทดลองออกแบบวงจรรวมเซลล์มาตรฐาน (Standard Cell) สำหรับจัดการข้อมูลแถวคอยได้เลือกเซลล์มาตรฐานของแฮริสเอสซี 3000 (Harris SC3000) สำหรับการจัดสร้างวงจรรวมโดยใช้เซลล์มาตรฐานนี้สามารถทำได้โดยการป้อนวงจรโดยใช้โปรแกรมออกแคด และเลือกไลบรารีของอุปกรณ์เป็นอุปกรณ์ในตระกูลแฮริสเอสซี 3000 ซึ่งมีอุปกรณ์ให้เลือกใช้เช่นเดียวกับการใช้วงจรรวมทีทีแอลในตระกูล 74 LSxx ดังนั้น ในการจัดสร้างวงจรรวมโดยใช้เซลล์มาตรฐานได้กระทำกับวงจรบางส่วนซึ่งมีขนาดของอินเดคซ์เพียง 8 บิต และไม่มีส่วนของการสร้างสัญญาณลำดับได้ตั้งชื่อแบบเป็น MEMORY COUNTER 8 BIT ดังแสดงผังวงจรในรูปที่ 5.1 - 5.7 โดยได้ส่งแบบวงจรดังกล่าวไปเอกสาร ณ โรงงานเอกสาร AWA ประเทศออสเตรเลีย จากแบบวงจรโรงงานผู้เอกสารได้นำไปจัดวางผังหน้ากาวจรรวมมีขนาดของวงจร 0.900 ตารางมิลลิเมตร ซึ่งเป็นขนาดของวงจรจริง 0.582 ตารางมิลลิเมตร ส่วนที่เหลือเป็นส่วนของอุปกรณ์แพด (Pad) ซึ่งเป็นอุปกรณ์ที่ใช้เชื่อมต่อกับขาของตัวอุปกรณ์ การส่งข้อมูลเนทลิสเป็นข้อมูลในรูปของข้อมูลมาตรฐาน CADL โดยใช้โปรแกรมชุดพัฒนาของแทนเนอร์ (TANNER LOGIC) การเอกสารกระทำในลักษณะ Multi Project Reticle ซึ่งในหน้ากาวเอกสารหนึ่งจะประกอบด้วยแบบวงจรหลายแบบวงจรร่วมกันเอกสาร ผลจากการเอกสารได้รับวงจรรวมต้นแบบจำนวน 10 ตัว ทำการทดสอบวงจรรวมดังกล่าวได้ผลการทำงานตรงตามที่ต้องการจำนวน 3 ตัว ส่วนที่เหลือจำนวน 7 ตัวไม่สามารถใช้งานได้ ซึ่งคาดว่าเกิดจากความผิดพลาดของโรงงานผู้เอกสาร ระยะเวลาในการเอกสารใช้ระยะเวลาประมาณ 2 เดือนเศษจึงจะได้วงจรรวมตัวอย่างกลับมา



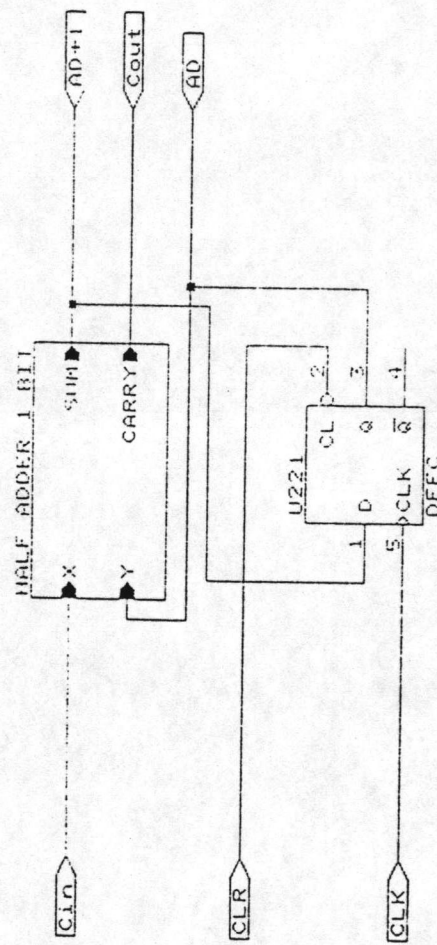
รูปที่ 5.1 วงจร MEMORY COUNTER 8 BIT



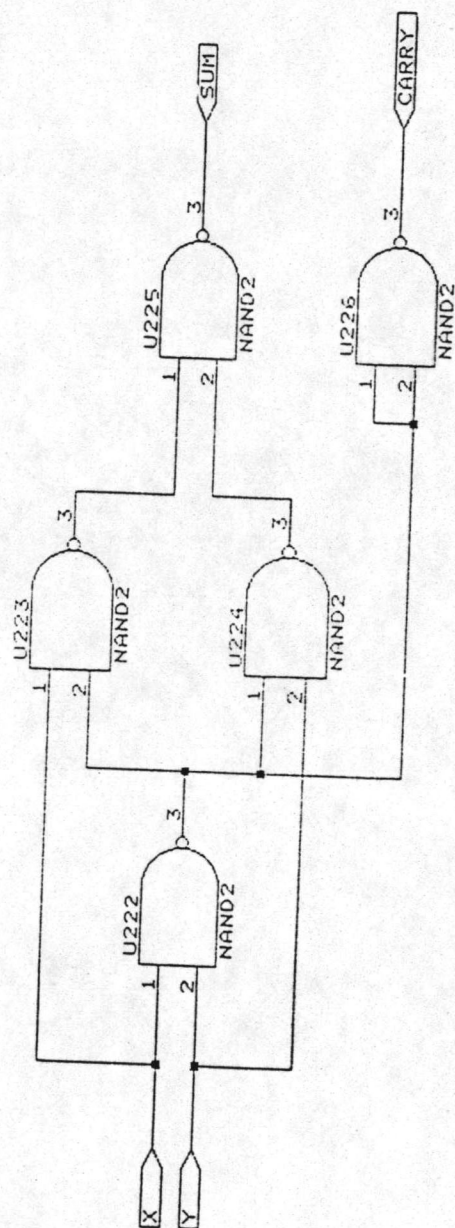
รูปที่ 5.2 ภาพแสดงส่วนประกอบภายใน MEMORY COUNTER 8 BIT



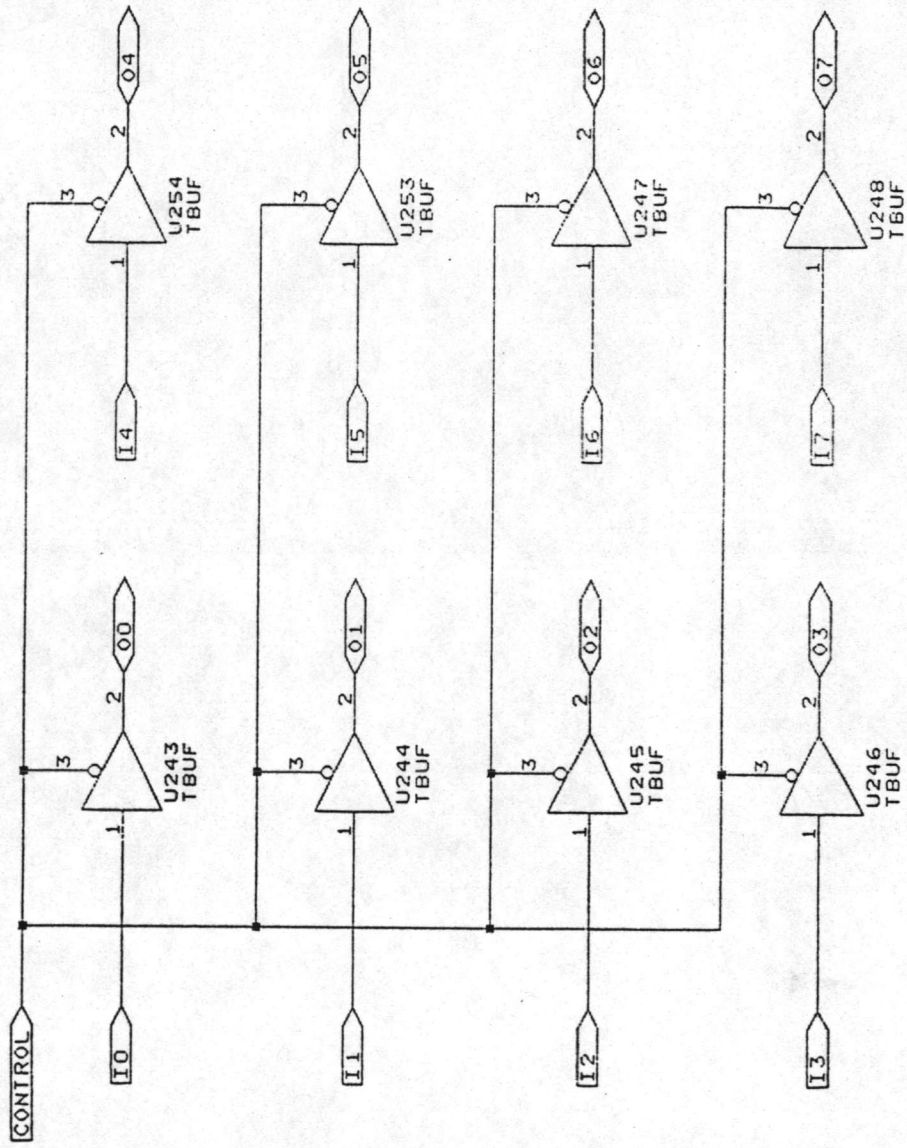
รูปที่ 5.3 ภาพแสดงรายละเอียด COUNTER 8 BIT



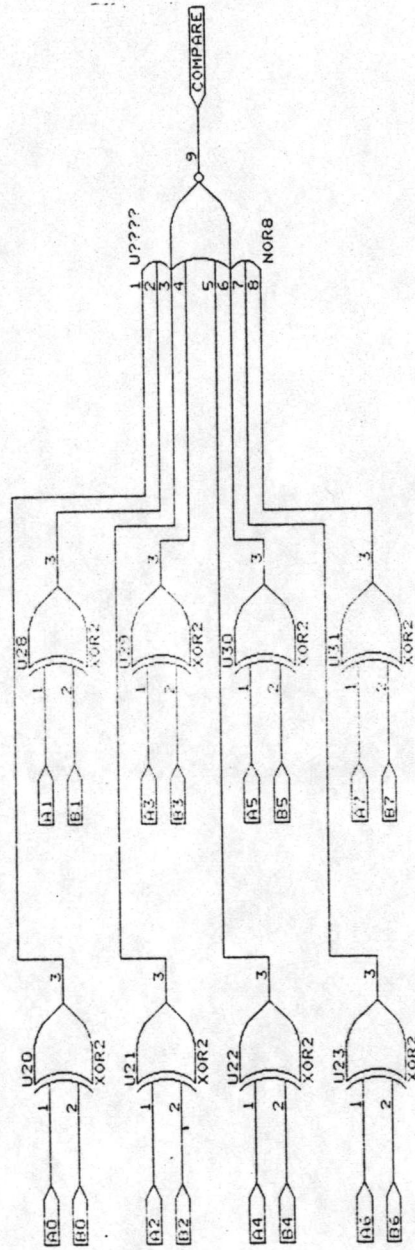
รูปที่ 5.4 แสดงรายละเอียด COUNTER 1 BIT



รูปที่ 5.5 แสดงรายละเอียด HALF ADDER 1 BIT



รูปที่ 5.6 แสดงรายละเอียด TRISTATE BUFFER 8 BIT



รูปที่ 5.7 แสดงรายละเอียด COMPARE 8 BIT

2. วงจรรวมฟูล์สแตอม

ในการวิจัยนี้ได้ทำการออกแบบหน้ากากรวม (mask layout) เฉพาะส่วนวงจรถวมโดยไม่รวมส่วนของอาเรย์หรือหน่วยความจำและออกแบบอินเดกซ์เพียง 8 บิต (อ้างหน่วยความจำได้ 256 บิต) โดยใช้โปรแกรมเซอแคตทู (CIRCAD II) ซึ่งเป็นโปรแกรมที่ใช้ออกแบบหน้ากากรวมได้ทั้งการใช้สัญลักษณ์ (Symbolic layout) และออกแบบภูมิภาพ (geometry layout) สำหรับการวิจัยนี้ออกแบบโดยใช้สัญลักษณ์ซึ่งเทคโนโลยีของการจัดสร้างใช้เทคโนโลยีซีเอ็มอสชั้นโมหะคู่ ขนาดความละเอียด 1.5 ไมครอน (1.5 μm , DLM, CMOS)

การออกแบบวงจรรวมฟูล์สแตอมโดยใช้ซอฟต์แวร์เซอแคตทูโดยเริ่มจากการออกแบบวงจรรวมในระดับเกทฟลิปฟลอปและอุปกรณ์ย่อยอื่น ๆ ซึ่งประกอบขึ้นจากทรานซิสเตอร์เรียกว่า ดีฟเซลล์ (leafcell) และนำวงจรรย่อย ๆ เหล่านี้ประกอบขึ้นเป็นโมดูลเซลล์ (modul cell) ผลการออกแบบและจำลองการทำงานลงดีฟเซลล์ที่ได้จัดสร้างขึ้นแสดงดังภาพที่ 5.8 ถึง 5.24 ซึ่งผู้วิจัยได้ออกแบบอุปกรณ์ต่าง ๆ ได้แก่

buf13st อุปกรณ์บัฟเฟอร์ 3 สถานะ (3 state buffer)

inv อุปกรณ์อินเวอร์เตอร์ (Inverter)

nand 2i, nand 3i, nand 4i อุปกรณ์แนบเกท (NAND gate) 2, 3 และ 4 อินพุต

and2i, and3i, and4i อุปกรณ์แอนดเกท (AND gate) 2, 3 และ 4 อินพุต

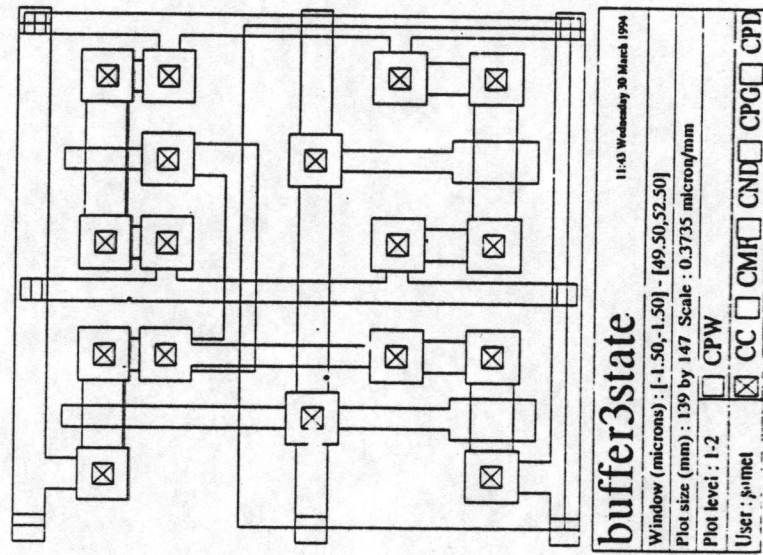
nor2i, nor3i, nor4i อุปกรณ์นอร์เกท (NOR gate) 2, 3 และ 4 อินพุต

or2i, or3i, or4i, อุปกรณ์วอร์เกท (OR gate) 2, 3 และ 4 อินพุต

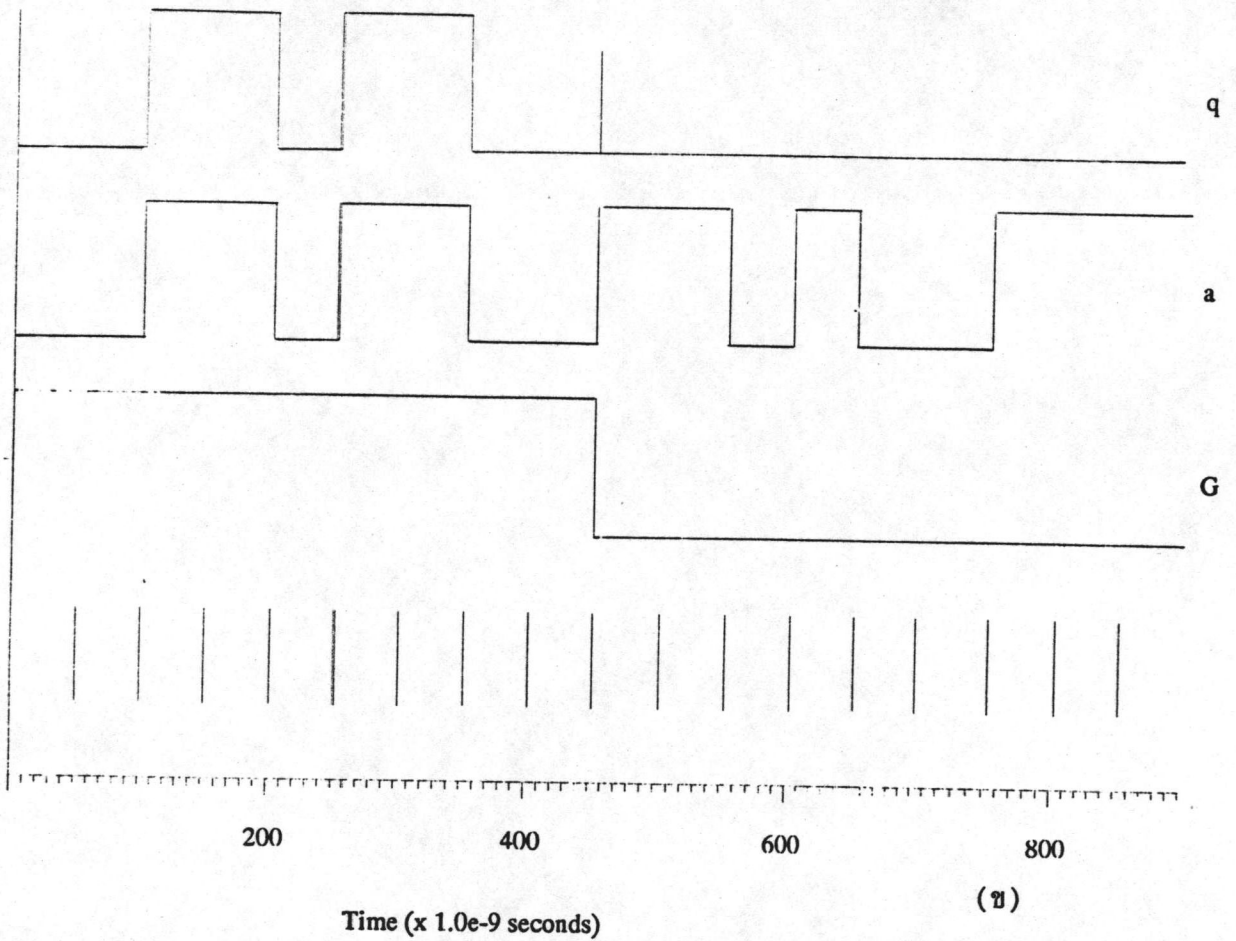
d_flipflop อุปกรณ์ดีฟลิปฟลอป(D-FlipFlop) แบบมาสเตอร์สลาฟ

next1bit วงจรบวกเลข 1 บิต (1 bit half adder)

equ1bit วงจรเปรียบเทียบข้อมูล 1 บิต



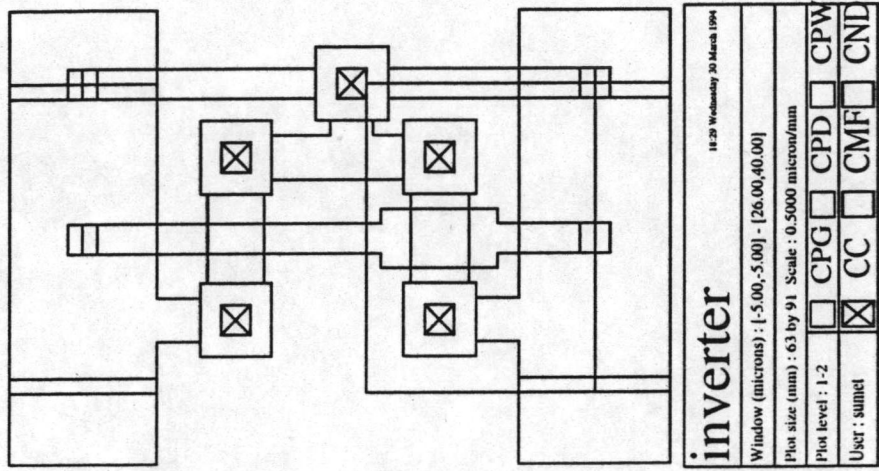
(ก)



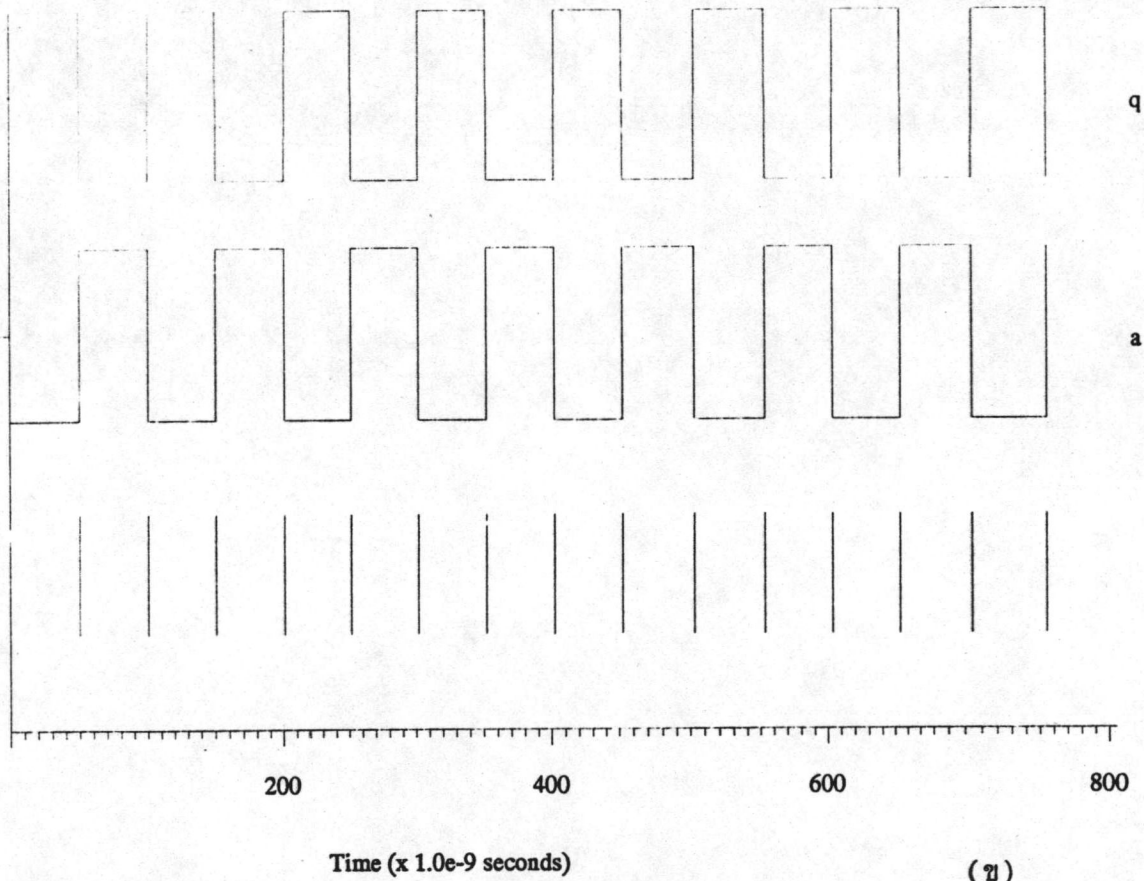
(ข)

รูปที่ 5.8 ศังวงจรรวม buff3st อุปกรณ์บัฟเฟอร์ 3 สถานะ (3 state buffer)

(ก) ภาพแบบหน้ากาวจรรวม (ข) ผลจำลองการทำงาน



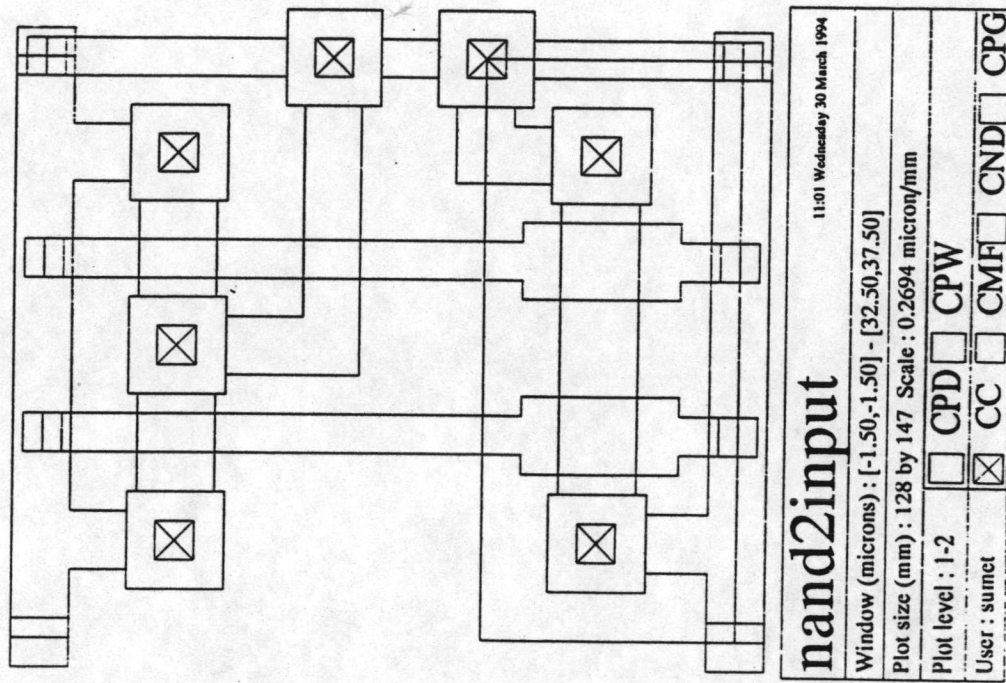
(ก)



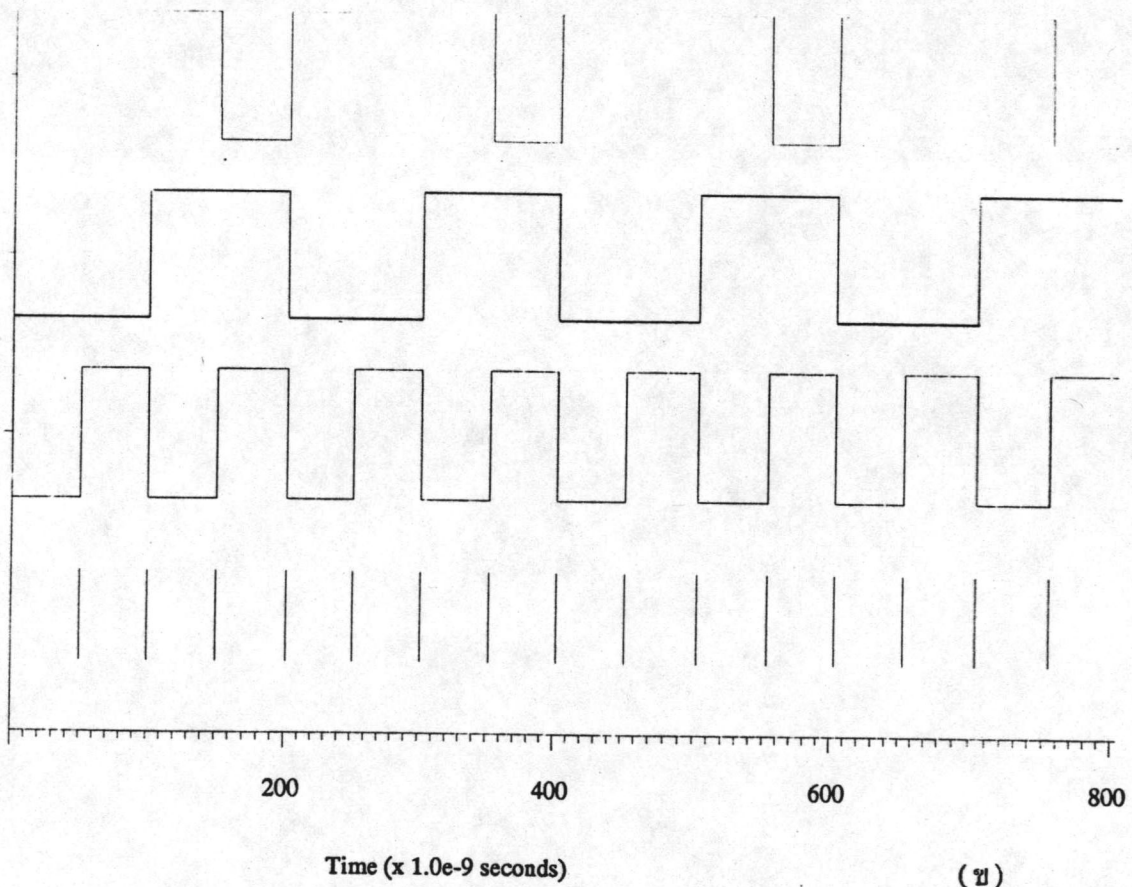
(ข)

รูปที่ 5.9 ศังวงจรรวม inv อุปกรณ์อินเวอร์เตอร์ (Inverter)

(ก) ภาพแบบหน้ากาวจรรวม (ข) ผลจำลองการทำงาน



(ก)



q

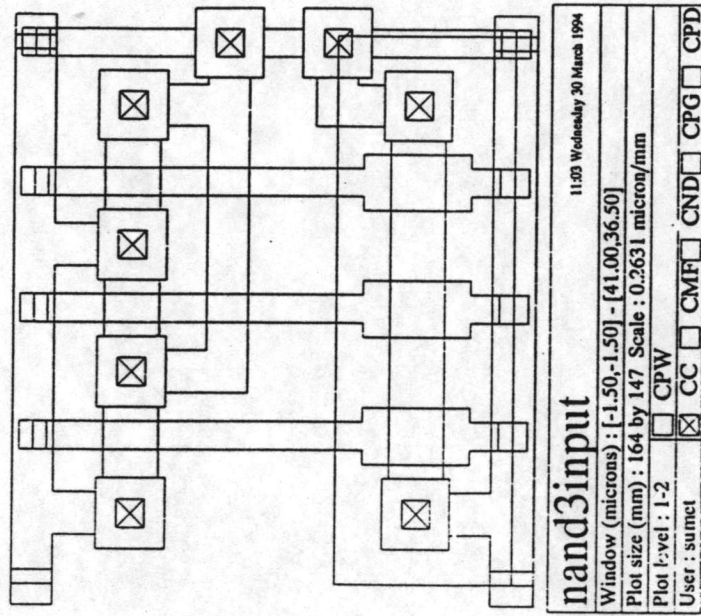
b

a

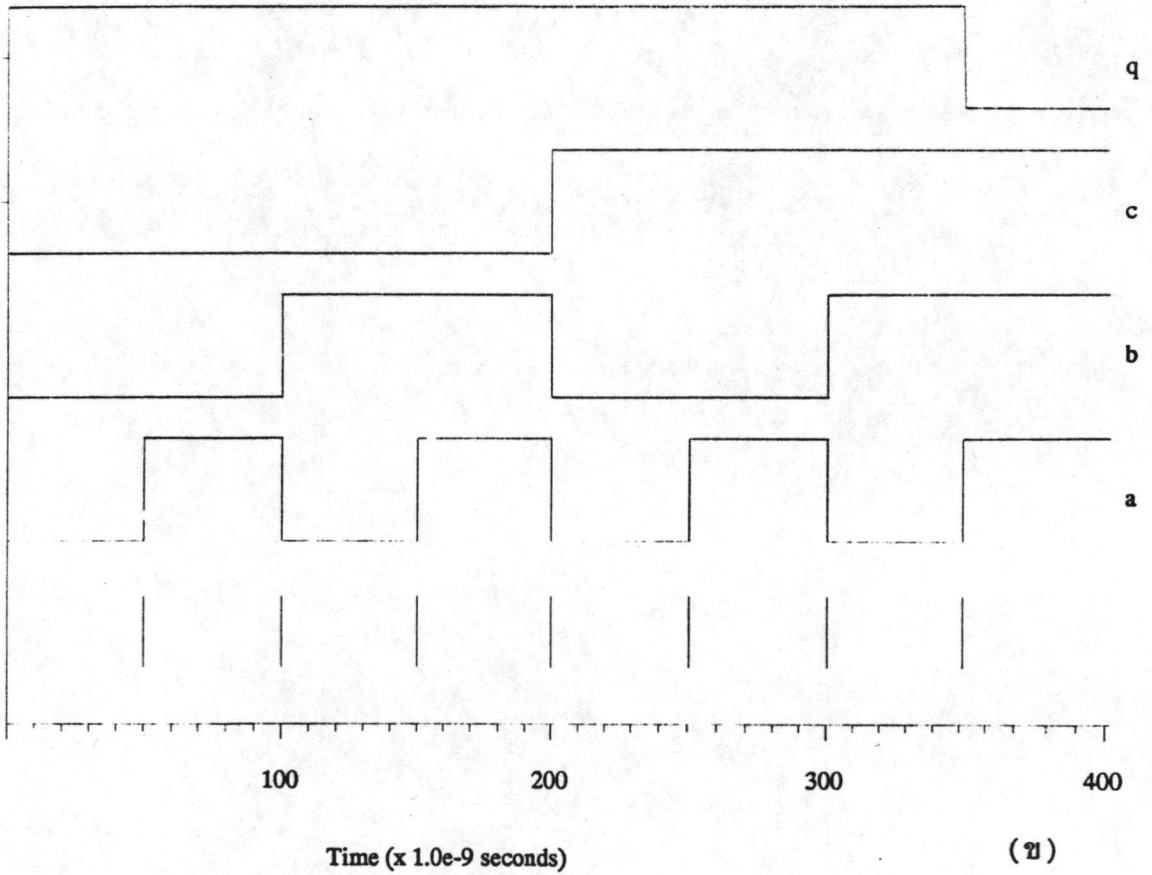
(ข)

รูปที่ 5.10 ผังวงจรรวม nand 2i อุปกรณ์แนนเกต (NAND gate) 2 อินพุต

(ก) ภาพแบบหน้ากากวงจรรวม (ข) ผลจำลองการทำงาน



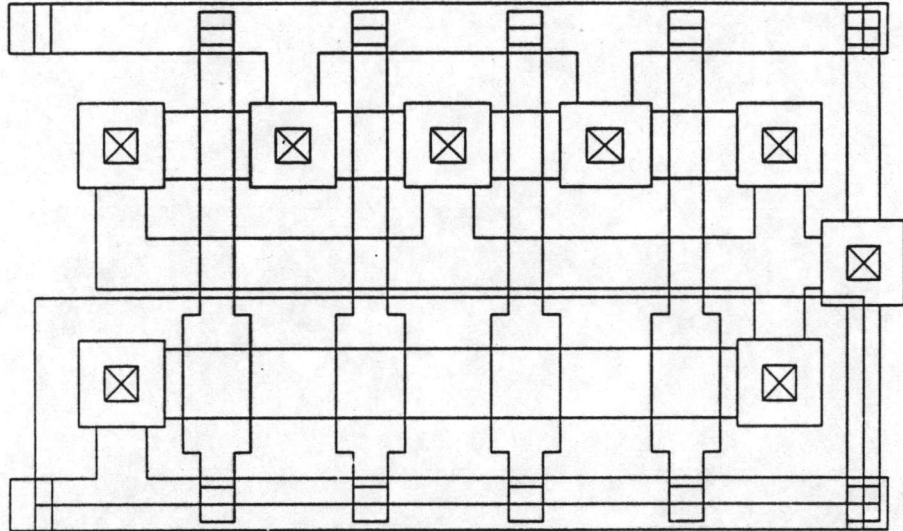
(ก)



(ข)

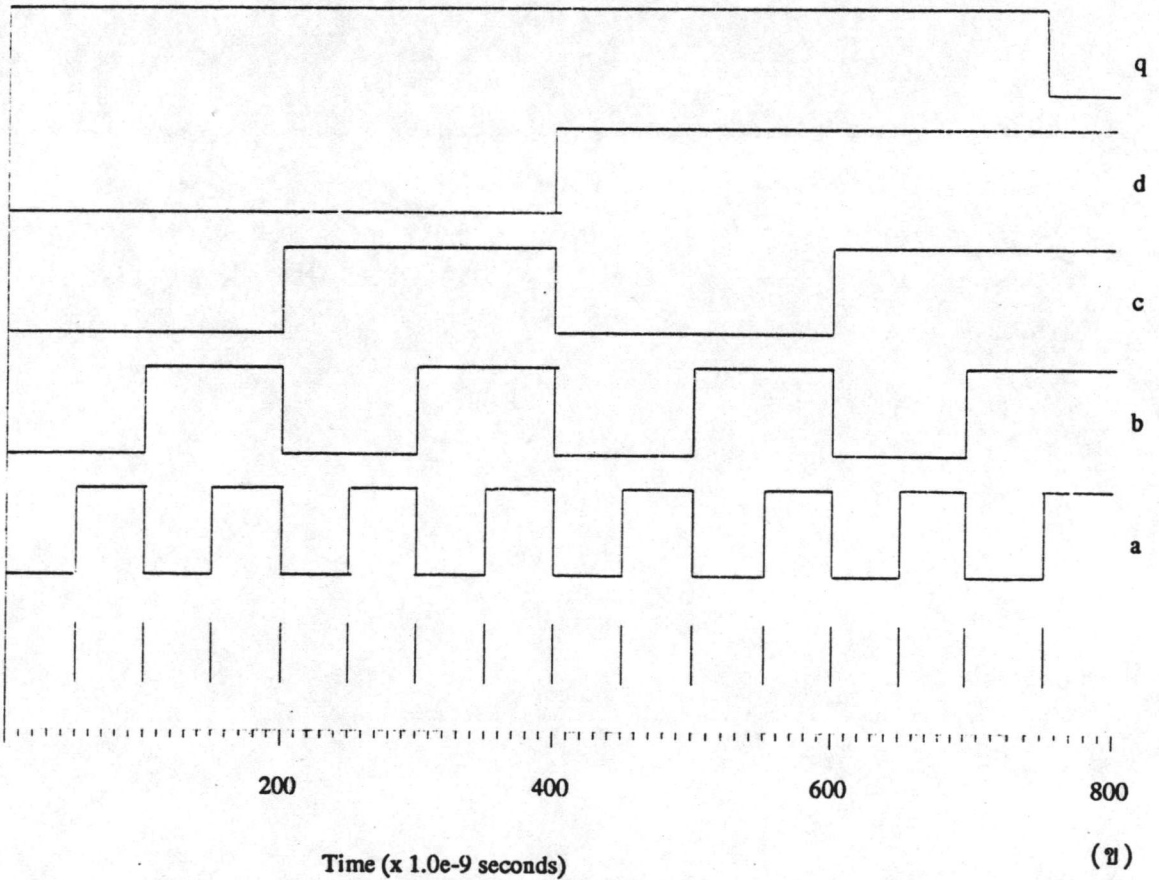
รูปที่ 5.11 ศังวงจรรวม nand 3i อุปกรณ์แนนเกท (NAND gate) 3 อินพุท

(ก) ภาพแบบหน้ากาวจรรวม (ข) ผลจำลองการทำงาน



nand4input		11:04 Wednesday 30 March 1994
Window (microns) : [-1.50,-1.50] - [50.50,29.50]		
Plot size (mm) : 245 by 147 Scale : 0.2147 micron/mm		
Plot level : 1-2		
User : sumet	<input checked="" type="checkbox"/> CC	<input type="checkbox"/> CMF <input type="checkbox"/> CND <input type="checkbox"/> CPG <input type="checkbox"/> CPD <input type="checkbox"/> CPW

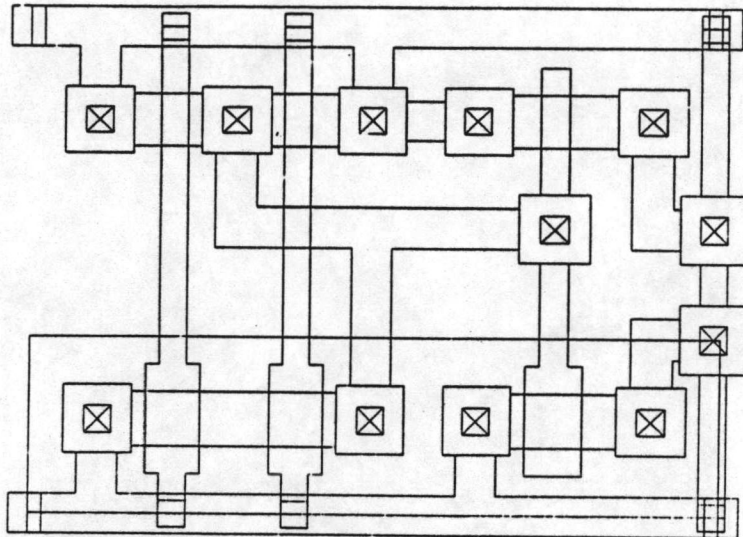
(ก)



(ข)

รูปที่ 5.12 ห้วงจรรวม nand 4i อุปกรณ์แนนเกต (NAND gate) 4 อินพุต

(ก) ภาพแบบหน้ากวางจรรวม (ข) ผลจำลองการทำงาน



and2input 11:05 Wednesday 30 March 1994

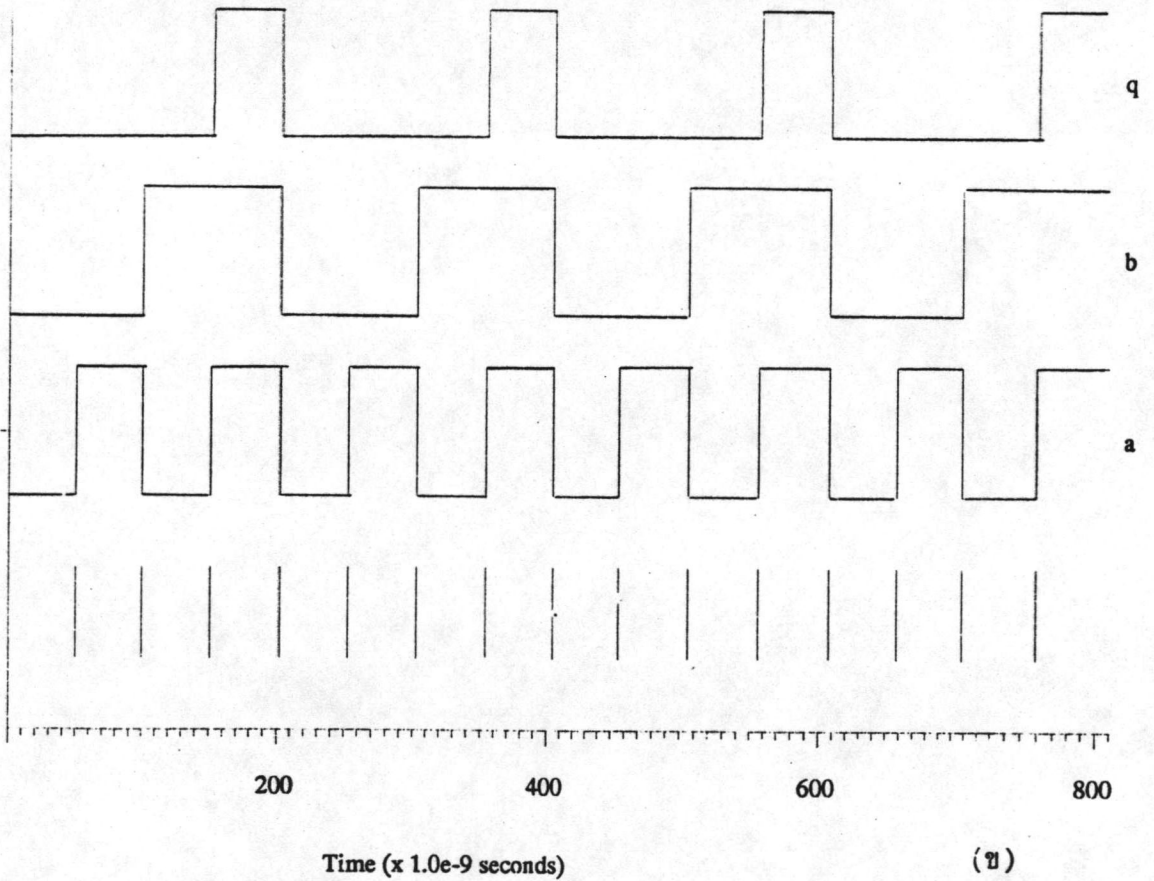
Window (microns) : [-1.50,-1.50] - [52.50,37.50]

Plot size (mm) : 202 by 147 Scale : 0.2700 micron/mm

Plot level : 1-2 CPW

User : sumet CC CMF CND CPG CPD

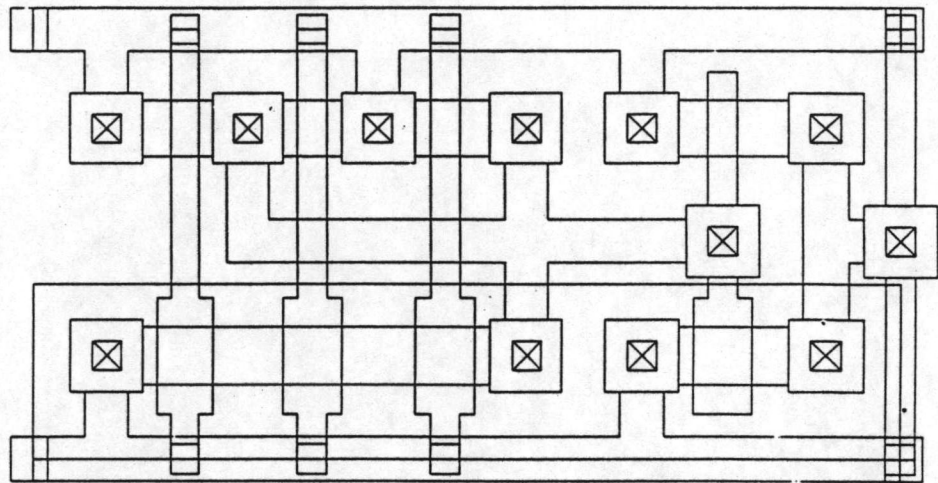
(ก)



(ข)

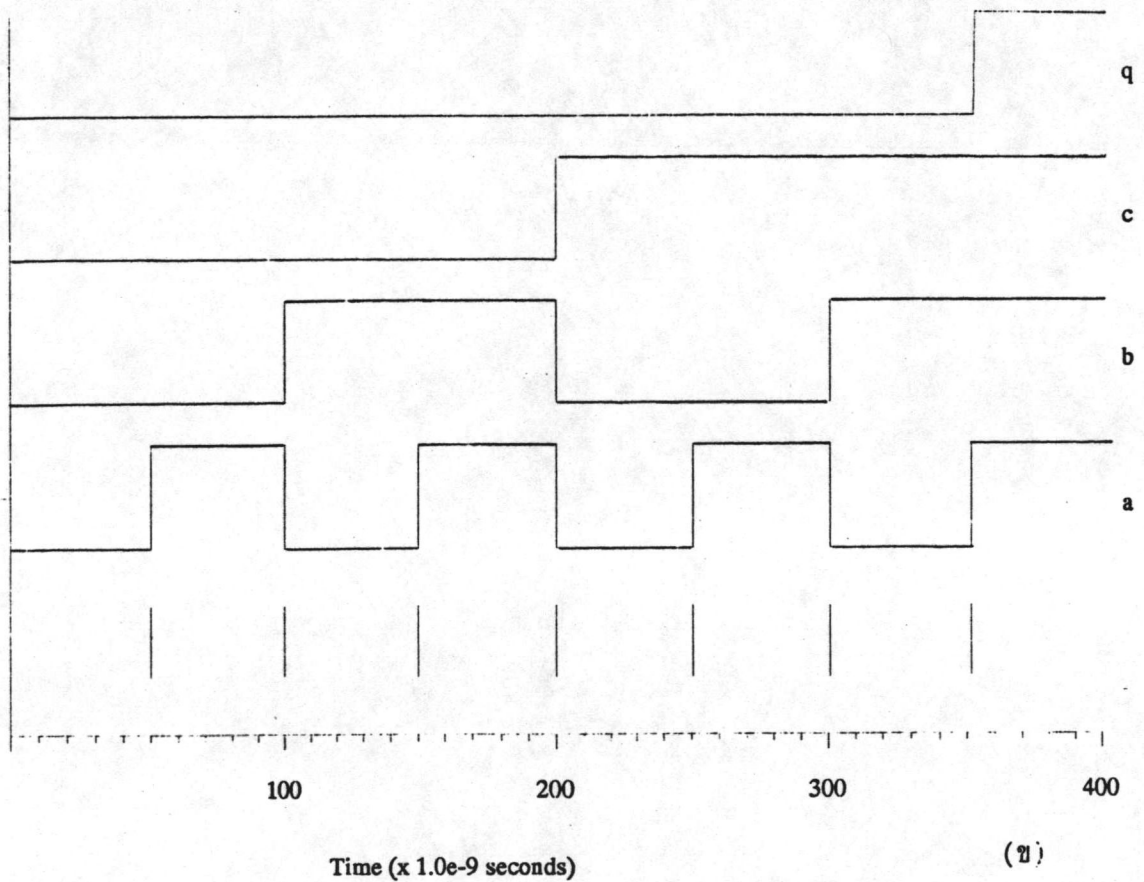
รูปที่ 5.13 ศังวงจรรวม and 2i อุปกรณ์แอนเกต (AND gate) 2 อินพุท

(ก) ภาพแบบหน้ากาวจรรวม (ข) ผลจำลองการทำงาน



and3input		12:17 Weunesday 30 March 1994	
Window (microns) : [-1.50,-1.50] - [62.00,31.50]			
Plot size (mm) : 253 by 132 Scale : 0.2536 micron/mm			
Plot level : 1-2			
User : sumet	<input checked="" type="checkbox"/> CC	<input type="checkbox"/> CMF	<input type="checkbox"/> CND
	<input type="checkbox"/> CPG	<input type="checkbox"/> CPD	<input type="checkbox"/> CPW

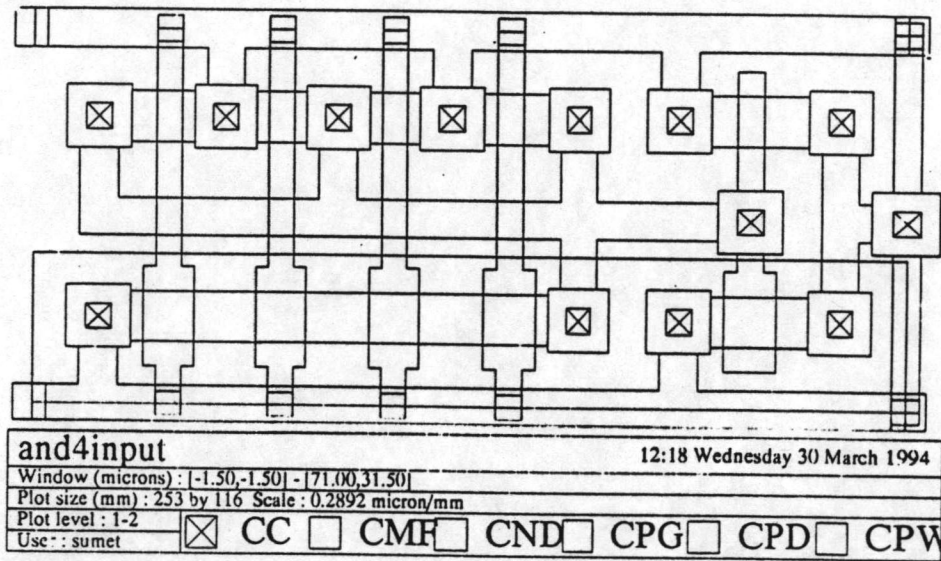
(ก)



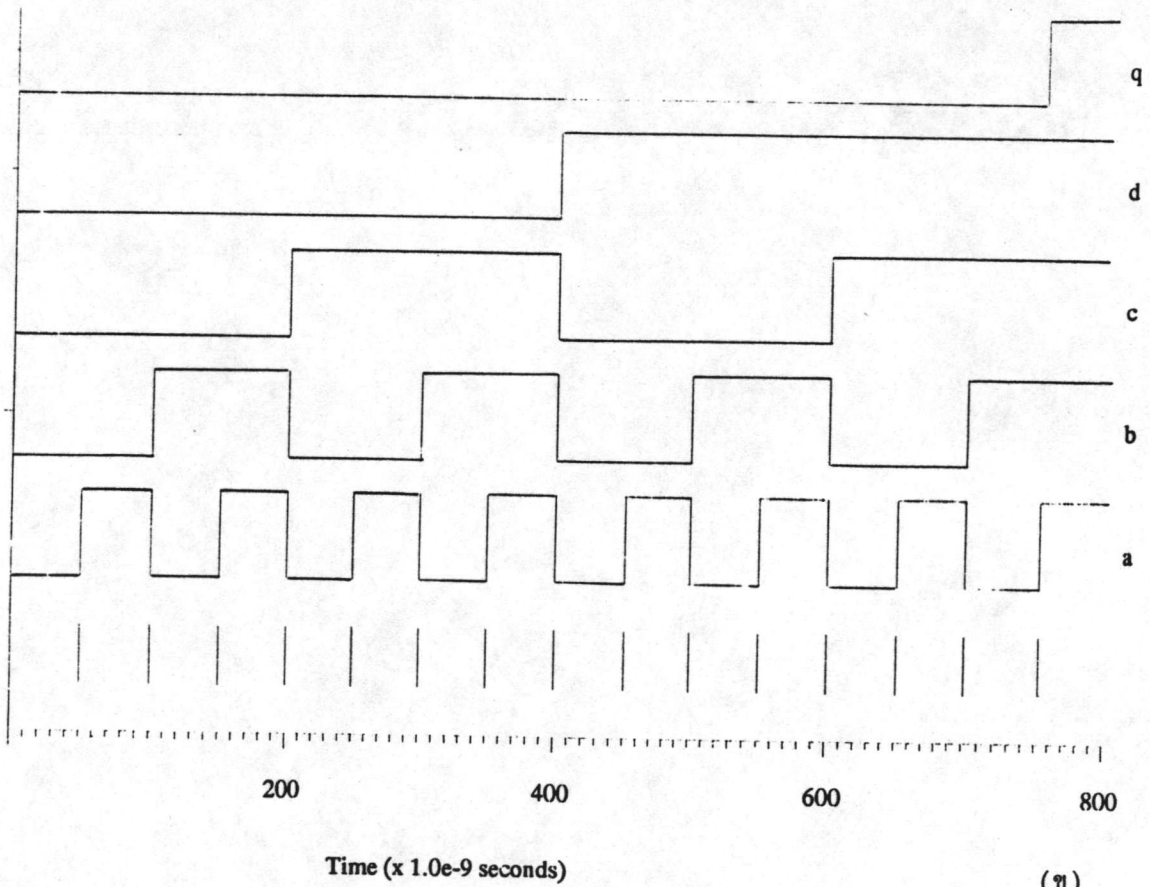
(ข)

รูปที่ 5.14 ฟังก์ชันรวม and 3i อุปกรณ์แอนเกต (AND gate) 3 อินพุท

(ก) ภาพแบบหน้ากาววงจรรวม (ข) ผลจำลองการทำงาน



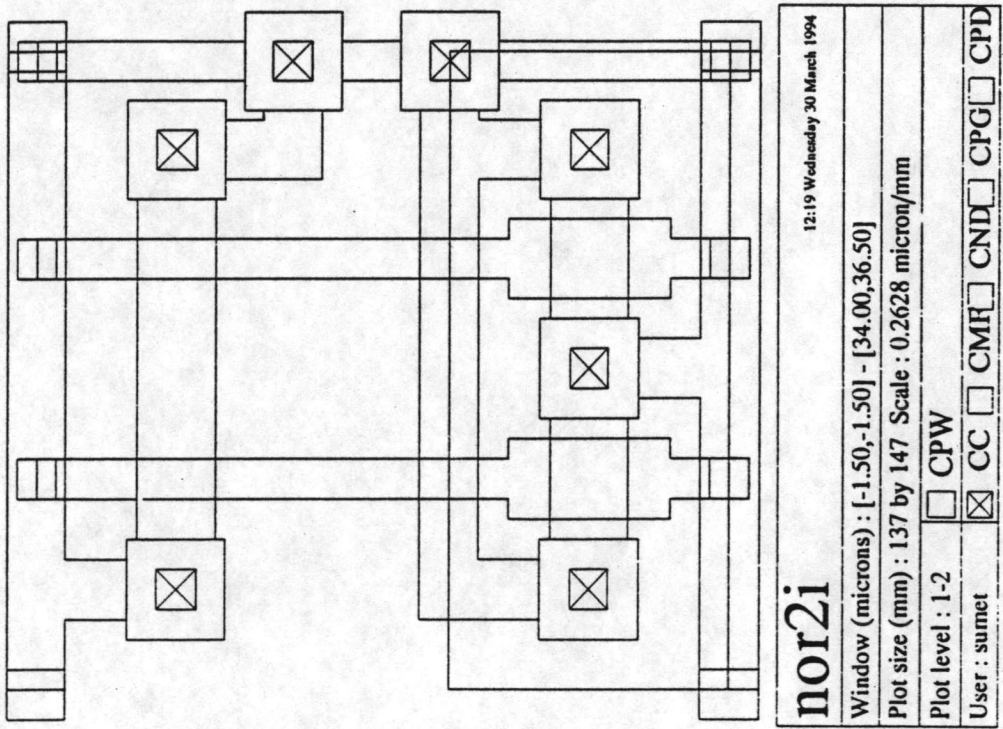
(ก)



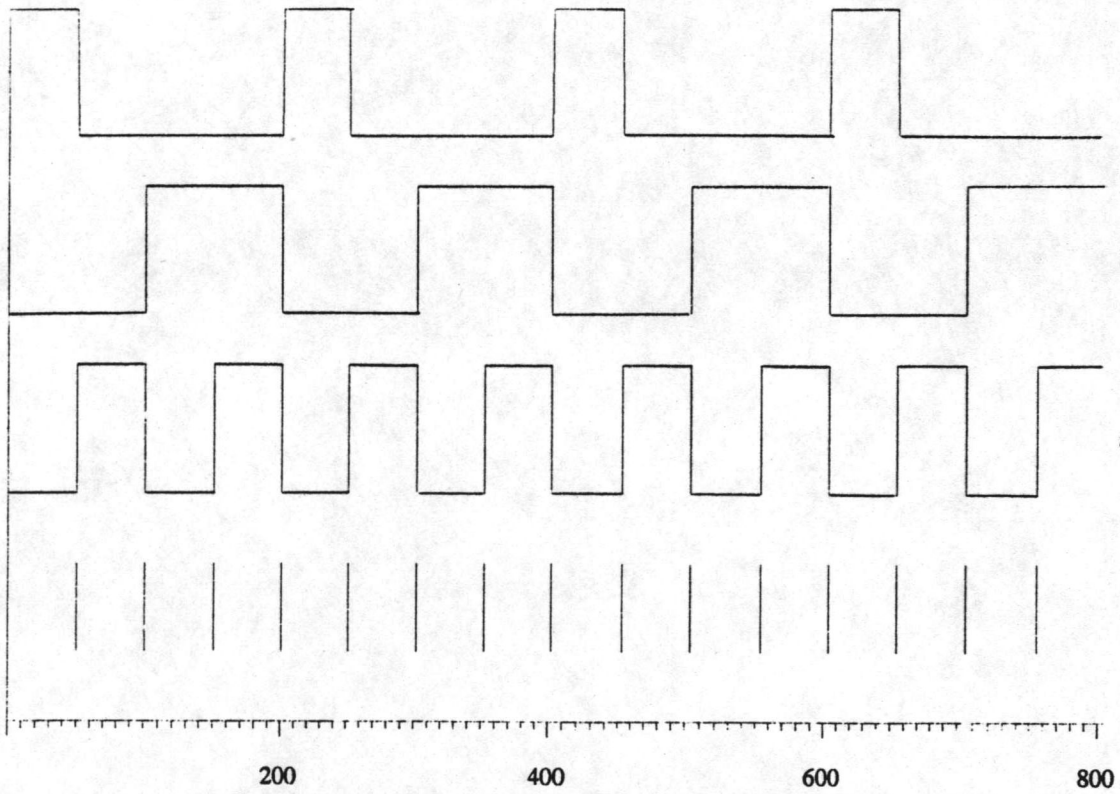
(ข)

รูปที่ 5.15 ศังวงจรรวม and 4i อุปกรณ์แอนเกต (AND gate) 4 อินพุท

(ก) ภาพแบบหน้ากาววงจรรวม (ข) ผลจำลองการทำงาน



(ก)



q

b

a

200

400

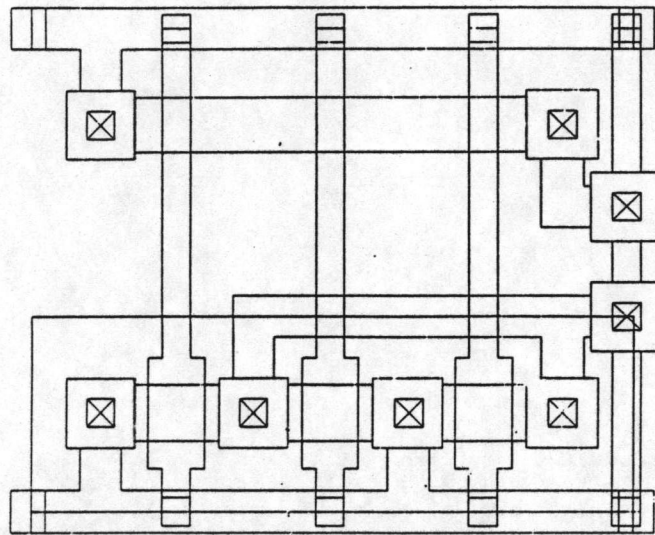
600

800

รูปที่ 5.16 ค้างวงจรรวม nor 2i อุปกรณ์แนนเกต (NOR gate) 2 อินพุต

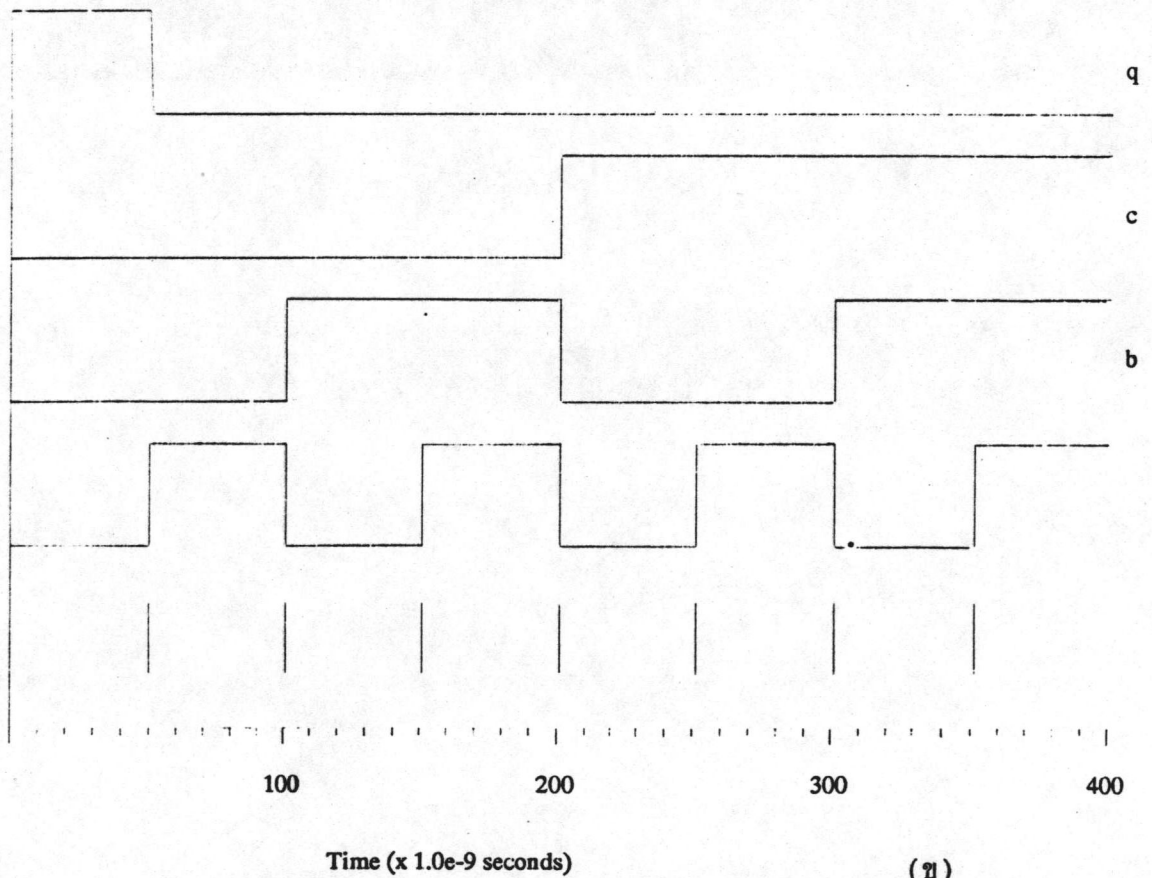
(ข)

(ก) ภาพแบบหน้าจอกวงจรรวม (ข) ผลจำลองการทำงาน



nor3i		12:20 Wednesday 30 March 1994	
Window (microns) : [-1.50,-1.50] - [45.00,36.50]			
Plot size (mm) : 179 by 147 Scale : 0.2631 micron/mm			
Plot level : 1-2	<input type="checkbox"/>	CPW	
User : sumet	<input checked="" type="checkbox"/>	CC	<input type="checkbox"/> CMF <input type="checkbox"/> CND <input type="checkbox"/> CPG <input type="checkbox"/> CPD

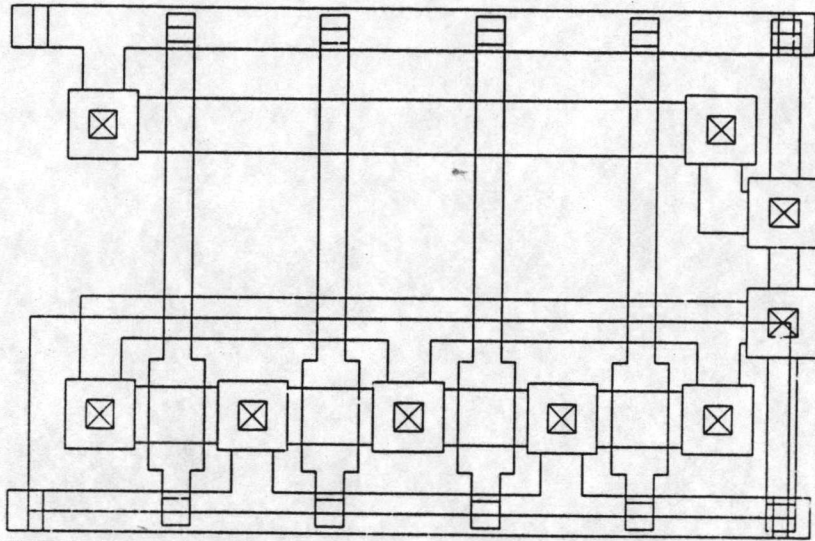
(ก)



(ข)

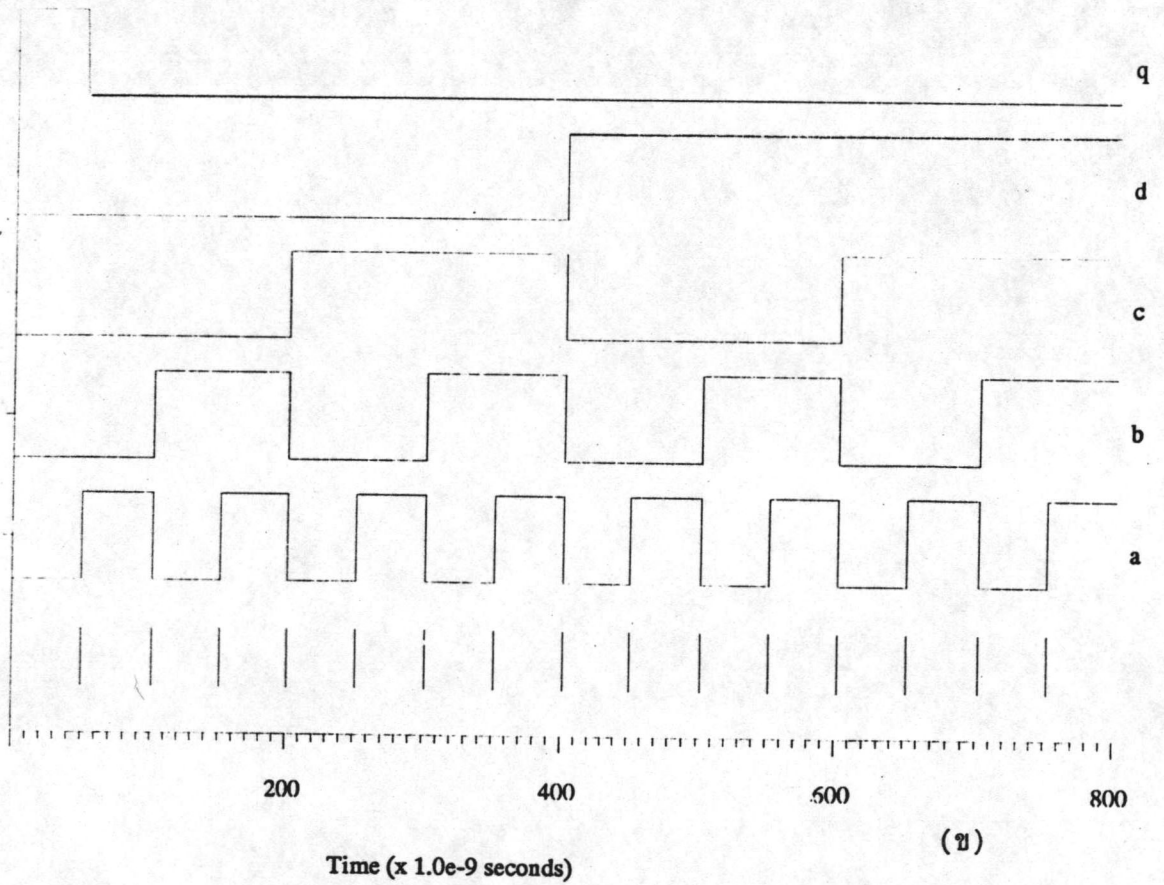
รูปที่ 5.17 ฟังก์ชันรวม nor 3i อุปกรณ์แนบเกท (NOR gate) 3 อินพุต

(ก) ภาพแบบหน้ากวางจรรยา (ข) ผลจำลองการทำงาน



nor4i		12:20 Wednesday 30 March 1994	
Window (microns) : [-1.50,-1.50] - [56.00,36.50]			
Plot size (mm) : 221 by 147 Scale : 0.2631 micron/mm			
Plot level : 1-2		<input checked="" type="checkbox"/> CC <input type="checkbox"/> CMF <input type="checkbox"/> CND <input type="checkbox"/> CPG <input type="checkbox"/> CPD <input type="checkbox"/> CPW	
User : sumet			

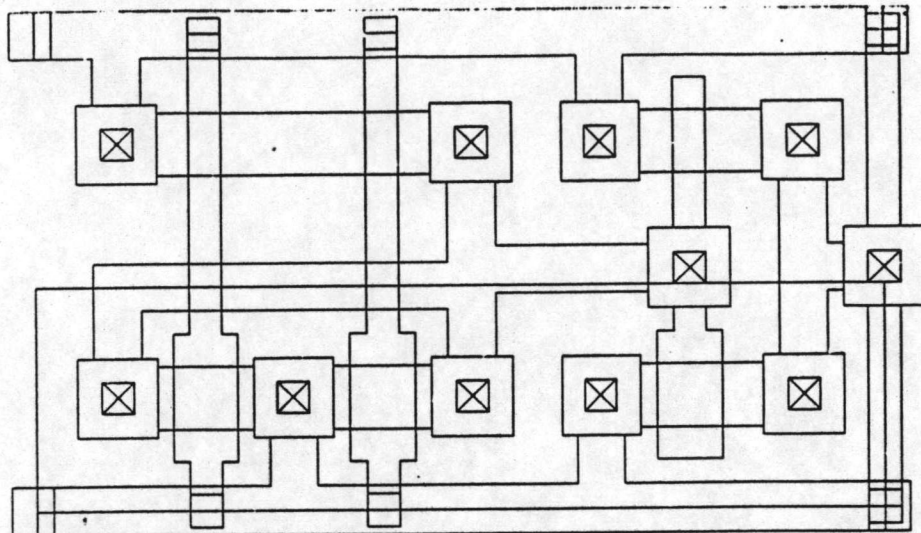
(n)



(ข)

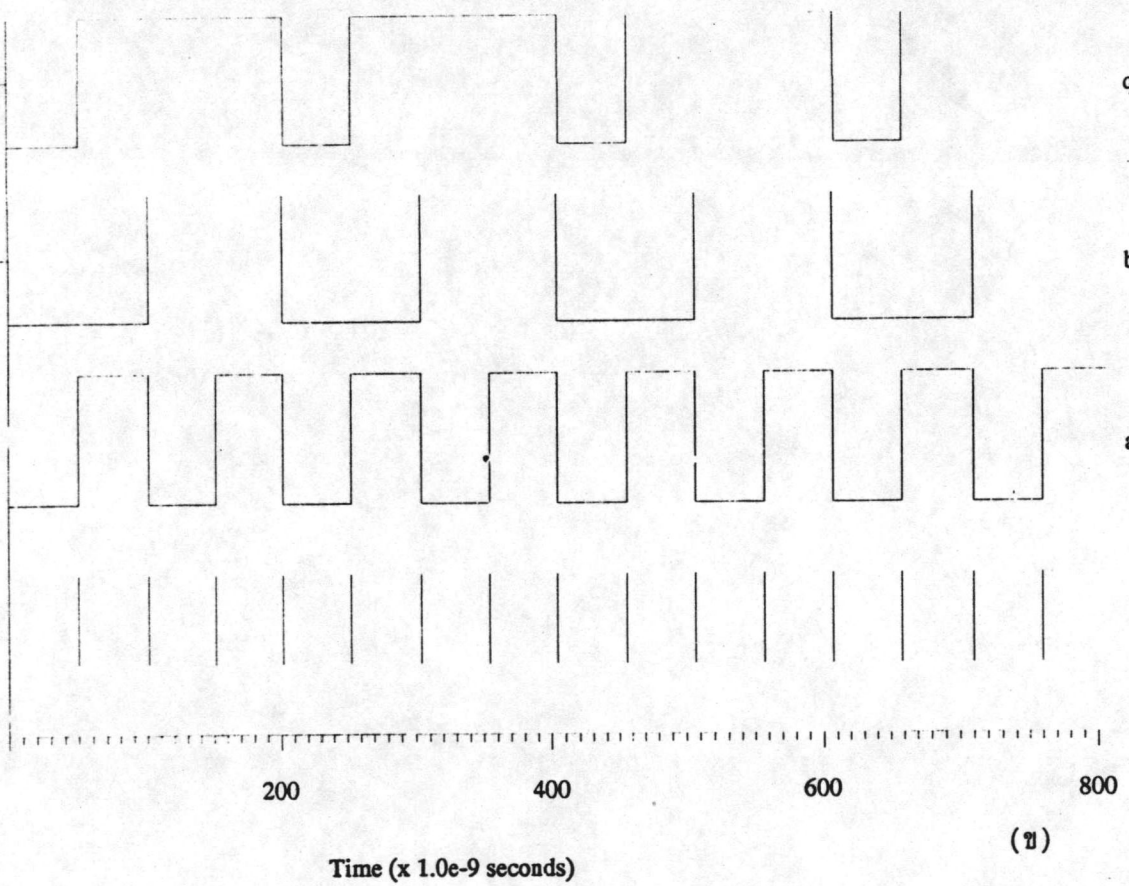
รูปที่ 5.18 ผังวงจรรวม nor 4i อุปกรณ์แนนเกต (NOR gate) 4 อินพุต

(ก) ภาพแบบหน้ากาววงจรรวม (ข) ผลจำลองการทำงาน



or2i		12:21 Wednesday 30 March 1994	
Window (microns) : [-1.50,-1.50] - [55.00,31.50]			
Plot size (mm) : 250 by 147 Scale : 0.2285 micron/mm			
Plot level : 1-2			
Usr : sumct	<input checked="" type="checkbox"/> CC	<input type="checkbox"/> CMF	<input type="checkbox"/> CND
	<input type="checkbox"/> CPG	<input type="checkbox"/> CPD	<input type="checkbox"/> CPW

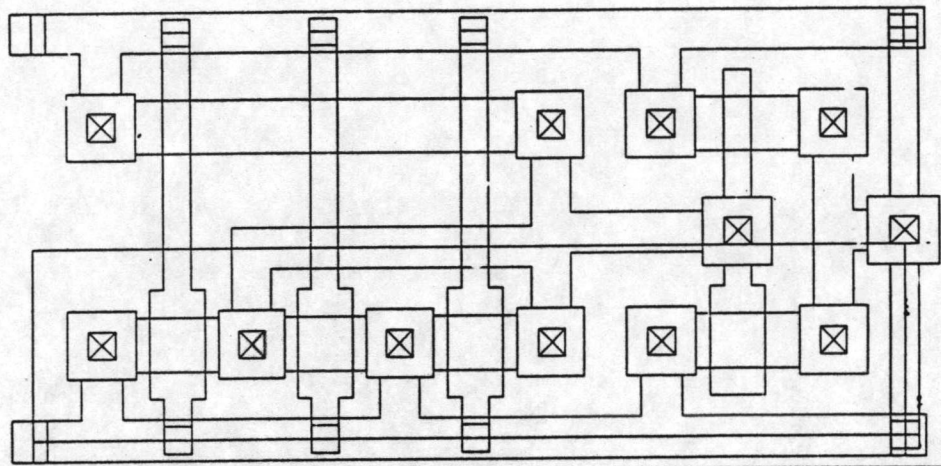
(ก)



(ข)

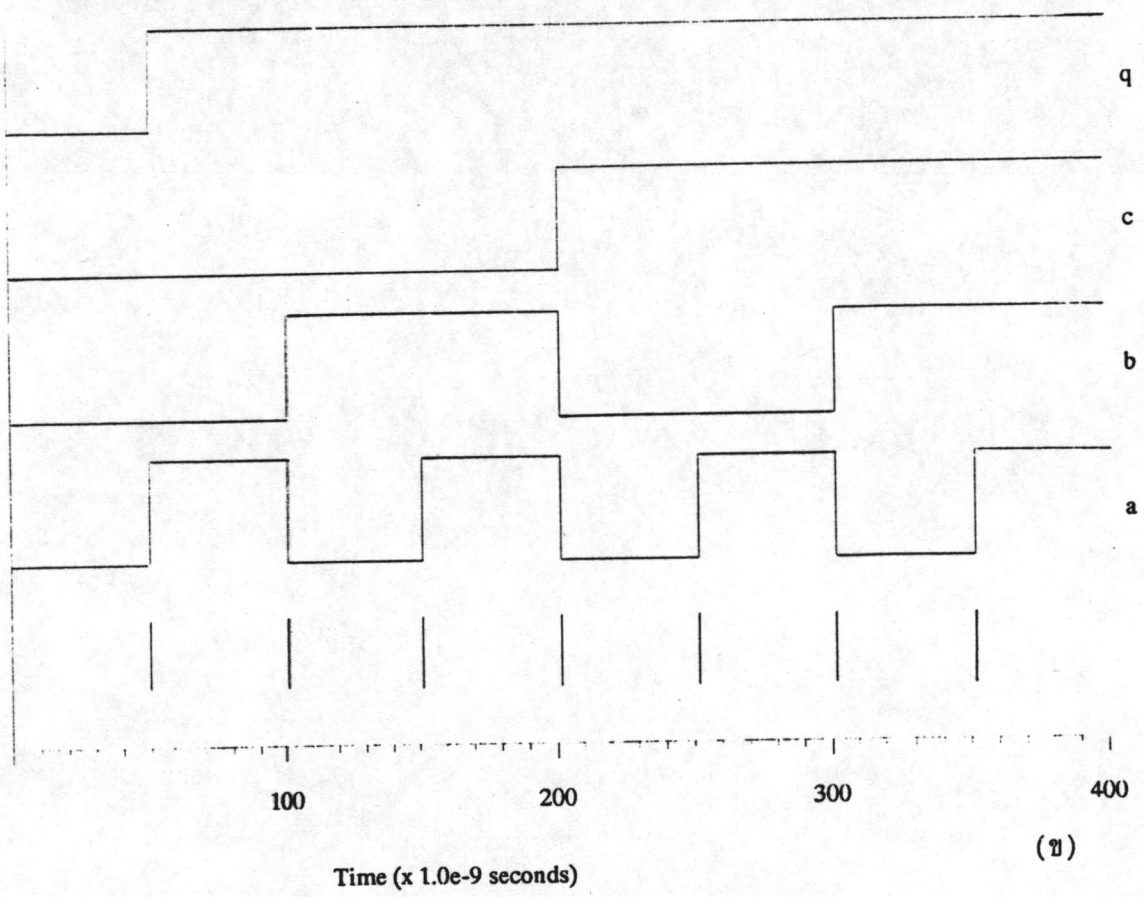
รูปที่ 5.19 ศังวงจรรวม or 2i อุปกรณ์แอนเกต (OR gate) 2 อินพุท

(ก) ภาพแบบหน้ากาวจรรวม (ข) ผลจำลองการทำงาน



or3i		12:22 Wednesday 30 March 1994	
Window (microns) : [-1.50,-1.50] - [66.00,31.50]			
Plot size (mm) : 253 by 124 Scale : 0.2694 micron/mm			
Plot level : 1-2	<input checked="" type="checkbox"/> CC	<input type="checkbox"/> CMF	<input type="checkbox"/> CND
User : sumet	<input type="checkbox"/> CPG	<input type="checkbox"/> CPD	<input type="checkbox"/> CPW

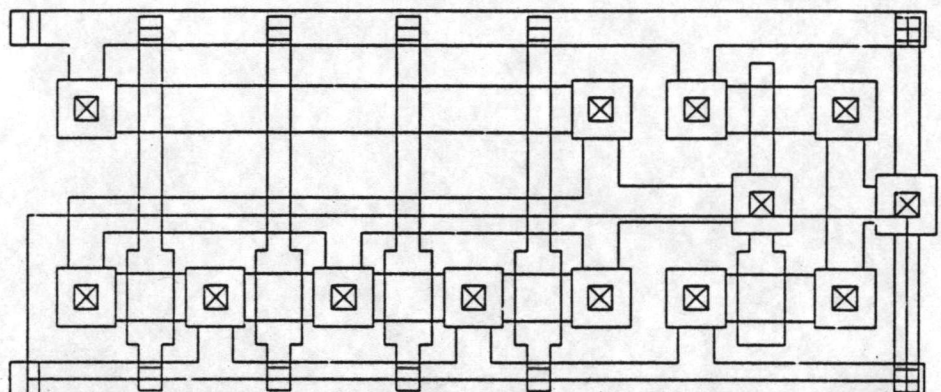
(ก)



(ข)

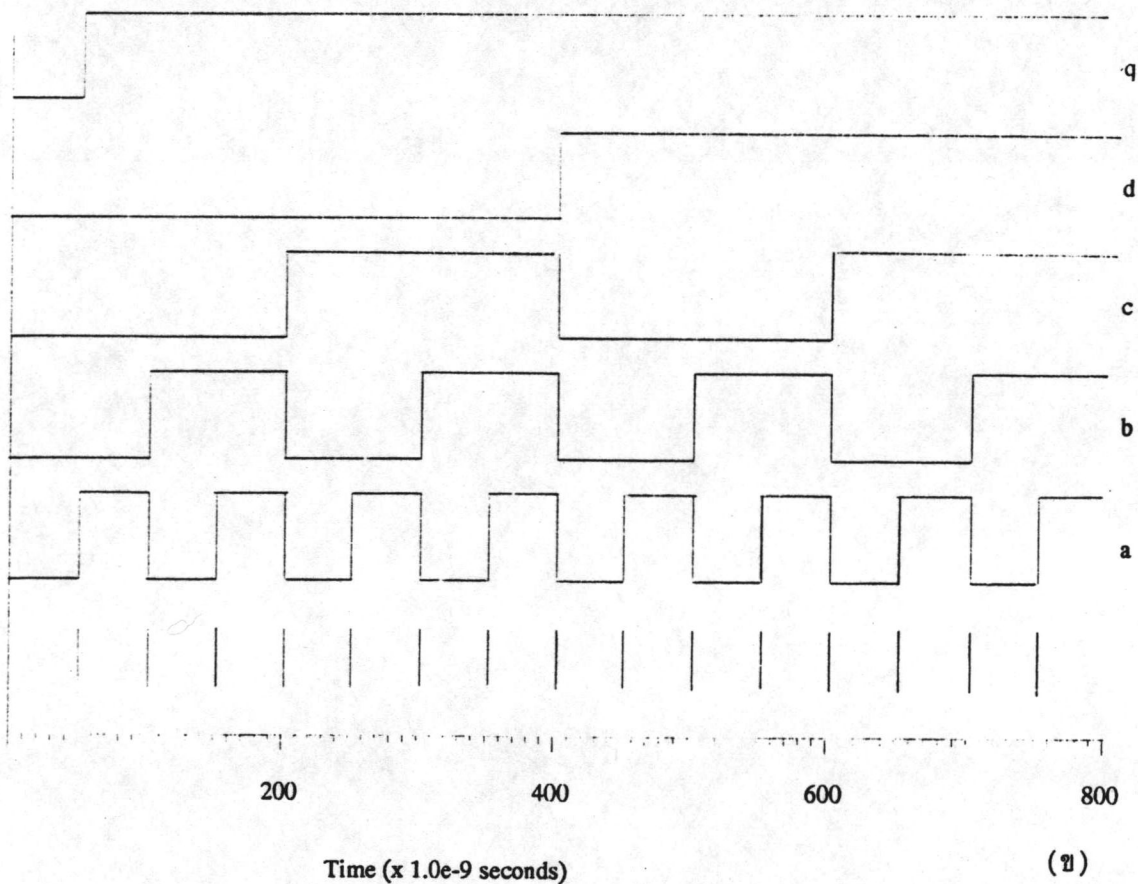
รูปที่ 5.20 ห้วงจรรวม or 3i อุปกรณ์แอนเกต (OR gate) 3 อินพุต

(ก) ภาพแบบหน้ากาววงจรรวม (ข) ผลจำลองการทำงาน



or4i		12:23 Wednesday 30 March 1994	
Window (microns) : [-1.50,-1.50] - [77.00,31.50]			
Plot size (mm) : 253 by 107 Scale : 0.3129 micron/mm			
Plot level : 1-2			
User : sumet	<input checked="" type="checkbox"/> CC	<input type="checkbox"/> CMF	<input type="checkbox"/> CND
	<input type="checkbox"/> CPG	<input type="checkbox"/> CPD	<input type="checkbox"/> CPW

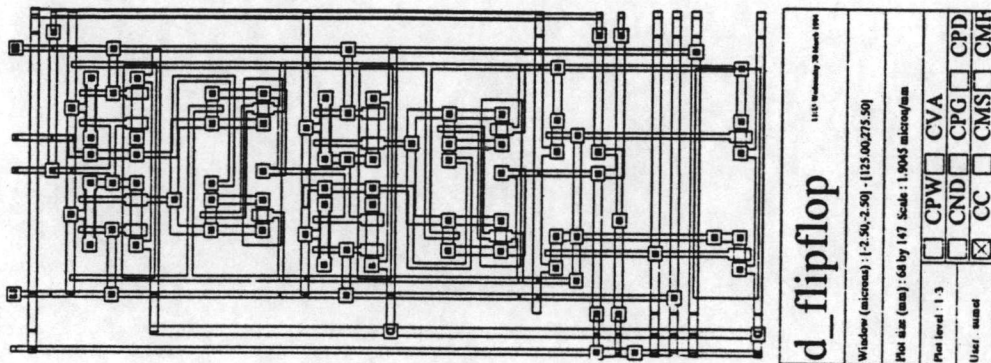
(ก)



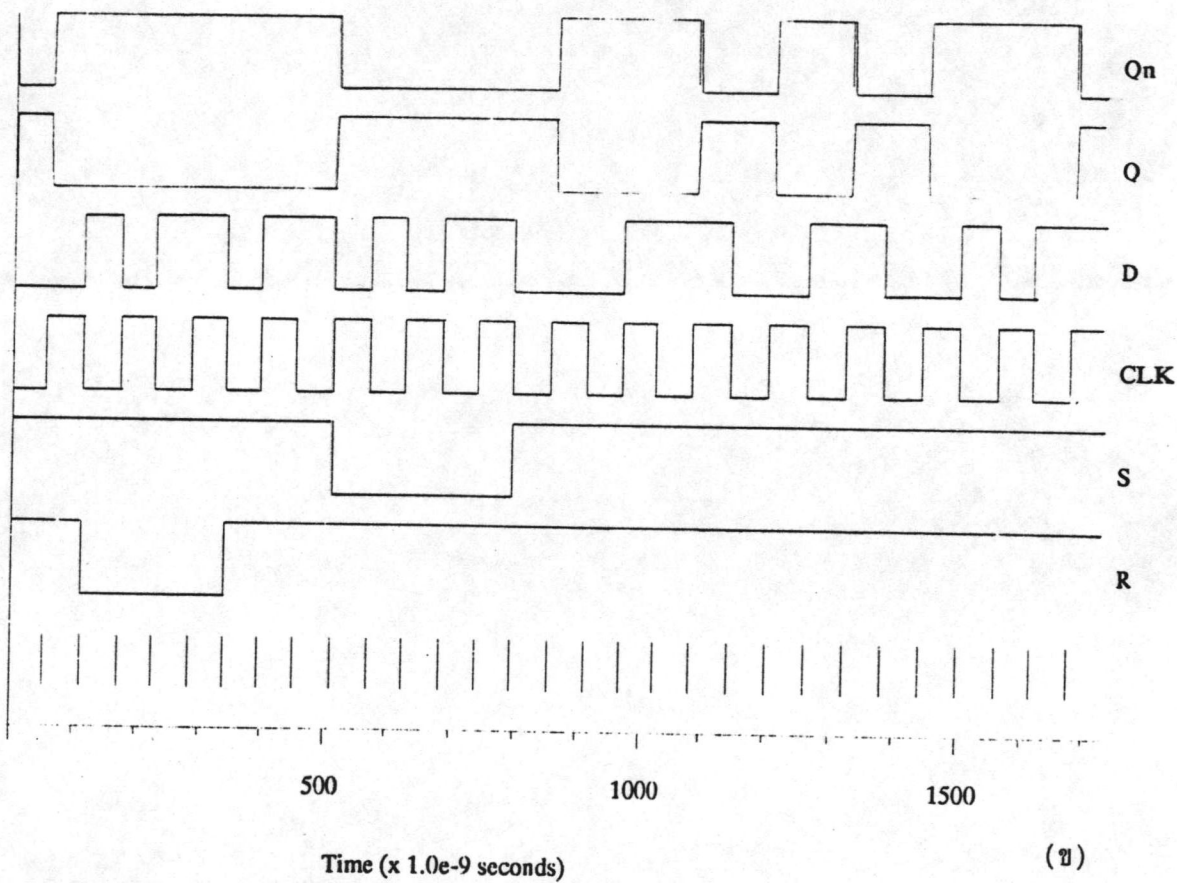
(ข)

รูปที่ 5.21 ฟังก์ชันรวม or 4i อุปกรณ์แอนเกต (OR gate) 4 อินพุต

(ก) ภาพแบบหน้ากวางจรรยา (ข) ผลจำลองการทำงาน

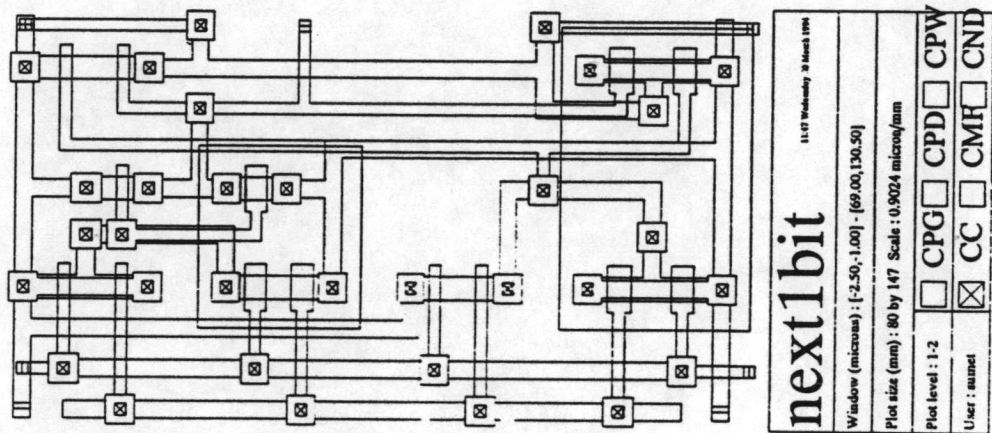


(n)

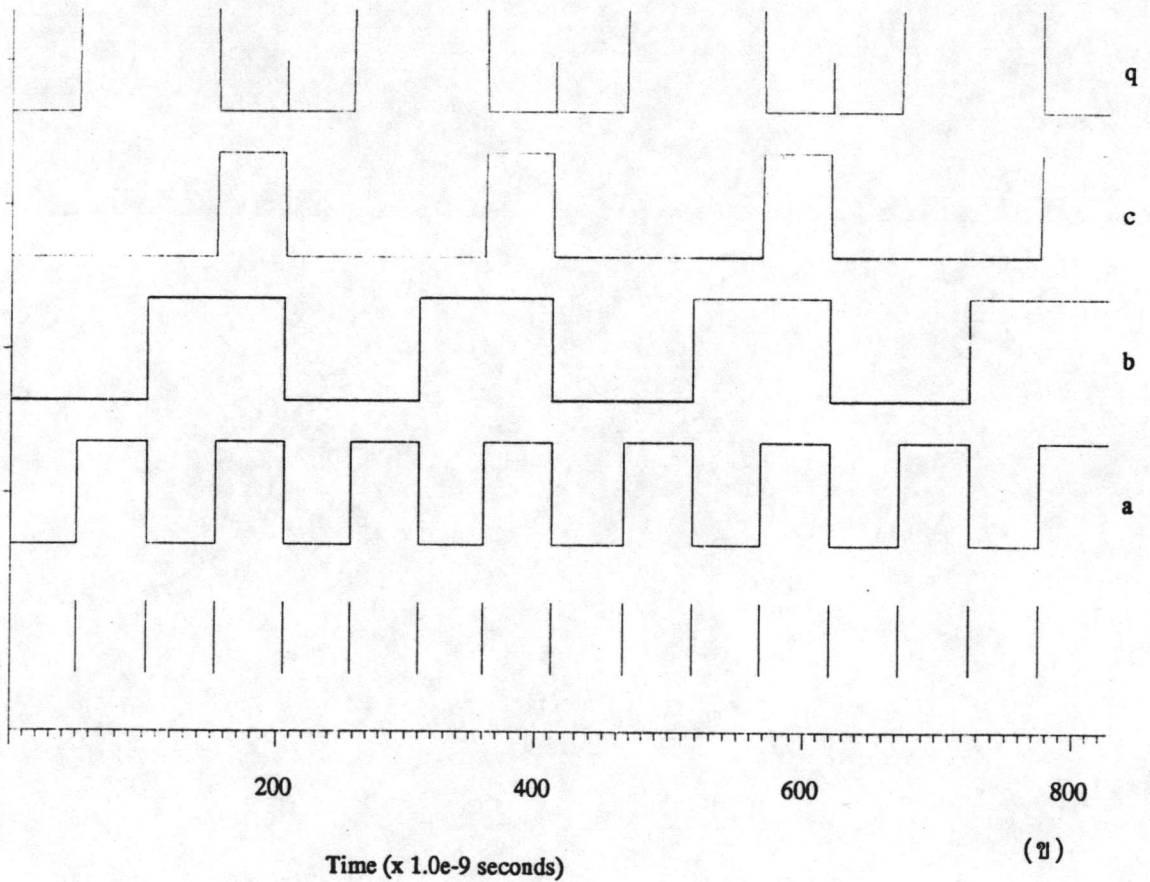


รูปที่ 5.22 ผังวงจรรวม d_flipflop อุปกรณ์ดีฟลิปฟลอป(D-FlipFlop) แบบมาสเตอร์สลาฟ

(ก) ภาพแบบหน้ากาววงจรรวม (ข) ผลจำลองการทำงาน



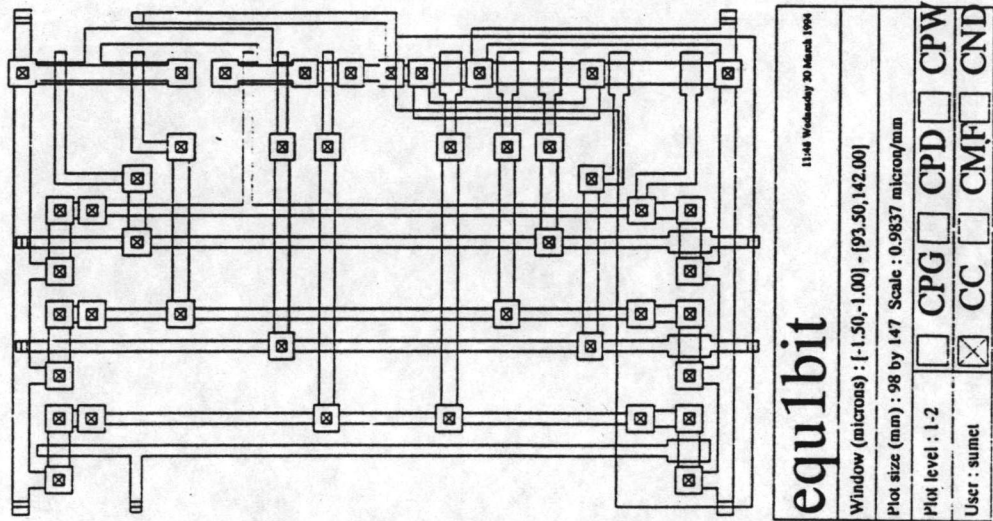
(ก)



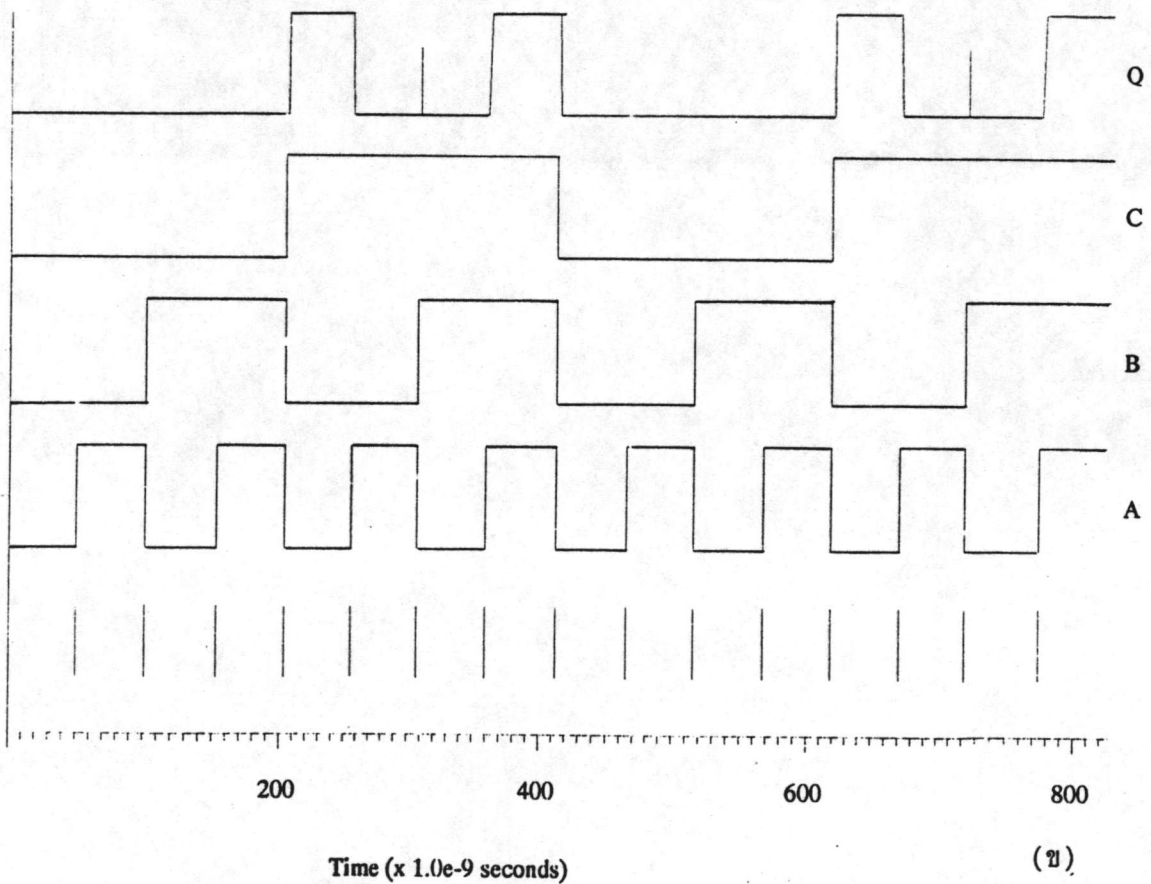
(ข)

รูปที่ 5.23 ศังวงจรรวม next1bit วงจร บวกเลข 1 บิต (1 bit half adder)

(ก) ภาพแบบหน้าจอกวงจรรวม (ข) ผลจำลองการทำงาน



(ก)



(ข)

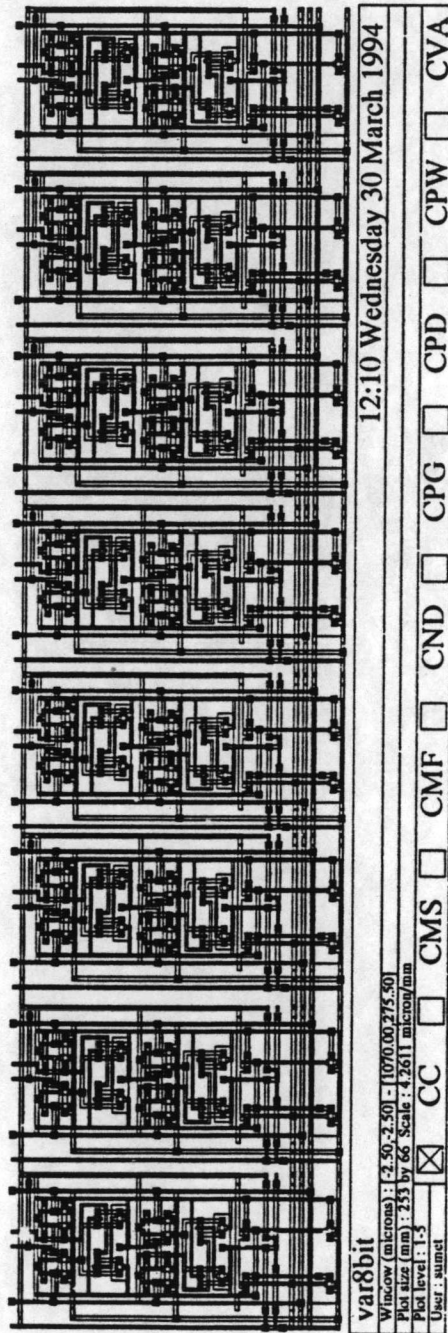
รูปที่ 5.24 คิววงจรรวม equ1bit วงจรเปรียบเทียบข้อมูล 1 บิต

(ก) ภาพแบบหน้ากากวงจรรวม (ข) ผลจำลองการทำงาน

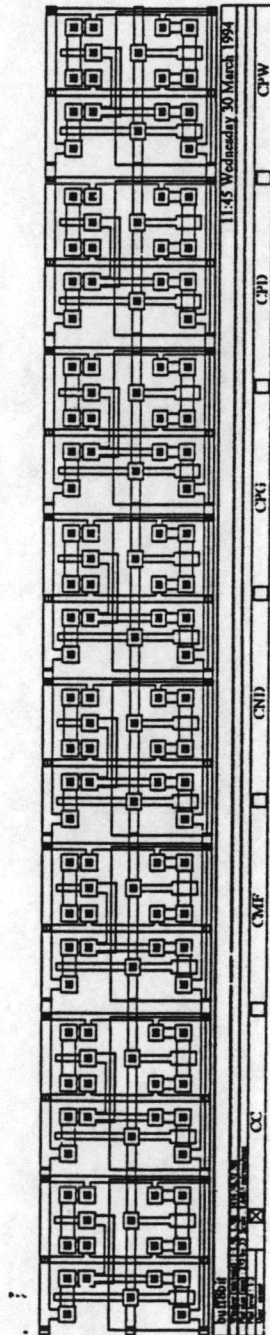
วงจรในระดับโมดูลเซตเริ่มจากการออกแบบวงจรส่วนย่อยได้แก่ var8bit, buff8bit, shift5bit, next18bit, equ8bit, rs_flipflop จากนั้น จึงนำส่วนโมดูลย่อยต่อขึ้นเป็น โมดูลหลักที่ใหญ่ขึ้นได้แก่ seq5 และ ins_del โดยแสดงแบบของวงจรรวมในภาพที่ 5.25 ถึงภาพที่ 5.32

ภาพของผังวงจรรวมจัดการข้อมูลแถวคอยฟูลคัสตอมแสดงในรูปที่ 5.33 ทั้งส่วนของภาพการจัดวางวงจรส่วนต่างๆ ในวงจรรวมวงจรดังภาพที่ 5.33 (ก) และผังหน้าการทางภูมิภาพของวงจรรวมดังภาพที่ 5.33 (ข)

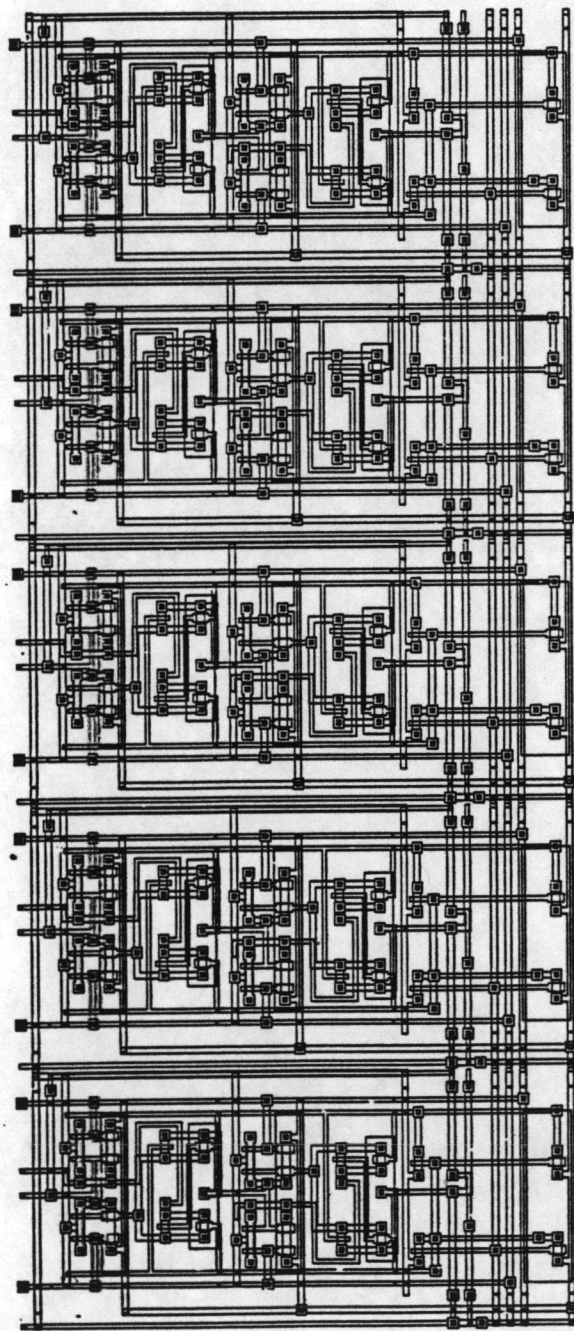
สำหรับการจำลองผลการทำงานนั้นใช้โปรแกรม TREK ซึ่งเป็นโปรแกรมจำลองผลที่ดูเฉพาะผลทางลอจิกเนื่องจากเป็นวงจรที่มีจำนวนอุปกรณ์ในระดับทรานซิสเตอร์เป็นจำนวนมาก การวิเคราะห์โดยใช้คุณสมบัติทางไฟฟ้าของสารกึ่งตัวนำทั้งหมดซึ่งจะต้องใช้โปรแกรม SPICE นั้นผู้วิจัยไม่ได้ทำการทดลองเนื่องจากข้อจำกัดด้านจำนวนอุปกรณ์และใช้ระยะเวลาในการจำลองผลยาวนานมาก



รูปที่ 5.25 ภาพแบบหน้ากากวงจรรวมวงจร var8bit



รูปที่ 5.26 วงจร buff8bit



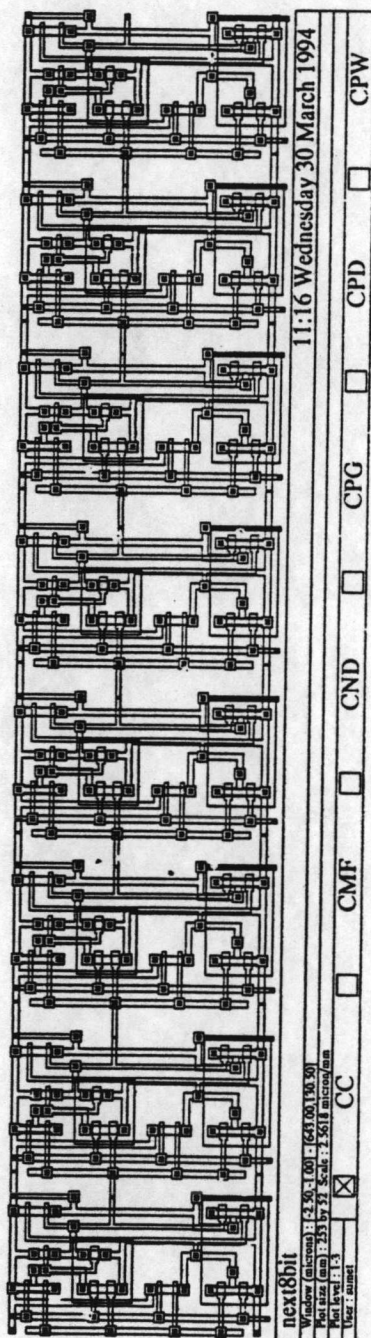
11:14 Wednesday 30 March 1994

shift5bit

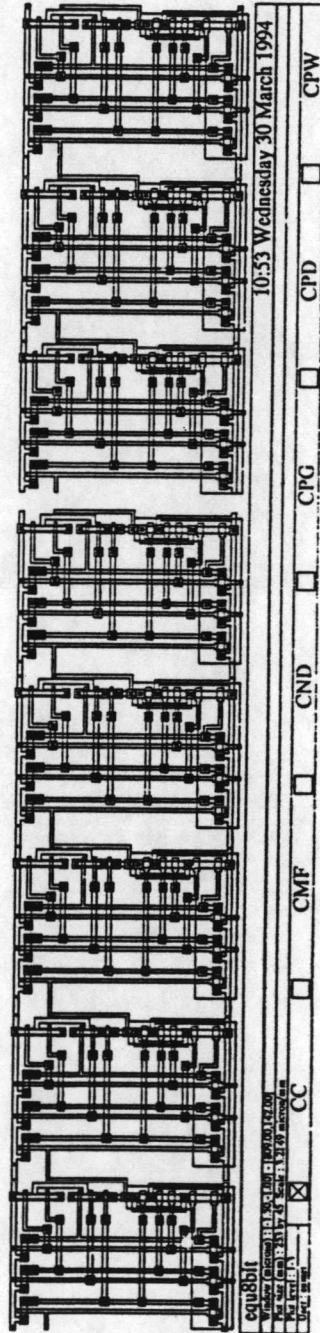
Window (microns) : [-2.50,-2.50] - [637.00,275.50]
 Plot size (mm) : 253 by 111 Scale : 2.5496 micron/mm

Plot level : 1-4 CC CMS CMF CND CPG CPD CPW CVA
 User : sumet

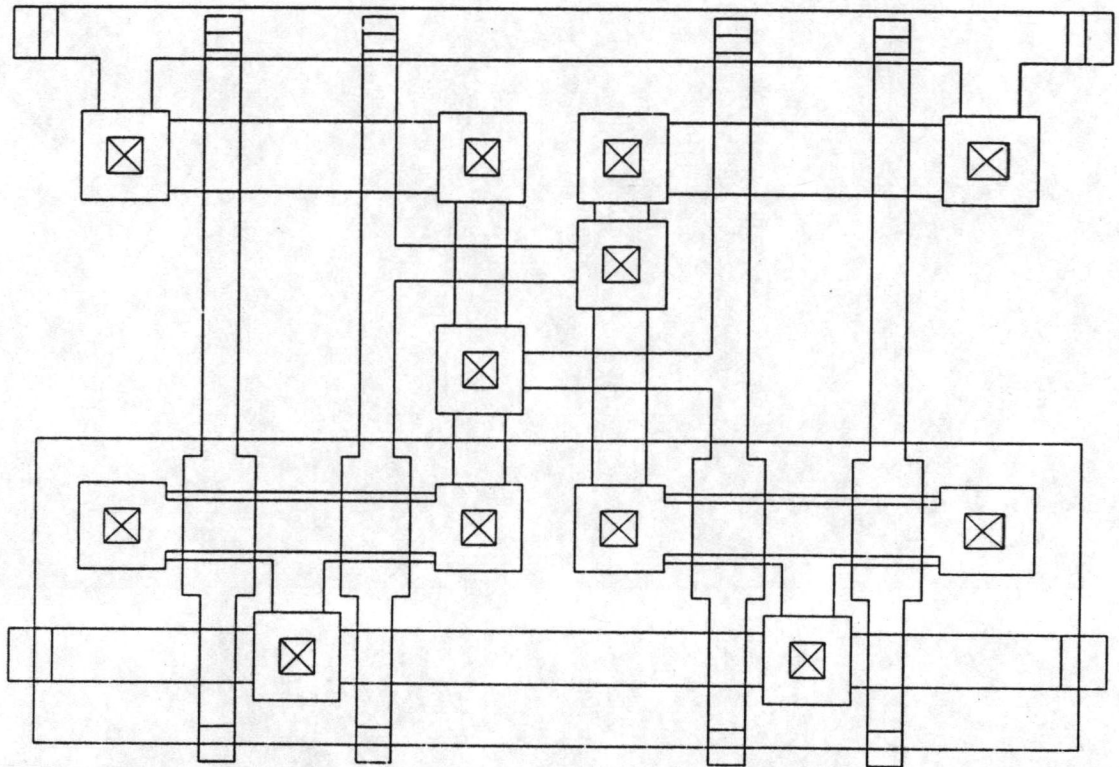
รูปที่ 5.27 ภาพแบบหน้ากากวจรรวมวงจร shift5bit



รูปที่ 5.28 ภาพแบบหน้ากาวจรรวมวงจร next8bit

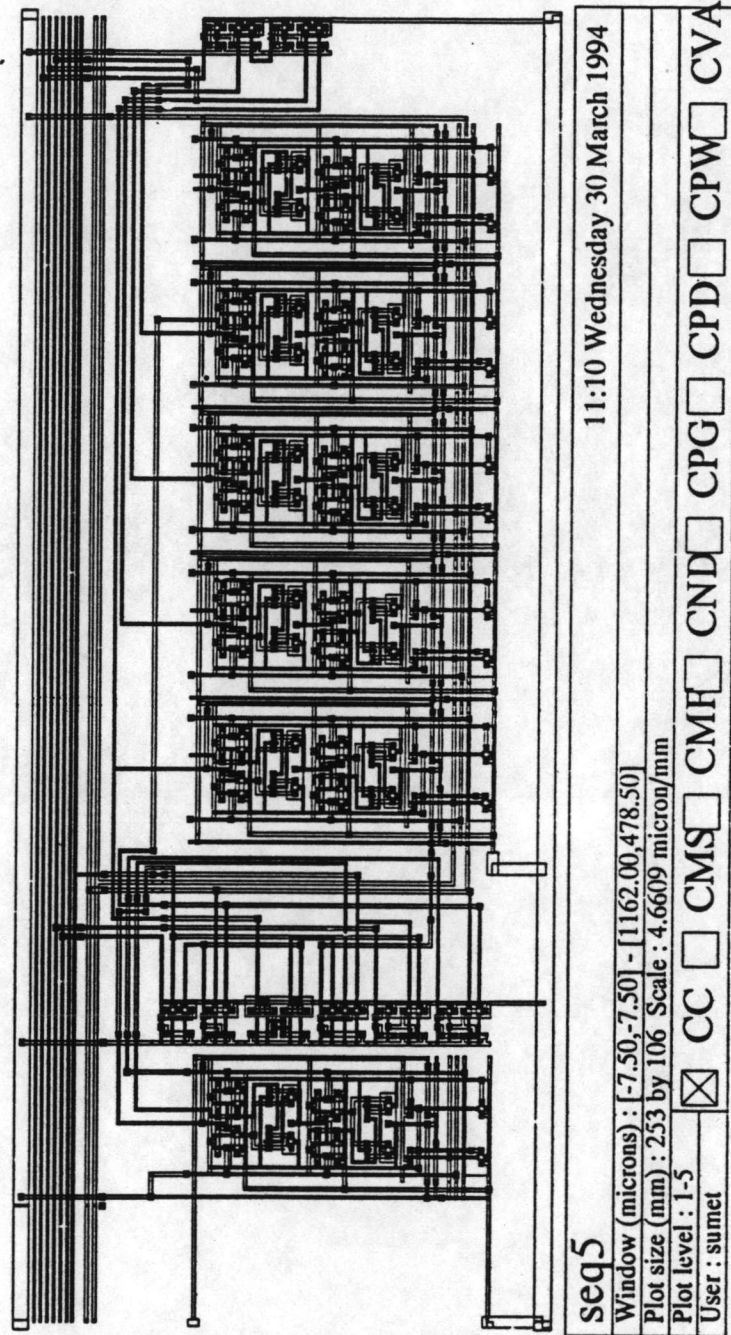


รูปที่ 5.29 ภาพแบบหน้ากาวจรรวมวงจร equ8bit

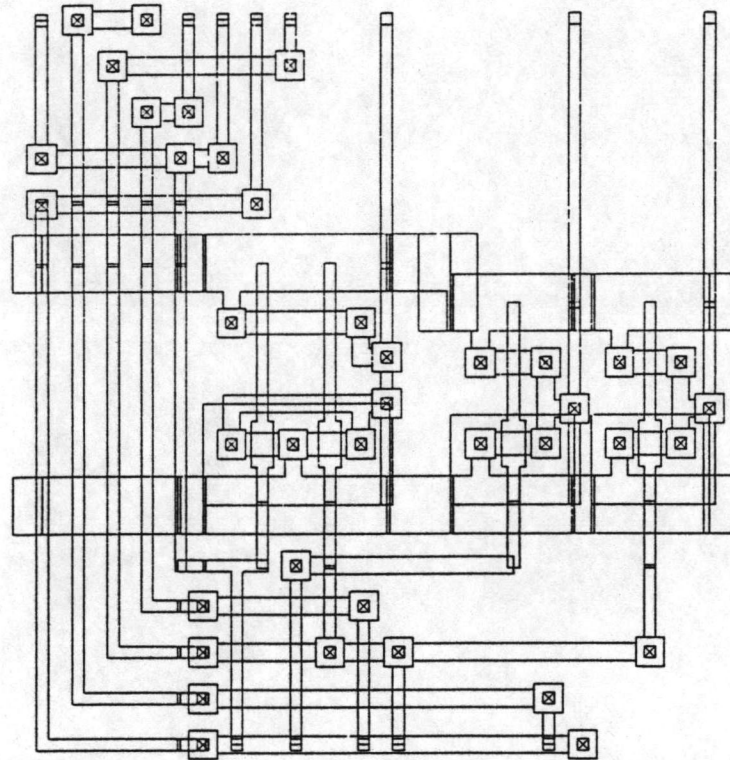


rs_flipflop		12:12 Wednesday 30 March 1994								
Window (microns) : [-1.50,-1.00] - [60.50,42.00]										
Plot size (mm) : 211 by 147 Scale : 0.2977 micron/mm										
Plot level : 1-2	<input type="checkbox"/>	CPW								
User : sumet	<input checked="" type="checkbox"/>	CC	<input type="checkbox"/>	CMF	<input type="checkbox"/>	CND	<input type="checkbox"/>	CPG	<input type="checkbox"/>	CPD

รูปที่ 5.30 ภาพแบบหน้าการวางจอร์นวงจรร rs_flipflop

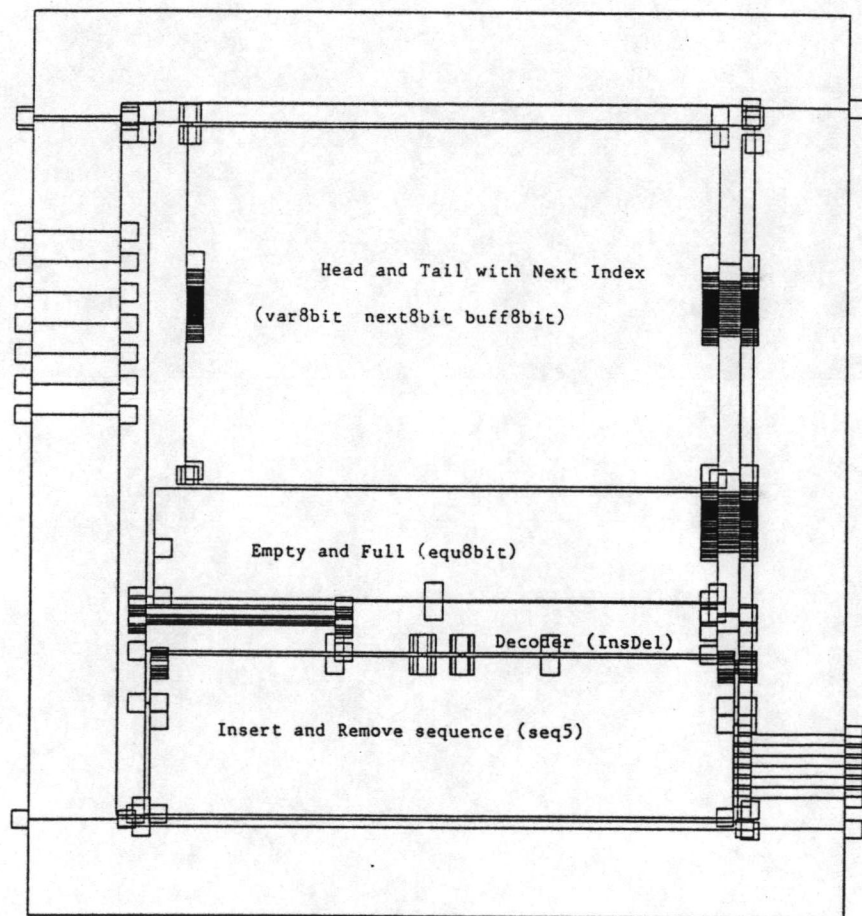


รูปที่ 5.31 ภาพแบบหน้ากาววงจรรวมวงจร seq5



InsDel		17:36 Wednesday 30 March 1994
Window (microns) : [-5.00,-2.50] - [121.50,128.50]		
Plot size (mm) : 142 by 147 Scale : 0.9065 micron/mm		
Plot level : 1-3	<input type="checkbox"/> CPW	
User : sumet	<input checked="" type="checkbox"/> CC	<input type="checkbox"/> CMF <input type="checkbox"/> CND <input type="checkbox"/> CPG <input type="checkbox"/> CPD

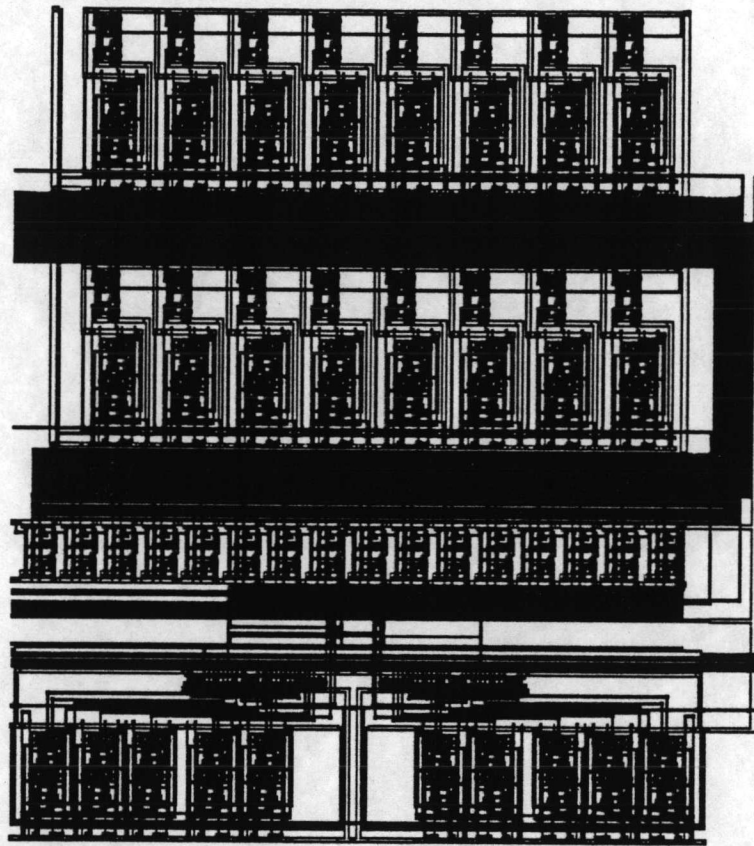
รูปที่ 5.32 ภาพแบบหน้าการวงจรรวมวงจร ins_del



(ก)

รูปที่ 5.33 วงจรรวมฟูลคัสตอมจัดการข้อมูลแถวคอก

(ก) ภาพการวางส่วนวงจรต่างๆในวงจรรวม (ข) ฟังก์ชันภาพของวงจรรวม



queue		11:16 Saturday 2 April 1994						
Window (microns) : [-5.00,-5.00] - [1850.50,2020.50]								
Plot size (mm) : 105 by 114 Scale : 18.0000 micron/mm								
Plot level : 1-7	<input type="checkbox"/>	CPG	<input type="checkbox"/>	CPD	<input type="checkbox"/>	CPW	<input type="checkbox"/>	CVA
User : sumet	<input checked="" type="checkbox"/>	CC	<input type="checkbox"/>	CMS	<input type="checkbox"/>	CMF	<input type="checkbox"/>	CND

(ข)

รูปที่ 5.33 วงจรรวมฟูลคัสตอมจัดการข้อมูลดาวคอย (ต่อ)

3. สรุปผลการออกแบบวงจรรวมจัดการแถวคอย

จากที่ได้กล่าวมาในบทนี้ ได้แสดงถึงการนำวงจรอิเล็กทรอนิกส์จัดการแถวคอยมาออกแบบเป็นวงจรรวมที่ใช้ในการวิจัย 2 ประเภทการทดสอบผลกระทำโดยการจำลองผลการทำงาน วงจรรวมเซลมาตรฐานที่ได้จัดสร้างเพียงบางส่วนได้ส่งไปพิจารณาและทดสอบการทำงานซึ่งได้ผลตามที่ต้องการ

ในบทต่อไปจะได้กล่าวถึงการนำวงจรจัดการแถวคอยไปจัดสร้างเป็นวงจรสปลูเลอร์สำหรับเครื่องพิมพ์เพื่อเป็นตัวอย่างในการนำวงจรจัดการแถวคอยไปประยุกต์โดยใช้วงจรรวมอุปกรณ์เกตอาเรย์ที่โปรแกรมได้