การออกแบบวงจรตอบรับที่ไร้อุปกรณ์ชนิดซี
สำหรับวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้

นางสาวรัชดา นุดจรัส

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมคอมพิวเตอร์ ภาควิชาวิศวกรรมคอมพิวเตอร์
บัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย
ปีการศึกษา 2542

ISBN 974-332-821-1

ลิขสิทธิ์ของบัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย

I 18633018

A DESIGN OF A C-ELEMENT FREE ACKNOWLEDGEMENT CIRCUIT FOR SCALABLE-DELAY-INSENSITIVE ASYNCHRONOUS COMBINATIONAL CIRCUITS

MISS RASCHADA NOOTJARAT

A Thesis Submitted in Partial Fulfillment of the Requirements
for the Degree of Master of Engineering in Computer Engineering
Department of Computer Engineering
Graduate School
Chulalongkorn University
Academic Year 1999

ISBN 974-332-821-1

หัวข้อวิทยานิพนธ์	การออกแบบวงจรตอบรับที่ไร้อุปกรณ์ชนิดซี สำหรับวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้
โดย	นางสาวรัชดา นุตจรัส
ภาควิชา	วิศวกรรมคอมพิวเตอร์
อาจารย์ที่ปรึกษา	อาจารย์ ดร.อาทิตย์ ทองทักษ์

บัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย อนุมัติให้นับวิทยานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญามหาบัณฑิต

..... คณบดีบัณฑิตวิทยาลัย
(รองศาสตราจารย์ ดร.สุชาดา กีระนันทน์)

คณะกรรมการสอบวิทยานิพนธ์

..... ประธานกรรมการ
(ผู้ช่วยศาสตราจารย์ ดร.สาธิต วงศ์ประทีป)

..... อาจารย์ที่ปรึกษา
(อาจารย์ ดร.อาทิตย์ ทองทักษ์)

..... กรรมการ
(รองศาสตราจารย์ ดร.เอกชัย ลีลารัศมี)

..... กรรมการ
(ผู้ช่วยศาสตราจารย์ ดร.ประภาส จงสถิตย์วัฒนา)

พิมพ์ต้นฉบับบทคัดย่อวิทยานิพนธ์ภายในกรอบสีเขียวนี้

รัชดา นุตจรัส : การออกแบบวงจรตอบรับที่ไร้อุปกรณ์ชนิดซีสำหรับวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ (A DESIGN OF A C-ELEMENT FREE ACKNOWLEDGEMENT CIRCUIT FOR SCALABLE-DELAY-INSENSITIVE ASYNCHRONOUS COMBINATIONAL CIRCUITS) อ. ที่ปรึกษา : อ. ดร. อาทิตย์ ทองทักษ์, 154 หน้า. ISBN 974-332-821-1.

วิทยานิพนธ์ฉบับนี้เสนอการออกแบบวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ ในการออกแบบได้แบ่งวงจรเชิงผสมเป็นสองส่วน คือ ส่วนวงจรรางคู่ซึ่งทำหน้าที่ทำงานฟังก์ชันตรรกะและส่วนวงจรตอบรับซึ่งทำหน้าที่ตรวจสอบการสิ้นสุดการเปลี่ยนระดับสัญญาณในทั้งสองส่วนวงจร ส่วนวงจรรางคู่ได้ใช้การเข้ารหัสรางคู่และมีการออกแบบสองแนวทาง คือ การออกแบบโดยใช้ตรรกะรางคู่ที่ไร้ตัวผกผันและการออกแบบโดยใช้แผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ ส่วนวงจรตอบรับออกแบบโดยใช้การวิเคราะห์ลักษณะการส่งผ่านระดับสัญญาณในวงจรรางคู่และการวิเคราะห์ความแปรปรวนความหน่วง เพื่อหลีกเลี่ยงการใช้อุปกรณ์ชนิดซีซึ่งทำให้วงจรที่ได้มีขนาดใหญ่และใช้เวลาในการทำงานมาก การออกแบบได้แบ่งเป็นสองแนวทาง คือ การออกแบบโดยใช้เกตออร์และการออกแบบโดยใช้บัฟเฟอร์ ทำให้ได้วงจรที่สามารถทนต่ออัตราส่วนความแปรปรวนความหน่วงสูงสุดที่ต้องการ

ในการเปรียบเทียบประสิทธิภาพการทำงานของวงจรที่ออกแบบกับวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดเสมือน งานวิจัยนี้เสนอวิธีวัดอัตราส่วนความแปรปรวนความหน่วงสูงสุดของวงจรที่ไม่ไวต่อความหน่วงชนิดเสมือน และเสนอวิธีการจำลองการทำงานเพื่อทดสอบวงจรทั้งในสภาพการทำงานที่ไม่มีความแปรปรวนความหน่วงและในสภาพการทำงานที่มีความแปรปรวนความหน่วงสูงสุด จากผลการทดลองสรุปได้ว่า วงจรที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ตามวิธีที่เสนอมีค่าใช้จ่ายน้อยกว่าและใช้เวลาในการทำงานน้อยกว่าวงจรที่ไม่ไวต่อความหน่วงชนิดเสมือน วงจรที่ออกแบบในภาวะแวดล้อมรับเข้าส่งออกสามารถทนต่อความแปรปรวนความหน่วงได้สูงกว่าวงจรที่ออกแบบในภาวะแวดล้อมมูลฐาน และการกำหนดอัตราส่วนความแปรปรวนความหน่วงสูงสุดมีผลเทียบได้กับการเลือกแบบจำลองการทำงานสิ่งแวดล้อมและแบบจำลองความหน่วงในการออกแบบวงจร

ภาควิชา วิศวกรรมคอมพิวเตอร์	**ลายมือชื่อนิสิต** ร.ต. รัชดา นุตจรัส
สาขาวิชา วิศวกรรมคอมพิวเตอร์	**ลายมือชื่ออาจารย์ที่ปรึกษา** อาทิตย์ ทองทักษ์
ปีการศึกษา 2542	**ลายมือชื่ออาจารย์ที่ปรึกษาร่วม**

พิมพ์ต้นฉบับบทคัดย่อวิทยานิพนธ์ภายในกรอบสีเขียวนี้เพียงแผ่นเดียว

#4170474521: MAJOR COMPUTER ENGINEERING
KEY WORD: ASYNCHRONOUS CIRCUIT / ACKNOWLEDGEMENT CIRCUIT / DELAY MODEL / SCALABLE-DELAY-INSENSITIVE (SDI) / TIMING RELIABILITY / DELAY APPROXIMATION / DELAY VARIATION
RASCHADA NOOTJARAT : A DESIGN OF A C-ELEMENT FREE ACKNOWLEDGEMENT CIRCUIT FOR SCALABLE-DELAY-INSENSITIVE ASYNCHRONOUS COMBINATIONAL CIRCUITS. THESIS ADVISOR : ARTHIT THONGTAK, Ph.D. 154 pp. ISBN 974-332-821-1.

This thesis proposes a method to design the Scalable-Delay-Insensitive (SDI) asynchronous combinational circuits. Asynchronous circuits are firstly divided into two circuit parts: dual-rail circuit and acknowledgement circuit. The dual-rail circuit processes the logical function, then the acknowledgement circuit verifies the stability of the whole circuit. With 2-rail encoding, the dual-rail circuit can be designed with the Inverter-free 2-rail logic implementation and Reduced-Ordered-Binary Decision Diagram (ROBDD) implementation while the acknowledgement circuit is designed from the analysis of signal propagation and the analysis of delay variation. To avoid using a C-element that enlarges the circuit, OR gates and buffers are used. Thus, the circuit can tolerate the maximum delay variation ratio.

To compare the performance between the designed circuits and the Quasi-Delay-Insensitive (QDI) asynchronous combinational circuits, this research not only presents a method to measure the maximum delay variation ratio of the QDI circuits but also introduces a method to simulate the circuit operations with the maximum delay variation ratio and without the delay variation. From the experimental results, the SDI circuits have a lower hardware cost and perform faster than the QDI. The circuits in the input-output mode environment are better tolerant than in the fundamental mode. Eventually, the specification of the maximum delay variation ratio equals to the selections of environment operation models and the delay models of the circuit.

ภาควิชา วิศวกรรมคอมพิวเตอร์	ลายมือชื่อนิสิต น.ส. รัชดา นุตจรัส
สาขาวิชา วิศวกรรมคอมพิวเตอร์	ลายมือชื่ออาจารย์ที่ปรึกษา อาทิตย์ ทองทัก
ปีการศึกษา 2542	ลายมือชื่ออาจารย์ที่ปรึกษาร่วม

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงไปได้ดีด้วยความกรุณาอย่างดียิ่งของ อาจารย์ ดร. อาทิตย์ ทองทักษ์ อาจารย์ที่ปรึกษาวิทยานิพนธ์ ซึ่งได้ให้คำแนะนำและข้อคิดเห็นต่างๆ ในการทำวิจัยด้วยดีมาโดยตลอด

ผู้วิจัยใคร่ขอกราบขอบพระคุณ ผู้ช่วยศาสตราจารย์ ดร.ประภาส จงสถิตย์วัฒนา และผู้ช่วยศาสตราจารย์ ดร.สมชาย ประสิทธิ์จูตระกูล ที่ได้กรุณาให้คำปรึกษาในเนื้อหาที่เกี่ยวข้องกับงานวิจัย และขอขอบคุณ คุณพเยาว์ สนทนา และคุณสุภิญญา เลิศอารยะวงศ์ เจ้าหน้าประจำภาควิชาวิศวกรรมคอมพิวเตอร์ ที่ช่วยดำเนินการงานธุรการและจัดหาเอกสารอ้างอิง

ขอขอบคุณ นายชลวิช นัทธี ที่ได้ช่วยสืบค้นข้อมูลเอกสารอ้างอิงจาก Tokyo Institute of Technology (TIT) ประเทศญี่ปุ่น

ขอขอบคุณ นายสุริยา วุฒิธนากรกุล ที่ได้ให้ความช่วยเหลือ ให้คำปรึกษาต่างๆ และเป็นกำลังใจที่ดีเสมอมา

ขอขอบคุณ สำนักงานพัฒนาวิทยาศาสตร์และเทคโนโลยีแห่งชาติ (สวทช.) ที่ให้การสนับสนุนทุนการศึกษาในการทำวิทยานิพนธ์ครั้งนี้

ท้ายที่สุดนี้ ผู้วิจัยขอกราบขอบพระคุณมารดาและขอบคุณน้องชาย ที่สนับสนุน ห่วงใย และให้กำลังใจแก่ผู้วิจัยเสมอ

รัชดา นุตจรัส

29 กรกฎาคม 2542

สารบัญ

หน้า

บทคัดย่อภาษาไทย ..... ง
บทคัดย่อภาษาอังกฤษ ..... จ
กิตติกรรมประกาศ ..... ฉ
สารบัญ ..... ช
สารบัญตาราง ..... ฎ
สารบัญภาพ ..... ฐ

บทที่

1. บทนำ 1
   1.1 ความเป็นมาและความสำคัญของปัญหา 1
   1.2 วัตถุประสงค์ 3
   1.3 ขอบเขต 4
   1.4 ขั้นตอนดำเนินการวิจัย 4
   1.5 ประโยชน์ที่คาดว่าจะได้รับ 5
   1.6 โครงสร้างของวิทยานิพนธ์ 5
   1.7 ผลงานที่ตีพิมพ์จากงานวิจัย 6

2. แนวคิดและทฤษฎีที่เกี่ยวข้อง 7
   2.1 แบบจำลองการทำงานสิ่งแวดล้อม (Environment Operation Model) 7
   2.2 อุปกรณ์ซนิดซี (C-Element) 8
   2.3 แบบจำลองความหน่วงแบบไม่ไวต่อความหน่วง (Delay-Insensitive : DI) 8
   2.4 แบบจำลองความหน่วงแบบไม่ไวต่อความหน่วงชนิดเสมือน (Quasi-Delay-Insensitive : QDI) 9
   2.5 แบบจำลองความหน่วงแบบไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ (Scalable-Delay-Insensitive : SDI) 10

สารบัญ (ต่อ)

หน้า

2.6 วงจรเชิงผสมแบบอสมวาร 11
2.7 การออกแบบวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดเสมือน โดยใช้ตรรกะรางคู่ที่ไร้ตัวผกผัน (Inverter-free 2-rail logic implementation) 14
2.8 แผนภาพตัดสินใจแบบทวิภาค (Binary Decision Diagram : BDD) 16
2.9 การออกแบบวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดเสมือน โดยใช้แผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ (Reduced-Ordered-Binary Decision Diagram (ROBDD) implementation) 17

3. การออกแบบวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วง ชนิดปรับมาตราส่วนได้ 20
3.1 การออกแบบส่วนวงจรรางคู่ 21
3.2 การวิเคราะห์ลักษณะการส่งผ่านระดับสัญญาณในส่วนวงจรรางคู่ 21
3.2.1 การออกแบบโดยใช้ตรรกะรางคู่ที่ไร้ตัวผกผัน 21
3.2.2 การออกแบบโดยใช้แผนภาพตัดสินใจแบบทวิภาค ชนิดมีการลดทอนอันดับ 23
3.3 การออกแบบส่วนวงจรตอบรับโดยใช้เกตออร์ 25
3.3.1 การประมาณค่าความหน่วงการสิ้นสุดการเปลี่ยนระดับสัญญาณ ของส่วนวงจรรางคู่ 27
3.3.1.1 กรณีที่ไม่เกิดความแปรปรวนความหน่วง 28
3.3.1.2 กรณีที่เกิดความแปรปรวนความหน่วง 28
3.3.2 การวิเคราะห์ลักษณะการทำงานของเกตในส่วนวงจรรางคู่ เพื่อการเลือกสาย 29
3.3.2.1 การเลือกสายเมื่อไม่พิจารณาผลของความแปรปรวน ความหน่วง 29

สารบัญ (ต่อ)

หน้า

3.3.2.2 การเลือกสายเมื่อพิจารณาผลของความแปรปรวนความหน่วง 40
3.3.3 การคำนวณค่าความหน่วงการเปลี่ยนระดับสัญญาณของสัญญาณแสดงความบริบูรณ์ 49
3.3.4 การเรียงเกตออร์ในส่วนวงจรตอบรับ 52
3.4 การออกแบบส่วนวงจรตอบรับโดยใช้บัฟเฟอร์ 53
3.4.1 การวิเคราะห์ลักษณะการทำงานของเกตในส่วนวงจรรางคู่เพื่อการเลือกสาย 54
3.4.2 การเรียงบัฟเฟอร์ในส่วนวงจรตอบรับ 57
สรุป 58

4. การวัดอัตราส่วนความแปรปรวนความหน่วงสูงสุดของวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดเสมือน 61
4.1 การวิเคราะห์ความแปรปรวนความหน่วง 61
4.2 การวัดอัตราส่วนความแปรปรวนความหน่วงสูงสุด 62
สรุป 65

5. การจำลองการทำงานของวงจร 66
5.1 การจำลองการส่งผ่านระดับสัญญาณในวงจร 67
5.2 การทดสอบความถูกต้องในการทำงานของวงจรที่ส่วนวงจรตอบรับออกแบบโดยใช้เกตออร์ 67
5.2.1 การทดสอบวงจรโดยกำหนดให้ค่าความแปรปรวนความหน่วงในวงจรเท่ากับ 1 68
5.2.1.1 การพิจารณาลักษณะการส่งผ่านระดับสัญญาณในระดับกลุ่มส่วนประกอบวงจร 68

สารบัญ (ต่อ)

หน้า

5.2.1.2 การพิจารณาลักษณะการส่งผ่านระดับสัญญาณในระดับวงจร 70
5.2.2 การทดสอบวงจรโดยกำหนดให้ค่าความแปรปรวนความหน่วงในวงจรเท่ากับอัตราส่วนความแปรปรวนความหน่วงสูงสุด (K) 71
5.2.2.1 การเปลี่ยนค่าความหน่วงในระดับกลุ่มส่วนประกอบวงจร 72
5.2.2.2 การเปลี่ยนค่าความหน่วงในระดับวงจร 72
5.3 การทดสอบความถูกต้องในการทำงานของวงจรที่ส่วนวงจรตอบรับออกแบบโดยใช้บัฟเฟอร์ 72
5.3.1 การทดสอบวงจรโดยกำหนดให้ค่าความแปรปรวนความหน่วงในวงจรเท่ากับ 1 73
5.3.2 การทดสอบวงจรโดยกำหนดให้ค่าความแปรปรวนความหน่วงในวงจรเท่ากับอัตราส่วนความแปรปรวนความหน่วงสูงสุด (K) 73
5.4 การวัดเวลาที่ใช้ในการทำงานของวงจร 74
สรุป 75

6. การทดลอง 77
6.1 การเปรียบเทียบค่าความหน่วงของส่วนวงจรรางคู่ที่ได้จากการประมาณกับค่าความหน่วงที่ได้จากการจำลองการทำงาน 79
6.2 การวัดอัตราส่วนความแปรปรวนความหน่วงสูงสุดของวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดเสมือน 80
6.3 การเปรียบเทียบประสิทธิภาพการทำงานระหว่างวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้กับวงจรที่ไม่ไวต่อความหน่วงชนิดเสมือน 83
6.3.1 เวลาที่ใช้ในการทำงาน 83
6.3.2 ค่าใช้จ่ายวงจร (Hardware Cost) 83

สารบัญ (ต่อ)

หน้า

6.4 การเปรียบเทียบประสิทธิภาพการทำงานของวงจรเชิงผสมแบบอสมวาร ที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ระหว่างการใช้เกตออร์ และการใช้บัฟเฟอร์ในการออกแบบส่วนวงจรตอบรับ 87
สรุป 90

7. การวิเคราะห์ผลของการกำหนดอัตราส่วนความแปรปรวนความหน่วงสูงสุด ที่มีต่อการออกแบบวงจรที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ 92
7.1 การวิเคราะห์ผลของอัตราส่วนความแปรปรวนความหน่วงสูงสุด ที่มีต่อการเลือกสาย 93
7.2 การวิเคราะห์ผลของอัตราส่วนความแปรปรวนความหน่วงสูงสุด ที่มีต่อค่าความหน่วงของเกตในส่วนวงจรตอบรับ 94
สรุป 97

8. สรุปผลการวิจัยและข้อเสนอแนะ 99
8.1 สรุปผลการวิจัย 99
8.2 ข้อเสนอแนะ 102

รายการอ้างอิง 103
ภาคผนวก 106
ก. การแทนส่วนวงจรรางคู่ที่ออกแบบโดยตรรกะรางคู่ที่ไร้ตัวผกผัน 107
ข. การแทนส่วนวงจรรางคู่ที่ออกแบบโดยใช้ แผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ 110
ค. การแทนส่วนวงจรตอบรับสำหรับการจำลองการทำงาน 115
ง. ผลงานที่ตีพิมพ์จากงานวิจัย 117
จ. ศัพท์เทคนิคที่ใช้ในวิทยานิพนธ์ 137
ประวัติผู้เขียน 141

สารบัญตาราง

ตารางที่ หน้า

6.1 ชุดวงจรเปรียบเทียบสมรรถนะที่เลือกใช้ในการทดลอง 77
6.2 จำนวนเกตและสายในส่วนวงจรรางคู่ของชุดวงจรเปรียบเทียบสมรรถนะที่เลือกใช้ในการทดลอง 78
6.3 ผลการวัดค่าความหน่วงของส่วนวงจรรางคู่โดยใช้การประมาณและการวัดค่าความหน่วงโดยใช้การจำลองการทำงาน 80
6.4 ผลการวัดอัตราส่วนความแปรปรวนความหน่วงสูงสุดของวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดเสมือน 82
6.5 ผลการวัดเวลาที่ใช้ในการทำงานของวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้และวงจรที่ไม่ไวต่อความหน่วงชนิดเสมือน 85
6.6 ผลการวัดค่าใช้จ่ายวงจรของวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้และวงจรที่ไม่ไวต่อความหน่วงชนิดเสมือน 86
6.7 ผลการวัดเวลาที่ใช้ในการทำงานของวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ระหว่างการใช้เกตออร์และการใช้บัฟเฟอร์ในการออกแบบส่วนวงจรตอบรับ 88
6.8 การจำลองเวลาเปรียบเทียบของวงจรที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ระหว่างการใช้เกตออร์และการใช้บัฟเฟอร์ในการออกแบบส่วนวงจรตอบรับ 89

สารบัญรูปภาพ

รูปที่ หน้า

2.1 แบบจำลองการทำงานสิ่งแวดล้อม 7

2.2 อุปกรณ์ชนิดซีขนาดสองอินพุต 8

2.3 การออกแบบวงจรระดับเกตที่ไม่ไวต่อความหน่วง
เมื่อกำหนดให้การเปลี่ยนระดับสัญญาณ t1 เกิดก่อน t2 9

2.4 การออกแบบวงจรระดับเกตที่ไม่ไวต่อความหน่วงชนิดเสมือน
เมื่อกำหนดให้การเปลี่ยนระดับสัญญาณ t1 เกิดก่อน t2
และข้อกำหนดกิ่งของสายเทียบเท่าตลอดช่วง 9

2.5 การออกแบบวงจรระดับเกตที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้
เมื่อกำหนดให้การเปลี่ยนระดับสัญญาณ t1 เกิดก่อน t2 10

2.6 การทำงานรางคู่แบบสองขั้นชนิดกลับสู่ศูนย์ 12

2.7 วงจรเชิงผสมแบบอสมวาร 13

2.8 ลักษณะการเปลี่ยนระดับสัญญาณของวงจรเชิงผสมแบบอสมวาร
ในการทำงานรางคู่แบบสองขั้นชนิดกลับสู่ศูนย์ 13

2.9 การออกแบบส่วนวงจรรางคู่ที่ไม่ไวต่อความหน่วงชนิดเสมือน
โดยใช้ตรรกะรางคู่ที่ไร้ตัวผกผัน 15

2.10 การออกแบบส่วนวงจรตอบรับที่ไม่ไวต่อความหน่วงชนิดเสมือน
โดยใช้ตรรกะรางคู่ที่ไร้ตัวผกผัน 15

2.11 ตัวอย่างการออกแบบวงจรเชิงผสมที่ไม่ไวต่อความหน่วงชนิดเสมือน สำหรับ
ฟังก์ชัน f = (A + B + C) (A' + B' + C) โดยใช้ตรรกะรางคู่ที่ไร้ตัวผกผัน 16

2.12 การลดขนาดแผนภาพตัดสินใจแบบทวิภาคชนิดมีอันดับ สำหรับฟังก์ชัน
f = A'BC' + AC โดยมีลำดับตัวแปร A , B , C และการหาเอาต์พุต 16

2.13 การออกแบบส่วนวงจรรางคู่ที่ไม่ไวต่อความหน่วงชนิดเสมือน
โดยใช้แผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ 18

สารบัญรูปภาพ (ต่อ)

รูปที่		หน้า
2.14	การออกแบบส่วนวงจรตอบรับที่ไม่ไวต่อความหน่วงชนิดเสมือน โดยใช้แผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ	18
2.15	ตัวอย่างการออกแบบวงจรเชิงผสมที่ไม่ไวต่อความหน่วงชนิดเสมือน สำหรับฟังก์ชัน f = (A + B + C) (A' + B' + C) โดยใช้แผนภาพตัดสินใจแบบทวิภาคชนิดมีลดทอนอันดับ	19
3.1	การจำลองการทำงานในขั้นทำงานของส่วนวงจรรางคู่ที่ออกแบบโดยใช้ตรรกะรางคู่ที่ไร้ตัวผกผัน	22
3.2	คู่เกตแอนด์ออร์	22
3.3	การจำลองการทำงานในขั้นทำงานของส่วนวงจรรางคู่ที่ออกแบบโดยใช้แผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ	24
3.4	วงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ซึ่งได้จากการต่อเพิ่มบัฟเฟอร์ที่เอาต์พุตของส่วนวงจรรางคู่	28
3.5	การเปรียบเทียบค่าความหน่วงในการเลือกสายจากส่วนวงจรรางคู่ที่ออกแบบโดยใช้ตรรกะรางคู่ที่ไร้ตัวผกผัน	30
3.6	การเรียงต่อของคู่เกตแอนด์ออร์ในส่วนวงจรรางคู่ที่ออกแบบโดยใช้ตรรกะรางคู่ที่ไร้ตัวผกผัน	31
3.7	กรณีของส่วนวงจรรางคู่ที่ไม่มีการเลือกสายเอาต์พุตของเกตออร์	32
3.8	ขั้นตอนการเลือกสายเมื่อไม่พิจารณาผลของความแปรปรวนความหน่วงสำหรับส่วนวงจรรางคู่ที่ออกแบบโดยใช้ตรรกะรางคู่ที่ไร้ตัวผกผัน	33
3.9	ตัวอย่างการแบ่งกลุ่มเส้นทางต่อเชื่อมเกตแอนด์ที่เป็นอินพุตของแต่ละเกตออร์	34
3.10	การจำลองการทำงานของส่วนวงจรรางคู่สำหรับแบบอินพุต ABCDEF = 011101	37
3.11	ตัวอย่างเส้นทางต่อเชื่อมเกตแอนด์ที่เป็นเอาต์พุตของวงจร	39

สารบัญรูปภาพ (ต่อ)

รูปที่ หน้า

3.12 ขั้นตอนการเลือกสายเมื่อไม่พิจารณาผลของความแปรปรวนความหน่วง สำหรับส่วนวงจรรางคู่ที่ออกแบบโดยใช้แผนภาพตัดสินใจแบบทวิภาค ชนิดมีการลดทอนอันดับ 40

3.13 การจำลองส่วนประกอบวงจรในแต่ละเส้นทางเชื่อมต่อของ ส่วนประกอบวงจร 42

3.14 การปรับแต่งค่าความหน่วง เมื่อพิจารณาระหว่างสายอินพุตของเกตแอนด์ สำหรับแต่ละคู่เกตแอนด์ออร์ 45

3.15 การปรับแต่งค่าความหน่วง เมื่อพิจารณาระหว่างสายอินพุตของเกตแอนด์ กับสายเอาต์พุตของเกตออร์ สำหรับแต่ละคู่เกตแอนด์ออร์ 45

3.16 การปรับแต่งค่าความหน่วง เมื่อพิจารณาระหว่างสายเอาต์พุตของเกตออร์ สำหรับทั้งวงจร 46

3.17 ขั้นตอนการเลือกสายเมื่อพิจารณาผลของความแปรปรวนความหน่วง สำหรับส่วนวงจรรางคู่ที่ออกแบบโดยใช้ตรรกะรางคู่ที่ไร้ตัวผกผัน 47

3.18 ขั้นตอนการเลือกสายเมื่อพิจารณาผลของความแปรปรวนความหน่วง สำหรับส่วนวงจรรางคู่ที่ออกแบบโดยใช้แผนภาพตัดสินใจแบบทวิภาค ชนิดมีการลดทอนอันดับ 49

3.19 ความแปรปรวนความหน่วงบนเส้นทางต่อเชื่อมของส่วนประกอบวงจร 50

3.20 การจัดเรียงเกตออร์ในส่วนวงจรตอบรับ 52

3.21 การคำนวณค่าความหน่วงของแต่ละเกตออร์ในส่วนวงจรตอบรับ 53

3.22 การจำลองการทำงานของส่วนวงจรรางคู่สำหรับแบบอินพุต ABCDEF = 100101 56

3.23 วงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ ซึ่งส่วนวงจรตอบรับออกแบบโดยใช้บัฟเฟอร์ 58

4.1 การผ่อนปรนเงื่อนไขกิ่งของสายเทียบเท่าตลอดช่วงเป็น เส้นทางต่อเชื่อมเทียบเท่าตลอดช่วง 64

สารบัญรูปภาพ (ต่อ)

รูปที่		หน้า
5.1	การจำลองการส่งผ่านระดับสัญญาณในแต่ละส่วนประกอบวงจร	67
7.1	การกำหนดอัตราส่วนความแปรปรวนความหน่วงสูงสุด(K) กับการเลือกแบบจำลองความหน่วงและแบบจำลองการทำงานสิ่งแวดล้อมในการออกแบบวงจร	96
ก.1	ตัวอย่างการแทนส่วนวงจรรางคู่ที่ออกแบบโดยใช้ตรรกะรางคู่ที่ไร้ตัวผกผัน	108
ข.1	การแปลงแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับเป็นส่วนวงจรรางคู่	111
ข.2	ตัวอย่างการแทนชุดของเกตออร์และเกตแอนด์คู่ของส่วนวงจรรางคู่ที่ออกแบบโดยใช้แผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ	112
ข.3	ตัวอย่างการแทนส่วนวงจรรางคู่ที่ออกแบบโดยใช้แผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ	112
ค.1	ตัวอย่างการแทนส่วนวงจรตอบรับ	116