ฮาร์ดแวร์เชิงวิวัฒน์เลียนแบบสำหรับวงจรเชิงลำดับ

นายชัชวิทย์ อาภรณ์เทวัญ

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมคอมพิวเตอร์ ภาควิชาวิศวกรรมคอมพิวเตอร์
คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย
ปีการศึกษา 2542

ISBN 974-334-219-2

ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย

I19275596

A MIMETIC EVOLVABLE HARDWARE FOR SEQUENTIAL CIRCUITS

Mr.Chatchawit Aporntewan

A Thesis Submitted in Partial Fulfillment of the Requirements
for the Degree of Master of Engineering in Computer Engineering
Department of Computer Engineering
Faculty of Engineering
Chulalongkorn University
Academic Year 1999

ISBN 974-334-219-2

Thesis title	A Mimetic Evolvable Hardware for Sequential Circuits
By	Chatchawit Aporntewan
Department	Computer Engineering
Thesis Advisor	Assistant Professor Prabhas Chongstitvatana

Accepted by the Faculty of Engineering, Chulalongkorn University in Partial Fulfillment of the Requirements for the Master's Degree

..... Dean of Faculty of Engineering
(Professor Somsak Panyakeow)

THESIS COMMITTEE

..... Chairman
(Arthit Thongtak)

..... Thesis Advisor
(Assistant Professor Prabhas Chongstitvatana)

..... Member
(Assistant Professor Somchai Prasitjutrakul)

..... Member
(Naiyavudhi Wongkomet)

ชัชวิทย์ อาภรณ์เทวัญ: ฮาร์ดแวร์เชิงวิวัฒน์เลียนแบบสำหรับวงจรเชิงลำดับ (A MIMETIC EVOLVABLE HARDWARE FOR SEQUENTIAL CIRCUITS) อาจารย์ที่ปรึกษา: ผศ.ดร.ประภาส จงสถิตย์วัฒนา; 66 หน้า. ISBN 974-334-219-2

วิทยานิพนธ์ฉบับนี้เสนอฮาร์ดแวร์เชิงวิวัฒน์แบบเชื่อมตรง ซึ่งตั้งชื่อว่า *ฮาร์ดแวร์เชิงวิวัฒน์เลียนแบบ* การทำงานของวงจรนี้คือ การเลียนแบบการทำงานของวงจรเชิงลำดับโดยการสังเกตลำดับของอินพุต/เอาต์พุต ผู้วิจัยใช้ขั้นตอนวิธีพันธุการเพื่อค้นหาวงจรที่ทำงานได้ถูกต้องตามลำดับของอินพุต/เอาต์พุตของวงจรเป้าหมาย ฮาร์ดแวร์เชิงวิวัฒน์เลียนแบบมีส่วนประกอบ 2 ส่วน คือ ไมโครโพรเซสเซอร์และตัวคำนวณค่าความดี ไมโครโพรเซสเซอร์ถูกออกแบบสำหรับการกระทำการของขั้นตอนวิธีพันธุการ ตัวคำนวณค่าความดีทำหน้าที่เป็นตัวประมวลผลร่วม เร่งการคำนวณค่าความดีซึ่งเป็นคอขวดของขั้นตอนวิธีพันธุการ ผู้วิจัยออกแบบไมโครโพรเซสเซอร์และตัวคำนวณค่าความดีโดยใช้ภาษาเวอริลอก สังเคราะห์ไมโครโพรเซสเซอร์และตัวคำนวณค่าความดีบน Xilinx XC4010 FPGAs ผลการทดลองแสดงให้เห็นว่า ถ้าใช้ FPGA ที่ดีที่สุดในปัจจุบัน ไมโครโพรเซสเซอร์ประกอบกับตัวคำนวณค่าความดี 8 ตัวซึ่งทำงานแบบขนาน สามารถทำงานได้เร็วกว่าซอฟต์แวร์บนเครื่องคอมพิวเตอร์ส่วนบุคคล (ใช้ตัวประมวล PentiumPro และระบบปฏิบัติการลินุกซ์) ถึง 36 เท่า

ภาควิชา	วิศวกรรมคอมพิวเตอร์	ลายมือชื่อนิสิต ชัชวิทย์ อาภรณ์เทวัญ
สาขาวิชา	วิศวกรรมคอมพิวเตอร์	ลายมือชื่ออาจารย์ที่ปรึกษา P. Chongstitvatana
ปีการศึกษา	2542	ลายมือชื่ออาจารย์ที่ปรึกษาร่วม .....

CHATCHAWIT APORNTEWAN: A MIMETIC EVOLVABLE HARDWARE FOR SEQUENTIAL CIRCUITS. THESIS ADVISOR: PRABHAS CHONGSTITVATANA. 66 pp. ISBN 974-334-219-2

The thesis proposes an on-line *evolvable hardware (EHW)*, called *mimetic EHW*. The task is to mimic a sequential circuit by observing its partial input/output sequences. The genetic algorithm (GA) is used to search for the circuit satisfying the input/output sequences collected from the target circuit. The mimetic EHW consists of a custom microprocessor and a fitness evaluator. The microprocessor is particularly designed for an execution of GA. The evaluator acts as a coprocessor, accelerating the fitness evaluation which is a bottleneck of GA. The microprocessor and the evaluator are designed using the Verilog hardware description language (Verilog HDL), then realised on Xilinx XC4010 FPGAs. The result shows that, by using the state-of-the-art FPGA, the microprocessor combined with a parallel of 8 fitness evaluators could perform 36 times faster than the software version running on a conventional computer (PentiumPro with Linux OS).

ภาควิชา	วิศวกรรมคอมพิวเตอร์	ลายมือชื่อนิสิต .....
สาขาวิชา	วิศวกรรมคอมพิวเตอร์	ลายมือชื่ออาจารย์ที่ปรึกษา .....
ปีการศึกษา	2542	ลายมือชื่ออาจารย์ที่ปรึกษาร่วม .....

Acknowledgements

I would like to express gratitude to my advisor, Assistant Professor Prabhas Chongstitvatana, for his valuable advice and continuous support. I am deeply indebted to PhD student Rachaporn Keinprasit for his technical assistance on FPGAs synthesis and hardware debugging. This work was supported by the National Science and Technology Development Agency (NSTDA), contract number CO-B-11-44-09-104M.

All goodness of this thesis is to my parents, my teachers, and my friends.

Chatchawit Aporntewan
Feb 14, 2000

Contents

page

Abstract (Thai) iv
Abstract (English) v
Acknowledgements vi
Contents vii
List of Tables ix
List of Figures x
Chapter
1. Introduction 1
1.1 Motivation 1
1.2 The Purpose of the Study 2
1.3 The Scope of the Study 3
1.4 Thesis Outline 3
2. Simple Genetic Algorithms 5
2.1 Solution Representation 5
2.2 Fitness Function 5
2.3 Initialisation 6
2.4 Selection 6
2.5 Reproduction 6
2.6 Theory of Genetic Algorithms 7
3. Literature Review 9
3.1 Evolvable Hardware (EHW) 9
3.1.1 Evolutionary Design of Electronic Circuits 10
3.1.2 Intrinsic Hardware Evolution 11
3.1.3 On-line Evolvable Hardware 14
3.2 Hardware-Based Genetic Algorithms 16
4. Preliminary Study 20
4.1 Evolving the Configuration Bits of GAL Structure 20
4.1.1 Input/output Sequence 20
4.1.2 Circuit Representation 21

4.1.3 Genetic Operators 22
4.1.4 Fitness Function 22
4.1.5 Experiment Results 23
4.2 Evolving the Finite-State Machine (FSM) 24
4.2.1 Circuit Representation 25
4.2.2 Multiple Input/output Sequences 26
4.2.3 Genetic Operators 27
4.2.4 Fitness Function 27
4.2.5 Experiment Results 28
5. The Execution of Genetic Algorithms in the Prototyping Board 32
6. The Hardware Organisation 38
6.1 Top-Level Design 38
6.2 The Microprocessor 39
6.3 The Fitness Evaluator 51
7. Performance Analysis 56
7.1 Design Verification 56
7.2 Performance Analysis 56
8. Conclusion 62
References 63
Biography 66

List of Tables

page

4.1 The behaviors of the tested circuits 24
4.2 The number of available internal states 30
4.3 Correctness percentage 30
6.1 The instruction set 53
7.1 Percentage of evaluation time 57
7.2 A comparison of software and hardware evaluator (serial adder) 57
7.3 A comparison of 8-register and 4-register program 60
7.4 A comparison of PentiumPro and the custom microprocessor (serial adder) 61
7.5 A comparison of overall performance 61
7.6 A comparison of the use of fitness evaluators in parallel 61

List of Figures

page

2.1 Initial population 6
2.2 Roulette-wheel selection 7
2.3 Single-point crossover 8
2.4 Mutation 8
2.5 Reproduction 8
3.1 An example of PLD 9
3.2 A framework of intrinsic EHW 12
3.3 Robot controller 13
3.4 On-line EHW 15
3.5 An one-dimensional, 2-state, non-uniform, r=1 cellular automata (CA) 15
4.1 Generating an input/output sequence 21
4.2 The GAL structure 21
4.3 The correctness percentage of serial adder, Mealy's model 25
4.4 Encoding an FSM to a binary string 26
4.5 Fitness evaluation 28
4.6 The sequential circuits used in the experiment 29
4.7 A complete solution (serial adder) 30
4.8 An incomplete solution (serial adder) 31
6.1 The prototyping board 39
6.2 Top-level design 46
6.3 EEPROM(1) 47
6.4 RAM 47
6.5 Random number generator 47
6.6 16-bit microprocessor 54
6.7 Control unit 55