การออกแบบส่วนทดสอบแบบสแกนสำหรับวงจรไปป์ไลน์รหัสรางคู่แบบอสมวาร

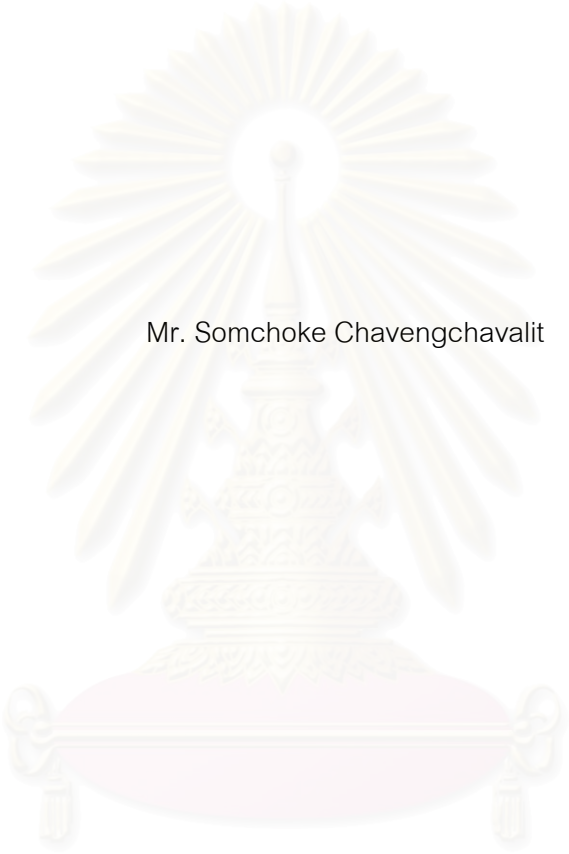
นายสมโชค เชวงชวลิต

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมคอมพิวเตอร์ ภาควิชาวิศวกรรมคอมพิวเตอร์
คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย
ปีการศึกษา 2548
ISBN 974-17-6599-1
ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย

A DESIGN OF SCAN TESTING FOR ASYNCHRONOUS DUAL-RAIL PIPELINE CIRCUITS

Mr. Somchoke Chavengchavalit



สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

A Thesis Submitted in Partial Fulfillment of the Requirements

for the Degree of Master of Engineering Program in Computer Engineering

Department of Computer Engineering

Faculty of Engineering

Chulalongkorn University

Academic Year 2005

ISBN 974-17-6599-1

หัวข้อวิทยานิพนธ์	การออกแบบส่วนทดสอบแบบสแกนสำหรับวงจรไปป์ไลน์รหัสรางคู่แบบอสมวาร
โดย	นายสมโชค เชวงชวลิต
สาขาวิชา	วิศวกรรมคอมพิวเตอร์
อาจารย์ที่ปรึกษา	อาจารย์ ดร.อาทิตย์ ทองทักษ์

คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย อนุมัติให้นับวิทยานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญามหาบัณฑิต

..... คณบดีคณะวิศวกรรมศาสตร์
(ศาสตราจารย์ ดร.ดิเรก ลาวัณย์ศิริ)

คณะกรรมการสอบวิทยานิพนธ์

..... ประธานกรรมการ
(รองศาสตราจารย์ ดร.สาธิต วงศ์ประทีป)

..... อาจารย์ที่ปรึกษา
(อาจารย์ ดร.อาทิตย์ ทองทักษ์)

..... กรรมการ
(รองศาสตราจารย์ ดร.ประภาส จงสถิตย์วัฒนา)

..... กรรมการ
(นายชำนาญ ปัญญาใส)

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

นายสมโชค เชวงชวลิต : การออกแบบส่วนทดสอบแบบสแกนสำหรับวงจรไปป์ไลน์รหัสรางคู่แบบอสมวาร. (A DESIGN OF SCAN TESTING FOR ASYNCHRONOUS DUAL-RAIL PIPELINE CIRCUITS) อ. ที่ปรึกษา : อ.ดร.อาทิตย์ ทองทักษ์, 67 หน้า. ISBN 974-17-6599-1.

วิทยานิพนธ์นี้นำเสนอวิธีการทดสอบแบบสแกนสำหรับวงจรอสมวารไปป์ไลน์รหัสรางคู่ ซึ่งใช้วิธีการออกแบบส่วนสแกนด้วยระดับสัญญาณมาประยุกต์ใช้ และได้ออกแบบวิธีการทดสอบแบบสแกนสำหรับวงจรคูณเลขอิงดรรชนีแบบอสมวารที่ใช้อัลกอริธึมการคูณแบบเชื่อมตรงขนาด 16 บิต ซึ่งมี 3 แบบ คือสายโซ่สแกนสายเดียว สายโซ่สแกนหลายสาย และสายโซ่สแกนหลายสายที่มีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส

สายโซ่สแกนสายเดียวจะต่อสายโซ่สแกนในแต่ละรีจิสเตอร์สแกนเข้าด้วยกันเป็นสายเดียว โดยมีความยาวของสายโซ่สแกนเป็น 535 บิต และเวลาที่ใช้ในการทดสอบเป็น 128.8 ไมโครวินาที ส่วนสายโซ่สแกนหลายสายและสายโซ่สแกนหลายสายที่มีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส จะแบ่งสายโซ่สแกนออกเป็นหลายสาย ซึ่งตามโครงสร้างของวงจรทดสอบในวิทยานิพนธ์นี้จึงแบ่งสายโซ่สแกนออกเป็น 4 สาย โดยความยาวสูงสุดของสายโซ่สแกนคือ 179 บิต และการควบคุมการทำงานนั้นจะแยกตามสายโซ่สแกน โดยเวลาที่ใช้ในการทดสอบเป็น 43.4 ไมโครวินาที

ผลการจำลองการทำงานแสดงให้เห็นว่าวงจรทดสอบที่มีสายโซ่สแกนแบบต่างๆ นั้นสามารถทำงานในโหมดปกติได้อย่างถูกต้อง และสามารถหาความผิดพร่องชนิดคงค่าระดับสัญญาณในจุดเดียวได้ สำหรับสายโซ่สแกนหลายสายที่มีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส สามารถตรวจจับข้อมูลเอาต์พุตที่ไม่ใช่รหัสที่เกิดจากความผิดพร่องชนิดคงค่าระดับสัญญาณได้ โดยไม่ต้องนำข้อมูลออกจากสายโซ่สแกน

ภาควิชา.... วิศวกรรมคอมพิวเตอร์.....ลายมือชื่อนิสิต.....สมโชค เชวงชวลิต.....

สาขาวิชา....วิศวกรรมคอมพิวเตอร์.....ลายมือชื่ออาจารย์ที่ปรึกษา.....อาทิตย์ ทองทักษ์.....

ปีการศึกษา .....2548.....

4670661021 : MAJOR Computer Engineering

KEY WORD: SCAN TESTING / FULL SCAN CHAIN / MULTIPLE SCAN CAHIN / DUAL-RAIL PIPELINE / ASYNCHRONOUS CIRCUIT

SOMCHOKE CHAVENGCHAVALIT : A DESIGN OF SCAN TESTING FOR ASYNCHRONOUS DUAL-RAIL PIPELINE CIRCUITS. THESIS ADVISOR : ARTHIT THONGTAK, D.Eng., 67 pp. ISBN 974-17-6599-1.

A design of scan testing for asynchronous-dual-rail-pipeline circuits using level-sensitive scan design was proposed in this thesis. In additional, the example circuit, 16-bit asynchronous floating-point on-line multiplier circuit was tested by 3 methods which are full scan chain, multiple scan chain, and multiple scan chain with non-codeword detector.

On one hand, the scan cells are serial by connected into a single of 535 bits chain. On the other hand, for multiple scan chain and multiple scan chain with non-codeword detector, the chain is divided by architecture of the test-circuit into 4 chains. Therefore, the longest chain is 179 bits and each chain is controlled independently in 43.4 microseconds.

As the result, the example circuits can perform well in normal-operation mode and can determine the single-stuck-at fault in the faulty circuit as well. Without scan out operation, when the output is non-codeword, multiple scan with non-codeword detector can detect single stuck-at fault as well.

Department.... Computer Engineering.... Student's..... Somchoke Chavengchavalit

Field of study.... Computer Engineering...Advisor's..... Arthit Thongtak

Academic year ...2005.....

กิตติกรรมประกาศ

เครื่องมือและโปรแกรมส่วนหนึ่งที่ใช้ในการทำวิทยานิพนธ์นี้ได้รับการสนับสนุนจากโครงการถ่ายทอดเทคโนโลยีไทย-ญี่ปุ่น (Thailand Japan Technology Transfer Project)

ข้าพเจ้าขอกราบขอบพระคุณอาจารย์ ดร.อาทิตย์ ทองทักษ์ อาจารย์ที่ปรึกษาวิทยานิพนธ์ ซึ่งได้สละเวลาให้คำปรึกษา และแนวคิดต่างๆ ที่เป็นประโยชน์ต่อการทำวิทยานิพนธ์จนกระทั่งวิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงไปได้ด้วยดี

ขอขอบคุณนายตะวัน ภูรัต นางสาวเบญจวรรณ ตระบันพฤกษ์ นายปิยะ วราบุญทวีสุข และนายดนัย สุขจินดาเสถียร ที่ให้คำแนะนำและแนวคิดเกี่ยวกับทฤษฎีที่เบื้องต้น ขอขอบคุณ นายชำนาญ ปัญญาใส ที่ให้ความช่วยเหลือและคำแนะนำเกี่ยวกับโปรแกรม ขอขอบคุณ ภาควิชาวิศวกรรมคอมพิวเตอร์ ที่เอื้อเฟื้อสถานที่และอุปกรณ์ในการทำวิจัย ขอขอบคุณคณาจารย์และเจ้าหน้าที่ในภาควิชาวิศวกรรมคอมพิวเตอร์ จุฬาลงกรณ์มหาวิทยาลัย รวมทั้งเพื่อนๆ พี่ๆ น้องๆ ทั้งในและนอกภาควิชาฯ ที่เป็นกำลังใจ

สุดท้ายนี้ขอกราบขอบพระคุณบิดา มารดา และทุกคนในครอบครัว ที่สนับสนุนห่วงใย และกำลังใจเสมอมา

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญ

หน้า

บทคัดย่อภาษาไทย ..... ง
บทคัดย่อภาษาอังกฤษ ..... จ
กิตติกรรมประกาศ ..... ฉ
สารบัญ ..... ช
สารบัญภาพ ..... ญ
สารบัญตาราง ..... ฐ
บทที่
1 บทนำ 1
1.1 ความเป็นมาและความสำคัญของปัญหา 1
1.2 วัตถุประสงค์ 2
1.3 ขอบเขตงานวิจัย 3
1.4 ประโยชน์ที่คาดว่าจะได้รับ 3
1.5 ขั้นตอนและวิธีดำเนินงานวิจัย 3
1.6 ลำดับการจัดเรียงเนื้อหาในวิทยานิพนธ์ 4
1.7 ผลงานที่ตีพิมพ์จากวิทยานิพนธ์ 4

2 ทฤษฎีและงานวิจัยที่เกี่ยวข้อง 5
2.1 การออกแบบวงจรอสมวารรหัสรางคู่ 5
2.1.1 แบบจำลองการทำงานของสิ่งแวดล้อม 5
2.1.2 แบบจำลองความหน่วง 6
2.1.3 การเข้ารหัสข้อมูลด้วยรหัสรางคู่ 7
2.1.4 การสื่อสารข้อมูลของรหัสรางคู่ 8
2.1.5 วิธีการไปป์ไลน์ของวงจรอสมวารรหัสรางคู่ 9
2.2 การทดสอบ 11
2.2.1 แบบจำลองความผิดพร่อง 12
2.2.2 การทดสอบแบบสแกน 13
2.2.3 การออกแบบสแกนด้วยระดับสัญญาณ 15
2.2.4 สายโซ่สแกนหลายสาย 18

สารบัญ (ต่อ)

บทที่ หน้า

2.3 งานวิจัยที่เกี่ยวข้อง 18
2.3.1 การทดสอบแบบสแกนของวงจรไมโครไปป์ไลน์ 19
2.3.2 วงจรคูณเลขอิงดรรชนีแบบอสมวารที่ใช้อัลกอริธึมการคูณแบบเชื่อมตรง 20
2.3.3 ปัญหาการตรวจจับไม่ทันการณ์ 21

3 การออกแบบส่วนทดสอบแบบสแกน 23
3.1 วงจรทดสอบ 23
3.2 สแกนเซลล์แบบอสมวารรหัสรางคู่ 24
3.3 รีจิสเตอร์สแกน 27
3.4 สายโซ่สแกนสายเดียว 29
3.5 สายโซ่สแกนหลายสาย 30
3.6 สายโซ่สแกนหลายสายที่มีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส 31

4 วิธีการทดสอบ และการสังเคราะห์วงจร 33
4.1 วิธีการทดสอบ 33
4.1.1 สำหรับสายโซ่สแกนสายเดียว 33
4.1.2 สำหรับสายโซ่สแกนหลายสาย 37
4.1.3 สำหรับสายโซ่สแกนหลายสายที่มีตัวตรวจจับข้อมูลไม่ใช่รหัส 38
4.2 การตรวจหาความผิดพร่องชนิดคงค่าระดับสัญญาณ 38
4.2.1 สำหรับสายโซ่สแกนสายเดียวและสายโซ่สแกนหลายสาย 38
4.2.2 สำหรับสายโซ่สแกนหลายสายที่มีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส 39
4.3 การสังเคราะห์และการเพลสและเราต์ 39
4.3.1 การสังเคราะห์ 39
4.3.2 การเพลสและเราต์ 43

5 การทดลอง 44
5.1 ผลจำลองการทำงานของวงจรทดสอบ 44
5.2 ผลจำลองการทำงานวงจรทดสอบที่มีสายโซ่สแกนสายเดียว 45

สารบัญ (ต่อ)

บทที่ หน้า

5.2.1 ผลจำลองการทำงานในโหมดการทำงานปกติ 45
5.2.2 ผลจำลองการทำงานในโหมดทดสอบและสแกน 46
5.3 ผลจำลองการทำงานวงจรทดสอบที่มีสายโซ่สแกนหลายสาย 49
5.3.1 ผลจำลองการทำงานในโหมดการทำงานปกติ 49
5.3.2 ผลจำลองการทำงานในโหมดทดสอบและสแกน 50
5.4 ผลจำลองการทำงานของวงจรทดสอบที่มีสายโซ่สแกนหลายสายและมีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส 53
5.4.1 ผลจำลองการทำงานในโหมดการทำงานปกติ 53
5.4.2 ผลจำลองการทำงานในโหมดทดสอบและสแกน 54
5.5 ผลการเปรียบเทียบการทำงานระหว่างวงจรทดสอบกับสายโซ่สแกนต่างๆ 57
5.5.1 ขนาดของวงจร 57
5.5.2 จำนวนขาสัญญาณที่เพิ่มขึ้น 57
5.5.3 เวลาที่ใช้ในการทำงาน 58
5.5.4 อัตราปริมาณงาน 59

6 สรุปผลการวิจัยและข้อเสนอแนะ 60
6.1 สรุปผลการวิจัย 60
6.2 ข้อเสนอแนะ 63
รายการอ้างอิง 65
ประวัติผู้เขียนวิทยานิพนธ์ 67

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญภาพ

ภาพประกอบ หน้า

2.1 ระบบบอสมวาร 5
2.2 โครงสร้างการสื่อสารข้อมูลรหัสรางคู่ 8
2.3 ผังเวลาของการสื่อสารข้อมูลรหัสรางคู่แบบ 4 ขั้นการทำงาน (4-phase) 8
2.4 โครงสร้างพื้นฐานของวงจรไปป์ไลน์รหัสรางคู่แบบอสมวาร 9
2.5 แลตช์อสมวารรหัสรางคู่แบบ 4 ขั้นการทำงาน 11
2.6 ตัวอย่างของแบบจำลองความผิดพร่องชนิดคงค่าระดับสัญญาณในจุดเดียว 12
2.7 แผนผังแสดงความสัมพันธ์ของการออกแบบเพื่อทดสอบ 13
2.8 รีจิสเตอร์แบบเลื่อนกับการนำข้อมูลเข้าและนำข้อมูลออก 14
2.9 การทดสอบแบบสแกน 14
2.10 แผนผังแสดงความสัมพันธ์ของการทดสอบแบบสแกน 15
2.11 แลตช์รีจิสเตอร์แบบเลื่อน 15
2.12 การออกแบบแลตช์รีจิสเตอร์แบบเลื่อนด้วยเกตแนนด์ 16
2.13 การเชื่อมต่อแลตช์รีจิสเตอร์แบบเลื่อน 16
2.14 โครงสร้างของการออกแบบสแกนด้วยระดับสัญญาณชนิดแลตช์เดี่ยว 17
2.15 โครงสร้างของการออกแบบสแกนด้วยระดับสัญญาณชนิดแลตช์คู่ 17
2.16 วงจรไมโครไปป์ไลน์ 19
2.17 วงจรไมโครไปป์ไลน์ที่มีการเพิ่มส่วนทดสอบ 19
2.18 โครงสร้างของวงจรคูณเลขอิงดรรชนีแบบอสมวารที่ใช้อัลกอริธึมการคูณแบบเชื่อมตรง ... 20
2.19 โครงสร้างของวงจรคูณเชื่อมตรง 21
3.1 วงจรคูณเลขอิงดรรชนีแบบอสมวารที่ใช้อัลกอริธึมการคูณแบบเชื่อมตรง 23
3.2 แลตช์อสมวารรหัสรางคู่ 23
3.3 สแกนเซลล์แบบอสมวารรหัสรางคู่ 24
3.4 โครงสร้างของสแกนเซลล์แบบอสมวารรหัสรางคู่ 25
3.5 รีจิสเตอร์สแกนแบบอสมวารรหัสรางคู่ 28
3.6 การเชื่อมต่อของสแกนเซลล์แบบอสมวารรหัสรางคู่ 28
3.7 วงจรตอบรับของรีจิสเตอร์สแกน 29
3.8 วงจรทดสอบที่มีสายโซ่สแกนสายเดียว 29
3.9 โครงสร้างของแลตช์ที่ใช้ในรีจิสเตอร์ SS0 และ SS5 30

สารบัญภาพ (ต่อ)

ภาพประกอบ หน้า

3.10 วงจรทดสอบที่มีสายโซ่สแกนหลายสาย 30
3.11 สแกนเซลล์ที่มีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส 31
3.12 รีจิสเตอร์สแกนที่มีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส 31
3.13 วงจรตอบรับของรีจิสเตอร์สแกนที่มีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส 32
3.14 วงจรทดสอบที่มีสายโซ่สแกนหลายสายและมีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส 32
4.1 วิธีการทดสอบสำหรับสายโซ่สแกนสายเดียว 34
4.2 การกำหนดอุปกรณ์เอฟพีจีเอ 40
4.3 การกำหนดตัวเลือกเพื่อไม่ทำการ Run Pre-Optimization 41
4.4 การกำหนดตัวเลือกเพื่อทำการ Preserve Signal 41
4.5 การกำหนดตัวเลือกในขั้นตอน Optimize 42
4.6 การกำหนดตัวเลือกในขั้นตอนสร้างไฟล์เอาต์พุต 42
5.1 ผลจำลองการทำงานของวงจรทดสอบ 45
5.2 ผลจำลองการทำงานโหมดการทำงานปกติของวงจรทดสอบที่มีสายโซ่สแกนสายเดียว 46
5.3 ผลการจำลองของวงจรทดสอบที่มีสายโซ่สแกนสายเดียวในกรณีไม่มีความผิดพร่องและข้อมูลทดสอบเป็น 1,0 47
5.4 ผลการจำลองของวงจรทดสอบที่มีสายโซ่สแกนสายเดียวในกรณีไม่มีความผิดพร่องและข้อมูลทดสอบเป็น 1,1 47
5.5 ผลการจำลองของวงจรทดสอบที่มีสายโซ่สแกนสายเดียวที่มีความผิดพร่องแบบคงค่าระดับสัญญาณค่า 1 48
5.6 ผลการจำลองของวงจรทดสอบที่มีสายโซ่สแกนสายเดียวที่มีความผิดพร่องแบบคงค่าระดับสัญญาณค่า 0 49
5.7 ผลจำลองการทำงานในโหมดการทำงานปกติของวงจรทดสอบที่มีสายโซ่สแกนหลายสาย 50
5.8 ผลการจำลองของวงจรทดสอบที่มีสายโซ่สแกนหลายสายในกรณีไม่มีความผิดพร่องและข้อมูลทดสอบเป็น 1,0 51
5.9 ผลการจำลองของวงจรทดสอบที่มีสายโซ่สแกนหลายสายในกรณีไม่มีความผิดพร่องและข้อมูลทดสอบเป็น 1,1 51
5.10 ผลการจำลองของวงจรทดสอบที่มีสายโซ่สแกนหลายสายในกรณีมีความผิดพร่องชนิดคงค่าระดับสัญญาณในจุดเดียวที่มีค่าเป็น1 52

สารบัญภาพ (ต่อ)

ภาพประกอบ หน้า

5.11 ผลการจำลองของวงจรทดสอบที่มีสายโซ่สแกนหลายสายในกรณีมีความผิดพร่องชนิดคงค่าระดับสัญญาณในจุดเดียวที่มีค่าเป็น 0 53
5.12 ผลจำลองการทำงานในโหมดการทำงานปกติของวงจรทดสอบที่มีสายโซ่สแกนหลายสายและมีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส 54
5.13 ผลการจำลองของวงจรทดสอบที่มีสายโซ่สแกนหลายสายและมีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส ในกรณีไม่มีความผิดพร่องและข้อมูลทดสอบเป็น 0,1 55
5.14 ผลการจำลองของวงจรทดสอบที่มีสายโซ่สแกนหลายสายและมีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส ในกรณีไม่มีความผิดพร่องและข้อมูลทดสอบเป็น 1,0 55
5.15 ผลการจำลองของวงจรทดสอบที่มีสายโซ่สแกนหลายสายและมีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส ในกรณีมีความผิดพร่องที่มีค่าเป็น1 56

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญตาราง

ตาราง หน้า

2.1 แสดงค่ารหัสรางคู่โดยใช้สาย dt และ df 8
3.1 สัญญาณควบคุมการทำงานของสแกนเซลล์ 25
4.1 การกำหนดค่าสัญญาณควบคุมในขั้นต่างๆ 35
4.2 ความสัมพันธ์ระหว่างรีจิสเตอร์ อินพุตเอาต์พุต กับขั้นทำงานที่ต้องการทดสอบของวงจรทดสอบที่มีสายโซ่สแกนสายเดียว 35
4.3 ความสัมพันธ์ระหว่างรีจิสเตอร์และอินพุตเอาต์พุตที่ใช้ในการทดสอบขั้นทำงานของวงจรทดสอบที่มีสายโซ่สแกนหลายสาย 37
5.1 ผลจำลองการทำงานของวงจรทดสอบและสายโซ่สแกนต่างๆ 57

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 1

บทนำ

ในการทดสอบของวงจรอสมวาร ได้นำวิธีการทดสอบของวงจรสมวารมาประยุกต์ใช้ เนื่องจากในปัจจุบันวงจรอสมวารไม่เป็นที่นิยมนำมาผลิตในเชิงพาณิชย์ แต่ด้วยข้อดีของวงจรอสมวาร ทำให้มีการวิจัยอย่างต่อเนื่องตลอดมา รวมถึงการทดสอบด้วย ในบทนี้ ได้กล่าวถึงความเป็นมาและความสำคัญของปัญหา วัตถุประสงค์ ขอบเขตงานวิจัย และอื่นๆ ที่เกี่ยวข้องกับวิทยานิพนธ์นี้

1.1 ความเป็นมาและความสำคัญของปัญหา

วงจรดิจิตอลในปัจจุบันนิยมใช้วิธีการออกแบบวงจรสมวาร (Synchronous circuit) ผู้ออกแบบวงจรดิจิตอลได้ตอบสนองความต้องการในด้านความเร็วและการทำงานที่ซับซ้อนขึ้น ทำให้วงจรดิจิตอลมีขนาดใหญ่ขึ้น และใช้สัญญาณนาฬิกาในการควบคุมการทำงาน การใช้สัญญาณนาฬิกากับวงจรที่มีขนาดใหญ่นั้น อาจทำให้เกิดปัญหาต่างๆ ดังนี้ [1][2][3]

- การแกว่งของสัญญาณนาฬิกา (Clock skew)
- ประสิทธิภาพการทำงานเท่ากับส่วนที่ทำงานช้าที่สุด (Worst-case)
- ความสิ้นเปลืองพลังงาน (Power consumption)

วงจรอสมวาร (Asynchronous circuit) เป็นวงจรที่ใช้สัญญาณภายในควบคุมการทำงานแทนสัญญาณนาฬิกา ทำให้ไม่เกิดการแกว่งของสัญญาณนาฬิกา มีประสิทธิภาพการทำงานเป็นค่าเฉลี่ย (Average-case) และสิ้นเปลืองพลังงานน้อย (Low power consumption)

การทดสอบ (Testing) เป็นปัจจัยหนึ่งในการทำให้เกิดค่าใช้จ่ายทั้งเงินทุนและเวลาในการผลิตชิป ซึ่งการทดสอบมีขึ้นเพื่อตรวจหาความผิดปกติ หรือความผิดพลาดที่เกิดขึ้นไม่ว่าจากอุปกรณ์ที่ใช้ผลิต หรือสภาพแวดล้อมในการใช้งาน การทดสอบเพื่อหาความผิดปกติของวงจรในอุตสาหกรรมผลิตชิปจะใช้อุปกรณ์ทดสอบอัตโนมัติ (Automatic Test Equipment : ATE) ในปัจจุบันวงจรดิจิตอลได้ถูกออกแบบให้มีความซับซ้อนในการทำงานและมีความเร็วเพิ่มขึ้น ดังนั้นการหาความผิดปกติของวงจรดิจิตอลที่ผ่านการผลิตเป็นชิปมาแล้วนั้น จำเป็นต้องใช้อุปกรณ์ทดสอบอัตโนมัติที่มีความสามารถเพียงพอ ซึ่งทำให้เกิดค่าใช้จ่ายทางด้านเงินทุน สำหรับค่าใช้จ่ายทางด้านเวลาในการผลิตนั้นขึ้นอยู่กับปริมาณของชิปที่ถูกผลิตขึ้น เพราะถ้ามีปริมาณมากขึ้นก็จะต้องใช้เวลาในการทดสอบมากขึ้น ดังนั้นจึงมีการคิดวิธีการทดสอบขึ้นเพื่อลดค่าใช้จ่าย

ทั้งเงินทุนและเวลาลง วิธีการทดสอบแบบนี้เรียกว่า เทคนิคการออกแบบเพื่อทดสอบ (Design for Testability: DFT) เทคนิคนี้มุ่งเน้นให้ผู้ออกแบบเพิ่มความสามารถในการทดสอบลงไปในวงจรด้วย ซึ่งการทดสอบด้วยเทคนิคการออกแบบเพื่อทดสอบนี้อาจจะไม่จำเป็นต้องใช้อุปกรณ์ทดสอบอัตโนมัติเลย

การเข้ารหัสข้อมูลด้วยรหัสรางคู่ในวงจรสมวารนั้น จะมีคุณสมบัติในการตรวจสอบความผิดปกติภายในตัวเองได้ (Self-checking) ซึ่งการตรวจสอบภายในตัวเองประกอบด้วยคุณสมบัติ ความปลอดภัยต่อความผิดพร่อง (Fault-secure) และการทดสอบภายในตัวเอง (Self-testing) ความปลอดภัยต่อความผิดพร่อง คือกรณีที่มีความผิดพร่องเกิดขึ้นภายในวงจรและวงจรสามารถทำงานได้ถูกต้อง การทดสอบภายในตัวเอง คือกรณีที่มีความผิดพร่องเกิดขึ้นภายในวงจรและมีผลทำให้เอาต์พุตของวงจรมีข้อมูลที่ไม่ใช่รหัสขึ้น ซึ่งรหัสรางคู่สามารถบอกได้ว่าวงจรมีความผิดพร่องเกิดขึ้น [4] แต่สำหรับวงจรอสมวารที่เข้ารหัสข้อมูลด้วยรหัสรางคู่จะสูญเสียคุณสมบัติข้างต้นไป เนื่องจากวงจรอสมวารมีข้อกำหนดเกี่ยวกับความหน่วงที่ไม่ทราบค่าที่แน่นอน (Unbounded delay) และในกรณีที่เกิดความผิดพร่องขึ้น อาจจะทำให้เกิดปัญหาที่เรียกว่า การตรวจจับไม่ทันการณ์ (Late detection) ขึ้น ซึ่งจะส่งผลให้สัญญาณแสดงความบริบูรณ์ทำงานก่อนเวลา [5][6]

งานวิจัยนี้ได้นำเทคนิคการออกแบบเพื่อทดสอบของวงจรสมวารมาประยุกต์ใช้โดยเลือกวิธีการทดสอบแบบสแกน ในการทดสอบกับวงจรอสมวารและมีการทำงานเป็นไปป์ไลน์รหัสรางคู่ ซึ่งวิธีการทดสอบแบบสแกนนั้นจะเปลี่ยนรีจิสเตอร์ของวงจรทดสอบให้เป็นรีจิสเตอร์สแกนและต่อกันเป็นสายโซ่สแกน เพื่อตรวจหาความผิดพร่องที่มีการคงค่าระดับสัญญาณที่สายสัญญาณ สำหรับวงจรทดสอบที่ใช้ในงานวิจัยนี้ คือวงจรคูณเลขอิงดรรชนีแบบอสมวารที่ใช้อัลกอริธึมการคูณแบบเชื่อมตรงขนาด 16 บิต [7]

1.2 วัตถุประสงค์

เพื่อให้วงจรไปป์ไลน์รหัสรางคู่แบบอสมวารสามารถทำการทดสอบได้ด้วยการทดสอบแบบสแกน ซึ่งสามารถตรวจหาความผิดพร่องที่เกิดจากการคงค่าระดับสัญญาณในจุดเดียว

1.3 ขอบเขตงานวิจัย

1. วงจรทดสอบที่ใช้เป็นกรณีศึกษา คือ วงจรคูณเลขอิงดรรชนีแบบอสมวารที่ใช้อัลกอริธึมการคูณแบบเชื่อมตรงขนาด 16 บิต
2. สามารถทดสอบหาความผิดพร่องโดยใช้แบบจำลองความผิดพร่องชนิดคงค่าระดับสัญญาณในจุดเดียว (Single stuck-at fault)
3. วัดและประเมินผลการออกแบบส่วนทดสอบแบบสแกนด้วยวิธีการจำลองการทำงานแบบภายหลังการเพลสและเราต์ (Post-place & route simulation) บนเทคโนโลยีเอฟพีจีเอ

1.4 ประโยชน์ที่คาดว่าจะได้รับ

1. เป็นแนวทางในการนำวิธีทางการออกแบบเพื่อการทดสอบมาประยุกต์ใช้กับวงจรอสมวาร
2. เป็นแนวทางในการนำวิธีการทดสอบแบบสแกนกับวงจรอสมวารที่เป็นไปป์ไลน์รหัสรางคู่
3. เป็นแนวทางการวิจัยสำหรับการทดสอบของวงจรอสมวารต่างๆ ต่อไป

1.5 ขั้นตอนและวิธีดำเนินงานวิจัย

1. ศึกษาและค้นคว้างานวิจัยเกี่ยวกับการทดสอบของวงจรสมวารและวงจรอสมวาร
2. ศึกษาแนวคิดและทฤษฎีที่เกี่ยวข้อง ได้แก่
   - การออกแบบวงจรอสมวาร
   - วิธีการไปป์ไลน์ของวงจรอสมวารรหัสรางคู่
   - วงจรคูณเลขอิงดรรชนีแบบอสมวารที่ใช้อัลกอริธึมการคูณแบบเชื่อมตรงขนาด 16 บิต
   - การทดสอบแบบสแกนและแบบจำลองความผิดพร่อง
   - การออกแบบและสร้างวงจรอสมวารโดยใช้อุปกรณ์เอฟพีจีเอ
3. ปรับปรุงโครงสร้างของวงจรคูณให้รองรับการทดสอบ
4. ออกแบบส่วนทดสอบและวิธีการทดสอบหาความผิดพร่อง
5. สร้างวงจรทดสอบที่เพิ่มส่วนทดสอบ ด้วยภาษาวีเอชดีแอล
6. ทดสอบการทำงานและหาความผิดพร่องของวงจรทดสอบที่เพิ่มส่วนทดสอบ โดยการจำลองการทำงานแบบภายหลังการเพลสและเราต์บนเทคโนโลยีเอฟพีจีเอ
7. สรุปผลการวิจัย และจัดทำวิทยานิพนธ์

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

1.6 ลำดับการจัดเรียงเนื้อหาในวิทยานิพนธ์

วิทยานิพนธ์นี้แบ่งเนื้อหาออกเป็น 6 บทดังนี้ บทที่ 1 เป็นบทนำซึ่งกล่าวถึงที่มาและความสำคัญของปัญหา รวมทั้งวัตถุประสงค์ของงานวิจัย บทที่ 2 กล่าวถึงแนวคิดและทฤษฎีตลอดจนงานวิจัยที่เกี่ยวข้อง บทที่ 3 เสนอวิธีการออกแบบส่วนทดสอบแบบสแกน บทที่ 4 เสนอวิธีการทดสอบและการสังเคราะห์วงจร บทที่ 5 ผลการจำลองการทำงานและเปรียบเทียบผลการจำลองการทำงาน และบทที่ 6 เป็นการสรุปผลการวิจัยและข้อเสนอแนะ

1.7 ผลงานที่ตีพิมพ์จากวิทยานิพนธ์

ส่วนหนึ่งของวิทยานิพนธ์นี้ได้ตีพิมพ์เป็นบทความทางวิชาการ ในหัวข้อ “การออกแบบสแกนเซลล์สำหรับการทดสอบแบบสแกนของวงจรอสมวารรหัสรางคู่” โดยสมโชค เชวงชวลิต และ อาทิตย์ ทองทักษ์ ในงานประชุมวิชาการ “The 9th National Conference on Computer Science and Engineering (NCSEC 2005)” ซึ่งจัดโดยภาควิชาวิศวกรรมคอมพิวเตอร์ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยหอการค้าไทย ณ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยหอการค้าไทย ในระหว่างวันที่ 27 – 28 ตุลาคม 2548

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 2

ทฤษฎีและงานวิจัยที่เกี่ยวข้อง

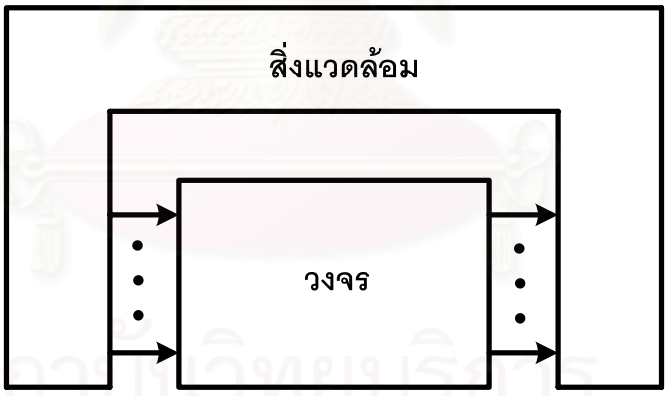
ในบทนี้กล่าวถึงทฤษฎีต่างๆ ที่เกี่ยวข้องกับวิทยานิพนธ์นี้ ซึ่งได้แก่ การออกแบบวงจรอสมวารรหัสรางคู่ การทดสอบ และงานวิจัยที่เกี่ยวข้อง

2.1 การออกแบบวงจรอสมวารรหัสรางคู่

ในการออกแบบวงจรอสมวารรหัสรางคู่นั้น มีทฤษฎีที่เกี่ยวข้องต่าง ๆ ดังต่อไปนี้ คือ แบบจำลองการทำงานของสิ่งแวดล้อม แบบจำลองความหน่วง การเข้ารหัสข้อมูลด้วยรหัสรางคู่ การสื่อสารข้อมูลด้วยรหัสรางคู่ และวิธีการไปป์ไลน์ของวงจรอสมวารรหัสรางคู่

2.1.1 แบบจำลองการทำงานของสิ่งแวดล้อม (Environment Operation Model) [8]

ระบบอสมวารนั้นประกอบด้วย วงจรและสิ่งแวดล้อมหรืออุปกรณ์ภายนอก โดยสิ่งแวดล้อมทำหน้าที่สำหรับรับข้อมูลจากเอาต์พุตของวงจรและส่งข้อมูลไปยังอินพุตของวงจร ดังแสดงในรูปที่ 2.1



รูปที่ 2.1 ระบบอสมวาร

เพื่อให้วงจรในระบบอสมวารสามารถทำงานได้ถูกต้อง จะต้องกำหนดแบบจำลองการทำงานของสิ่งแวดล้อมเพื่อกำหนดพฤติกรรมการทำงานระหว่างวงจรกับสิ่งแวดล้อม ซึ่งแบบจำลองการทำงานของสิ่งแวดล้อมนั้นสามารถแบ่งออกเป็น 3 ลักษณะ ดังนี้

1. สภาวะการทำงานมูลฐาน (The fundamental mode operation หรือ Huffman mode operation) มีข้อกำหนดว่า เกตทุกตัวในทุกวงจรต้องเสถียรก่อนจะรับข้อมูลใหม่จากสิ่งแวดล้อม

2. สภาวะการทำงานมูลฐานแบบทั่วไป (The generalized fundamental mode operation) มีข้อกำหนดว่า เกตทุกตัวในวงจรจะต้องเสถียรก่อนจะรับข้อมูลใหม่จากสิ่งแวดล้อม

3. สภาวะการทำงานรับเข้าส่งออก (The input / output mode operation) มีข้อกำหนดว่า สิ่งแวดล้อมสามารถส่งข้อมูลใหม่ให้กับอินพุตของวงจรได้เมื่อสิ่งแวดล้อมได้รับข้อมูลจากเอาต์พุตของวงจร

สำหรับวงจรที่ออกแบบให้ทำงานกับสภาวะการทำงานมูลฐานแบบทั่วไปนั้น ถ้าค่าความหน่วงของสิ่งแวดล้อมมีค่ามากกว่าความหน่วงของวงจร สิ่งแวดล้อมสามารถรับประกันการทำงานของวงจรได้ เพราะสิ่งแวดล้อมจะตรวจสอบวงจรว่าอยู่สภาวะเสถียรหรือไม่ และสิ่งแวดล้อมจะส่งข้อมูลใหม่ให้กับวงจรเมื่อได้รับข้อมูลจากวงจรแล้ว

ส่วนสภาวะการทำงานรับเข้าส่งออกนั้น สิ่งแวดล้อมสามารถส่งข้อมูลใหม่ให้กับวงจรได้ เมื่อสิ่งแวดล้อมได้รับข้อมูลจากวงจรแล้ว ในทางตรงข้ามวงจรสามารถรับข้อมูลใหม่ได้ทุกเวลา วงจรจะเปลี่ยนแปลงเอาต์พุตหลังจากวงจรอยู่ในสภาวะเสถียรแล้วเท่านั้น ซึ่งวงจรสามารถรับประกันการทำงานของตนเองได้

2.1.2 **แบบจำลองความหน่วง** (Delay Model)

ในการออกแบบวงจรอสมวารนั้น การรับประกันการทำงานต้องใช้แบบจำลองความหน่วงเพื่อบ่งบอกว่าวงจรนั้นทำงานถูกต้อง ดังนั้นถ้าวงจรที่มีความหน่วงตามแบบจำลองที่กำหนดไว้ก็สามารถรับประกันได้ว่าวงจรทำงานถูกต้อง โดยแบบจำลองความหน่วงสามารถแบ่งออกเป็น 3 ชนิด ได้แก่

1. แบบจำลองความหน่วงมูลฐาน (The fundamental-mode Model หรือ The Huffman Model) [9]

   กำหนดให้มีค่าความหน่วงในเกต (Gate delay) และสายสัญญาณ (Wire delay) เป็นความหน่วงที่มีขอบเขต (Bounded delay) และทราบค่าของขอบเขตสูงสุดของความหน่วง

2. แบบจำลองความหน่วงที่ไม่ขึ้นต่ออัตราเร็ว (The Speed-Independent Model หรือ The Muller Model หรือ SI Model)

   กำหนดให้ค่ามีความหน่วงในเกต เป็นความหน่วงที่มีค่าแต่ไม่มีขอบเขต (Unbounded delay) แต่ไม่มีค่าความหน่วงในสายสัญญาณ

3. แบบจำลองความหน่วงที่ไม่ไวต่อความหน่วง (The Delay-Insensitive Model หรือ DI Model) [10]

กำหนดให้มีค่าความหน่วงในเกตและสายสัญญาณ เป็นความหน่วงที่มีค่าแต่ไม่มีขอบเขต แต่การออกแบบวงจรทำได้ยาก และทำให้วงจรมีขนาดใหญ่ ดังนั้นจึงมีการนำคุณสมบัติบางอย่างเพิ่มเข้าไปเพื่อทำให้วงจรมีขนาดเล็กลง และทำการออกแบบได้ง่ายขึ้น

- แบบจำลองความหน่วงที่ไม่ไวต่อความหน่วงชนิดเสมือน (Quasi-Delay Insensitive Model หรือ QDI Model) มีการเพิ่มคุณสมบัติ Isochronic Fork เข้าไปในแบบจำลองความหน่วงที่ไม่ไวต่อความหน่วง ซึ่งกำหนดให้ความหน่วงในทุกกิ่งที่แยกออกมามีค่าความหน่วงเท่ากัน
- แบบจำลองความหน่วงที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ (Scalable-Delay Insensitive Model หรือ SDI Model) ได้นิยามคุณสมบัติว่า “ความหน่วงจะแปรผันไปโดยใกล้เคียงกัน” เมื่อกำหนดให้การเปลี่ยนแปลงระดับสัญญาณ t1 เกิดก่อนการเปลี่ยนแปลงระดับสัญญาณ t2 ถ้าสัญญาณ t1 เกิดการเปลี่ยนแปลงระดับสัญญาณแปรผันไปค่าหนึ่ง สัญญาณ t2 จะแปรผันไปในอัตราส่วนที่ใกล้เคียงกัน และใช้ค่า K เป็นค่าความแปรปรวนความหน่วงสูงสุด นั่นคือถ้าสัญญาณแปรผันไปภายใต้ค่า K วงจรจะสามารถทำงานได้ถูกต้อง

2.1.3 **การเข้ารหัสข้อมูลด้วยรหัสรางคู่** (Dual-rail encoding)

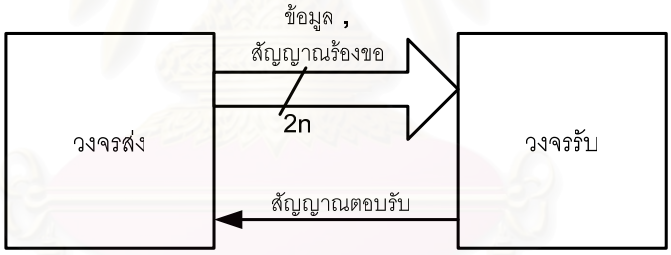
วงจรอสมวารที่ไม่ใช้สัญญาณนาฬิกาในการควบคุมการทำงานนั้น จะเกิดปัญหาเกี่ยวกับการมาถึงของข้อมูลใหม่ เพราะไม่สามารถบอกได้ว่าข้อมูลที่ได้รับเป็นข้อมูลใหม่หรือข้อมูลเก่า ยกตัวอย่างเช่น การที่ข้อมูลในสายสัญญาณมีค่าข้อมูลเป็น 1 และมีการเปลี่ยนแปลงข้อมูล โดยข้อมูลใหม่ที่เข้ามามีค่าข้อมูลเป็น 1 เหมือนกัน จึงทำให้วงจรไม่สามารถทราบการมาถึงของข้อมูลใหม่ได้ สำหรับวงจรอสมวารนั้นการแทนค่าข้อมูล 1 บิตด้วยสายสัญญาณมากกว่าหนึ่งสายมีความเหมาะสมกว่าสายสัญญาณเส้นเดียว ในที่นี้จะกล่าวถึงการใช้สายสัญญาณ 2 สายแทนค่าข้อมูล 1 บิต ซึ่งเรียกว่า รหัสรางคู่ (Dual-rail) โดยมีข้อกำหนดดังนี้คือ กำหนดให้สัญญาณสายหนึ่งแทนค่าข้อมูล 0 (df) และอีกสายแทนค่าข้อมูล 1 (dt) โดยที่สัญญาณทั้งสองนั้นไม่สามารถมีค่าระดับสัญญาณเป็น 1 พร้อมกันทั้งสองสายได้ และถ้าทั้งสองสายมีค่าระดับสัญญาณเป็น 0 ทั้งคู่จะแทนสถานะว่าง (Spacer หรือ Empty) ซึ่งแสดงในตารางที่ 2.1

ตารางที่ 2.1 แสดงค่ารหัสรางคู่โดยใช้สาย dt และ df

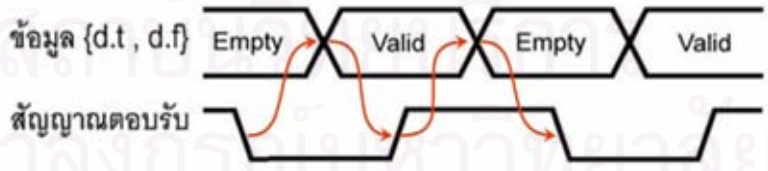
ค่าข้อมูล	ค่ารหัสรางคู่ (d.t , d.f)
สถานะว่าง	0 , 0
0	0 , 1
1	1 , 0
ไม่ใช้	1 , 1

2.1.4 **การสื่อสารข้อมูลของรหัสรางคู่** [3]

การสื่อสารข้อมูลของรหัสรางคู่นั้น มีโครงสร้างดังรูปที่ 2.2 ซึ่งประกอบด้วย วงจรส่ง วงจรรับ สัญญาณข้อมูลรหัสรางคู่ และสัญญาณตอบรับ โดยสัญญาณข้อมูลรหัสรางคู่มีจำนวนสายสัญญาณเท่ากับ 2 เท่าของจำนวนบิต และสัญญาณข้อมูลรหัสรางคู่นี้สามารถนำมาใช้เป็นสัญญาณร้องขอได้



รูปที่ 2.2 โครงสร้างการสื่อสารข้อมูลรหัสรางคู่



รูปที่ 2.3 ผังเวลาของการสื่อสารข้อมูลรหัสรางคู่แบบ 4 ขั้นการทำงาน (4-phase)

จากรูปที่ 2.3 แสดงผังเวลาของการสื่อสารข้อมูลรหัสรางคู่ โดยกำหนดให้สัญญาณ d.t กับ d.f แทนรหัสรางคู่ ข้อมูลสถานะว่าง (Empty) คือสัญญาณ d.t กับ d.f มีค่าระดับสัญญาณเป็น 0 และข้อมูลรหัส (Valid) คือสัญญาณ d.t หรือ d.f มีค่าระดับสัญญาณเป็น 1 โดยสัญญาณ dt และ df ไม่สามารถมีค่าระดับสัญญาณเป็น 1 พร้อมกันได้

การสื่อสารข้อมูลรหัสรางคู่ในรูปที่ 2.3นั้น มีการทำงานเป็น 4 ขั้น ดังนี้

ขั้นที่ 1 วงจรส่งจะส่งข้อมูลรหัสให้กับวงจรรับได้ เมื่อข้อมูลที่สัญญาณ dt กับ df เป็นข้อมูลสถานะว่าง และสัญญาณตอบรับมีระดับสัญญาณเป็น 0 วงจรส่งจะเปลี่ยนข้อมูลที่สัญญาณ dt กับ df ให้เป็นข้อมูลรหัส

ขั้นที่ 2 เมื่อวงจรรับได้รับข้อมูลรหัสจากวงจรส่งแล้ว วงจรรับจะเปลี่ยนแปลงระดับสัญญาณของสัญญาณตอบรับเป็น 1

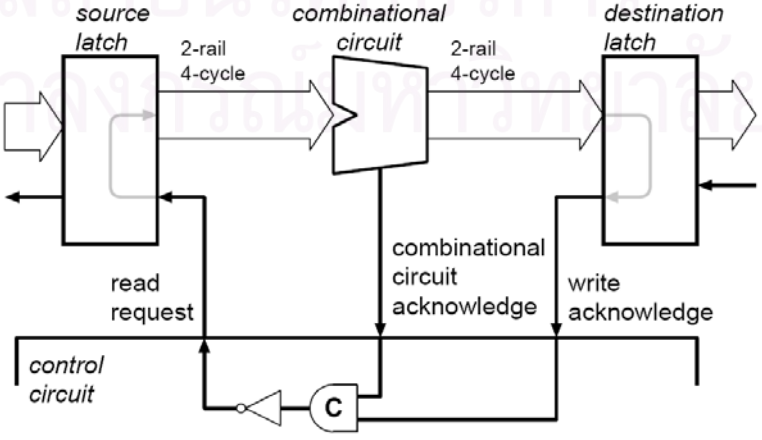
ขั้นที่ 3 เมื่อวงจรส่งได้รับสัญญาณตอบรับจากวงจรรับแล้ว จะเปลี่ยนแปลงข้อมูลที่สัญญาณ dt กับ df เป็นข้อมูลสถานะว่าง

ขั้นที่ 4 เมื่อสัญญาณ dt กับ df มีข้อมูลสถานะว่าง วงจรรับจะเปลี่ยนแปลงระดับสัญญาณของสัญญาณตอบรับเป็น 0

ถ้านำการสื่อสารรหัสรางคู่แบบ 4 ขั้นตอน มาอธิบายตามลักษณะการทำงาน จะสามารถแบ่งออกเป็นขั้นตอนตามลักษณะการทำงานได้ 2 ขั้นตอนคือ ขั้นทำงาน (Working-phase) และขั้นว่าง (Idle-phase) ซึ่งเรียกการอธิบายตามลักษณะการทำงานแบบนี้ว่า การสื่อสารข้อมูลรหัสรางคู่แบบ 2 ขั้นตอน 4 กระบวนการ (2-rail 2-phase 4 cycle signaling) [9] โดยการสื่อสารข้อมูลรหัสรางคู่นี้จะอยู่ภายใต้เงื่อนไขที่มีการกลับสู่ศูนย์ของสายสัญญาณทั้งหมด

2.1.5 **วิธีการไปป์ไลน์ของวงจรอสมวารรหัสรางคู่** [11]

วิธีการไปป์ไลน์ของวงจรอสมวารรหัสรางคู่นั้น จะใช้โครงสร้างดังรูปที่ 2.4 ซึ่งประกอบขึ้นด้วยแลตช์และวงจรเชิงผสม



รูปที่ 2.4 โครงสร้างพื้นฐานของวงจรไปป์ไลน์รหัสรางคู่แบบอสมวาร

จากรูปที่ 2.4 เป็นโครงสร้างพื้นฐานของวงจรอสมวารไปป์ไลน์รหัสรางคู่ โดยมีแลตช์ 2 ชุด และวงจรเชิงผสม แลตช์ต้นทางถูกควบคุมด้วยสัญญาณร้องขอที่เกิดจากสัญญาณตอบรับของแลตช์ปลายทางกับวงจรเชิงผสม การทำงานของวงจรอสมวารไปป์ไลน์รหัสรางคู่นั้นสามารถแบ่งออกเป็น 4 ขั้นตอน ได้ดังนี้

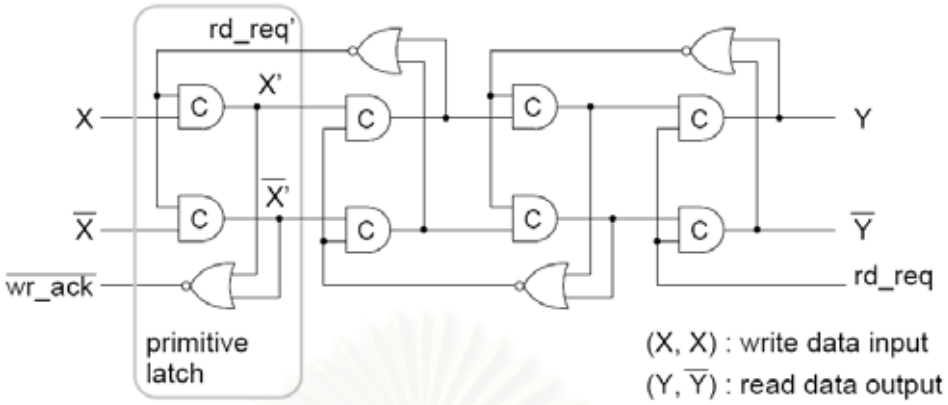
ขั้นที่ 1 เป็นขั้นที่แลตช์ต้นทางทำการเก็บค่าข้อมูล ซึ่งจะทำการเก็บข้อมูลก็ต่อเมื่ออินพุตของแลตช์ต้นทางเป็นข้อมูลสถานะว่าง และสัญญาณร้องขอของแลตช์ต้นทางมีระดับสัญญาณเป็น 1 ซึ่งเกิดจากสัญญาณตอบรับของวงจรเชิงผสมและแลตช์ปลายทางมีระดับสัญญาณเป็น 0 สำหรับสิ่งแวดล้อมฝั่งอินพุตจะเปลี่ยนข้อมูลทางอินพุตของแลตช์ต้นทางเป็นข้อมูลรหัส เมื่อสัญญาณตอบรับของแลตช์ต้นทางมีระดับสัญญาณเป็น 0 และเมื่อแลตช์ต้นทางได้รับข้อมูลรหัสแล้วจะทำให้สัญญาณตอบรับมีระดับสัญญาณเป็น 1 ซึ่งจะทำให้สิ่งแวดล้อมทางฝั่งอินพุตสามารถเปลี่ยนข้อมูลทางอินพุตของแลตช์ต้นทางเป็นข้อมูลสถานะว่างได้

ขั้นที่ 2 เมื่อแลตช์ต้นทางได้เก็บข้อมูลรหัสไว้แล้วเอาต์พุตของแลตช์ต้นทางจะถูกส่งไปยังอินพุตของวงจรเชิงผสม เมื่อวงจรเชิงผสมทำงานเสร็จแล้วจะทำให้สัญญาณตอบรับของวงจรเชิงผสมมีระดับสัญญาณเป็น 1 และส่งข้อมูลไปยังอินพุตของแลตช์ปลายทาง

ขั้นที่ 3 แลตช์ปลายทางจะทำการเก็บข้อมูลไว้เมื่อสิ่งแวดล้อมฝั่งเอาต์พุตได้กำหนดสัญญาณร้องขอของแลตช์ปลายทางมีระดับสัญญาณเป็น 1 ทำให้ข้อมูลจากวงจรเชิงผสมถูกเก็บไว้ และทำให้สัญญาณตอบรับมีระดับสัญญาณเป็น 1

ขั้นที่ 4 เมื่อสัญญาณตอบรับของวงจรเชิงผสมและแลตช์ปลายทางมีระดับสัญญาณเป็น 1 จะทำให้สัญญาณร้องขอของแลตช์ต้นทางมีระดับสัญญาณเป็น 0 ซึ่งทำให้เอาต์พุตของแลตช์ต้นทางเป็นข้อมูลสถานะว่างตามอินพุต และเป็นผลให้สัญญาณตอบรับของวงจรเชิงผสมมีระดับสัญญาณเป็น 0 สิ่งแวดล้อมทางฝั่งเอาต์พุตจะเปลี่ยนระดับสัญญาณของสัญญาณร้องขอของแลตช์ปลายทางเป็น 0 ทำให้เอาต์พุตของแลตช์ปลายทางเป็นข้อมูลสถานะว่าง

การทำงานของไปป์ไลน์รหัสรางคู่นั้นจะทำตามขั้นตอนทั้ง 4 ต่อเนื่องกันไป โดยแลตช์อสมวารรหัสรางคู่นั้น ประกอบขึ้นด้วยอุปกรณ์ซนิดซี (C-element) 2 ตัว และเกตแนนด์ มีโครงสร้างดังรูปที่ 2.5



รูปที่ 2.5 แลตช์อสมวารรหัสรางคู่แบบ 4 ขั้นการทำงาน

2.2 การทดสอบ

ในการผลิตชิป สามารถแบ่งกระบวนการผลิตออกเป็น 3 ขั้น ดังต่อไปนี้

1. ขั้นออกแบบ (Design phase)
2. ขั้นกระบวนการผลิต (Manufacturing phase)
3. ขั้นปฏิบัติการ (System operation phase)

ซึ่งในแต่ละขั้นนั้นสามารถกล่าวถึงการทดสอบ [12][13][14] ได้ การทดสอบในขั้นออกแบบ จะเป็นการหาข้อผิดพลาดในการออกแบบ (Design errors) ที่เกิดขึ้นจากผู้ออกแบบ ซึ่งเรียกการทดสอบในขั้นนี้ว่า การทวนสอบ (Verification) การทดสอบในขั้นกระบวนการผลิต เพื่อหาความเสียหายในกระบวนการผลิต (Manufacturing defects) ซึ่งเกิดจากอุปกรณ์ที่ใช้ในการผลิต และการทดสอบในขั้นปฏิบัติการ เพื่อหาความผิดพร่อง (Faults) โดยความผิดพร่องเป็นความเสียหายทางกายภาพ ซึ่งอาจจะมีผลทำให้พฤติกรรมการทำงานของระบบคลาดเคลื่อนไปจากเดิม ซึ่งความผิดพร่องสามารถแบ่งออกเป็นประเภทตามคุณลักษณะ[12] มีอยู่ 4 ลักษณะ คือ ธรรมชาติ (Nature) ค่า (Value) ขอบเขต (Extent) และระยะเวลา (Duration)

- ธรรมชาติของความผิดพร่อง สามารถแบ่งออกเป็น 2 ประเภท คือ
  - ความผิดพร่องแบบตรรกะ (Logical) คือความผิดพร่องที่เกิดขึ้นในในวงจรที่มีผลทำให้ค่าในจุดนั้นต่างไปจากที่กำหนดไว้
  - ความผิดพร่องแบบไม่เป็นตรรกะ (Non-logical) เป็นความผิดพร่องอื่นๆ นอกเหนือจากแบบแรก ซึ่งอาจเกิดจากสัญญาณนาฬิกาที่คลาดเคลื่อน แหล่งจ่ายพลังงาน และปัญหาอื่นๆ

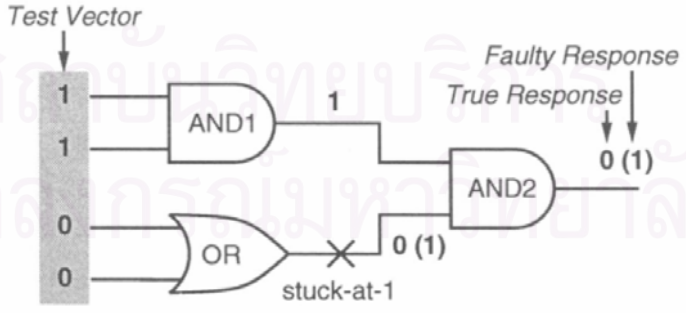
- ค่าของความผิดพร่อง หมายถึงค่าของความผิดพร่องแบบตรรกะ ที่เกิดขึ้นในจุดๆหนึ่งในวงจร มีค่าคงที่หรือมีการเปลี่ยนแปลงค่า
- ขอบเขตของความผิดพร่อง หมายถึงผลกระทบที่เกิดจากความผิดพร่อง โดยแยกออกเป็นแบบภายใน และแบบแพร่กระจาย ความผิดพร่องแบบตรรกะเป็นความผิดพร่องแบบภายใน และความคลาดเคลื่อนของสัญญาณนาฬิกาเป็นความผิดพร่องแบบแพร่กระจาย
- ระยะเวลาของความผิดพร่อง หมายถึงความผิดพร่องนั้นเกิดขึ้นถาวร หรือชั่วคราว

2.2.1 **แบบจำลองความผิดพร่อง** (Fault model) [13]

ในการทดสอบเพื่อหาความผิดพร่องนั้นจะต้องกำหนดแบบจำลองความผิดพร่อง ซึ่งเป็นการกำหนดลักษณะของความผิดพร่อง ในที่นี้อธิบายเฉพาะแบบจำลองความผิดพร่องชนิดคงค่าระดับสัญญาณ (Stuck-at Fault Model) ซึ่งเกิดความผิดพร่องขึ้นที่สายสัญญาณของอินพุตหรือเอาต์พุตของเกตและคงค่าระดับสัญญาณเป็น 0 หรือ 1 โดยความผิดพร่องชนิดนี้อาจมีผลทำให้วงจรทำงานผิดเพี้ยนไปจากการออกแบบ

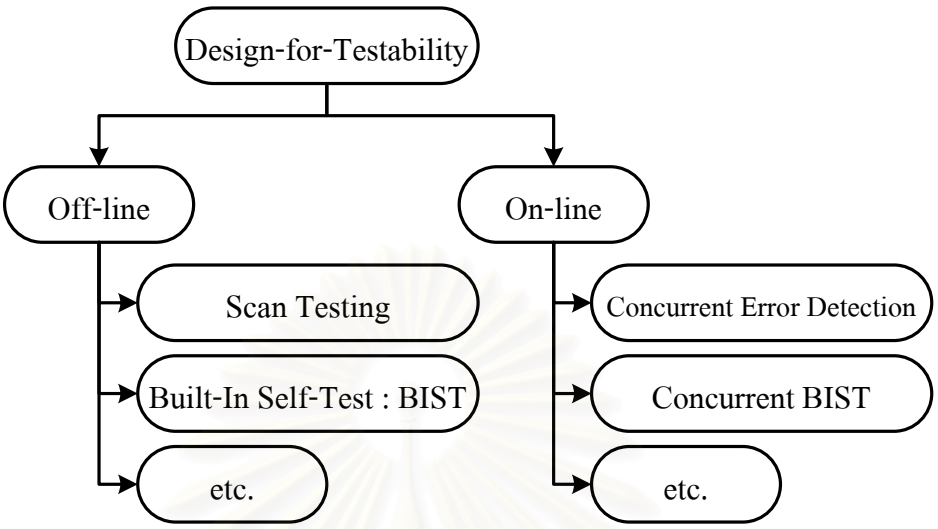
สัญลักษณ์ของความผิดพร่องที่ใช้ในแบบจำลองนี้คือ s-a-0 หรือ s-a-1 โดยที่ s-a-0 แทนการคงค่าของระดับสัญญาณ 0 และ s-a-1 เป็นการคงค่าของระดับสัญญาณ 1

- แบบจำลองความผิดพร่องชนิดคงค่าระดับสัญญาณในจุดเดียว (Single stuck-at fault model) เป็นแบบจำลองของความผิดพร่องที่เกิดการคงค่าระดับสัญญาณที่สายสัญญาณในจุดเดียวของวงจร ดังตัวอย่างในรูปที่ 2.6



รูปที่ 2.6 ตัวอย่างของแบบจำลองความผิดพร่องชนิดคงค่าระดับสัญญาณในจุดเดียว

2.2.2 การทดสอบแบบสแกน

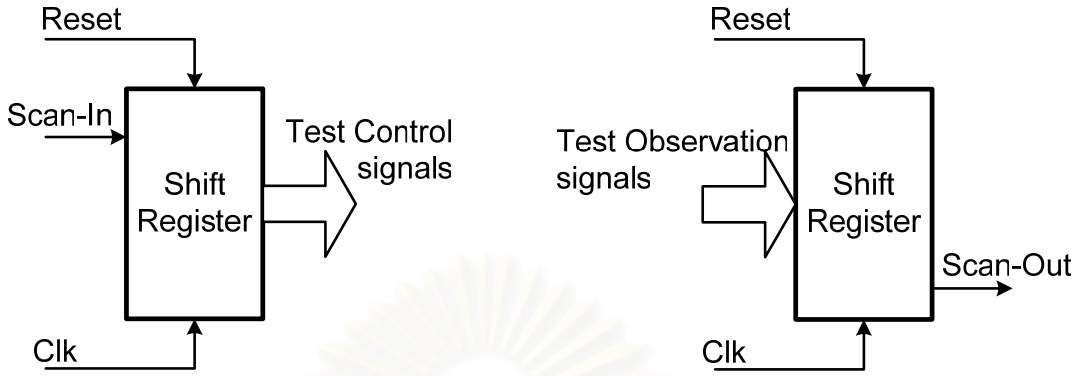


รูปที่ 2.7 แผนผังแสดงความสัมพันธ์ของการออกแบบเพื่อทดสอบ

จากรูปที่ 2.7 ได้แสดงความสัมพันธ์ของการออกแบบเพื่อทดสอบสำหรับวงจรเชิงลำดับ ซึ่งสามารถแบ่งลักษณะการทดสอบออกเป็น 2 ลักษณะ คือ การทดสอบแบบออนไลน์ และการทดสอบแบบออฟไลน์ การทดสอบแบบออนไลน์นั้น จะเป็นการทดสอบในระหว่างที่วงจรทำงานปกติอยู่ ส่วนการทดสอบแบบออฟไลน์ เป็นการทดสอบที่มีโหมดทดสอบแยกออกจากโหมดทำงานปกติ การทดสอบแบบออนไลน์จะมีวิธีการทดสอบแบบต่างๆ เช่นการตรวจจับความผิดพลาดแบบขนาน (Concurrent Error Detection: CED) การทดสอบตัวเองแบบฝังอยู่ภายในที่ทดสอบแบบขนาน (Concurrent BIST: CBIST) และวิธีการอื่นๆ ส่วนการทดสอบแบบออฟไลน์ มีวิธีการทดสอบแบบต่างๆ เช่น การทดสอบแบบสแกน การทดสอบตัวเองแบบฝังอยู่ภายใน (Built-In Self-Test: BIST) และวิธีการอื่นๆ

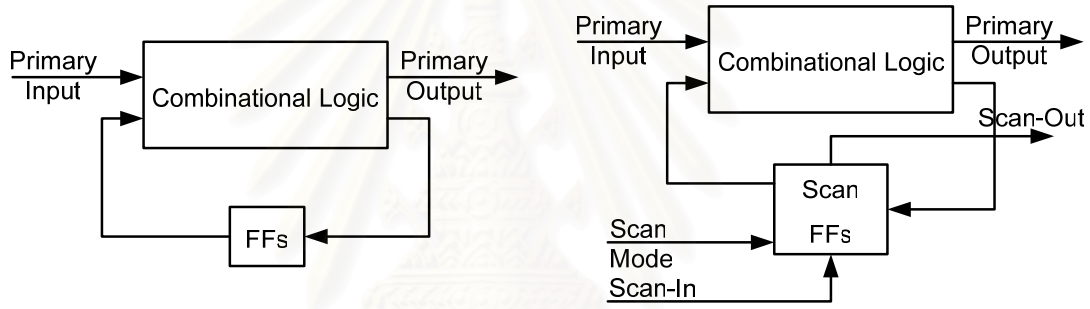
การทดสอบแบบสแกนซึ่งเป็นวิธีหนึ่งของเทคนิคการออกแบบเพื่อทดสอบ และมีจุดประสงค์หลักอยู่ 2 ประการ นั่นคือ การนำข้อมูลทดสอบเข้าไปในวงจร (Controllability) และการนำข้อมูลที่ผ่านการทดสอบหรือผลลัพธ์ของวงจรออกมาได้ (Observability) ซึ่งแสดงไว้ในรูปที่ 2.8

การทดสอบแบบสแกนคือการเพิ่มความสามารถในการทดสอบให้กับหน่วยความจำหรือรีจิสเตอร์ของวงจร โดยทำการปรับปรุงให้มีความสามารถในการนำชุดข้อมูลทดสอบเข้าและการนำผลจากการทดสอบออกมาจากวงจร ซึ่งเรียกรีจิสเตอร์นี้ว่า รีจิสเตอร์สแกน (Scan register) [12][15]



ก) ความสามารถในการนำข้อมูลเข้า ข) ความสามารถในการนำข้อมูลออก

รูปที่ 2.8 รีจิสเตอร์แบบเลื่อนกับการนำข้อมูลเข้าและนำข้อมูลออก

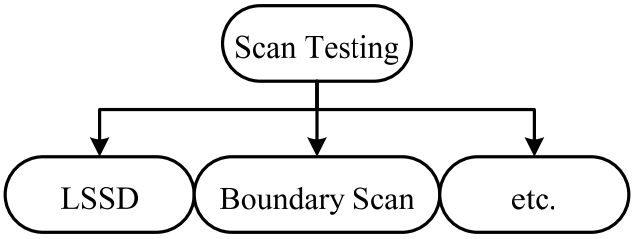


ก) วงจรเชิงลำดับ ข) วงจรเชิงลำดับที่มีรีจิสเตอร์สแกน

รูปที่ 2.9 การทดสอบแบบสแกน

จากรูปที่ 2.8(ก) เป็นการนำรีจิสเตอร์แบบเลื่อนมาใช้ในการนำข้อมูลทดสอบเข้า โดยมีลักษณะการทำงานเป็นการนำข้อมูลเข้าแบบอนุกรมออกแบบขนาน (Serial In Parallel Out: SIPO) และรูปที่ 2.8(ข) เป็นการนำรีจิสเตอร์แบบเลื่อนมาใช้ในการนำข้อมูลออก โดยมีลักษณะการทำงานเป็นการนำข้อมูลเข้าแบบขนานออกแบบอนุกรม (Parallel In Serial Out: PISO)

ในรูปที่ 2.9(ก) เป็นวงจรเชิงลำดับที่ประกอบขึ้นด้วยวงจรเชิงผสมกับฟลิปฟลอบหรือรีจิสเตอร์ ซึ่งสามารถเพิ่มความสามารถในการทดสอบแบบสแกนได้ด้วยการเปลี่ยนรีจิสเตอร์ให้เป็นรีจิสเตอร์สแกนดังรูปที่ 2.9(ข) โดยมีสัญญาณ Scan-In Scan-Out และ Scan Mode เพิ่มขึ้นจากรีจิสเตอร์เดิม สัญญาณ Scan-In เป็นอินพุตสำหรับข้อมูลทดสอบเข้ามาในรีจิสเตอร์ สัญญาณ Scan-Out เป็นเอาต์พุตสำหรับข้อมูลที่ผ่านการทดสอบหรือข้อมูลที่อยู่ภายในรีจิสเตอร์สแกนออกไป และสัญญาณ Scan Mode เป็นสัญญาณสำหรับควบคุมการสแกน สำหรับการทำงานปกติ รีจิสเตอร์สแกนจะต้องทำงานเหมือนกับรีจิสเตอร์เดิม



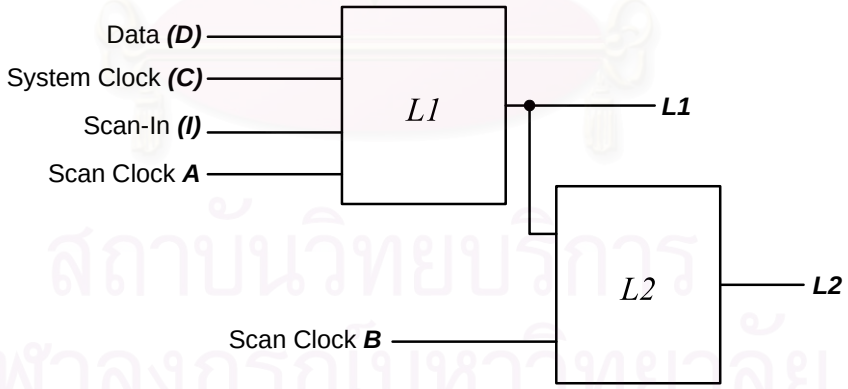
รูปที่ 2.10 แผนผังแสดงความสัมพันธ์ของการทดสอบแบบสแกน

จากรูปที่ 2.10 วิธีการทดสอบแบบสแกนนั้น จะมีวิธีการที่ใช้หลักการเดียวกับการทดสอบแบบสแกน เช่น การออกแบบสแกนด้วยระดับสัญญาณ (Level-Sensitive Scan Design: LSSD) การสแกนตามขอบ (Boundary scan) และวิธีการอื่นๆ แต่ในวิทยานิพนธ์นี้จะกล่าวถึงเฉพาะการออกแบบสแกนด้วยระดับสัญญาณเท่านั้น

2.2.3 **การออกแบบสแกนด้วยระดับสัญญาณ** [12]

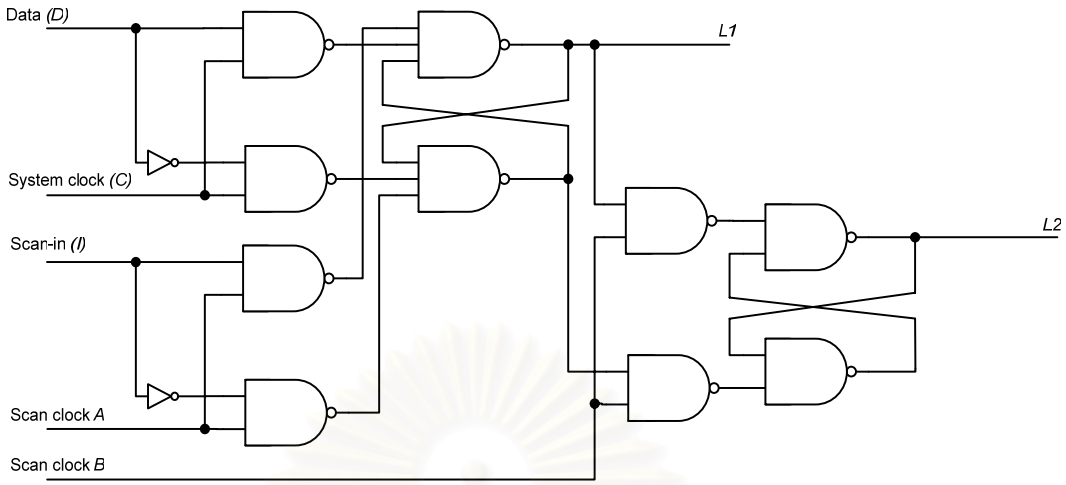
การออกแบบสแกนด้วยระดับสัญญาณ เป็นวิธีการที่นำการออกแบบด้วยระดับสัญญาณ (Level-sensitive) กับการทดสอบแบบสแกนมาใช้ปรับปรุงรีจิสเตอร์สแกน

วิธีการออกแบบสแกนด้วยระดับสัญญาณนี้ใช้อุปกรณ์ ที่เรียกว่า แลตช์รีจิสเตอร์แบบเลื่อน (Shift Register Latch: SRL) ซึ่งมีโครงสร้างดังรูปที่ 2.11 และการสร้างแลตช์รีจิสเตอร์แบบเลื่อนด้วยเกตแนนด์ ในรูปที่ 2.12



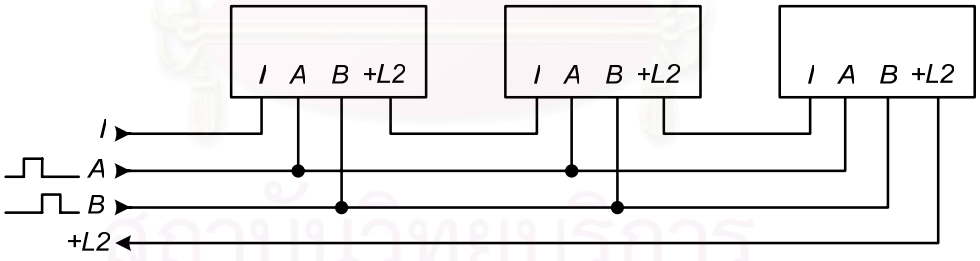
รูปที่ 2.11 แลตช์รีจิสเตอร์แบบเลื่อน

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



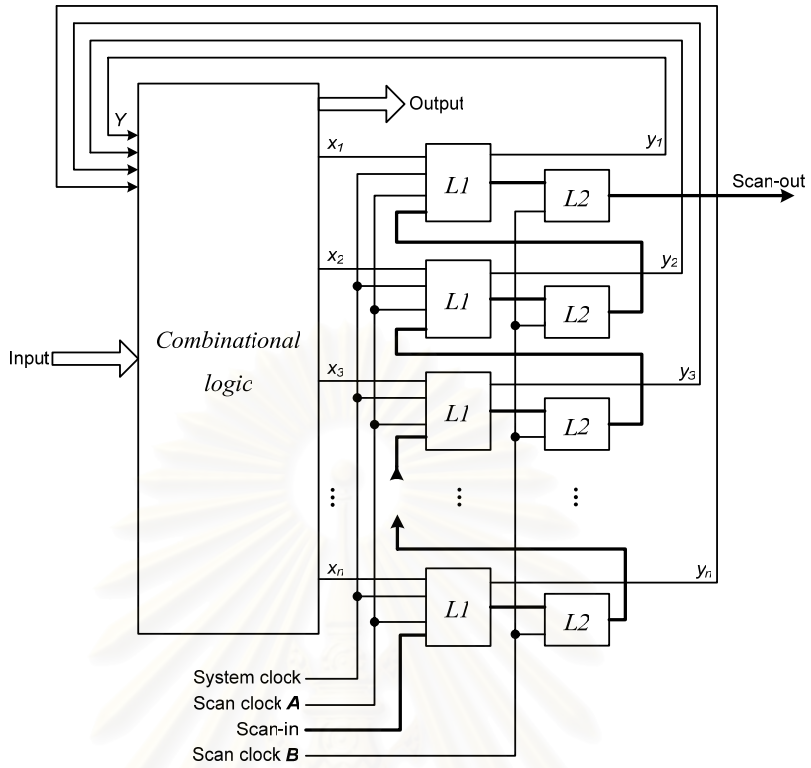
รูปที่ 2.12 การออกแบบแลตช์รีจิสเตอร์แบบเลื่อนด้วยเกตแนนด์

การนำแลตช์รีจิสเตอร์แบบเลื่อนไปใช้งานนั้นจะต้องทำการเชื่อมต่อดังรูปที่ 2.13 ส่วนการควบคุมการสแกนนั้นใช้สัญญาณนาฬิกา 2 สัญญาณ คือสัญญาณ Scan Clock *A* กับ Scan clock *B* โดยสัญญาณทั้งสองนี้ต้องไม่เกิดขึ้นพร้อมกันหรือไม่ทับซ้อนกัน ส่วนเส้นทางการรับส่งข้อมูลสแกนนั้นจะต่ออยู่ในลักษณะอนุกรมกัน โดยเอาต์พุตของแลตช์ชุดแรกต่อเข้ากับอินพุตของแลตช์ชุดถัดมา เส้นทางการรับส่งข้อมูลสแกนนี้ เรียกว่า เส้นทางสแกน (Scan path) หรือ สายโซ่สแกน (Scan chain) ในรูปที่ 2.14 และ รูปที่ 2.15 เป็นตัวอย่างของวงจรเชิงลำดับที่มีสายโซ่สแกน ซึ่งสร้างด้วยการออกแบบสแกนด้วยระดับสัญญาณชนิดแลตช์เดี่ยวและแลตช์คู่

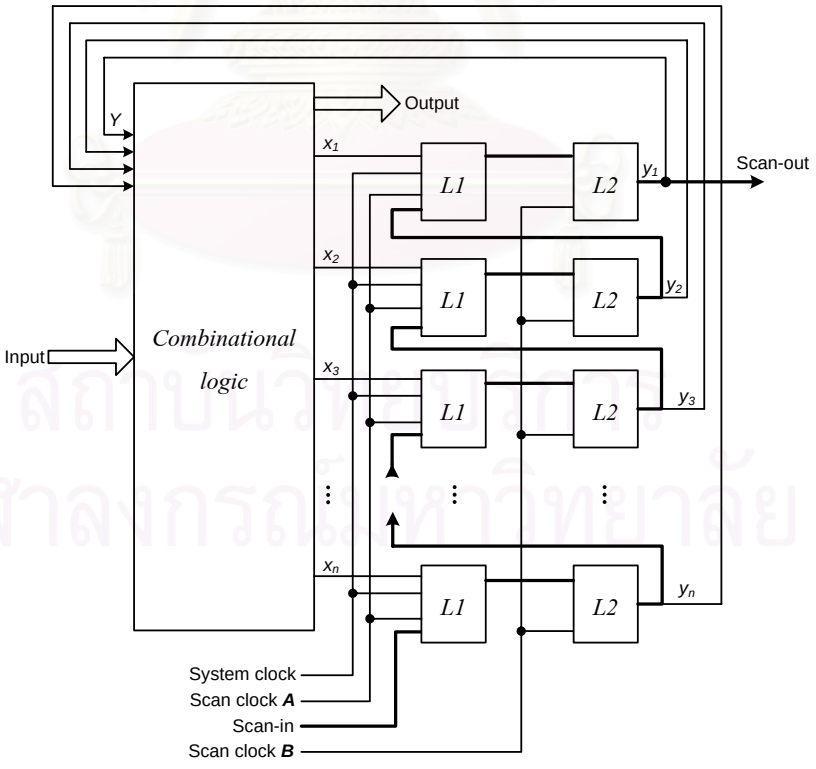


รูปที่ 2.13 การเชื่อมต่อแลตช์รีจิสเตอร์แบบเลื่อน

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 2.14 โครงสร้างของการออกแบบสแกนด้วยระดับสัญญาณชนิดแลตช์เดี่ยว



รูปที่ 2.15 โครงสร้างของการออกแบบสแกนด้วยระดับสัญญาณชนิดแลตช์คู่

จากรูปที่ 2.14 และรูปที่ 2.15 เป็นตัวอย่างการนำวิธีการออกแบบสแกนด้วยระดับสัญญาณมาใช้งาน

ขั้นตอนสำหรับการทดสอบของวิธีการออกแบบสแกนด้วยระดับสัญญาณนั้นสามารถแบ่งออกเป็น 5 ขั้นตอนดังนี้

1. ตรวจสอบการทำงานของทุกๆ แลตช์รีจิสเตอร์แบบเลื่อนด้วยการล้างสายโซ่และทดสอบการเลื่อนข้อมูล
2. นำข้อมูลทดสอบเข้าสู่แลตช์รีจิสเตอร์แบบเลื่อน ด้วยอินพุต Scan-in และเลื่อนข้อมูลตามลำดับ ซึ่งควบคุมด้วยสัญญาณ Scan Clock *A* และ *B*
3. เมื่อข้อมูลทดสอบถูกเลื่อนเข้าสู่สายโซ่ครบแล้ว ต่อจากนั้นจะนำข้อมูลทดสอบให้กับอินพุตหลักของวงจร เสร็จแล้วให้ System Clock ทำงานและหยุดทำงาน 1 จังหวะการทำงาน ซึ่งจะทำให้ผลของการทดสอบของวงจรเชิงผสมถูกเก็บไว้ในแลตช์ L_1
4. สัญญาณ Scan Clock *B* ทำงาน 1 พัลส์ เพื่อนำข้อมูลของแลตช์ L_1 ไปเก็บไว้ที่แลตช์ L_2
5. เป็นขั้นตอนนำข้อมูลออกจากสายโซ่ไปยังเอาต์พุต Scan-out ซึ่งควบคุมด้วยสัญญาณ Scan Clock *A* และ *B*

สำหรับวงจรที่มีสายโซ่สแกนเพียงสายเดียวนั้น จะเรียกว่า สายโซ่สแกนสายเดียว (Full scan chain)

2.2.4 **สายโซ่สแกนหลายสาย** (Multiple scan chain) [13]

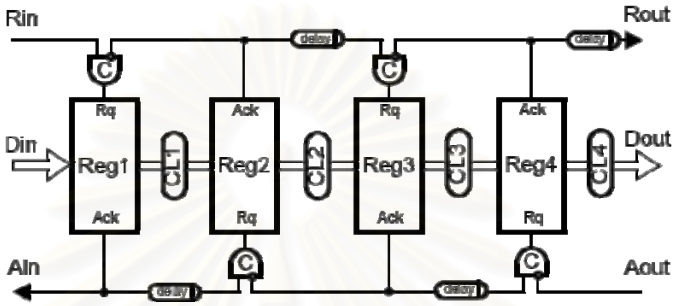
เป็นการแบ่งสายโซ่สแกนออกเป็นหลายๆ สายโซ่ เพื่อลดระยะเวลาในการทดสอบลง เมื่อเทียบกับสายโซ่สแกนสายเดียว แต่ต้องเพิ่มสายสัญญาณอินพุตและเอาต์พุตขึ้นตามจำนวนสายโซ่

2.3 งานวิจัยที่เกี่ยวข้อง

งานวิจัยที่เกี่ยวข้องกับงานวิจัยนี้มีอยู่ 3 ส่วน คือ งานวิจัยที่เกี่ยวข้องกับการทดสอบแบบสแกนของวงจรไมโครไปป์ไลน์ การออกแบบวงจรคูณเลขอิงดรรชนีแบบอสมวารโดยใช้อัลกอริธึมการคูณแบบเชื่อมตรง และปัญหาการตรวจจับไม่ทันการณ์

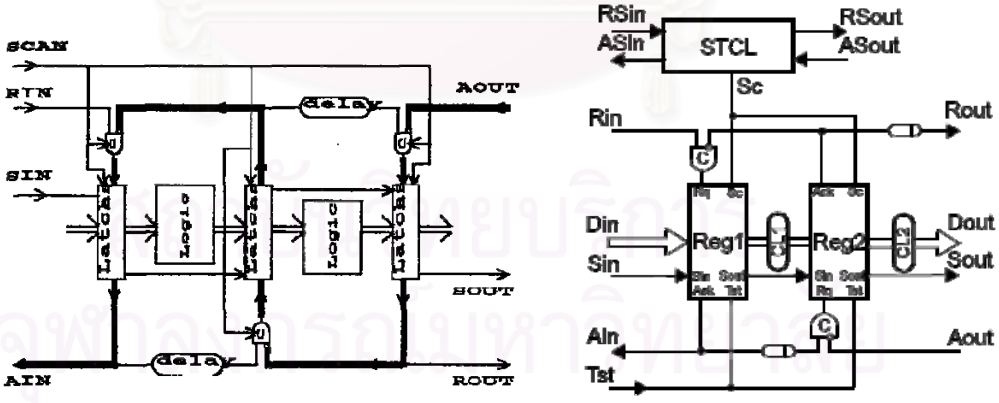
2.3.1 การทดสอบแบบสแกนของวงจรไมโครไปป์ไลน์

วงจรไมโครไปป์ไลน์เป็นไปป์ไลน์ของวงจรอสมวาร ที่ใช้วิธีการสื่อสารข้อมูลแบบ bundled-data ควบคุมการทำงานด้วยสัญญาณร้องขอและสัญญาณตอบรับแทนสัญญาณนาฬิกา วงจรไมโครไปป์ไลน์ ประกอบด้วย 2 ส่วน คือ ส่วนรีจิสเตอร์ที่สร้างด้วยแลตช์ และส่วนควบคุม โดยใช้อุปกรณ์ชนิดซี โครงสร้างของวงจรแสดงในรูปที่ 2.16



รูปที่ 2.16 วงจรไมโครไปป์ไลน์

ในปี 1994 Ajay และ Erik ได้เสนอวิธีการทดสอบของไมโครไปป์ไลน์ [16] โดยการสร้างเส้นทางสำหรับสแกนขึ้นในอุปกรณ์แลตช์ และอุปกรณ์ชนิดซี ซึ่งการสร้างทำในระดับเลย์เอาต์ (Layout) สัญญาณ AOUT ตามเส้นทึบที่อยู่ในรูปที่ 2.17(ก) เป็นสายโซ่สแกน ส่วนสัญญาณควบคุมการไหลของข้อมูลในสายโซ่สแกนนั้นใช้สัญญาณ SCAN ซึ่งมีลักษณะเป็นสัญญาณนาฬิกานั่นคือมีการเปลี่ยนแปลงสัญญาณเป็น 0 → 1 → 0 ต่อเนื่องกันไป



(ก) โครงสร้างของ Ajay และ Erik (ข) โครงสร้างของ Petlin และ Furber

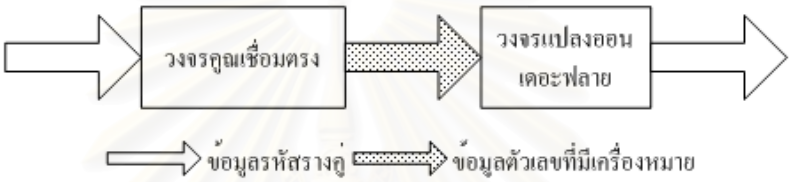
รูปที่ 2.17 วงจรไมโครไปป์ไลน์ที่มีการเพิ่มส่วนทดสอบ

ในปี 1995 O. A. Petlin และ S. B. Furber ได้นำเสนอวิธีการทดสอบของวงจรไมโครไปป์ไลน์ [17] ได้ใช้วิธีของ Ajay และ Erik เป็นแนวทาง โดยใช้วิธีการทดสอบแบบสแกน แต่ทำการแยกส่วนควบคุมออกเป็น 2 ส่วน คือ ส่วนควบคุมการสแกน และส่วนควบคุมการ

ประมวลผลข้อมูล ส่วนทดสอบสร้างขึ้นที่รีจิสเตอร์ ซึ่งภายในรีจิสเตอร์ที่สร้างขึ้นประกอบด้วยแลตซ์ 2 ตัว คือ L1, L2 L1 เป็นแลตซ์ในส่วนทดสอบ L2 เป็นแลตซ์ในส่วนงานปกติ โดยสร้างในระดับเลย์เอาต์ (Layout) การทดสอบควบคุมด้วยวิธีการควบคุมแบบอสมวาร ดังแสดงในรูปที่ 2.17 (ข)

2.3.2 วงจรคูณเลขอิงดรรชนีแบบอสมวารที่ใช้อัลกอริธึมการคูณแบบเชื่อมตรง

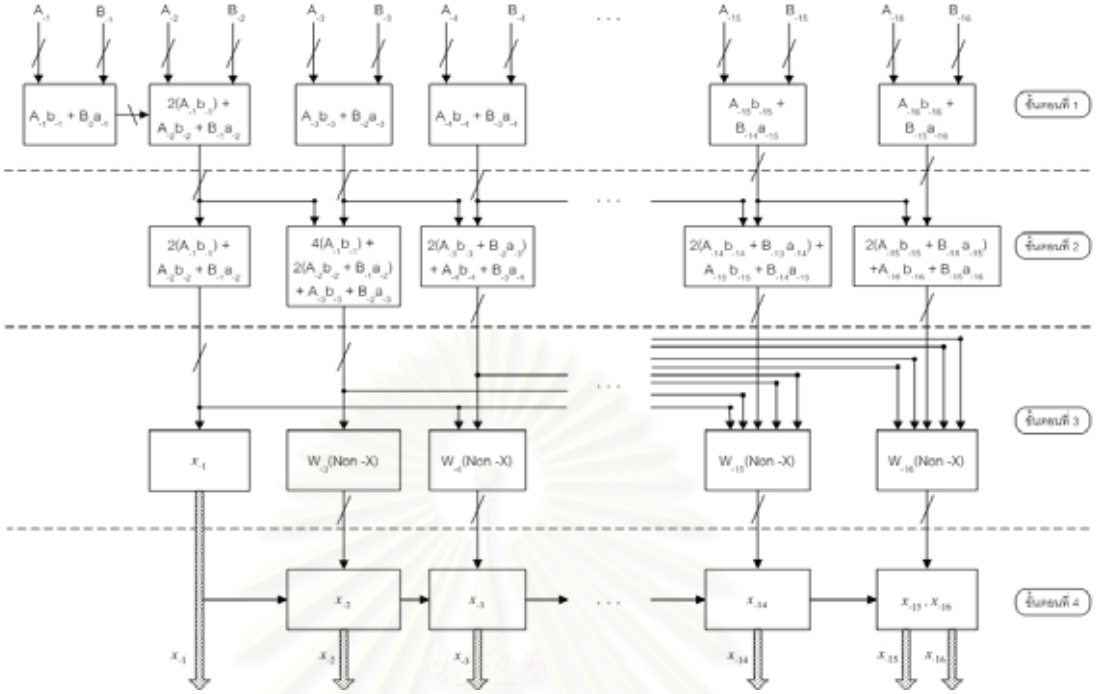
งานวิจัยเกี่ยวกับการออกแบบวงจรคูณเลขอิงดรรชนีแบบอสมวารโดยใช้อัลกอริธึมการคูณแบบเชื่อมตรง [7] โดย ปิยะ วราบุญทวีสุข เป็นผู้ทำวิจัย ซึ่งมีโครงสร้างของวงจรดังรูปที่ 2.18



รูปที่ 2.18 โครงสร้างของวงจรคูณเลขอิงดรรชนีแบบอสมวารที่ใช้อัลกอริธึมการคูณแบบเชื่อมตรง

ในรูปที่ 2.18 ประกอบไปด้วยวงจรคูณเชื่อมตรงและวงจรแปลงออนเดอะฟลาย โดยข้อมูลที่ใช้เป็นเลขทศนิยมอิงดรรชนี ขนาด 16 บิต ที่อยู่ในส่วน Mantissa ของมาตรฐาน IEEE 754 และเป็นข้อมูลรหัสรางคู่ขนาด 16 บิต 2 จำนวน นำมาคูณกันในวงจรคูณเชื่อมตรงแล้ว ได้ข้อมูลตัวเลขที่มีเครื่องหมาย ข้อมูลนี้เมื่อเข้าไปยังวงจรแปลงออนเดอะฟลาย ผลลัพธ์ที่ได้เป็นรหัสรางคู่ที่มีขนาด 16 บิต ส่วนวงจรคูณเชื่อมตรงนั้นมีการทำงานใน 4 ขั้นตอน ซึ่งแสดงขั้นตอนทั้ง 4 ไว้ในรูปที่ 2.19 และเอาต์พุตของวงจรคูณเชื่อมตรงในขั้นตอนที่ 1 มีขนาด 151 บิต เอาต์พุตของวงจรคูณเชื่อมตรงในขั้นตอนที่ 2 มีขนาด 179 บิต เอาต์พุตของวงจรคูณเชื่อมตรงในขั้นตอนที่ 3 มีขนาด 173 บิต และเอาต์พุตของวงจรคูณเชื่อมตรงในขั้นตอนที่ 4 มีขนาด 32 บิต ส่วนเอาต์พุตของวงจรแปลงออนเดอะฟลาย มีขนาด 16 บิต

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 2.19 โครงสร้างของวงจรคูณเชื่อมตรง

2.3.3 **ปัญหาการตรวจจับไม่ทันการณ์** [5][6]

เป็นปัญหาที่เกิดขึ้นจากความผิดพร่องหรือข้อมูลอินพุตที่ผิดปกติ ซึ่งอาจทำให้เกิดผลกระทบต่อข้อมูลทางเอาต์พุต และทำให้เกิดการสร้างสัญญาณแสดงความบริบูรณ์ (Completion signal) ในจังหวะเวลาที่คลาดเคลื่อนไป โดยปัญหานี้จะเกิดกับวงจรที่มีการเข้ารหัสข้อมูล และมีลักษณะการทำงานของวงจรเป็น 2 ขั้นตอน คือ ขั้นทำงาน (Working-phase) และขั้นว่าง (Idle-phase) โดยมีการสื่อสารเป็นลักษณะ spacer → codeword → spacer ซึ่งปัญหาการตรวจจับไม่ทันการณ์ สามารถเกิดขึ้นในการทำงานของวงจรทั้ง 2 ขั้นตอน มีรายละเอียดดังนี้

- การตรวจจับไม่ทันการณ์ในขั้นว่าง กรณีที่มีความผิดพร่องชนิดคงค่าระดับสัญญาณเป็น 1 ที่สายสัญญาณ ซึ่งทำให้สายสัญญาณนั้นไม่มีการเปลี่ยนแปลงระดับสัญญาณจาก 0 → 1 ขึ้นในขั้นทำงานถัดไป และข้อมูลที่ได้อาจจะเป็นข้อมูลที่ไม่ใช่รหัส (non-codeword) ถ้าพิจารณาในระหว่างที่มีการเปลี่ยนแปลงจากข้อมูลสถานะว่างไปสู่ข้อมูลรหัส ซึ่งก่อนหน้านั้นข้อมูลต้องเป็นข้อมูลสถานะว่างแต่เพราะเกิดความผิดพร่องขึ้นทำให้ข้อมูลเป็นข้อมูลรหัสขึ้นก่อน และถ้าส่วนส่ร้างสัญญาณแสดงความบริบูรณ์ทำการตรวจจับข้อมูลรหัสที่เกิดจากความผิดพร่องนี้ได้ ก็จะเป็นผลให้วงจรหยุดการทำงานได้

- การตรวจจับไม่ทันการณ์ในขั้นทำงาน กรณีที่มีความผิดพร่องชนิดคงค่าระดับสัญญาณเป็น 1 ที่สายสัญญาณ โดยปกติสายสัญญาณนี้มีระดับสัญญาณเป็น 0 ซึ่งจะทำให้เอาต์พุตเป็นข้อมูลที่ไม่ใช่รหัสได้ ถ้าพิจารณาในระหว่างที่มีการเปลี่ยนแปลงจากข้อมูลรหัสไปสู่ข้อมูลสถานะว่าง ข้อมูลที่ผิดปกตินี้อาจมีการเปลี่ยนแปลงไปเป็นรหัสได้ ซึ่งถ้าส่วนสร้างสัญญาณแสดงความบริบูรณ์ทำกรตรวจจับข้อมูลรหัสที่เกิดขึ้นแบบผิดปกติได้ ก่อนจะเป็น spacer ได้ อาจจะเป็นผลให้วงจรหยุดการทำงานได้ ยกตัวอย่างได้ดังนี้ กำหนดให้ข้อมูลรหัสเป็นรหัสชนิด 2-out-4 โดยที่รหัสที่เอาต์พุตจะต้องเป็น 1100 และเกิดความผิดพร่องชนิดคงค่าระดับสัญญาณเป็น 1 ที่สายในตำแหน่งที่ 2 รองจากบิตนัยสำคัญต่ำที่สุด ทำให้มีข้อมูลมีค่าเป็น 1110 ซึ่งข้อมูลนี้ไม่ใช่รหัส และเมื่อเปลี่ยนสภาวะจากขั้นทำงานไปยังขั้นว่างเป็นผลทำให้ข้อมูลมีค่าเปลี่ยนแปลงไปก่อนจะเป็น spacer หรือ 0000 แต่เกิดความผิดพร่องขึ้นจึงทำให้ข้อมูลเป็น 0010 ซึ่งการเปลี่ยนแปลงจากข้อมูลจาก 1110 ไปเป็นข้อมูล 0010 นี้จะมีการเปลี่ยนแปลงเป็นดังนี้ 1110 → 1010 → 0010 หรือ 1110 → 0110 → 0010 โดยการเปลี่ยนแปลงนี้จะขึ้นอยู่กับความหน่วง ซึ่งอาจจะมีจับรหัสข้อมูลได้ก่อนที่วงจรจะอยู่ในสภาวะเสถียร โดยที่ในสภาวะเสถียรจะได้ข้อมูลที่ไม่ใช่รหัสเป็น 0010

ซึ่งสรุปได้ว่าปัญหาการตรวจจับไม่ทันการณ์ คือความผิดพร่องหรือความผิดพลาดของอินพุตที่ส่งผลทำให้สัญญาณแสดงความบริบูรณ์ทำงาน ก่อนเวลาอันควร

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

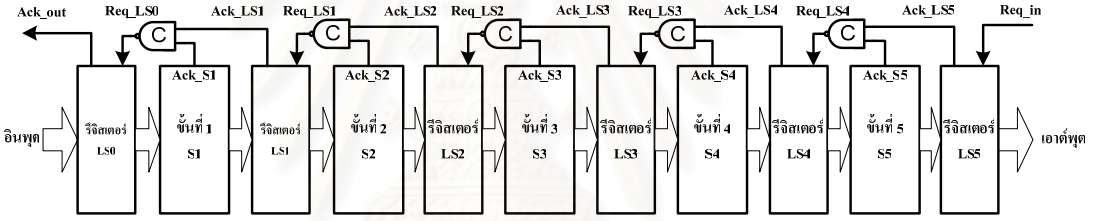
บทที่ 3

การออกแบบส่วนทดสอบแบบสแกน

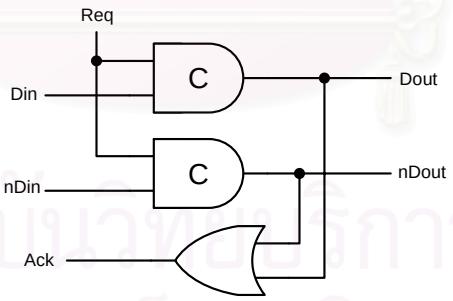
ในบทนี้กล่าวถึงการออกแบบส่วนทดสอบให้กับวงจรอสมวารที่มีการทำงานเป็นไปป์ไลน์รหัสรางคู่ โดยกล่าวถึง วงจรทดสอบ สแกนเซลล์แบบอสมวารรหัสรางคู่ สายโซ่สแกนสายเดียว (Full scan Chain) และสายโซ่สแกนหลายสาย (Multiple scan chain)

3.1 วงจรทดสอบ

วงจรทดสอบที่ใช้ในงานวิจัยนี้ คือวงจรคูณเลขอิงดรรชนีแบบอสมวารที่ใช้อัลกอริธึมการคูณแบบเชื่อมตรง วงจรนี้ได้แบ่งการทำงานออกเป็น 5 ขั้น ซึ่งมีรีจิสเตอร์อยู่ระหว่างขั้นการทำงาน และมีโครงสร้างดังรูปที่ 3.1



รูปที่ 3.1 วงจรคูณเลขอิงดรรชนีแบบอสมวารที่ใช้อัลกอริธึมการคูณแบบเชื่อมตรง

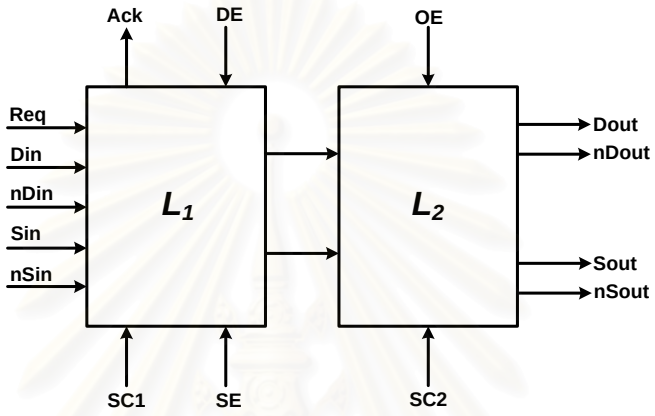


รูปที่ 3.2 แลตช์อสมวารรหัสรางคู่

วงจรในรูปที่ 3.1 เป็นวงจรคูณเลขอิงดรรชนีแบบอสมวารที่ใช้อัลกอริธึมการคูณแบบเชื่อมตรง ซึ่งถูกปรับปรุงให้สามารถทำงานเป็นไปป์ไลน์ได้ โดยเปลี่ยนรีจิสเตอร์จากเดิมที่ใช้เซ็ตรีเซ็ตแลตช์ (SR latch) มาเป็นแลตช์ที่สร้างขึ้นด้วยอุปกรณ์ซนิดซี ดังรูปที่ 3.2

3.2 สแกนเซลล์แบบอสมวารรหัสรางคู่

ในการออกแบบส่วนทดสอบแบบสแกนของวงจรอสมวารรหัสรางคู่จะต้องปรับปรุงแลตช์อสมวารรหัสรางคู่ ในรูปที่ 3.2 ให้สามารถทำการทดสอบได้ ในงานวิจัยนี้จะเรียกแลตช์ที่สามารถทดสอบนี้ว่า สแกนเซลล์แบบอสมวารรหัสรางคู่ ซึ่งจะต้องทำงานในโหมดการทำงานปกติเหมือนกับแลตช์อสมวารรหัสรางคู่ได้



รูปที่ 3.3 สแกนเซลล์แบบอสมวารรหัสรางคู่

จากรูปที่ 3.3 สแกนเซลล์แบบอสมวารรหัสรางคู่สามารถแบ่งเป็น 2 ส่วน คือ ส่วน L_1 เป็นส่วนอินพุตของเซลล์ และส่วน L_2 เป็นส่วนเอาต์พุตของเซลล์ ในส่วนอินพุตของเซลล์ นั้นประกอบด้วยอินพุตที่เป็นรหัสรางคู่ ได้แก่ อินพุตข้อมูล (Din) และอินพุตสแกน (Sin) ซึ่งอินพุตข้อมูลถูกควบคุมด้วยสัญญาณ Req และ DE อินพุตสแกนถูกควบคุมด้วยสัญญาณ SE และ SC1 ส่วนอินพุตของเซลล์ยังมีสัญญาณตอบรับ (Ack)

ส่วนเอาต์พุตของเซลล์ ประกอบด้วยเอาต์พุตที่เป็นรหัสรางคู่ ได้แก่ เอาต์พุตข้อมูล (Dout) และเอาต์พุตสแกน (Sout) ซึ่งเอาต์พุตข้อมูลถูกควบคุมด้วยสัญญาณ OE และเอาต์พุตสแกนถูกควบคุมด้วยสัญญาณ SC2 การทำงานของสแกนเซลล์นั้นมีอยู่ 4 ลักษณะ คือ

1. สามารถนำข้อมูลจากอินพุตข้อมูลออกไปเอาต์พุตข้อมูลได้ เป็นการทำงานในโหมดการทำงานปกติ และมีการควบคุมการทำงานเป็นแบบอสมวาร

2. สามารถนำข้อมูลจากอินพุตสแกนออกไปยังเอาต์พุตสแกนได้ เป็นการทำงานในโหมดสแกน และมีการควบคุมการทำงานเป็นแบบสมวาร

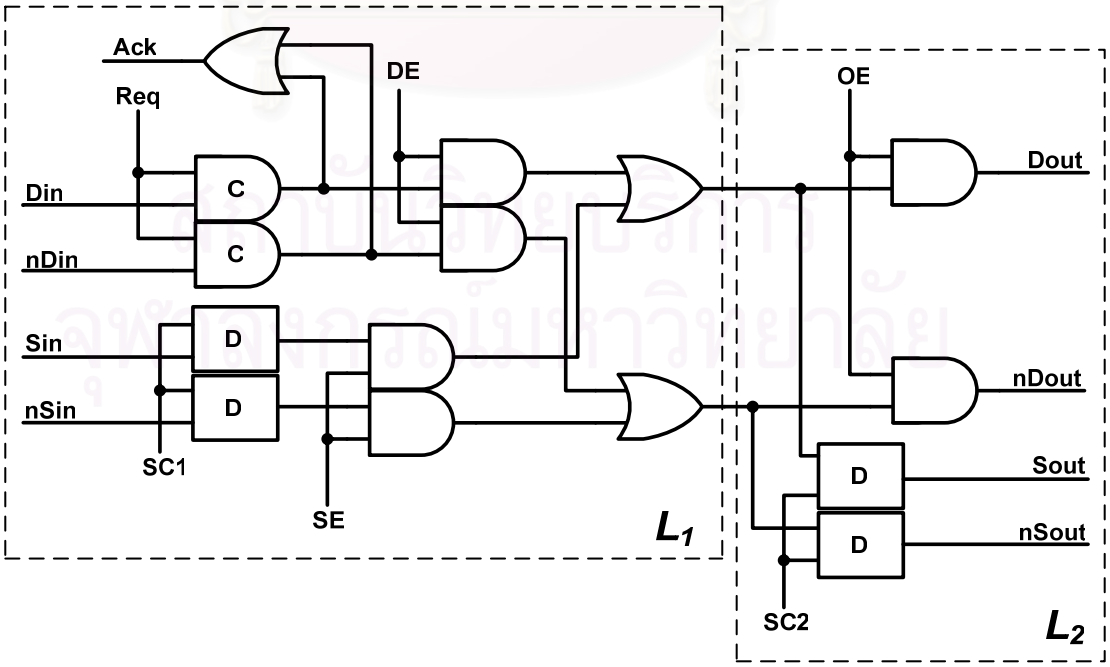
3. สามารถนำข้อมูลจากอินพุตสแกนออกไปเอาต์พุตข้อมูลได้ เป็นการทำงานในโหมดทดสอบส่วนนำข้อมูลเข้า (Control) และมีการควบคุมการทำงานเป็นแบบอสมวาร

4. สามารถนำข้อมูลจากอินพุตข้อมูลออกไปเอาต์พุตสแกนได้ เป็นการทำงานในโหมดทดสอบส่วนนำข้อมูลออก (Observe) และมีการควบคุมการทำงานเป็นแบบผสมทั้งแบบอสมวารและสมวาร

การควบคุมการทำงานของสแกนเซลล์แบบอสมวารรหัสรางคู่ให้สามารถทำงานได้ทั้ง 4 ลักษณะ แสดงการกำหนดสัญญาณควบคุมการทำงานในตารางที่ 3.1

ตารางที่ 3.1 สัญญาณควบคุมการทำงานของสแกนเซลล์

สัญญาณ / โหมด	Req	DE	OE	SE	SC1	SC2	การสื่อสารข้อมูล		
ทำงานปกติ	1	1	1	0	0	0	Din to Dout	PIPO	อสมวาร
สแกน	0	0	0	1	Clock	Clock	Sin to Sout	SISO	สมวาร
ทดสอบ1	0	0	1	1	0	0	Sin to Dout	SIPO	อสมวาร
ทดสอบ2	1	1	0	0	0	Clock	Din to Sout	PISO	ทั้งสองวิธี



รูปที่ 3.4 โครงสร้างของสแกนเซลล์แบบอสมวารรหัสรางคู่

จากรูปที่ 3.4 เป็นโครงสร้างของสแกนเซลล์แบบอสมวารรหัสรางคู่ซึ่งประกอบขึ้นด้วยส่วนอินพุตของเซลล์ L_1 และส่วนเอาต์พุตของเซลล์ L_2 โดยในส่วน L_1 ประกอบขึ้นด้วยอุปกรณ์ชนิดซี และ ดีแลตช์ เป็นองค์ประกอบหลัก และในส่วน L_2 นั้นประกอบด้วย ดีแลตช์ และเกตแอนด์ การทำงานของสแกนเซลล์แบบอสมวารรหัสรางคู่สามารถแบ่งออกเป็น 3 โหมด ซึ่งมีการทำงานดังต่อไปนี้

โหมดทำงานปกติ คือ การนำข้อมูลรหัสรางคู่จากอินพุต Din กับ nDin ไปยังเอาต์พุต Dout กับ nDout ควบคุมด้วยสัญญาณ Req DE และ OE ในโหมดนี้มีสัญญาณ Ack เป็นสัญญาณตอบรับ มีลักษณะการทำงานเป็นการนำข้อมูลเข้าแบบขนานนำข้อมูลออกแบบขนาด (PIPO) ซึ่งควบคุมการทำงานด้วยวิธีการของวงจรอสมวาร

เมื่อมีข้อมูลรหัสรางคู่เข้ามาที่อินพุต Din กับ nDin อุปกรณ์ชนิดซีใน L_1 จะเก็บค่ารหัสรางคู่ที่เข้ามาไว้ เมื่อสัญญาณ Req มีค่าระดับสัญญาณเป็น 1 ทำให้สัญญาณ Ack มีค่าระดับสัญญาณเป็น 1 ด้วย การนำข้อมูลรหัสรางคู่ไปยังเอาต์พุต Dout กับ nDout สัญญาณ DE และ OE มีค่าระดับสัญญาณเป็น 1 สำหรับการรับข้อมูลรหัสรางคู่ใหม่ อินพุต Din กับ nDin ต้องมีค่าระดับสัญญาณเป็น 0,0 ซึ่งเป็นสถานะว่างของรหัสรางคู่ และสัญญาณ Req มีค่าระดับสัญญาณเป็น 0 ก่อน

โหมดสแกน คือ การนำข้อมูลจากอินพุต Sin กับ nSin ไปยังเอาต์พุต Sout กับ nSout โดยควบคุมการทำงานด้วยสัญญาณ SC1 SC2 และ SE มีลักษณะการทำงานเป็นการนำข้อมูลเข้าแบบอนุกรมและนำข้อมูลออกแบบอนุกรม (SISO) ซึ่งควบคุมการทำงานด้วยวิธีการของวงจรสมวาร นั่นคือใช้สัญญาณนาฬิกา

เมื่อมีข้อมูลรหัสรางคู่เข้ามาที่อินพุต Sin กับ nSin ดีแลตช์ ใน L_1 จะเก็บค่ารหัสรางคู่ที่เข้ามาเมื่อสัญญาณ SC1 มีค่าระดับสัญญาณเป็น 1 และจะคงค่าข้อมูลรหัสรางคู่ไว้เมื่อสัญญาณ SC1 มีค่าระดับสัญญาณเป็น 0 ข้อมูลจะถูกส่งไปยังเอาต์พุต Sout กับ nSout เมื่อสัญญาณ SE มีค่าระดับสัญญาณเป็น 1 และสัญญาณ SC2 มีค่าระดับสัญญาณเป็น 1 ข้อมูลที่เอาต์พุต Sout กับ nSout จะคงค่าไว้ แม้ว่าสัญญาณ SC2 มีค่าระดับสัญญาณเป็น 0

โหมดทดสอบ ทำงานอยู่ 2 ช่วง คือช่วงนำข้อมูลเข้า และช่วงนำข้อมูลออก ช่วงนำข้อมูลเข้าเป็นการนำข้อมูลทดสอบที่อยู่ในดีแลตช์ของส่วน L_1 ออกไปยังเอาต์พุต Dout กับ nDout ซึ่งควบคุมด้วยสัญญาณ SE กับOE และช่วงนำข้อมูลออกเป็นการนำข้อมูลรหัสรางคู่ที่ผ่าน

การทดสอบแล้วจากอินพุต Din กับ nDin ออกไปยังขาสัญญาณ Sout กับ nSout ซึ่งควบคุมด้วยสัญญาณ DE กับ SC2

ช่วงนำข้อมูลเข้าหรือโหมดทดสอบ1 จากตารางที่ 3.1 จะนำข้อมูลทดสอบที่เก็บไว้ด้วยดีแลตช์ ในส่วน L_1 ไปยังเอาต์พุต Dout กับ nDout ซึ่งควบคุมการทำงานด้วยสัญญาณ OE และ SE ที่มีค่าระดับสัญญาณเป็น 1 การทำงานในช่วงนี้ มีลักษณะเป็น การนำข้อมูลเข้าแบบอนุกรมและนำข้อมูลออกแบบขนาน (SIPO) ซึ่งควบคุมการทำงานด้วยวิธีการของวงจรอสมวาร

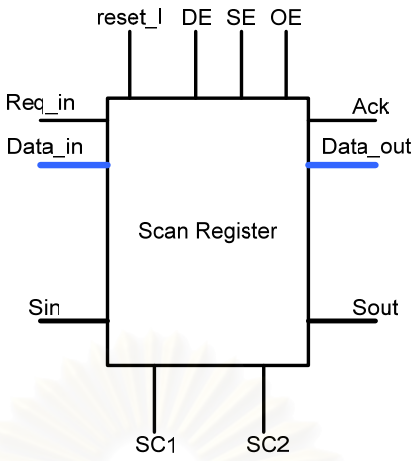
ช่วงนำข้อมูลออกหรือโหมดทดสอบ2 จากตารางที่ 3.1 จะนำข้อมูลที่ผ่านการทดสอบจากอินพุต Din กับ nDin ไปยัง เอาต์พุต Sout กับ nSout ซึ่งควบคุมการทำงานด้วยสัญญาณ Req DE และ SC2 ที่มีค่าระดับสัญญาณเป็น 1 การทำงานในช่วงนี้มีลักษณะเป็น การนำข้อมูลเข้าแบบขนานและนำข้อมูลออกแบบอนุกรม ซึ่งควบคุมการทำงานด้วยวิธีการของวงจรอสมวารและวงจรสมวาร เนื่องจากควบคุมด้วยสัญญาณนาฬิกาและสัญญาณที่ได้จากวงจรเอง

การควบคุมการทำงานที่มีความเกี่ยวข้องกับการสแกนข้อมูลนั้นจะใช้การสัญญาณนาฬิกา เนื่องจากปัญหาเวลาที่ใช้ในการทดสอบ ความซับซ้อนของการควบคุมการทำงาน และปัญหาการตรวจจับไม่ทันการณ์ เวลาที่ใช้ในการทดสอบจะเพิ่มมากขึ้นถ้าใช้วิธีการของวงจรอสมวาร เนื่องจากการกลับสู่ 0 ของสัญญาณข้อมูล และทำให้เกิดความซับซ้อนขึ้นในการควบคุมการทำงานเนื่องจากการกลับสู่ 0 ของสัญญาณนั่นเอง ส่วนปัญหาการตรวจจับไม่ทันการณ์ ถ้าใช้สัญญาณนาฬิกาจะสามารถป้องกันปัญหานี้ได้

3.3 รีจิสเตอร์สแกน

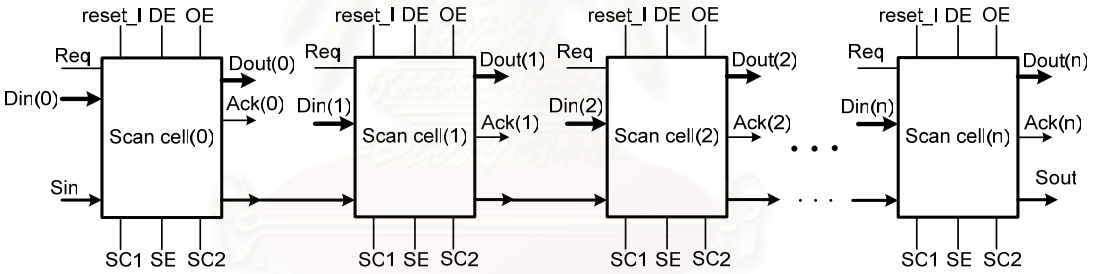
รีจิสเตอร์สแกนนี้ประกอบขึ้นด้วยสแกนเซลล์ที่ได้ออกแบบไว้ดังรูปที่ 3.5 โดยมีขาสัญญาณต่างๆ ดังรูปที่ 3.5 รีจิสเตอร์ในรูปที่ 3.1จะถูกแทนด้วยรีจิสเตอร์สแกนนี้

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



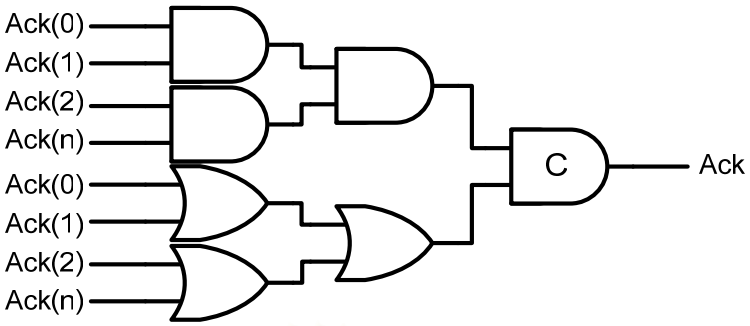
รูปที่ 3.5 รีจิสเตอร์สแกนแบบอสมวารรหัสรางคู่

จากรูปที่ 3.5 นี้ ขาสัญญาณ Data_in กับ Data_out เป็นอินพุตของข้อมูลรหัสรางคู่ที่มีขนาดข้อมูลมากกว่า 1 บิต และขาสัญญาณ Sin กับ Sout เป็นอินพุตของข้อมูลทดสอบที่เป็นรหัสรางคู่ที่มีขนาดข้อมูล 1 บิต การเชื่อมต่อของสแกนเซลล์ภายในรีจิสเตอร์สแกนนั้น จะแบ่งเป็น 2 ส่วน คือส่วนรีจิสเตอร์ มีการเชื่อมต่อดังรูปที่ 3.6 และส่วนตอบรับ มีวงจรดังรูปที่ 3.7



รูปที่ 3.6 การเชื่อมต่อของสแกนเซลล์แบบอสมวารรหัสรางคู่

จากรูปที่ 3.6 แสดงการเชื่อมต่อของสแกนเซลล์ภายในรีจิสเตอร์สแกน มีการต่อขาสัญญาณ Sin ของรีจิสเตอร์สแกนต่ออยู่กับสัญญาณ Sin ของสแกนเซลล์ตัวแรก และสัญญาณ Sout ของสแกนเซลล์ตัวแรกต่อกับสัญญาณ Sin ของสแกนเซลล์ตัวถัดมาเป็นแบบอนุกรมต่อไปจนถึงขาสัญญาณ Sout ของรีจิสเตอร์สแกนที่ต่ออยู่กับสัญญาณ Sout ของสแกนเซลล์ตัวสุดท้าย ส่วนสัญญาณ Din กับ Dout ของสแกนเซลล์แต่ละเซลล์นั้นจะต่อเข้ากับขาสัญญาณ Din กับ Dout ของรีจิสเตอร์สแกนเป็นแบบขนาน ส่วนสัญญาณ reset_I DE OE SE SC1 และ SC2 ของทุกๆ เซลล์นั้น เชื่อมต่อเข้ากับขาสัญญาณนั้นๆ ของรีจิสเตอร์สแกน

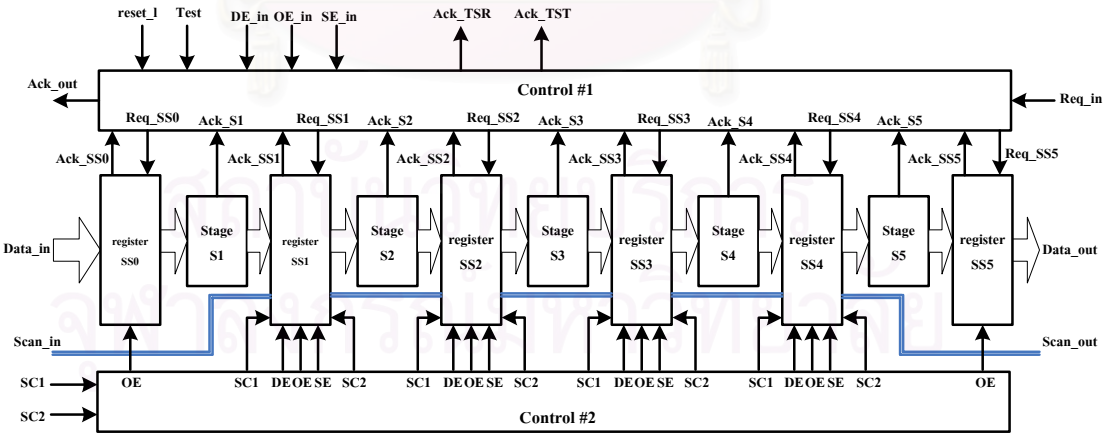


รูปที่ 3.7 วงจรตอบรับของรีจิสเตอร์สแกน

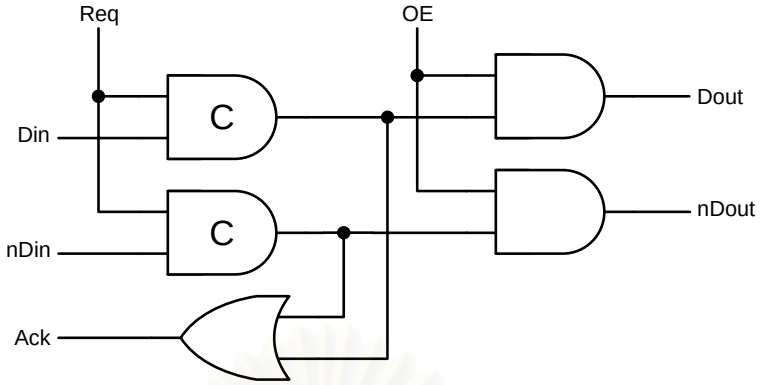
การสร้างสัญญาณตอบรับของรีจิสเตอร์สแกน ด้วยการนำสัญญาณตอบรับของแต่ละเซลล์ มาต่อเข้ากับฟังก์ชั่นเกตแอนด์ และเกตออร์ ผลที่ได้จากฟังก์ชั่นทั้งสองต่อเข้ากับอุปกรณ์ซนิดซี ดังแสดงในรูปที่ 3.7

3.4 สายโซ่สแกนสายเดียว

วงจรทดสอบที่มีสายโซ่สแกนสายเดียวคือการเชื่อมต่อสายโซ่สแกนของแต่ละรีจิสเตอร์สแกนเข้าด้วยกันเป็นอนุกรมและมีสายโซ่เดียว จากรูปที่ 3.8 เป็นการนำรีจิสเตอร์สแกนมาแทนที่รีจิสเตอร์เดิมของวงจรทดสอบและทำการเชื่อมต่อส่วนสแกนเข้าด้วยกันเป็นสายโซ่เดียว โดยรีจิสเตอร์ SS0 กับ SS5 มีโครงสร้างดังรูปที่ 3.9 เนื่องจากรีจิสเตอร์ทั้งสองนั้นเป็นส่วนที่ต่อเชื่อมอยู่กับ อินพุตหลัก (Primary Input) และเอาต์พุตหลัก (Primary Output) ของวงจร



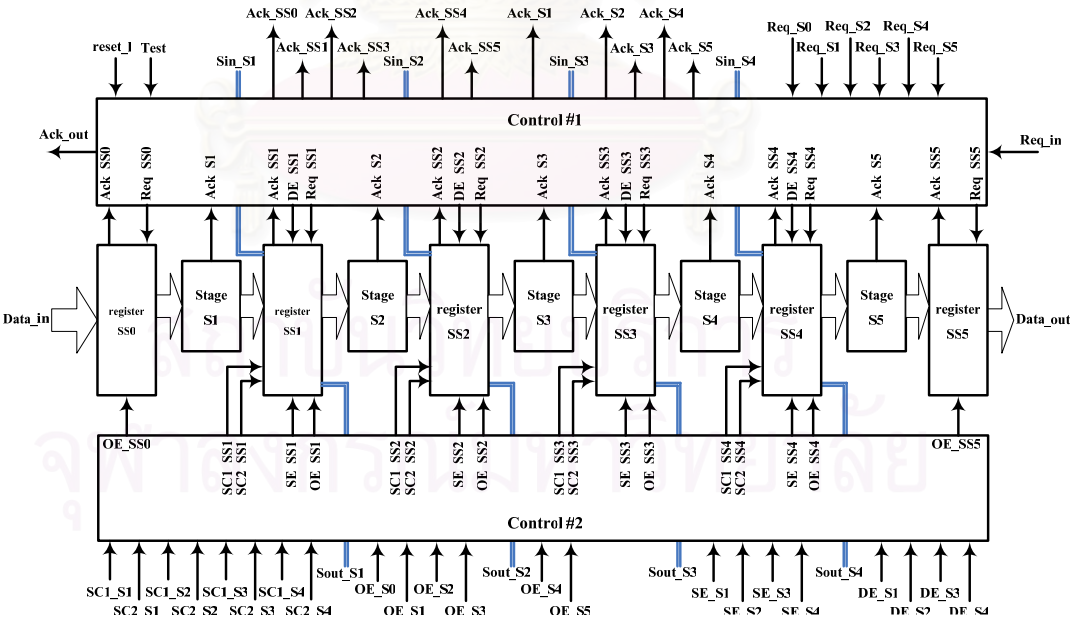
รูปที่ 3.8 วงจรทดสอบที่มีสายโซ่สแกนสายเดียว



รูปที่ 3.9 โครงสร้างของแลตช์ที่ใช้ในรีจิสเตอร์ SS0 และ SS5

3.5 สายโซ่สแกนหลายสาย

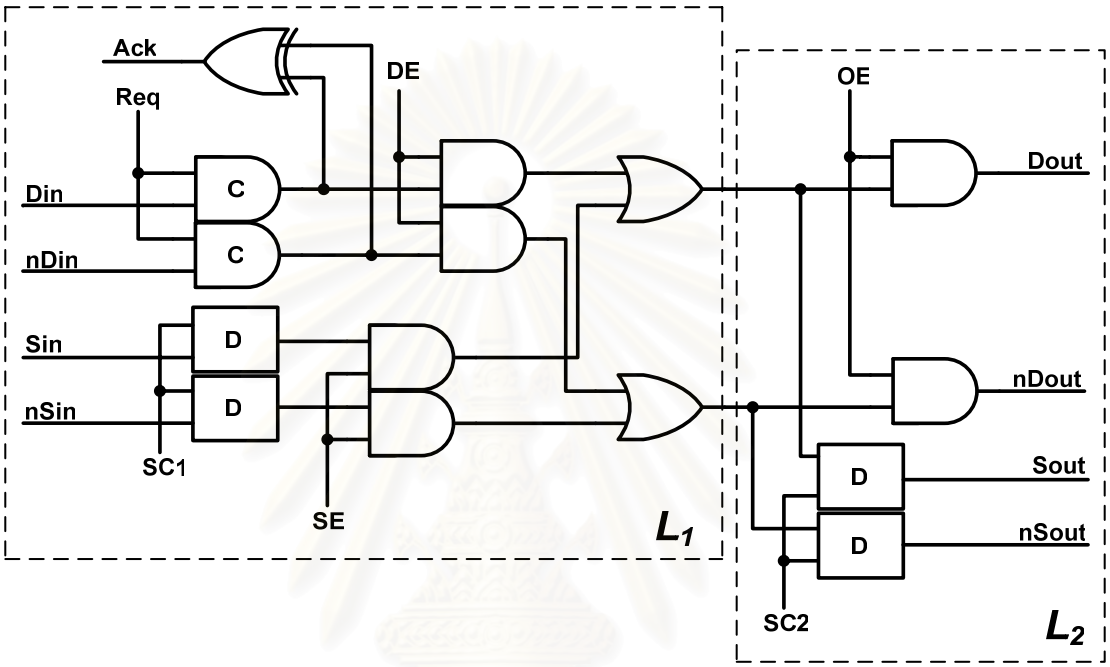
วงจรทดสอบที่มีสายโซ่สแกนหลายสายนั้นจะมีสายโซ่สแกนหลายสายในวงจร จากรูปที่ 3.10 เป็นการนำรีจิสเตอร์สแกนมาแทนที่รีจิสเตอร์เดิมของวงจรทดสอบ ซึ่งแบ่งสายโซ่สแกนออกเป็น 4 สาย ซึ่งแต่ละสายนั้นเป็นสายโซ่ภายในรีจิสเตอร์สแกนที่มีความยาวของสายโซ่ไม่เท่ากัน จะทำให้การควบคุมการทำงานต้องใช้สัญญาณควบคุมมากขึ้นเป็น 4 เท่าจากสายโซ่สแกนสายเดียว



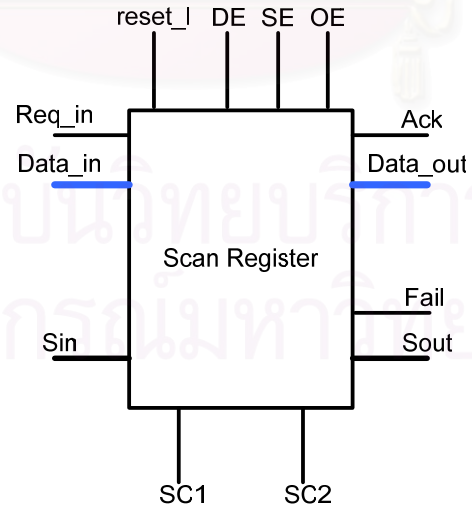
รูปที่ 3.10 วงจรทดสอบที่มีสายโซ่สแกนหลายสาย

3.6 สายโซ่สแกนหลายสายที่มีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส

สายโซ่สแกนหลายสายที่มีตัวตรวจจับข้อมูลที่ไม่ใช่รหัสนั้น จะทำการเปลี่ยนสแกนเซลล์ในรูปที่ 3.4 ส่วนสร้างสัญญาณตอบรับจากเดิมที่เป็น เกตออร์ ให้เป็น เกตออร์เฉพาะ (xor gate) ดังรูปที่ 3.11 เพื่อตรวจจับข้อมูลที่มีค่าเป็น (1,1) ซึ่งไม่ใช่รหัสได้



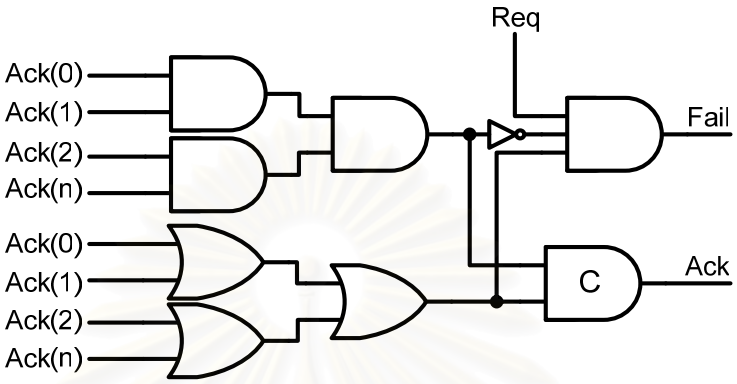
รูปที่ 3.11 สแกนเซลล์ที่มีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส



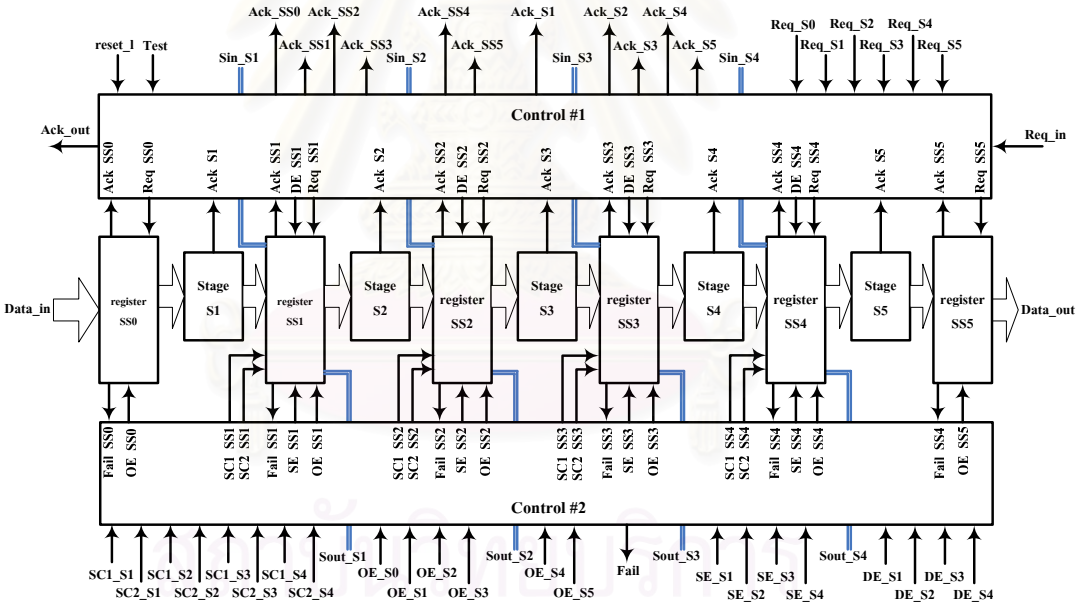
รูปที่ 3.12 รีจิสเตอร์สแกนที่มีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส

จากรูปที่ 3.12 รีจิสเตอร์สแกนที่มีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส จะเพิ่มสัญญาณทางด้านเอาต์พุตคือ สัญญาณ Fail เพื่อบ่งบอกว่าข้อมูลที่ได้รับนั้นเกิดเป็นข้อมูลที่ไม่ใช่รหัสขึ้น ซึ่ง

แตกต่างจากรีจิสเตอร์สแกนเดิม โดยที่สัญญาณ Fail นั้นได้จากวงจรตอบรับในรูปที่ 3.13 ซึ่งเพิ่มเกตผกผันและเกตแอนด์ขึ้น โดยมีสัญญาณ Req เอาต์พุตของเกตผกผันผลที่ได้จากสัญญาณ Ack ที่ผ่านฟังก์ชันของเกตแอนด์ และผลที่ได้จากสัญญาณ Ack ที่ผ่านฟังก์ชันของเกตออร์



รูปที่ 3.13 วงจรตอบรับของรีจิสเตอร์สแกนที่มีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส



รูปที่ 3.14 วงจรทดสอบที่มีสายโซ่สแกนหลายสายและมีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส

รีจิสเตอร์สแกนที่มีตัวตรวจจับข้อมูลที่ไม่ใช่รหัสนั้น ถูกนำไปใช้กับวงจรทดสอบ ซึ่งจะมีสัญญาณ Fail เพิ่มขึ้นมาดังรูปที่ 3.14 ซึ่งสัญญาณ Fail นี้ ได้จากสัญญาณ Fail ของทุกๆ รีจิสเตอร์สแกนที่ผ่านฟังก์ชันเกตออร์แล้ว และสัญญาณนี้ใช้ในโหมดทดสอบและสแกนเท่านั้น ซึ่งสัญญาณ Fail นี้สามารถตรวจจับข้อมูลที่ไม่ใช่รหัสได้ทันที และไม่จำเป็นต้องนำข้อมูลออกจากสายโซ่สแกน

บทที่ 4

วิธีการทดสอบ และการสังเคราะห์วงจร

ในบทนี้นำเสนอวิธีการทดสอบสำหรับสายโซ่สแกนสายเดียวและหลายสายซึ่งแตกต่างจากวิธีการทดสอบแบบสแกนเดิม เนื่องจากวงจรอสมวารที่มีการทำงานเป็นไปป์ไลน์รหัสรางคู่ ซึ่งมีความซับซ้อนในการควบคุมการทำงาน นอกจากนำเสนอวิธีการทดสอบแล้วในบทนี้ ยังกล่าวถึงการตรวจหาความผิดพร่องชนิดคงค่าระดับสัญญาณ และกระบวนการสังเคราะห์วงจร (Synthesis)

4.1 วิธีการทดสอบ

วิธีการทดสอบที่ใช้กับส่วนทดสอบแบบสแกนสำหรับวงจรอสมวารที่เป็นไปป์ไลน์รหัสรางคู่ ในวิทยานิพนธ์นี้จะแบ่งออกตามชนิดของส่วนทดสอบแบบสแกนที่ได้ออกแบบไว้ คือ วิธีการทดสอบสายโซ่สแกนสายเดียว สายโซ่สแกนหลายสาย และสายโซ่สแกนหลายสายที่มีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส

4.1.1 สำหรับสายโซ่สแกนสายเดียว

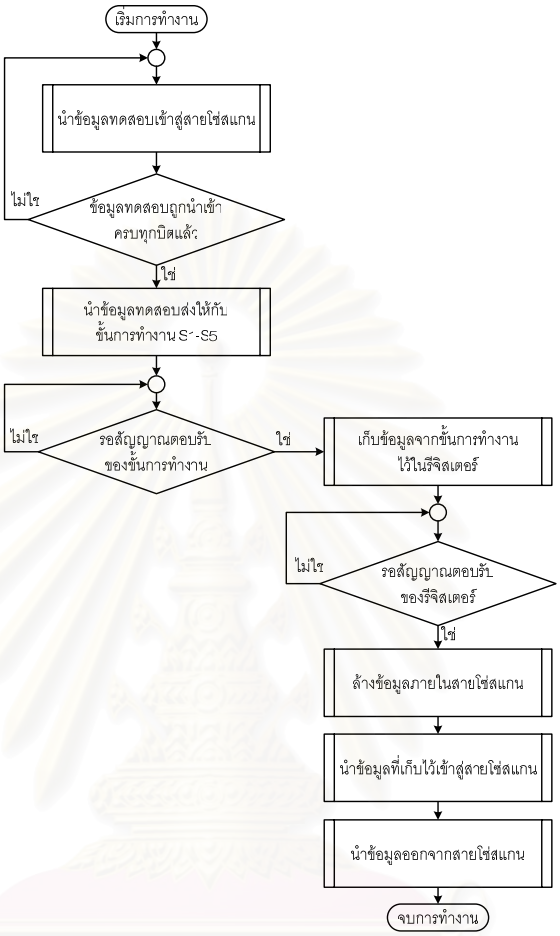
จากรูปที่ 4.1 วิธีการทดสอบสำหรับสายโซ่สแกนสายเดียวนี้ สามารถแบ่งออกเป็น 6 ขั้น ดังต่อไปนี้

ขั้นที่ 1 เป็นขั้นที่นำข้อมูลทดสอบเข้าสู่วงจรด้วยสายโซ่สแกน ควบคุมด้วยสัญญาณ SC1 SC2 และ SE โดยสัญญาณ SC1 กับ SC2 เป็นสัญญาณนาฬิกา และสัญญาณ SE มีค่าระดับสัญญาณเป็น 1 ขั้นนี้เป็นโหมดสแกน เมื่อเอาต์พุตสแกน (Sout) มีค่าเป็นข้อมูลทดสอบชุดแรก ถือว่าจบโหมดสแกน โดยพร้อมๆ กันนั้นได้มีการนำข้อมูลสำหรับทดสอบให้กับอินพุตหลักของวงจร

ขั้นที่ 2 เป็นขั้นที่นำข้อมูลทดสอบในรีจิสเตอร์ส่งไปยังวงจรเชิงผสม เพื่อทดสอบวงจรเชิงผสม ควบคุมด้วยสัญญาณ OE และ SE ขั้นนี้เป็นเป็นส่วนหนึ่งของโหมดทดสอบ สัญญาณ OE และ SE มีค่าระดับสัญญาณเป็น 1

ขั้นที่ 3 เป็นขั้นที่เก็บค่าข้อมูลที่จากเอาต์พุตของวงจรเชิงผสมไว้ในรีจิสเตอร์ เมื่อสัญญาณตอบรับของวงจรเชิงผสม (Ack_TST) มีค่าระดับสัญญาณเป็น 1 จะต้องกำหนดค่าระดับสัญญาณของสัญญาณร้องขอ (Req_in) เป็น 1 เพื่อให้อุปกรณ์ชนิดซีในรีจิสเตอร์ทำการเก็บข้อมูล

ไว้ ขั้นนี้เป็นเป็นส่วนหนึ่งของโหมดทดสอบ ในขั้นนี้สามารถสังเกตเอาต์พุตหลักของวงจรได้เนื่องจากได้ผ่านกระบวนการทดสอบด้วยข้อมูลทดสอบแล้ว



รูปที่ 4.1 วิธีการทดสอบสำหรับสายโซ่สแกนสายเดียว

ขั้นที่ 4 เป็นขั้นที่ทำการล้างสายโซ่สแกน เนื่องจากสายโซ่สแกนประกอบขึ้นด้วยดีแลตช์ซึ่งจะคงค่าข้อมูลเดิมไว้ เพื่อเตรียมนำข้อมูลที่ผ่านการทดสอบแล้วเข้าสู่สายโซ่สแกน โดยสายโซ่สแกนต้องมีค่าระดับสัญญาณเป็น 0 ทั้งหมด หลังจากสัญญาณตอบรับของรีจิสเตอร์ทั้งหมด (Ack_TSR) มีค่าระดับสัญญาณเป็น 1 สัญญาณ OE และ SE จะเปลี่ยนแปลงค่าระดับสัญญาณเป็น 0 และ สัญญาณ SC1 และ SC2 จะทำงานในหนึ่งจังหวะการทำงาน ขั้นนี้เป็นส่วนหนึ่งของโหมดทดสอบ

ขั้นที่ 5 เป็นขั้นที่นำข้อมูลที่ผ่านการทดสอบแล้วและถูกเก็บไว้ด้วยอุปกรณ์ชนิดซีเข้าสู่สายโซ่สแกน ควบคุมด้วยสัญญาณ DE และ SC2 โดยสัญญาณ DE มีค่าระดับสัญญาณเป็น 1 และสัญญาณ SC2 ทำงานหนึ่งจังหวะการทำงาน ข้อมูลที่เก็บไว้ด้วยอุปกรณ์ชนิดซี จะถูกนำเข้าสู่สายโซ่สแกนด้วยสัญญาณ SC2 ขั้นนี้เป็นส่วนหนึ่งของโหมดทดสอบ

ขั้นที่ 6 เป็นขั้นที่นำข้อมูลในสายโซ่ออกไปยังเอาต์พุตสแกน ควบคุมด้วยสัญญาณ SC1 SC2 และ SE ซึ่งเสร็จสิ้นกระบวนทดสอบเมื่อข้อมูลที่อยู่ภายในสายโซ่ถูกนำออกไปยังเอาต์พุตหมดสิ้นแล้ว ขั้นนี้เป็นโหมดสแกน

ซึ่งการกำหนดค่าสัญญาณในการควบคุมการทำงานในขั้นต่างๆ ของวิธีการทดสอบนั้นได้แสดงไว้ในตารางที่ 4.1

ตารางที่ 4.1 การกำหนดค่าสัญญาณควบคุมในขั้นต่างๆ

	SC1	SC2	SE	OE	DE	Req_in	Ack_TST	Ack_TSR
ขั้นที่ 1	Clock	Clock	1	0	0	0	0	0
ขั้นที่ 2	0	0	1	1	0	0	0	0
ขั้นที่ 3	0	0	1	1	0	1	1	0
	0	0	0	0	0	1	0	1
ขั้นที่ 4	Clock	Clock	0	0	0	1	0	1
ขั้นที่ 5	0	Clock	0	0	1	1	0	1
ขั้นที่ 6	Clock	Clock	1	0	0	1	0	1

ตารางที่ 4.2 ความสัมพันธ์ระหว่างรีจิสเตอร์ อินพุตเอาต์พุต กับขั้นทำงานที่ต้องการทดสอบของวงจรทดสอบที่มีสายโซ่สแกนสายเดียว

ขั้นทำงานที่ต้องการทดสอบ	รีจิสเตอร์นำข้อมูลเข้า	รีจิสเตอร์นำข้อมูลออก	อินพุต	เอาต์พุต
S1	SS0	SS1	OpA, OpB	Sout_S1
S2	SS1	SS2	Sin	Sout_S2
S3	SS2	SS3	Sout_S1	Sout_S3
S4	SS3	SS4	Sout_S2	Sout
S5	SS4	SS5	Sout_S3	Result

จากตารางที่ 4.2 แสดงความสัมพันธ์ในการทดสอบขั้นการทำงานกับรีจิสเตอร์รวมถึงอินพุตและเอาต์พุตที่ใช้ในการทดสอบ ซึ่งอธิบายดังนี้

การทดสอบขั้นทำงานที่ 1 (S1) รีจิสเตอร์สแกนขั้นที่ 0 (SS0) เป็นรีจิสเตอร์สำหรับนำข้อมูลเข้าสู่ขั้นทำงานที่ 1 จะรับข้อมูลจากอินพุตหลัก (OpA กับ OpB) ส่วนรีจิสเตอร์สำหรับนำข้อมูลออกจากเอาต์พุตของขั้นทำงานที่ 1 เป็นรีจิสเตอร์สแกนขั้นที่ 1 (SS1) โดยออกทางเอาต์พุตสแกน (Sout_S1) อินพุตหลัก (OpA กับ OpB) เป็นอินพุตที่มีการนำเข้าข้อมูลแบบขนานและเอาต์พุตสแกน (Sout_S1) มีการนำข้อมูลออกเป็นแบบอนุกรม ซึ่งในสายโซ่สแกนสายเดียวนี้เอาต์พุตนี้จะเป็นสัญญาณอินพุตให้กับรีจิสเตอร์สแกนในขั้นถัดไป

การทดสอบขั้นทำงานที่ 2 (S2) รีจิสเตอร์สแกนขั้นที่ 1 (SS1) เป็นรีจิสเตอร์สำหรับนำข้อมูลเข้าสู่ขั้นทำงานที่ 2 จะรับข้อมูลจากอินพุตสแกน (Sin) ส่วนรีจิสเตอร์สำหรับนำข้อมูลออกจากเอาต์พุตของขั้นทำงานที่ 2 เป็นรีจิสเตอร์สแกนขั้นที่ 2 (SS2) โดยออกทางเอาต์พุตสแกน (Sout_S2) อินพุตสแกน (Sin) เป็นอินพุตที่มีการนำเข้าข้อมูลแบบอนุกรมและได้รับข้อมูลจากสิ่งแวดล้อม ส่วนเอาต์พุตสแกน (Sout_S2) มีการนำข้อมูลออกเป็นแบบอนุกรม ซึ่งในสายโซ่สแกนสายเดียวนี้ เอาต์พุตนี้จะเป็นสัญญาณอินพุตให้กับรีจิสเตอร์สแกนในขั้นถัดไป

การทดสอบขั้นทำงานที่ 3 (S3) รีจิสเตอร์สแกนขั้นที่ 2 (SS2) เป็นรีจิสเตอร์สำหรับนำข้อมูลเข้าสู่ขั้นทำงานที่ 3 จะรับข้อมูลจากเอาต์พุตสแกนของรีจิสเตอร์สแกนขั้นที่ 1 (Sout_S1) ส่วนรีจิสเตอร์สำหรับนำข้อมูลออกจากเอาต์พุตของขั้นทำงานที่ 3 เป็นรีจิสเตอร์สแกนขั้นที่ 3 (SS3) โดยออกทางเอาต์พุตสแกน (Sout_S3)

การทดสอบขั้นทำงานที่ 4 (S4) รีจิสเตอร์สแกนขั้นที่ 3 (SS3) เป็นรีจิสเตอร์สำหรับนำข้อมูลเข้าสู่ขั้นทำงานที่ 4 จะรับข้อมูลจากเอาต์พุตสแกนของรีจิสเตอร์สแกนขั้นที่ 2 (Sout_S2) ส่วนรีจิสเตอร์สำหรับนำข้อมูลออกจากเอาต์พุตของขั้นทำงานที่ 4 เป็นรีจิสเตอร์สแกนขั้นที่ 4 (SS4) โดยออกทางเอาต์พุตสแกน (Sout_S4)

การทดสอบขั้นทำงานที่ 5 (S5) รีจิสเตอร์สแกนขั้นที่ 4 (SS4) เป็นรีจิสเตอร์สำหรับนำข้อมูลเข้าสู่ขั้นทำงานที่ 5 จะรับข้อมูลจากเอาต์พุตสแกนของรีจิสเตอร์สแกนขั้นที่ 3 (Sout_S3) ส่วนรีจิสเตอร์สำหรับนำข้อมูลออกจากเอาต์พุตของขั้นทำงานที่ 5 เป็นรีจิสเตอร์สแกนขั้นที่ 5 (SS5) โดยออกทางเอาต์พุตหลัก (Result) ซึ่งเอาต์พุตหลักนี้มีการนำข้อมูลออกเป็นแบบขนาน

4.1.2 สำหรับสายโซ่สแกนหลายสาย

วิธีการทดสอบสำหรับสายโซ่สแกนหลายสายนี้ มีการทำงานคล้ายกับสายโซ่สแกนสายเดียว แต่ด้วยโครงสร้างของสายโซ่สแกนหลายสายนั้นมีจำนวนสายโซ่สแกนมากกว่าหนึ่งสาย ซึ่งแต่ละสายโซ่สแกนนั้นมีอินพุตสแกน เอาต์พุตสแกน และสัญญาณควบคุมแยกออกจากกัน สำหรับวิธีการทดสอบของสายโซ่สแกนนี้ ได้นำวิธีการทดสอบของสายโซ่สแกนสายเดียวมาปรับปรุงให้เข้ากับโครงสร้าง โดยขั้นที่ 1 – 3 นั้น จะมีการทำงานเหมือนกันแต่ทำงานพร้อมกันทุกสายโซ่สแกน และในขั้นที่ 4 – 6 นั้น จะต้องเริ่มทำงานพร้อมกัน ซึ่งการเริ่มต้นในขั้นที่ 4 นั้นจะขึ้นอยู่กับว่าสายโซ่สแกนที่ยาวที่สุดนั้น ทำขั้นที่ 3 เสร็จสิ้นเมื่อใด วิธีการทดสอบสำหรับสายโซ่สแกนหลายสายนี้ เวลาที่ใช้ในการทดสอบขึ้นอยู่กับความยาวของสายโซ่สแกนที่ยาวที่สุด

ตารางที่ 4.3 ความสัมพันธ์ระหว่างรีจิสเตอร์และอินพุตเอาต์พุตที่ใช้ในการทดสอบขั้นทำงานของวงจรทดสอบที่มีสายโซ่สแกนหลายสาย

ขั้นทำงานที่ต้องการทดสอบ	รีจิสเตอร์นำข้อมูลเข้า	รีจิสเตอร์นำข้อมูลออก	อินพุต	เอาต์พุต
S1	SS0	SS1	OpA, OpB	Sout_S1
S2	SS1	SS2	Sin_S1	Sout_S2
S3	SS2	SS3	Sin_S2	Sout_S3
S4	SS3	SS4	Sin_S3	Sout_S4
S5	SS4	SS5	Sin_S4	Result

จากตารางที่ 4.3 แสดงความสัมพันธ์ในการทดสอบขั้นการทำงานกับรีจิสเตอร์รวมถึงอินพุตและเอาต์พุตที่ใช้ในการทดสอบ ซึ่งอธิบายดังนี้

การทดสอบขั้นทำงานที่ 1 (S1) รีจิสเตอร์สแกนขั้นที่ 0 (SS0) เป็นรีจิสเตอร์สำหรับนำข้อมูลเข้าสู่ขั้นทำงานที่ 1 จะรับข้อมูลจากอินพุตหลัก (OpA กับ OpB) ส่วนรีจิสเตอร์สำหรับนำข้อมูลออกจากเอาต์พุตของขั้นทำงานที่ 1 เป็นรีจิสเตอร์สแกนขั้นที่ 1 (SS1) โดยออกทางเอาต์พุตสแกน (Sout_S1) อินพุตหลัก (OpA กับ OpB) เป็นอินพุตที่มีการนำเข้าข้อมูลแบบขนาน

การทดสอบขั้นทำงานที่ 2 (S2) รีจิสเตอร์สแกนขั้นที่ 1 (SS1) เป็นรีจิสเตอร์สำหรับนำข้อมูลเข้าสู่ขั้นทำงานที่ 2 จะรับข้อมูลจากอินพุตสแกน (Sin_S1) ส่วนรีจิสเตอร์สำหรับ

นำข้อมูลออกจากเอาต์พุตของขั้นทำงานที่ 2 เป็นรีจิสเตอร์สแกนขั้นที่ 2 (SS2) โดยออกทางเอาต์พุตสแกน (Sout_S2)

การทดสอบขั้นทำงานที่ 3 (S3) รีจิสเตอร์สแกนขั้นที่ 2 (SS2) เป็นรีจิสเตอร์สำหรับนำข้อมูลเข้าสู่ขั้นทำงานที่ 3 จะรับข้อมูลจากอินพุตสแกน (Sin_S2) ส่วนรีจิสเตอร์สำหรับนำข้อมูลออกจากเอาต์พุตของขั้นทำงานที่ 3 เป็นรีจิสเตอร์สแกนขั้นที่ 3 (SS3) โดยออกทางเอาต์พุตสแกน (Sout_S3)

การทดสอบขั้นทำงานที่ 4 (S4) รีจิสเตอร์สแกนขั้นที่ 3 (SS3) เป็นรีจิสเตอร์สำหรับนำข้อมูลเข้าสู่ขั้นทำงานที่ 4 จะรับข้อมูลจากอินพุตสแกน (Sin_S3) ส่วนรีจิสเตอร์สำหรับนำข้อมูลออกจากเอาต์พุตของขั้นทำงานที่ 4 เป็นรีจิสเตอร์สแกนขั้นที่ 4 (SS4) โดยออกทางเอาต์พุตสแกน (Sout_S4)

การทดสอบขั้นทำงานที่ 5 (S5) รีจิสเตอร์สแกนขั้นที่ 4 (SS4) เป็นรีจิสเตอร์สำหรับนำข้อมูลเข้าสู่ขั้นทำงานที่ 5 จะรับข้อมูลจากอินพุตสแกน (Sin_S4) ส่วนรีจิสเตอร์สำหรับนำข้อมูลออกจากเอาต์พุตของขั้นทำงานที่ 5 เป็นรีจิสเตอร์สแกนขั้นที่ 5 (SS5) โดยออกทางเอาต์พุตหลัก (Result) ซึ่งมีการนำข้อมูลออกเป็นแบบขนาน

4.1.3 สำหรับสายโซ่สแกนหลายสายที่มีตัวตรวจจับข้อมูลไม่ใช่รหัส

สำหรับสายโซ่สแกนหลายสายที่มีตัวตรวจจับข้อมูลที่ไม่ใช่รหัสนี้ สามารถใช้วิธีการทดสอบเดียวกับสายโซ่สแกนหลายสาย

4.2 การตรวจหาความผิดพร่องชนิดคงค่าระดับสัญญาณ

ในการหาความผิดพร่องชนิดคงค่าระดับสัญญาณในจุดเดียวของสายโซ่สแกนสายเดียว สายโซ่สแกนหลายสาย และสายโซ่สแกนหลายสายที่มีตัวตรวจจับข้อมูลที่ไม่ใช่รหัสนั้นจะใช้วิธีการทดสอบที่ออกแบบไว้ ซึ่งสายโซ่สแกนสายเดียวและสายโซ่สแกนหลายสายนั้นสามารถระบุตำแหน่งที่มีความผิดพร่องขึ้น ด้วยข้อมูลทดสอบเดียวกัน

4.2.1 สำหรับสายโซ่สแกนสายเดียวและสายโซ่สแกนหลายสาย

ในการหาความผิดพร่องชนิดคงค่าระดับสัญญาณในจุดเดียวของสายโซ่สแกนสายเดียวและสายโซ่สแกนหลายสายนั้น กรณีที่ความผิดพร่องชนิดคงค่าระดับสัญญาณค่า 1 (s-a-1) นั้นจะใช้ข้อมูลทดสอบที่เป็น 0,1 และ 1,0 ในการระบุตำแหน่งที่เกิดความผิดพร่องจะต้อง

เทียบข้อมูลที่ได้จากกรณีที่ไม่มีความผิดพร่อง ในการหาความผิดพร่องชนิดคงค่าระดับสัญญาณค่า 0 (s-a-0) จะใช้ข้อมูลทดสอบค่า 1,1 ในระบุตำแหน่งที่เกิดความผิดพร่องได้

4.2.2 สำหรับสายโซ่สแกนหลายสายที่มีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส

ในการหาความผิดพร่องชนิดคงค่าระดับสัญญาณในจุดเดียวของสายโซ่สแกนหลายสายที่มีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส จะใช้ข้อมูลทดสอบค่า 0,1 และ 1,0 ถ้าข้อมูลทางเอาต์พุตมีค่าเป็น 0,0 กระบวนการทดสอบจะหยุดการทำงาน เนื่องจากสัญญาณตอบรับของวงจรเชิงผสมในขั้นทำงานที่มีความผิดพร่องเกิดขึ้น จะมีระดับสัญญาณเป็น 0 ทำให้ไม่สามารถทำการทดสอบในขั้นต่อไปได้ ส่วนถ้าข้อมูลเอาต์พุตมีค่าเป็น 1,1 จะทำให้ระดับสัญญาณของสัญญาณ Fail มีการเปลี่ยนแปลงเป็นค่า 1 ซึ่งจะบ่งบอกว่ามีข้อมูลที่ไม่ใช่รหัสเกิดขึ้นภายในวงจร โดยไม่ต้องทำการนำข้อมูลออกสู่เอาต์พุตสแกนเลย

การหาความผิดพร่องชนิดคงค่าระดับสัญญาณที่เกิดขึ้นมากกว่า 1 จุดนั้น ในกรณีที่มีความผิดพร่องเกิดขึ้นในสัญญาณ 2 สัญญาณที่เป็นคู่รหัสกันนั้น จะต้องนำข้อมูลออกสู่เอาต์พุตสแกน เพื่อจะนำข้อมูลที่ได้มาทำการเทียบข้อมูลที่ไม่มีความผิดพร่อง

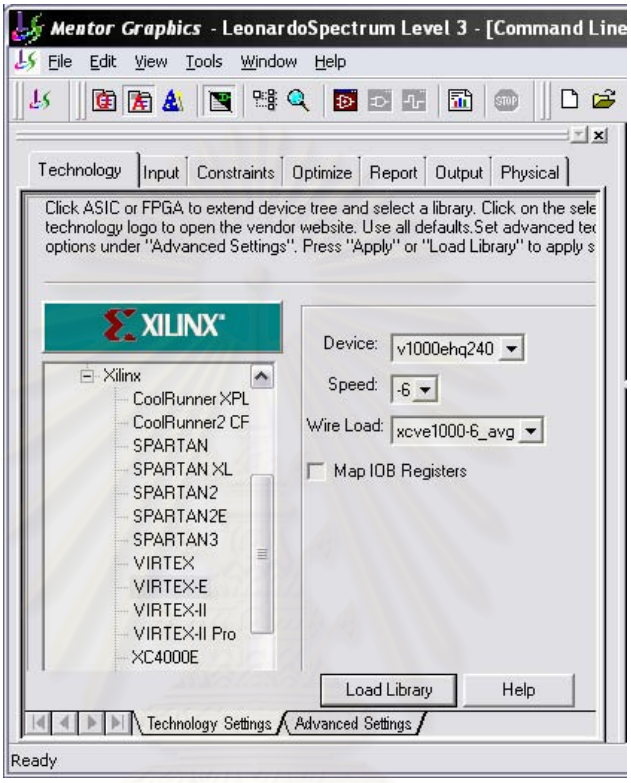
4.3 การสังเคราะห์และการเพลสและเราต์

การสังเคราะห์และการเพลสและเราต์นั้นเป็นขั้นตอนหนึ่งในการออกแบบวงจรดิจิตอล การสังเคราะห์วงจรนั้นเป็นขั้นตอนในการนำวงจรที่เขียนขึ้นด้วยภาษาวีเอชดีแอลกับไลบรารีของอุปกรณ์เอฟพีจีเอ และข้อกำหนดต่างๆ รวมเข้าด้วยกันเพื่อนำไปใช้ในกระบวนการเพลสและเราต์ ซึ่งการเพลสและเราต์นั้นจะทำการจัดวางตำแหน่งของเกต รีจิสเตอร์ ของวงจรให้อยู่ในตำแหน่งเหมาะสม และทำการเดินสายเชื่อมต่อให้กับเกตและรีจิสเตอร์ตามข้อกำหนดของวงจร การเพลสและเราต์นั้นมีความสำคัญเนื่องจากกระบวนการนี้มีผลกับความเร็วของวงจร

4.3.1 การสังเคราะห์ (Synthesis)

งานวิจัยนี้ใช้ภาษาวีเอชดีแอล (VHDL) ในการบรรยายพฤติกรรมการทำงานของวงจรอสมวารรหัสรางคู่ที่มีส่วนทดสอบแบบสแกน เมื่อทำการออกแบบส่วนต่างๆ ของวงจรด้วยภาษาวีเอชดีแอลเสร็จแล้ว จะใช้โปรแกรม LeonardoSpectrum [18] เพื่อสังเคราะห์ให้เป็นวงจรซึ่งมีขั้นตอนดังนี้

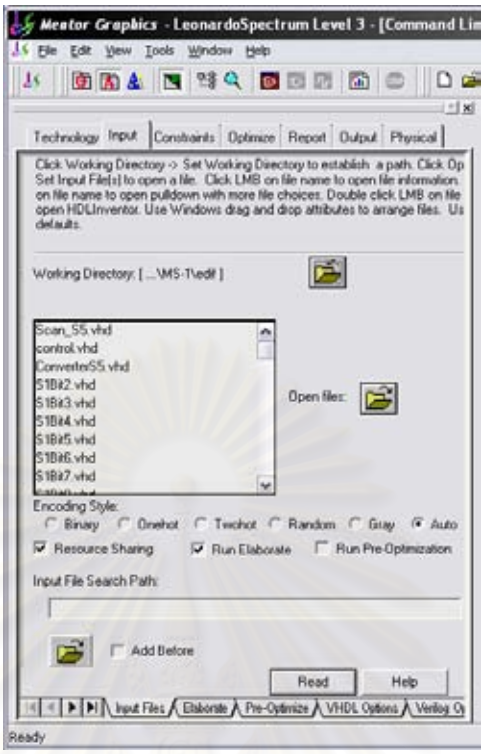
1. ขั้นกำหนดเทคโนโลยี คือการกำหนดอุปกรณ์เอฟจีเอที่ใช้สำหรับสังเคราะห์วงจร กำหนดที่โฟลเดอร์หลักหัวข้อ Technology งานวิจัยนี้ กำหนดอุปกรณ์เอฟพีจีเอเป็น Xilinx VertexE เบอร์ 1000ehq240 ความเร็ว -6 ดังแสดงในรูปที่ 4.2



รูปที่ 4.2 การกำหนดอุปกรณ์เอฟพีจีเอ

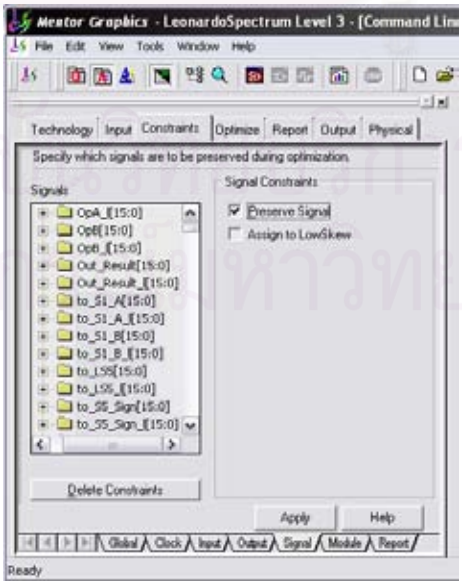
2. ขั้นกำหนดข้อมูล กำหนดที่โฟลเดอร์หลักหัวข้อ Input หัวข้อนี้เกี่ยวข้องกับแฟ้มภาษาวีเอชดีแอลที่เกี่ยวข้องกับวงจร และมีการกำหนดให้ไม่ทำการ Run Pre-Optimization เพื่อป้องกันการเปลี่ยนแปลงโครงสร้างและชื่อสัญญาณภายในวงจรที่ออกไว้ดังแสดงในรูปที่ 4.3

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



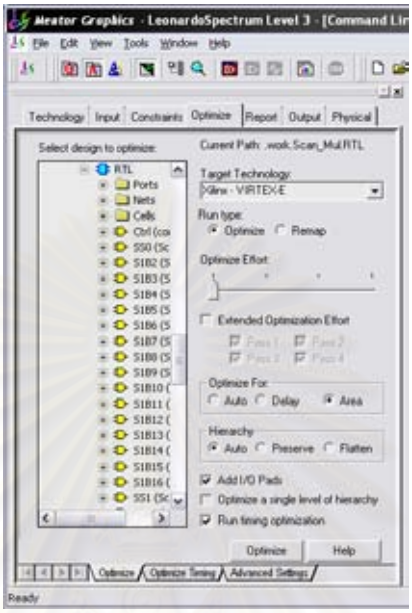
รูปที่ 4.3 การกำหนดตัวเลือกเพื่อไม่ทำการ Run Pre-Optimization

3. ขั้นกำหนดข้อจำกัดสำหรับการสังเคราะห์ กำหนดที่โฟลเดอร์หลักหัวข้อ Constraint ในงานวิจัยนี้ต้องกำหนดให้ทำการ Preserve Signal ทุกๆ ชื่อสัญญาณที่ไม่ใช่อินพุต และเอาต์พุต เพื่อป้องกันการลดรูปวงจร ซึ่งอาจทำให้การทำงานของวงจรผิดพลาด โดยกำหนดที่โฟลเดอร์ย่อยหัวข้อ Signal ดังรูปที่ 4.4



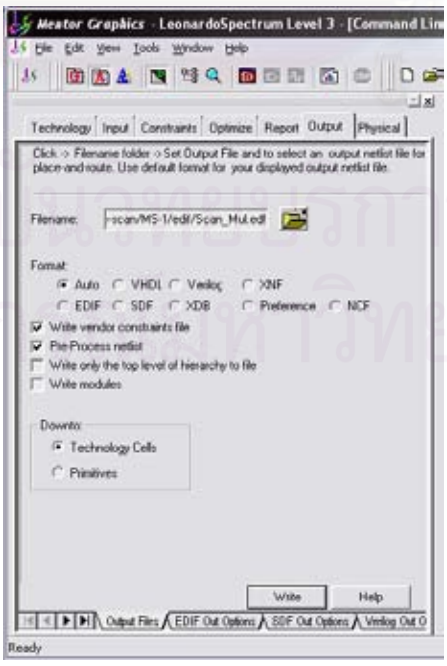
รูปที่ 4.4 การกำหนดตัวเลือกเพื่อทำการ Preserve Signal

4. ขั้น optimize กำหนดที่โฟลเดอร์หลักหัวข้อ Optimize เป็นการนำไลบรารีของเอฟพีจีเอ วงจรที่ออกแบบ และข้อกำหนดต่างๆ รวมเข้าด้วยกัน ดังรูปที่ 4.5



รูปที่ 4.5 การกำหนดตัวเลือกในขั้นตอน Optimize

5. ขั้นสร้างไฟล์เอาต์พุต กำหนดที่โฟลเดอร์หลักหัวข้อ Output เป็นการนำข้อมูลที่ได้จากขั้นตอน Optimize มาสร้างเป็นไฟล์เอาต์พุตที่จะนำไปใช้ต่อในกระบวนการอื่น ดังแสดงในรูปที่ 4.6 สำหรับงานวิจัยนี้ ต้องการไฟล์เอาต์พุต นามสกุล EDIF



รูปที่ 4.6 การกำหนดตัวเลือกในขั้นตอนสร้างไฟล์เอาต์พุต

4.3.2 **การเพลสและเราต์** (Place & Route)

การเพลสและเราต์ของอุปกรณ์เอฟพีจีเอ เป็นกระบวนการสุดท้ายก่อนนำไปโปรแกรมลงชิปเอฟพีจี โดยงานวิจัยนี้ใช้โปรแกรม Xilinx ISE 6.3 [19] และนำใช้ไฟล์นามสกุล EDIF ที่ได้จากการสังเคราะห์ของโปรแกรม LeonardoSpectrum เป็นอินพุตในการเพลสและเราต์ ซึ่งขั้นตอนการเพลสและเราต์สามารถศึกษาได้จากคู่มือการใช้งานของโปรแกรม Xilinx ISE 6.3 สำหรับงานวิจัยนี้จะต้องทำการ generated Post-Place & Route Simulation Model ด้วย ซึ่งโปรแกรม Xilinx ISE 6.3 จะสร้างไฟล์วีเอชดีแอลและไฟล์ความหน่วงมาตรฐาน(Standard Delay Format : SDF) เพื่อนำไปจำลองการทำงานของวงจรที่มีค่าความหน่วงร่วมด้วย โดยไฟล์วีเอชดีแอลที่ได้จะบรรยายในระดับโครงสร้างของวงจรด้วยเทคโนโลยีภายในอุปกรณ์เอฟพีจีเอ และไฟล์ความหน่วงมาตรฐานจะมีความสัมพันธ์กับเทคโนโลยีของอุปกรณ์เอฟพีจีเอ

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 5

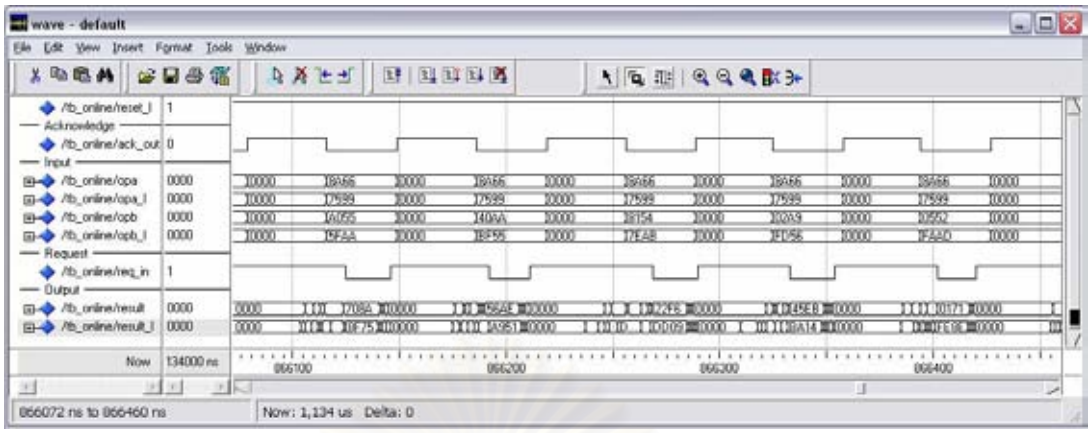
การทดลอง

ภายหลังออกแบบส่วนทดสอบแบบสแกนให้กับวงจรทดสอบแล้ว การตรวจสอบการทำงานในโหมดต่างๆ จะใช้การจำลองการทำงานโดยใช้ไฟล์ทดสอบ (Testbench) กับค่าความหน่วงที่ได้จากกระบวนการเพลสและเราต์ เพื่อจำลองสิ่งแวดล้อมให้กับวงจร ซึ่งการจำลองแบบนี้เรียกว่า การจำลองการทำงานแบบภายหลังการเพลสและเราต์ (post-place & route simulation) ซึ่งใช้โปรแกรม ModelSim [20] ที่มีไลบรารี่ simprims ของบริษัท Xilinx ในบทนี้กล่าวถึงผลจำลองการทำงานของวงจรทดสอบ ผลจำลองในโหมดต่างๆ ของวงจรทดสอบที่มีสายโซ่สแกนสายเดียวและหลายสาย รวมทั้งการเปรียบเทียบผลจำลองการทำงานของวงจรทดสอบ

5.1 ผลจำลองการทำงานของวงจรทดสอบ

การจำลองการทำงานของวงจรทดสอบจะสร้างไฟล์ทดสอบขึ้นเพื่อจำลองสิ่งแวดล้อมให้กับวงจร ซึ่งสิ่งแวดล้อมที่สร้างขึ้นจะแบ่งออกเป็น 2 ส่วน คือสิ่งแวดล้อมส่วนอินพุตและสิ่งแวดล้อมส่วนเอาต์พุต สิ่งแวดล้อมส่วนอินพุตจะเริ่มส่งข้อมูลให้กับอินพุตของวงจรเมื่อสัญญาณตอบรับ (Ack_out) มีค่าระดับสัญญาณเป็น 1 และจะเปลี่ยนเป็นข้อมูลสถานะว่างเมื่อสัญญาณตอบรับมีค่าระดับสัญญาณเป็น 0 สิ่งแวดล้อมส่วนเอาต์พุตจะกำหนดให้สัญญาณร้องขอ (Req_in) มีค่าระดับสัญญาณเป็น 1 เพื่อรอรับข้อมูลจากเอาต์พุตของวงจร และเมื่อได้รับข้อมูลแล้วจะกำหนดให้สัญญาณร้องขอมีค่าระดับสัญญาณเป็น 0 เพื่อให้เอาต์พุตของวงจรกลับสู่ข้อมูลสถานะว่าง วงจรทดสอบมีลักษณะการทำงานเป็นเชิงเหตุการณ์ (Event-Driven) ดังนั้นสิ่งแวดล้อมของวงจรทดสอบจะต้องทำงานในลักษณะเชิงเหตุการณ์ด้วย ผลการจำลองการทำงานแสดงในรูปที่ 5.1

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 5.1 ผลจำลองการทำงานของวงจรทดสอบ

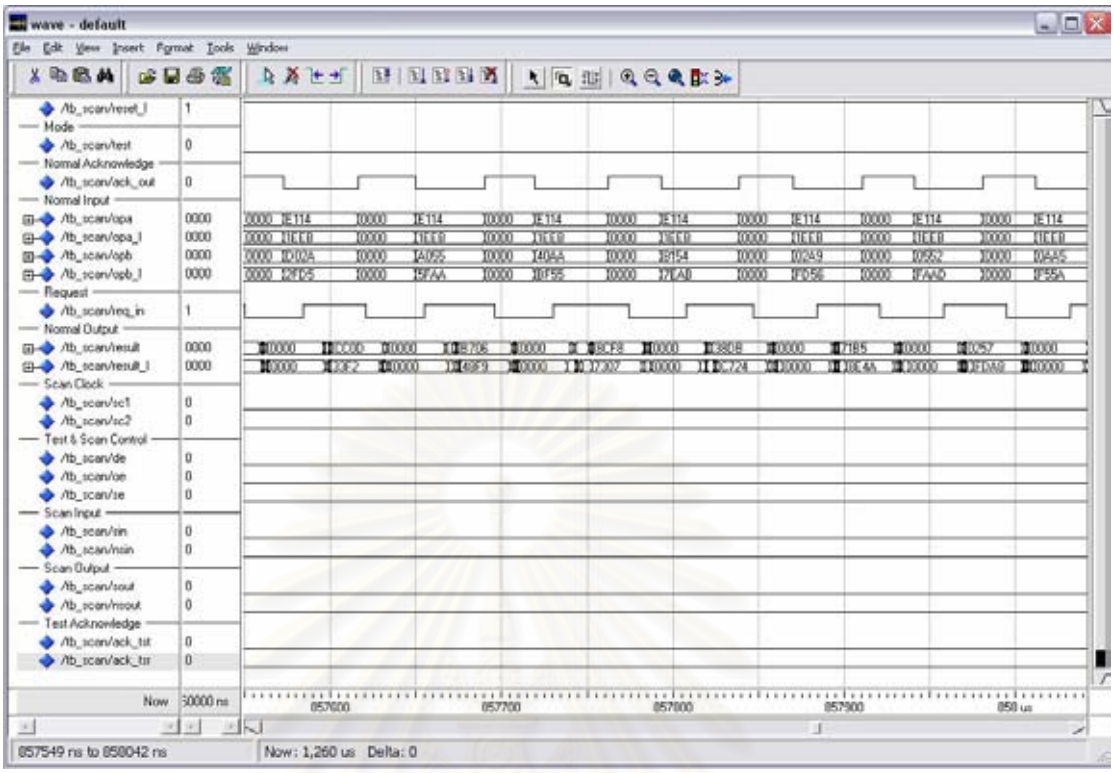
5.2 ผลจำลองการทำงานวงจรทดสอบที่มีสายโซ่สแกนสายเดียว

การทำงานของวงจรทดสอบที่มีสายโซ่สแกนสายเดียวนั้น แบ่งโหมดการทำงานออกเป็น 2 โหมด คือ โหมดการทำงานปกติ (normal operation mode) และโหมดทดสอบและสแกน (Test & Scan Mode) ซึ่งสามารถเลือกโหมดการทำงานได้จากสัญญาณ Test ถ้าสัญญาณ Test มีค่าระดับสัญญาณเป็น 0 คือโหมดการทำงานปกติ และถ้าขาสัญญาณ Test มีค่าระดับสัญญาณเป็น 1 คือโหมดทดสอบและสแกน

5.2.1 ผลจำลองการทำงานในโหมดการทำงานปกติ

โหมดการทำงานปกติของวงจรทดสอบที่มีสายโซ่สแกนสายเดียวมีการทำงานเช่นเดียวกับการทำงานของวงจรทดสอบ โหมดการทำงานปกติของวงจรทดสอบที่มีสายโซ่สแกนสายเดียวนั้นต้องกำหนดค่าระดับสัญญาณของสัญญาณ Test เป็น 0 ผลการจำลองการทำงานของโหมดนี้แสดงในรูปที่ 5.2

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 5.2 ผลจำลองการทำงานโหมดการทำงานปกติของวงจรทดสอบที่มี
สายโซ่สแกนสายเดียว

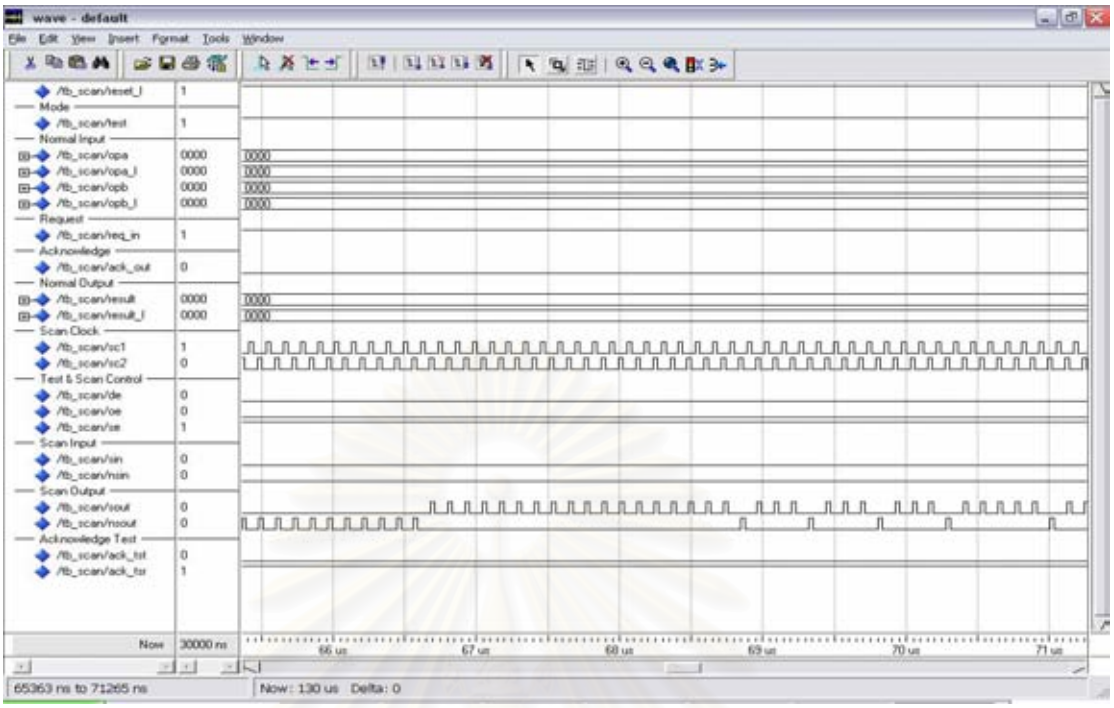
5.2.2 ผลจำลองการทำงานในโหมดทดสอบและสแกน

สำหรับโหมดทดสอบและสแกน มีการทำงานทั้งในโหมดทดสอบและโหมดสแกน เนื่องจากงานวิจัยนี้กำหนดให้อุปกรณ์ภายนอกหรือสิ่งแวดล้อมควบคุมกระบวนการทดสอบ ดังนั้นในการจำลองการทำงานในโหมดนี้ จะต้องจำลองสิ่งแวดล้อมด้วยไฟล์ทดสอบ โดยมีพฤติกรรมการทดสอบตามวิธีการทดสอบตามที่ออกแบบไว้และต้องกำหนดสัญญาณ Test ให้มีค่าระดับสัญญาณเป็น 1

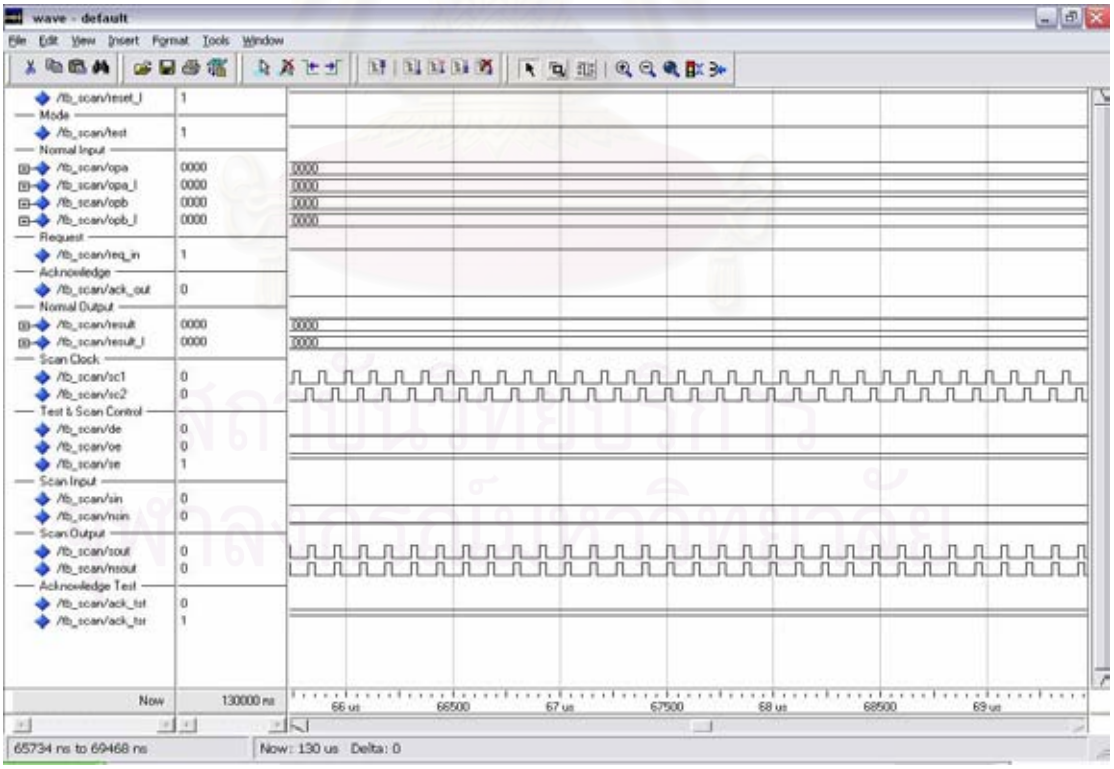
การหาความผิดพร่องของวงจรทดสอบที่มีสายโซ่สแกนสายเดียวจะทำการจำลองการทำงานใน 2 กรณี คือ กรณีไม่มีความผิดพร่อง และกรณีมีความผิดพร่องชนิดคงค่าระดับสัญญาณในจุดเดียว

1. กรณีไม่มีความผิดพร่อง

ผลการจำลองการทำงานในโหมดทดสอบและสแกนของวงจรทดสอบที่มีสายโซ่สแกนสายเดียว ในกรณีไม่มีความผิดพร่อง และใช้ข้อมูลทดสอบที่เป็นรหัสรางคู่ค่า 1,0 ดังแสดงในรูปที่ 5.3



รูปที่ 5.3 ผลการจำลองของวงจรทดสอบที่มีสายโซ่สแกนสายเดียว
ในกรณีไม่มีความผิดพร่องและข้อมูลทดสอบเป็น 1,0



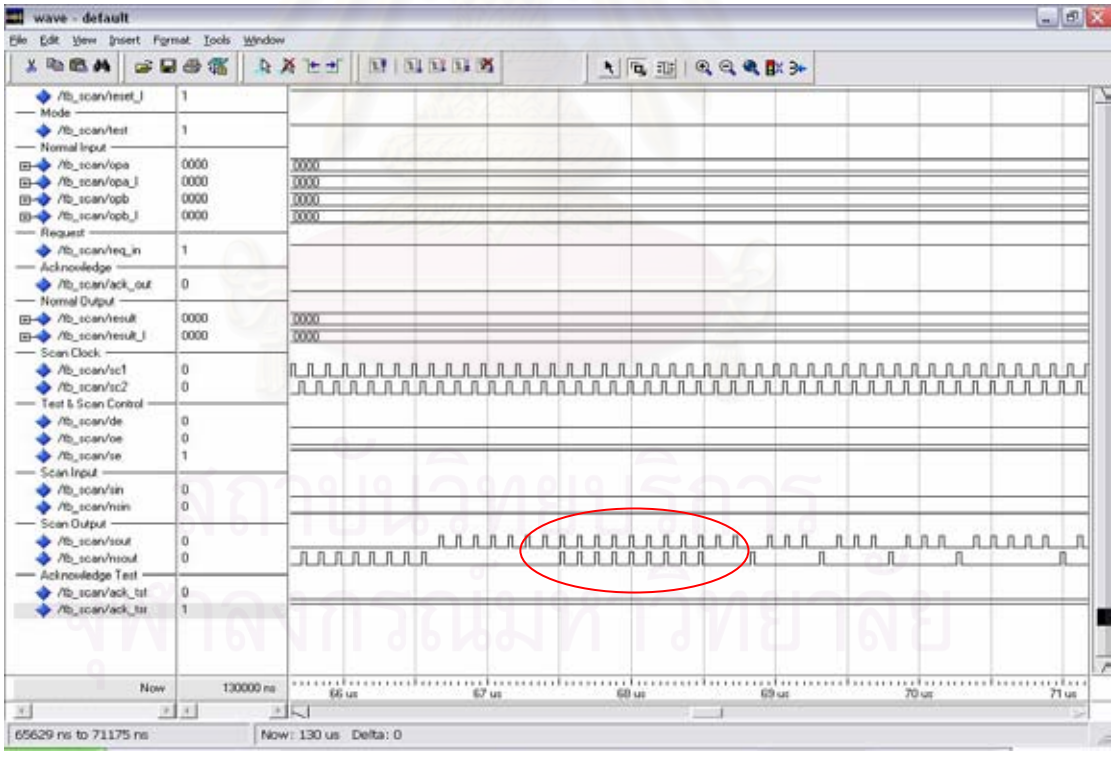
รูปที่ 5.4 ผลการจำลองของวงจรทดสอบที่มีสายโซ่สแกนสายเดียว
ในกรณีไม่มีความผิดพร่องและข้อมูลทดสอบเป็น 1,1

ผลการจำลองการทำงานในโหมดทดสอบและสแกนของวงจรทดสอบที่มีสายโซ่สแกนสายเดียว ในกรณีไม่มีความผิดพร่อง และใช้ข้อมูลทดสอบที่ไม่ใช่รหัสรางคู่ค่า 1,1 ดังแสดงในรูปที่ 5.4

2. กรณีมีความผิดพร่องชนิดคงค่าระดับสัญญาณในจุดเดียว

ในการหาความผิดพร่องชนิดคงระดับสัญญาณในจุดเดียว จะต้องกำหนดตำแหน่งที่เกิดความผิดพร่อง ในการทดลองนี้ได้กำหนดไว้ที่สัญญาณ Val_I ในบิตที่ 8 และเป็นเอาต์พุตของขั้นทำงานที่ 4 ชื่อของสัญญาณคือ S4_Val_I[8] ซึ่งสามารถกำหนดให้เป็นความผิดพร่องชนิดคงค่าระดับสัญญาณค่า 1 (s-a-1) หรือ 0 (s-a-0) ได้

กรณีที่กำหนดให้เป็นความผิดพร่องชนิดคงค่าระดับสัญญาณค่า 1 จะใช้ข้อมูลทดสอบที่เป็นรหัสรางคู่ค่า 1,0 ซึ่งในการจำลองจะสามารถทราบถึงตำแหน่งที่เกิดความผิดพร่องขึ้นได้ ดังแสดงไว้ในวงรีของรูปที่ 5.5

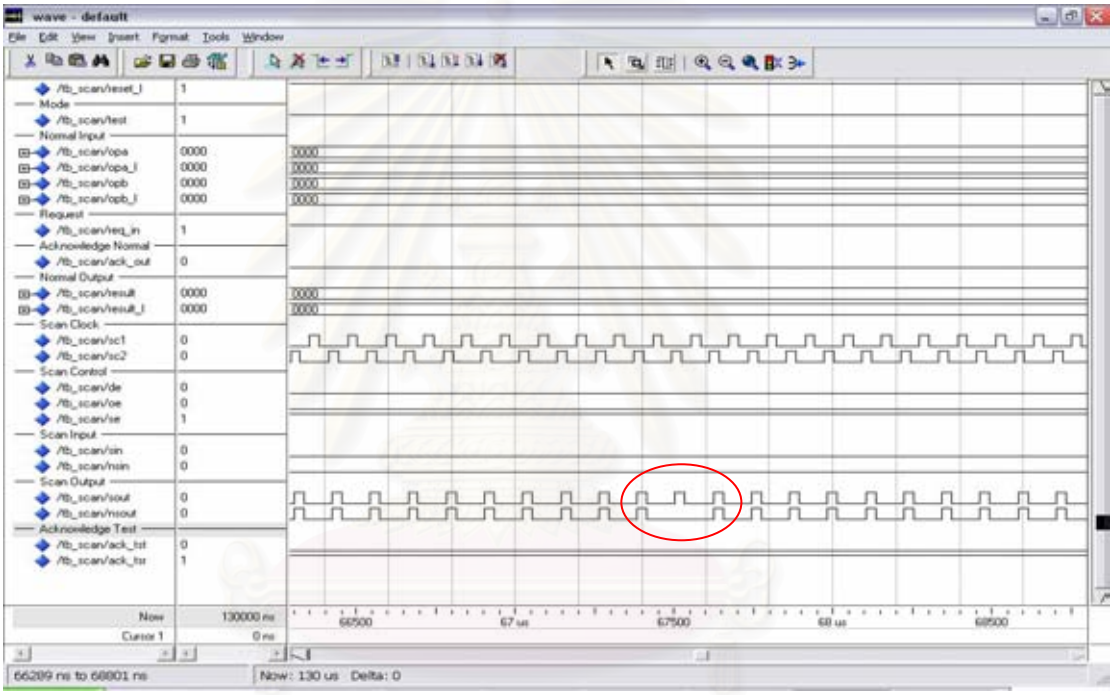


รูปที่ 5.5 ผลการจำลองของวงจรทดสอบที่มีสายโซ่สแกนสายเดียว
ที่มีความผิดพร่องแบบคงค่าระดับสัญญาณค่า 1

ผลการจำลองของวงจรทดสอบที่มีสายโซ่สแกนสายเดียวที่แสดงในรูปที่ 5.5 สามารถสังเกตข้อมูลที่อยู่ภายในวงรีได้ว่ามีข้อมูลที่ไม่ใช่รหัสอยู่ต่อเนื่องกัน เนื่องจากสัญญาณ

S4_Val_I ของวงจรทดสอบ จะเป็นทั้งเอาต์พุตของขั้นทำงานที่ 4 และอินพุตของบิตต่อมาด้วย ซึ่งเมื่อเกิดความผิดพร่องขึ้นในตำแหน่งนี้ จึงเป็นผลให้เกิดข้อมูลที่ไม่ใช่รหัสต่อเนื่องกันมา

กรณีที่กำหนดให้เป็นความผิดพร่องชนิดคงค่าระดับสัญญาณค่า 0 จะใช้ข้อมูลทดสอบที่ไม่ใช่รหัสรางคู่ค่า 1,1 ซึ่งในการจำลองจะสามารถทราบถึงตำแหน่งที่เกิดความผิดพร่องขึ้นได้ ดังแสดงไว้ในวงรีของรูปที่ 5.6 สำหรับการใช้ข้อมูลทดสอบที่ไม่ใช่รหัสรางคู่ค่า 1,1 นั้นผลการจำลองที่ได้จะต้องมีค่าดังแสดงในรูปที่ 5.4 ซึ่งจากผลการจำลองในรูปที่ 5.6 จะแสดงให้เห็นว่ามีการคงค่าสัญญาณค่า 0 ไว้



รูปที่ 5.6 ผลการจำลองของวงจรทดสอบที่มีสายโซ่สแกนสายเดียว
ที่มีความผิดพร่องแบบคงค่าระดับสัญญาณค่า 0

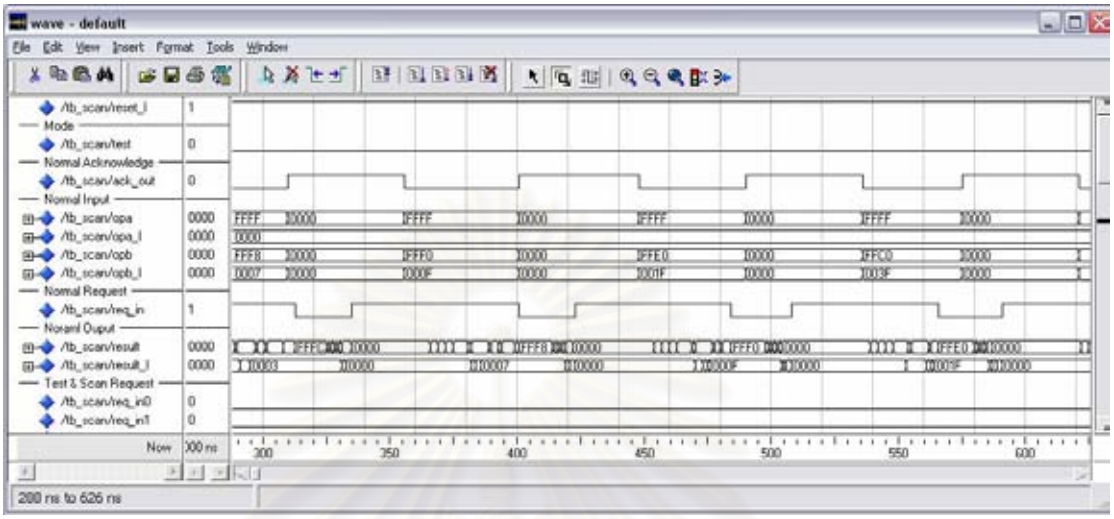
5.3 ผลจำลองการทำงานวงจรทดสอบที่มีสายโซ่สแกนหลายสาย

ในการจำลองการทำงานของวงจรทดสอบที่มีสายโซ่สแกนหลายสาย มีโหมดการทำงานเช่นเดียวกับวงจรทดสอบที่มีสายโซ่สแกนสายเดียว นั่นคือ โหมดการทำงานปกติ และโหมดทดสอบและสแกน

5.3.1 ผลจำลองการทำงานในโหมดการทำงานปกติ

โหมดการทำงานปกติของวงจรทดสอบที่มีสายโซ่สแกนหลายสายนี้ มีการทำงานเช่นเดียวกับการทำงานของวงจรทดสอบ โหมดการทำงานปกติของวงจรทดสอบที่มีสายโซ่สแกน

หลายสายนั้นต้องกำหนดค่าระดับสัญญาณของสัญญาณ Test เป็น 0 ผลการจำลองการทำงานของโหมดนี้แสดงในรูปที่ 5.7



รูปที่ 5.7 ผลจำลองการทำงานในโหมดการทำงานปกติของวงจรทดสอบที่มีสายโซ่สแกนหลายสาย

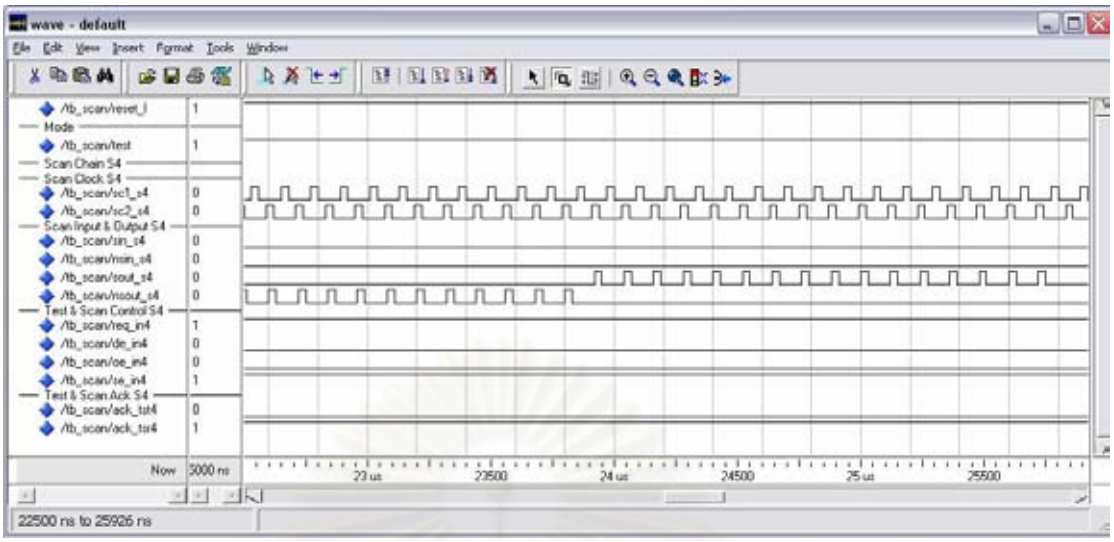
5.3.2 ผลจำลองการทำงานในโหมดทดสอบและสแกน

สำหรับโหมดทดสอบและสแกนของวงจรทดสอบที่มีสายโซ่สแกนหลายสายนี้ จะมีการกำหนดสิ่งแวดล้อมให้มีการทำงานเช่นเดียวกับการทดลองของวงจรทดสอบที่มีสายโซ่สแกนสายเดียว แต่วงจรทดสอบที่มีสายโซ่สแกนหลายสายนี้ มีสายโซ่สแกนทั้งหมด 4 สาย ดังนั้นวิธีการทดสอบจะมีลักษณะที่มีการทำงานเหมือนกัน 4 ชุด และทำงานพร้อมๆ กัน

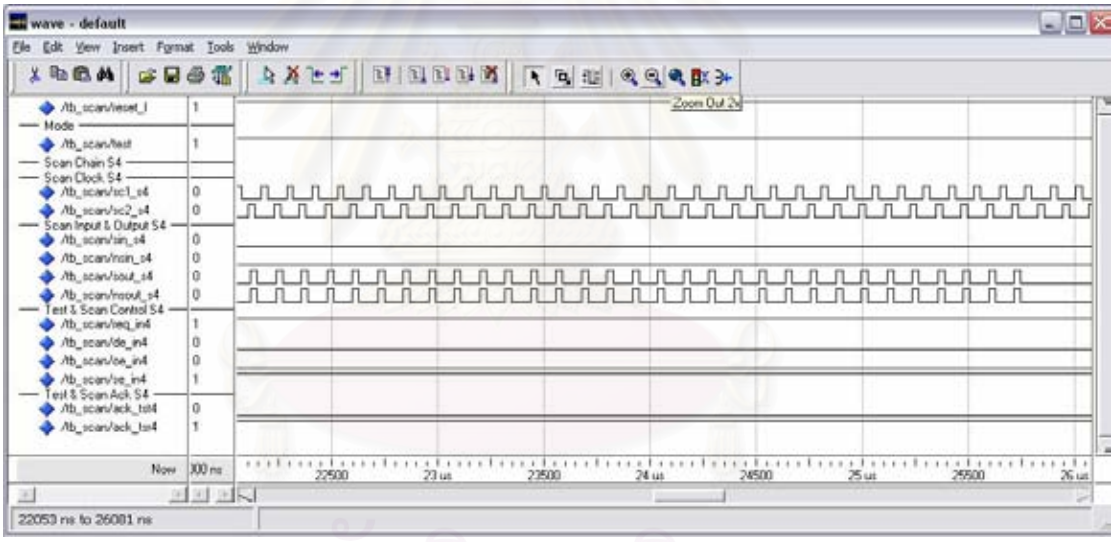
การหาความผิดพร่องของวงจรทดสอบที่มีสายโซ่สแกนหลายสาย จะจำลองการทำงานใน 2 กรณี คือกรณีไม่มีความผิดพร่อง และกรณีมีความผิดพร่องชนิดคงค่าระดับสัญญาณในจุดเดียว

1. กรณีไม่มีความผิดพร่อง

ผลการจำลองการทำงานในโหมดทดสอบและสแกนของวงจรทดสอบที่มีสายโซ่สแกนหลายสาย ในกรณีไม่มีความผิดพร่อง และใช้ข้อมูลทดสอบที่เป็นรหัสรางคู่ค่า 1,0 ดังแสดงในรูปที่ 5.8



รูปที่ 5.8 ผลการจำลองของวงจรทดสอบที่มีสายโซ่สแกนหลายสาย
ในกรณีไม่มีความผิดพร่องและข้อมูลทดสอบเป็น 1,0



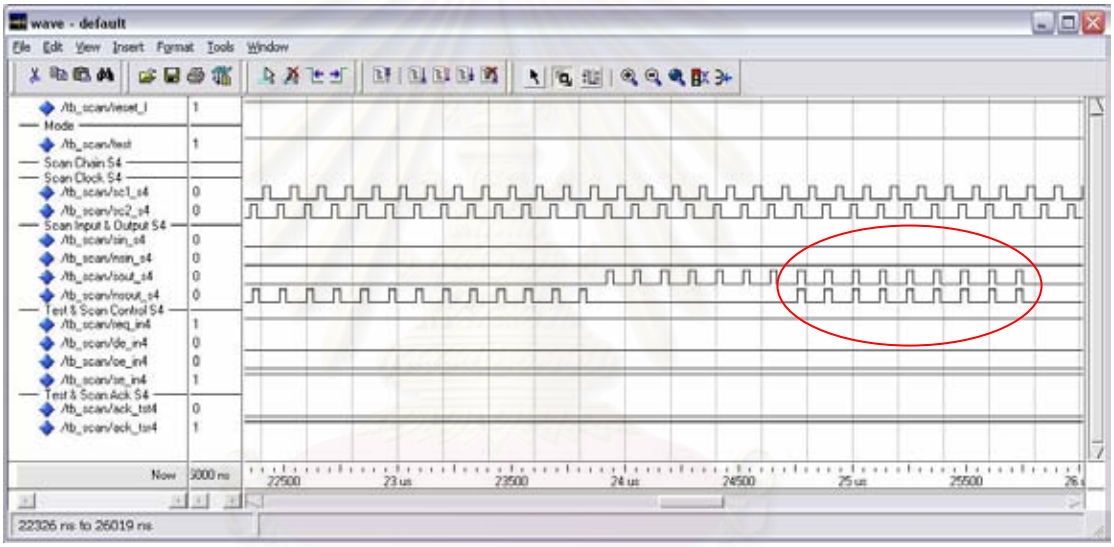
รูปที่ 5.9 ผลการจำลองของวงจรทดสอบที่มีสายโซ่สแกนหลายสาย
ในกรณีไม่มีความผิดพร่องและข้อมูลทดสอบเป็น 1,1

ผลการจำลองการทำงานในโหมดทดสอบและสแกนของวงจรทดสอบที่มีสายโซ่สแกนหลายสาย ในกรณีไม่มีความผิดพร่อง โดยใช้ข้อมูลทดสอบที่ไม่ใช่รหัสรางคู่ค่า 1,1 ดังแสดงในรูปที่ 5.9

2. กรณีมีความผิดพร่องชนิดคงค่าระดับสัญญาณในจุดเดียว

ในการหาความผิดพร่องชนิดคงระดับสัญญาณในจุดเดียว จะต้องกำหนดตำแหน่งที่เกิดความผิดพร่อง ในการทดลองนี้ได้กำหนดไว้ที่สัญญาณ Val_I ในบิตที่ 8 และเป็นเอาต์พุตของขั้นทำงานที่ 4 ชื่อของสัญญาณคือ S4_Val_I[8] ซึ่งสามารถกำหนดให้เป็นความผิดพร่องชนิดคงค่าระดับสัญญาณค่า 1 หรือ 0 ได้

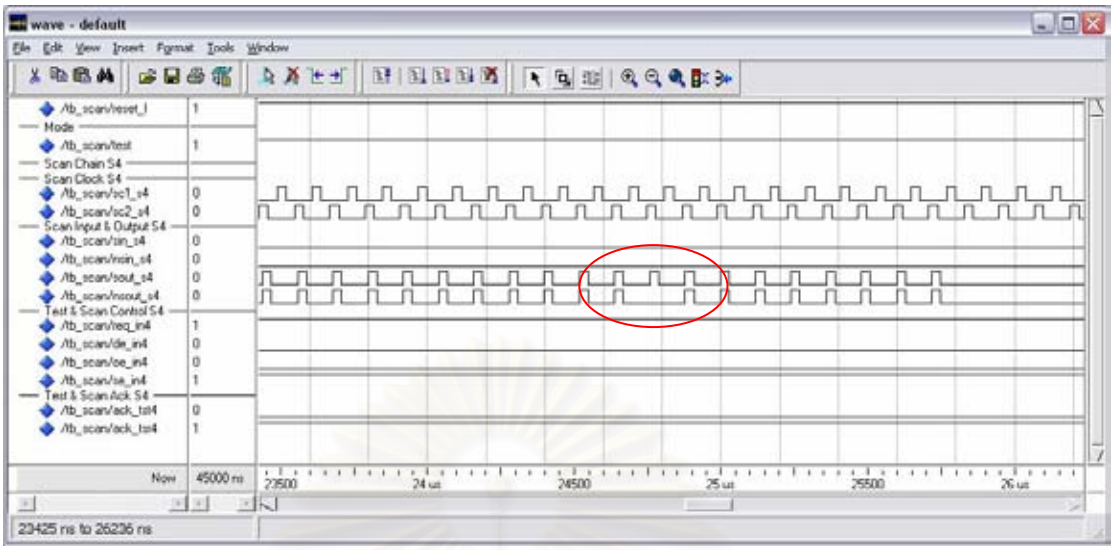
กรณีที่กำหนดให้เป็นความผิดพร่องชนิดคงค่าระดับสัญญาณค่า 1 จะใช้ข้อมูลทดสอบที่เป็นรหัสรางคู่ค่า 1,0 ซึ่งในการจำลองจะสามารถทราบถึงตำแหน่งที่เกิดความผิดพร่องขึ้นได้ ดังแสดงไว้ในวงรีของรูปที่ 5.10



รูปที่ 5.10 ผลการจำลองของวงจรทดสอบที่มีสายโซ่สแกนหลายสาย
ในกรณีมีความผิดพร่องชนิดคงค่าระดับสัญญาณในจุดเดียวที่มีค่าเป็น1

ผลการจำลองของวงจรทดสอบที่มีสายโซ่สแกนหลายสายที่แสดงใน รูปที่ 5.10 สามารถสังเกตข้อมูลภายในวงรีได้ว่ามีข้อมูลที่ไม่ใช่รหัสอยู่ต่อเนื่องกัน ซึ่งเกิดจากความผิดพร่องในสัญญาณ S4_Val_I[8] เป็นผลให้เกิดผลกระทบต่อสัญญาณในบิตต่อๆ มา

กรณีที่กำหนดให้เป็นความผิดพร่องชนิดคงค่าระดับสัญญาณ 0 จะใช้ข้อมูลทดสอบที่ไม่ใช่รหัสรางคู่ค่า 1,1 ซึ่งในการจำลองจะสามารถทราบถึงตำแหน่งที่เกิดความผิดพร่องขึ้นได้ ดังแสดงไว้ในวงรีของรูปที่ 5.11



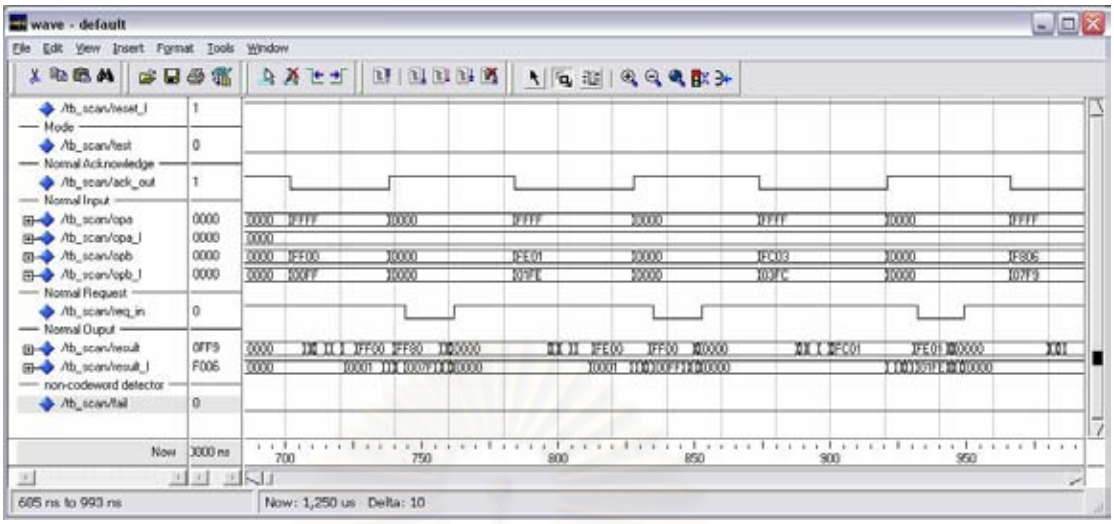
รูปที่ 5.11 ผลการจำลองของวงจรทดสอบที่มีสายโซ่สแกนหลายสาย
ในกรณีมีความผิดพร่องชนิดคงค่าระดับสัญญาณในจุดเดียวที่มีค่าเป็น 0

5.4 ผลจำลองการทำงานของวงจรทดสอบที่มีสายโซ่สแกนหลายสายและมีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส

วงจรทดสอบที่มีสายโซ่สแกนหลายสายและมีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส มีโหมดการทำงานเช่นเดียวกับวงจรทดสอบที่มีสายโซ่สแกนหลายสาย นั่นคือ โหมดการทำงานปกติและโหมดทดสอบและสแกน

5.4.1 ผลจำลองการทำงานในโหมดการทำงานปกติ

โหมดการทำงานปกติของวงจรทดสอบที่มีสายโซ่สแกนหลายสายและมีตัวตรวจจับข้อมูลที่ไม่ใช่รหัสนี้ มีการทำงานเช่นเดียวกับการทำงานของวงจรทดสอบ ซึ่งโหมดนี้ต้องกำหนดค่าระดับสัญญาณของสัญญาณ Test เป็น 0 ผลการจำลองการทำงานของโหมดนี้แสดงในรูปที่ 5.12



รูปที่ 5.12 ผลจำลองการทำงานในโหมดการทำงานปกติของวงจรทดสอบที่มีสายโซ่สแกนหลายสายและมีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส

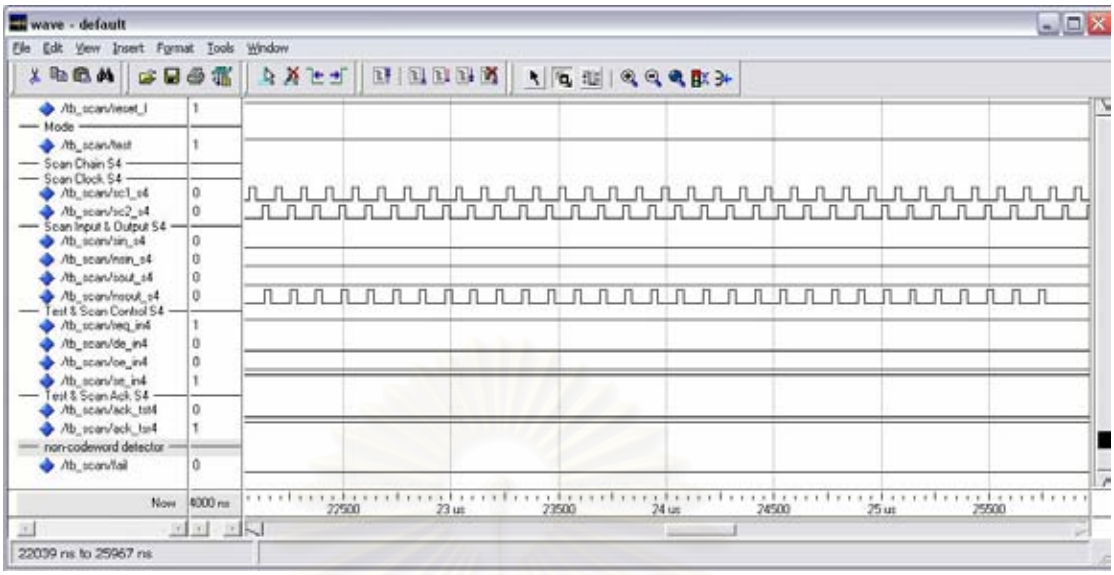
5.4.2 ผลจำลองการทำงานในโหมดทดสอบและสแกน

สำหรับโหมดทดสอบและสแกนของวงจรทดสอบที่มีสายโซ่สแกนหลายสายและมีตัวตรวจจับข้อมูลที่ไม่ใช่รหัสนี้ มีการทำงานเช่นเดียวกับการทดลองของวงจรทดสอบที่มีสายโซ่สแกนหลายสาย

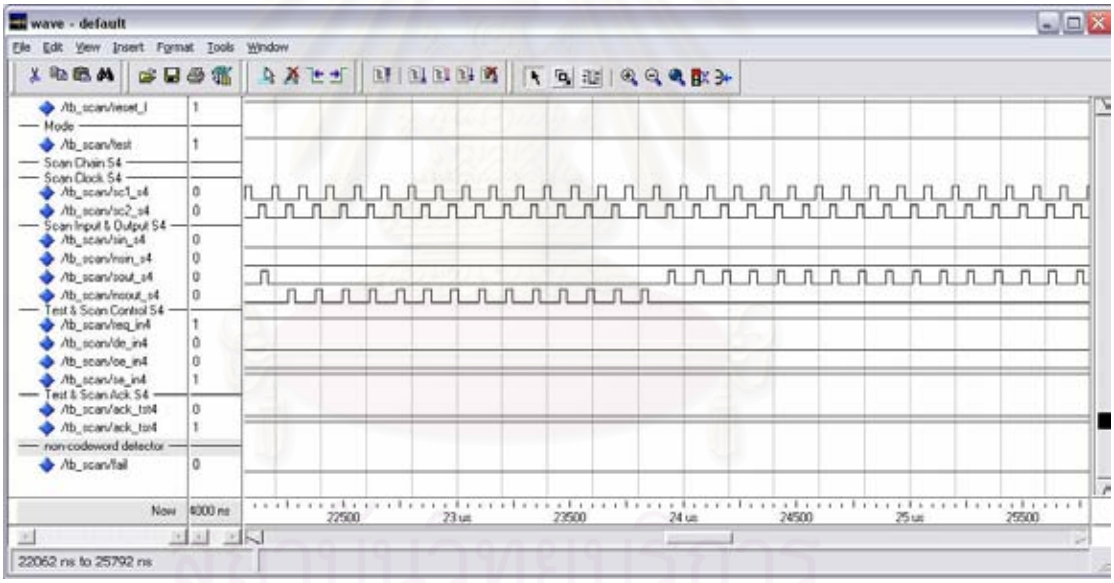
การหาความผิดพร่องของวงจรทดสอบที่มีสายโซ่สแกนหลายสายและมีตัวตรวจจับข้อมูลที่ไม่ใช่รหัสนี้ จะจำลองการทำงานใน 2 กรณี คือกรณีไม่มีความผิดพร่อง และกรณีมีความผิดพร่องชนิดคงค่าระดับสัญญาณในจุดเดียว

1. กรณีไม่มีความผิดพร่อง

ผลการจำลองการทำงานในโหมดทดสอบและสแกนของวงจรทดสอบที่มีสายโซ่สแกนหลายสายและมีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส ในกรณีไม่มีความผิดพร่อง และใช้ข้อมูลทดสอบที่เป็นรหัสรางคู่ค่า 0,1 ดังแสดงในรูปที่ 5.13



รูปที่ 5.13 ผลการจำลองของวงจรทดสอบที่มีสายโซ่สแกนหลายสายและมีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส ในกรณีไม่มีความผิดพร่องและข้อมูลทดสอบเป็น 0,1



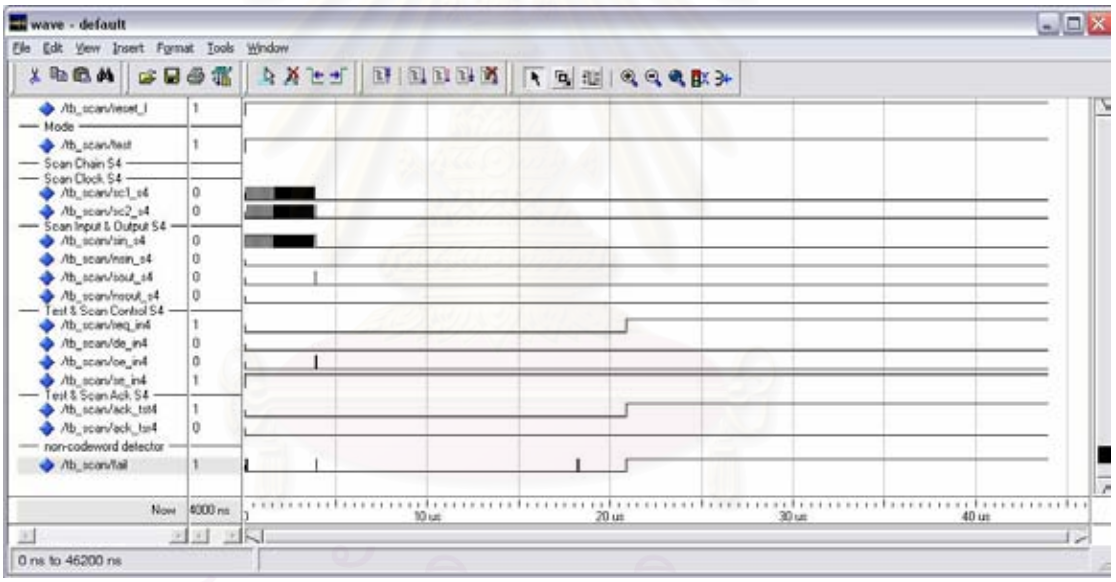
รูปที่ 5.14 ผลการจำลองของวงจรทดสอบที่มีสายโซ่สแกนหลายสายและมีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส ในกรณีไม่มีความผิดพร่องและข้อมูลทดสอบเป็น 1,0

ผลการจำลองการทำงานในโหมดทดสอบและสแกนของวงจรทดสอบที่มีสายโซ่สแกนหลายสายและมีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส ในกรณีไม่มีความผิดพร่อง และใช้ข้อมูลทดสอบที่เป็นรหัสรางคู่ค่า 1,0 ดังแสดงในรูปที่ 5.14

2. กรณีมีความผิดพร่องชนิดคงค่าระดับสัญญาณในจุดเดียว

ในการหาความผิดพร่องชนิดคงค่าระดับสัญญาณในจุดเดียว จะต้องกำหนดตำแหน่งที่เกิดความผิดพร่อง ในการทดลองนี้ได้กำหนดไว้ที่สัญญาณ Val_I ในบิตที่ 8 และเป็นเอาต์พุตของขั้นทำงานที่ 4 ชื่อของสัญญาณคือ S4_Val_I[8] ซึ่งสามารถกำหนดให้เป็นความผิดพร่องชนิดคงค่าระดับสัญญาณค่า 1 หรือ 0 ได้

กรณีกำหนดให้เป็นความผิดพร่องชนิดคงค่าระดับสัญญาณค่า 1 จะใช้ข้อมูลทดสอบเป็นรหัสรางคู่ค่า 1,0 ซึ่งในการจำลองการทำงานจะทำให้สัญญาณ Fail ที่เป็นสัญญาณที่บ่งบอกถึงมีข้อมูลที่ไม่ใช่รหัสขึ้นในวงจร เนื่องจากความผิดพร่องชนิดคงค่าระดับสัญญาณค่า 1 ในตำแหน่ง S4_Val_I[8] มีผลทำให้เกิดข้อมูลที่ไม่ใช่รหัสรางคู่ค่า 1,1 ขึ้น ผลการจำลองการทำงานแสดงในรูปที่ 5.15



รูปที่ 5.15 ผลการจำลองของวงจรทดสอบที่มีสายโซ่สแกนหลายสายและมีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส ในกรณีมีความผิดพร่องที่มีค่าเป็น1

กรณีกำหนดให้เป็นความผิดพร่องชนิดคงค่าระดับสัญญาณค่า 0 ที่สัญญาณ S4_Val_I[8] จากการจำลองที่ใช้ข้อมูลทดสอบที่เป็นรหัสรางคู่ค่า 0,1 ผลที่ได้คือไม่สามารถจำลองการทำงานในโหมดนี้ได้เนื่องจากจากความผิดพร่องที่กำหนดไว้จะทำให้ข้อมูลที่เป็นรหัสรางคู่ที่สัญญาณ S4_Val[8] กับ S4_Val_I[8] มีค่าเป็น 0,0

ตารางที่ 5.1 ผลจำลองการทำงานของวงจรทดสอบและสายโซ่สแกนต่างๆ

วงจรทดสอบ	จำนวนเกต(เกต)	จำนวนขาที่เพิ่มขึ้น	โหมดการทำงานปกติ		โหมดทดสอบและสแกน	
			เวลาเฉลี่ย (ns)	อัตราปริมาณงาน (MHz)	เวลา (us)	Clock speed (MHz)
วงจรทดสอบ	48,669	-	82.6	14	-	-
สายโซ่สแกนสายเดียว	74,703	12	133.3	13.12	128.8	8.33
สายโซ่สแกนหลายสาย	74,817	55	105.62	12.73	43.4	8.33
สายโซ่สแกนหลายสายและมีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส	74,871	66	107.31	12.54	43.4	8.33

5.5 ผลการเปรียบเทียบการทำงานระหว่างวงจรทดสอบกับสายโซ่สแกนต่าง ๆ

งานวิจัยนี้จะเปรียบเทียบผลการจำลองการทำงานของวงจรทดสอบ และวงจรทดสอบที่มีสายโซ่สแกนต่าง ๆ ในด้านขนาดของวงจร ขาสัญญาณที่เพิ่มขึ้น เวลาที่ใช้ในการทำงานในแต่ละโหมดการทำงาน และอัตราปริมาณงาน ดังนี้

5.5.1 ขนาดของวงจร

จากตารางที่ 5.1 วงจรทดสอบที่มีสายโซ่สแกนสายเดียว มีขนาดใหญ่กว่าวงจรทดสอบเดิม คิดเป็น 53.49 เปอร์เซ็นต์ วงจรทดสอบที่มีสายโซ่สแกนหลายสาย มีขนาดใหญ่กว่าวงจรทดสอบเดิม คิดเป็น 53.73 เปอร์เซ็นต์ และวงจรทดสอบที่มีสายโซ่สแกนหลายสายและมีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส มีขนาดใหญ่กว่าวงจรทดสอบเดิม คิดเป็น 53.84 เปอร์เซ็นต์

5.5.2 จำนวนขาสัญญาณที่เพิ่มขึ้น

จากตารางที่ 5.1 วงจรทดสอบที่มีสายโซ่สแกนหลายสายนั้นมีจำนวนขาสัญญาณที่เพิ่มขึ้นจากวงจรทดสอบเดิมมากกว่าวงจรทดสอบที่มีสายโซ่สแกนสายเดียว เนื่องจากวงจรทดสอบที่มีสายโซ่สแกนหลายสายในงานวิจัยนี้มีสายโซ่สแกน 4 สาย และสายโซ่สแกนแต่ละสายมีความยาวไม่เท่ากัน จึงได้กำหนดให้แต่ละส่วนทำงานอิสระต่อกันดังนั้น

สายสัญญาณบางสายที่เคยใช้รวมกันได้จึงได้แยกออกจากกัน อย่างเช่น สายสัญญาณร้องขอ ซึ่งสายโซ่สแกนสายเดียวนั้นจะใช้สัญญาณร้องขอในโหมดทดสอบและสแกนร่วมกับโหมดการทำงานปกติ จึงทำให้มีสัญญาณร้องขอเพียงสัญญาณเดียว และสายสัญญาณตอบรับของแต่ละขั้นการทำงาน รวมถึงของแต่ละรีจิสเตอร์สแกนจะถูกเพิ่มเพื่อให้สามารถควบคุมการทำงานของสายโซ่ได้ ส่วนวงจรทดสอบที่มีสายโซ่สแกนหลายสายและมีตัวตรวจจับข้อมูลที่ไม่ใช่รหัสนั้นมีขาสัญญาณเพิ่มขึ้นมาจากวงจรทดสอบที่มีสายโซ่สแกนหลายสาย จำนวน 1 ขาสัญญาณ เนื่องจากเป็นขาสัญญาณที่ใช้บ่งบอกการเกิดข้อมูลที่ไม่ใช่รหัสขึ้นภายในวงจร

5.5.3 เวลาที่ใช้ในการทำงาน

จากตารางที่ 5.1 เวลาที่ใช้ในการทำงานของวงจรทดสอบจะแบ่งออกเป็น 2 โหมดการทำงาน นั่นคือ โหมดการทำงานปกติ และโหมดทดสอบและสแกน

- โหมดการทำงานปกติ

เวลาที่ใช้ในการทำงานแต่ละชุดข้อมูลเริ่มตั้งแต่การนำข้อมูลเข้าทางอินพุตจนกระทั่งได้เอาต์พุต ซึ่งผลที่ได้จากโหมดนี้ได้จากการจำลองการทำงานของวงจรทดสอบ วงจรทดสอบที่มีสายโซ่สแกนสายเดียว และวงจรทดสอบที่มีสายโซ่สแกนหลายสาย โดยเวลาที่นำมาใช้นั้นเป็นค่าเฉลี่ยจากการนำชุดข้อมูลจำนวน 15,876 ชุด และมีการทำงานในลักษณะการทำงานเชิงเหตุการณ์ จากเมื่อเทียบเวลาในโหมดนี้ระหว่างวงจรทดสอบที่มีสายโซ่สแกนสายเดียวกับวงจรทดสอบที่มีสายโซ่สแกนหลายสายแล้ว วงจรทดสอบที่มีสายโซ่สแกนสายเดียวใช้เวลามากว่าวงจรทดสอบที่มีสายโซ่สแกนหลายสายและวงจรทดสอบที่มีสายโซ่สแกนหลายสายและมีตัวตรวจจับข้อมูลที่ไม่ใช่รหัสนั้นจะใช้เวลามากกว่าวงจรทดสอบที่มีสายโซ่สแกนหลายสาย เพียงเล็กน้อย

- โหมดทดสอบและสแกน

จากเมื่อเทียบเวลาที่ใช้ในโหมดทดสอบและสแกนระหว่างวงจรทดสอบที่มีสายโซ่สแกนสายเดียวกับวงจรทดสอบที่มีสายโซ่สแกนหลายสายแล้ว สังเกตได้ว่าวงจรทดสอบที่มีสายโซ่สแกนหลายสายใช้เวลาน้อยกว่า เนื่องจากวงจรทดสอบที่มีสายโซ่สแกนสายเดียวนั้นมีความยาวของสายโซ่เท่ากับ 535 บิต และใช้เวลาในการทดสอบไป 128.8 ไมโครวินาที ส่วนวงจรทดสอบที่มีสายโซ่สแกนหลายสายนั้นมีการแบ่งสายโซ่ออกเป็น 4 สาย ซึ่งเวลาที่ใช้ในโหมดนี้จะขึ้นอยู่กับสายโซ่ที่ยาวที่สุดนั่นคือ 179 บิต ส่วนวงจรทดสอบที่สายโซ่สแกนหลายสายและมีตัวตรวจจับข้อมูลที่ไม่ใช่รหัสจะใช้เวลาในการทดสอบเท่ากับวงจรทดสอบที่มีสายโซ่สแกนหลายสาย ซึ่งใช้เวลาในการทดสอบไป 43.4 ไมโครวินาที

5.5.4 อัตราปริมาณงาน

จากตารางที่ 5.1 อัตราปริมาณงานนั้นสามารถหาได้จากโหมดการทำงานปกติ โดยอัตราปริมาณงานของวงจรทดสอบมีค่าเป็น 14 เมกกะเฮิรตซ์ วงจรทดสอบที่มีสายโซ่สแกนสายเดียว มีอัตราปริมาณงาน เป็น 13.12 เมกกะเฮิรตซ์ วงจรทดสอบที่มีสายโซ่สแกนหลายสาย มีอัตราปริมาณงาน เป็น 12.73 เมกกะเฮิรตซ์ และวงจรทดสอบที่มีสายโซ่สแกนหลายสายและมีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส มีอัตราปริมาณงานเป็น 12.54 เมกกะเฮิรตซ์ เนื่องจากเวลาที่ใช้ทั้งหมดของวงจรทดสอบที่มีสายโซ่สแกนหลายสายและวงจรทดสอบที่มีสายโซ่สแกนหลายสายและมีตัวตรวจจับข้อมูลที่ไม่ใช่รหัสนั้น มากกว่าวงจรทดสอบที่มีสายโซ่สแกนสายเดียว สาเหตุมาจากวงจรทดสอบที่มีสายโซ่สแกนหลายสายนั้นใช้เวลาในการกลับสู่สถานะว่างของสายสัญญาณมากกว่าวงจรทดสอบที่มีสายโซ่สแกนสายเดียว

จากตารางที่ 5.1 ความถี่ของสัญญาณนาฬิกาที่ใช้ในการควบคุมการนำข้อมูลเข้าและออกจากสายโซ่สแกน นั้น มีความถี่เป็น 8.33 เมกกะเฮิรตซ์ โดยมีค่าเปอร์เซ็นต์ duty cycle เท่ากับ 25 เปอร์เซ็นต์ และสัญญาณนาฬิกาเส้นที่สองนั้น ใช้ความถี่เดียวกันกับสัญญาณแรก และมีค่า period offset เป็น 60 นาโนวินาที

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 6

สรุปผลการวิจัยและข้อเสนอแนะ

6.1 สรุปผลการวิจัย

งานวิจัยนี้ได้นำเสนอแนวทางการทดสอบแบบสแกนให้กับวงจรอสมวารที่มีการทำงานเป็นไปป์ไลน์รหัสรางคู่ ซึ่งมีโครงสร้างที่ประกอบขึ้นด้วยวงจรเชิงผสมและรีจิสเตอร์ โดยรีจิสเตอร์จะคั่นอยู่ระหว่างวงจรเชิงผสม 2 วงจร

การทดสอบแบบสแกนในงานวิจัยนี้ได้นำวิธีการออกแบบสแกนด้วยระดับสัญญาณซึ่งเป็นวิธีทดสอบแบบสแกนของวงจรสมวารมาประยุกต์ใช้ โดยออกแบบสแกนเซลล์แบบอสมวารรหัสรางคู่ให้สามารถนำข้อมูลเข้าและออกจากเซลล์ในลักษณะดังต่อไปนี้ คือเข้าออกแบบขนาน (PIPO) เข้าอนุกรมออกขนาน (SIPO) เข้าขนานออกอนุกรม (PISO) และเข้าอนุกรมออกอนุกรม (SISO) การนำข้อมูลเข้าออกแบบขนานของสแกนเซลล์นั้นจะต้องมีพฤติกรรมการทำงานเหมือนกับแลตช์อสมวารรหัสรางคู่ที่อยู่ภายในรีจิสเตอร์ของวงจรอสมวาร ซึ่งสร้างด้วยอุปกรณ์ซนิดซี ส่วนการนำข้อมูลเข้าและออกที่เกี่ยวกับอนุกรมของสแกนเซลล์ สร้างขึ้นด้วยดีแลตช์ และการนำข้อมูลเข้าออกถูกควบคุมด้วยสัญญาณนาฬิกา เพราะสัญญาณนาฬิกามีจังหวะการทำงานที่แน่นอนทำให้ข้อมูลทดสอบถูกนำเข้าสู่กระบวนการทดสอบได้ถูกต้อง และการควบคุมการทำงานมีความซับซ้อนน้อยกว่าเป็นการใช้สัญาณตอบรับและร้องขอของวงจรอสมวารและการกลับสู่ศูนย์ของข้อมูลรหัสรางคู่ จะทำให้เวลาที่ใช้มากขึ้นด้วย

รีจิสเตอร์สแกนแบบอสมวารรหัสรางคู่สร้างขึ้นจากสแกนเซลล์แบบอสมวารรหัสรางคู่ ซึ่งรีจิสเตอร์สแกนสามารถนำข้อมูลเข้าและออกได้ 4 ลักษณะเช่นเดียวกับสแกนเซลล์ โดยส่วนอนุกรมของแต่ละสแกนเซลล์จะต่อกันเป็นสายโซ่ และรีจิสเตอร์สแกนสามารถกำหนดโหมดการทำงานได้ การทดสอบแบบสแกนนั้นจะนำรีจิสเตอร์สแกนไปแทนที่รีจิสเตอร์ของวงจร ไปป์ไลน์รหัสรางคู่แบบอสมวารที่ต้องการทดสอบ โดยขนาดของรีจิสเตอร์สแกนนั้นขึ้นอยู่กับขนาดของรีจิสเตอร์ของวงจรที่ต้องการทดสอบ และถ้านำสายโซ่สแกนของแต่ละรีจิสเตอร์สแกนในวงจรที่ต้องการทดสอบมาต่อกันเป็นสายโซ่สายเดียว เรียกว่า สายโซ่สแกนสายเดียว และถ้าสายโซ่สแกนในวงจรมีหลายสาย จะเรียกว่า สายโซ่สแกนหลายสาย การควบคุมการทำงานของสายโซ่สแกนต่างๆ ที่เชื่อมต่อกับวงจรทดสอบแล้วนั้น จะมีโหมดการทำงาน 2 โหมดคือ โหมดการทำงานปกติ (Normal operation mode) และโหมดทดสอบและสแกน (Test & scan mode) ซึ่งโหมดทดสอบ

และสแกน จะควบคุมการทำงานในกระบวนทดสอบทั้งหมด นอกจากนี้ในงานวิจัยนี้ได้สร้างสแกนเซลล์แบบอสมวารรหัสรางคู่ให้มีความสามารถในการตรวจจับข้อมูลที่ไม่ใช่รหัส โดยข้อมูลที่ไม่ใช่รหัสและไม่ได้ใช้ของวงจรอสมวาร คือ ข้อมูล 1,1 สแกนเซลล์ที่สามารถตรวจจับข้อมูลที่ไม่ใช่รหัสได้นั้นจะต้องเปลี่ยนเกตออร์ สำหรับสร้างสัญญาณตอบรับเป็น เกตออร์เฉพาะ (Xor gate) เพื่อใช้ตรวจจับข้อมูล 1,1 ได้ สำหรับการนำไปสร้างรีจิสเตอร์สแกนที่สามารถตรวจจับข้อมูลที่ไม่ใช่รหัสได้นั้น ต้องทำการเพิ่มวงจรในส่วนของวงจรตอบรับของรีจิสเตอร์ ให้สามารถบ่งบอกได้ว่ามีข้อมูลที่ไม่ใช่รหัสเกิดขึ้น ดังนั้นในแต่ละรีจิสเตอร์สแกนจะมีสัญญาณบ่งบอกถึงข้อมูลไม่ใช่รหัส เมื่อนำมาแทนที่รีจิสเตอร์วงจรทดสอบและต่อสายโซ่สแกนให้เป็นแบบหลายสาย จะเรียกว่า สายโซ่สแกนหลายสายที่มีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส ซึ่งการตรวจจับนี้สามารถตรวจจับข้อมูลที่ไม่ใช่รหัสได้เฉพาะโหมดทดสอบและสแกนเท่านั้น

ในงานวิจัยนี้ได้นำวงจรคูณเลขอิงดรรชนีแบบอสมวารที่ใช้อัลกอริธึมการคูณแบบเชื่อมตรงขนาด 16 บิต [7] มาใช้เป็นวงจรที่ต้องการทดสอบ แต่ด้วยลักษณะการทำงานของวงจรนั้นไม่ใช่ไปป์ไลน์รหัสรางคู่ ดังนั้นจึงต้องทำการปรับปรุงการทำงานของวงจรทดสอบให้ทำงานเป็นไปป์ไลน์รหัสรางคู่และทำงานร่วมกับสิ่งแวดล้อมที่มีสภาวะการทำงานรับเข้าส่งออกได้ ซึ่งต้องเปลี่ยนแลตช์ภายในรีจิสเตอร์เป็นแลตช์อสมวารรหัสรางคู่ที่ใช้อุปกรณ์ชนิดซี เมื่อปรับปรุงวงจรคูณเลขอิงดรรชนีแบบอสมวารที่ใช้อัลกอริธึมการคูณแบบเชื่อมตรงขนาด 16 บิต ให้มีการทำงานเป็นไปป์ไลน์รหัสรางคู่แล้ว จะเรียกวงจรนี้ว่า วงจรทดสอบ

การวิจัยในขั้นต่อมาจะทำการเปลี่ยนรีจิสเตอร์ของวงจรทดสอบให้เป็นรีจิสเตอร์สแกน และนำสายโซ่ของแต่ละรีจิสเตอร์สแกนมาต่อกันเป็นสายเดียว ซึ่งเรียกวงจรทดสอบนี้ว่าวงจรทดสอบที่มีสายโซ่สแกนสายเดียว ซึ่งการทำงานในโหมดการทำงานปกติ จะใช้การควบคุมการทำงานเช่นเดียวกับวงจรทดสอบ ส่วนโหมดทดสอบและสแกนนั้น จะใช้สัญญาณนาฬิกา 2 สัญญาณในการควบคุมการนำข้อมูลเข้าและออกจากสายโซ่สแกน ร่วมกับสัญญาณควบคุมอื่นๆ

ผลจากการจำลองการทำงานในโหมดการทำงานปกติของวงจรทดสอบที่มีสายโซ่สแกนสายเดียวนั้น พบว่าการทำงานในโหมดนี้เวลาที่ใช้ในการทำงานเพิ่มขึ้นไม่มากนักเมื่อเทียบกับวงจรทดสอบ แต่ขนาดของวงจรมีขนาดใหญ่มากขึ้น 53.49 เปอร์เซ็นต์ เมื่อเทียบกับวงจรทดสอบ สำหรับการจำลองการทำงานในโหมดทดสอบและสแกน ใช้เวลามากเนื่องจากสายโซ่สแกนยาว 535 บิต ซึ่งใช้เวลาในการทดสอบไป 128.8 ไมโครวินาที

การวิจัยในขั้นต่อมาจะทำการแบ่งสายโซ่สแกนออกเป็นหลายสาย เพื่อลดเวลาที่ใช้ในการทดสอบลง ซึ่งสายโซ่สแกนที่มีความยาว 535 บิต ถูกแบ่งออกเป็น 4 สาย สายแรกมีความยาว 151 บิต สายที่สองยาว 179 บิต สายที่สามยาว 173 บิต และสายสุดท้ายยาว 32 บิต ซึ่งแบ่งออกตามสายโซ่ของแต่ละรีจิสเตอร์สแกน และจากการแบ่งสายโซ่ออกเป็น 4 สายนั้น จะต้องเพิ่มสัญญาณควบคุมการทำงานของแต่ละสายให้สามารถทำงานอิสระต่อกันได้ ซึ่งเรียกวงจรทดสอบนี้ว่า วงจรทดสอบที่มีสายโซ่สแกนหลายสาย

ผลจากการจำลองการทำงานในโหมดการทำงานปกติของวงจรทดสอบที่มีสายโซ่สแกนหลายสายนี้ พบว่าเวลาที่ใช้ในโหมดนี้จะเพิ่มขึ้นไม่มากนักเมื่อเทียบกับวงจรทดสอบ สำหรับการจำลองการทำงานในโหมดทดสอบและสแกน เวลาที่ใช้ในโหมดนี้ลดลงจากวงจรทดสอบที่มีสายโซ่สแกนสายเดียวมาก แต่เวลาที่ใช้ทั้งหมดในโหมดนี้จะขึ้นอยู่กับเวลาที่ใช้กับสายโซ่สแกนที่ยาวที่สุดนั่นคือสายที่สอง และใช้เวลาไป 43.4 ไมโครวินาที

การวิจัยต่อมาคือการนำรีจิสเตอร์สแกนที่มีตัวตรวจจับข้อมูลที่ไม่ใช่รหัส มาแทนที่รีจิสเตอร์ของวงจรทดสอบ และแบ่งหลายโซ่สแกนออกเป็น 4 สาย เหมือนกับ สายโซ่สแกนหลายสาย และได้รวมสัญญาณ Fail จากแต่ละรีจิสเตอร์สแกนเข้าด้วยกัน

ผลจากการจำลองการทำงานในโหมดการทำงานปกติของวงจรทดสอบที่มีสายโซ่สแกนหลายสายที่มีตัวตรวจจับข้อมูลที่ไม่ใช่รหัสนี้ พบว่าเวลาเฉลี่ยที่ใช้ในโหมดนี้จะเพิ่มขึ้นจากวงจรทดสอบที่มีสายโซ่สแกนหลายสาย ขึ้นเพียงเล็กน้อย และในโหมดทดสอบและสแกนนั้นจะใช้เวลาเท่ากับวงจรทดสอบที่มีสายโซ่สแกนหลายสาย

สำหรับการตรวจหาความผิดพร่องชนิดคงค่าระดับสัญญาณในจุดเดียวนั้น จะต้องกำหนดจุดที่เกิดความผิดพร่องขึ้นก่อน และในการตรวจหาจะแยกออกเป็น 2 กรณี คือกรณีที่มีความผิดพร่องเป็น s-a-0 และ s-a-1 .ในการตรวจหาความผิดพร่องที่เป็น s-a-0 สำหรับวงจรทดสอบที่มีสายโซ่สแกนสายเดียว และหลายสายนั้น สามารถใช้ข้อมูลทดสอบที่มีข้อมูลไม่ใช่รหัสนั่นคือ 1,1 ในการทดสอบได้และจะทำให้ตรวจหาตำแหน่งที่เกิดความผิดพร่องได้ ส่วนกรณีการตรวจหาความผิดพร่องที่เป็น s-a-1 นั้นจะใช้ข้อมูลทดสอบที่เป็น 1,0 หรือ 0,1 ในการตรวจหา และต้องสังเกตข้อมูลทางด้านเอาต์พุต เทียบกับเอาต์พุตของวงจรในกรณีที่ไม่มีความผิดพร่องและต้องใช้ข้อมูลทดสอบชุดเดียวกัน สำหรับวงจรทดสอบที่มีสายโซ่สแกนหลายสายและมีตัวตรวจจับข้อมูลที่ไม่ใช่รหัสนั้น การตรวจหาความผิดพร่องจะใช้ข้อมูลทดสอบเป็น 0,1 หรือ 1,0 ถ้าการทำงานในโหมดทดสอบและสแกนไม่มีเอาต์พุตออก แสดงว่าเกิดความผิดพร่องที่เป็น s-a-0 ขึ้น

และทำให้รหัสรางคู่ในบิตนั้นมีค่าเป็น 0,0 ทำให้ไม่สามารถนำข้อมูลออกสู่ภายนอกได้ แต่ถ้าสัญญาณ Fail นั้นเกิดมีค่าระดับสัญญาณเป็น 1 ซึ่งแสดงได้ว่าเกิดความผิดพร่องที่เป็น s-a-1 ขึ้น และทำให้รหัสรางคู่ในบิตนั้นมีค่าเป็น 1,1 ขึ้น

จากผลการจำลองการทำงานสามารถสรุปได้ว่า วงจรทดสอบที่มีสายโซ่สแกนทั้งแบบสายเดียวและหลายสาย จะใช้เวลาในการทำงานของโหมดการทำงานปกติและอัตราปริมาณงานของส่วนทดสอบทั้งสองแบบอยู่ในเกณฑ์ดี ส่วนเวลาที่ใช้กับโหมดทดสอบและสแกนของส่วนทดสอบแบบหลายสายมีความเร็วมากกว่าแบบสายเดียวประมาณ 3 เท่า โดยการทดสอบแบบสแกนของวงจรอสมวารจะแตกต่างจากการทดสอบแบบสแกนของวงจรสมวาร เนื่องจากวงจรอสมวารมีการทำงานในโหมดการทำงานปกติที่ไม่ใช้สัญญาณนาฬิกา ดังนั้นในการทดสอบจึงต้องใช้สัญญาณตอบรับและสัญญาณร้องในการควบคุมการทดสอบด้วย ซึ่งการควบคุมการทดสอบของวงจรอสมวารจะใช้วิธีการของวงจรอสมวารและสมวาร ร่วมกัน นั่นคือใช้สัญญาณตอบรับสัญญาณร้องขอและสัญญาณนาฬิกา สำหรับวงจรทดสอบที่มีสายโซ่สแกนหลายสายและมีตัวตรวจจับข้อมูลที่ไม่ใช่รหัสนั้น ในการตรวจหาความผิดพร่องชนิดคงค่าระดับสัญญาณในจุดเดียวนั้น สามารถหาได้โดยไม่ต้องนำข้อมูลออกทางเอาต์พุตสแกน แต่ถ้าการหาความผิดพร่องชนิดหลายจุดในกรณีเกิดความผิดพร่องที่สัญญาณของรหัสรางคู่ ทั้งสองสายนั้น จำเป็นต้องนำข้อมูลออกทางเอาต์พุตสแกนเพื่อนำมาเทียบกับข้อมูลที่ได้จากกรณีไม่มีความผิดพร่อง

6.2 ข้อเสนอแนะ

วงจรทดสอบที่มีสายโซ่สแกนหลายสายที่นำเสนอนั้นได้มีการแบ่งสายโซ่ที่มีความยาวไม่เท่ากันทำให้เวลาที่ใช้ในโหมดทดสอบและสแกน นั้นขึ้นอยู่กับสายโซ่ที่ยาวที่สุด ดังนั้นการลดเวลาที่ใช้ในโหมดทดสอบและสแกนนี้ สามารถทำได้โดยการแบ่งสายโซ่ให้มีความยาวเท่ากันทั้งหมด นอกจากเวลาที่ใช้จะลดลงแล้ว การควบคุมการทำงานจะง่ายขึ้นด้วย

วิธีการทดสอบสำหรับสายโซ่สแกนต่างๆ ที่นำเสนอนั้น จะให้สิ่งแวดล้อมหรืออุปกรณ์ภายนอกเป็นผู้ควบคุมการทดสอบ ซึ่งจะทำให้จำนวนสายสัญญาณที่เป็นอินพุตและเอาต์พุตของวงจรทดสอบที่มีสายโซ่สแกนต่างๆ นั้นมีจำนวนมาก ดังนั้นแนวทางพัฒนาที่จะลดสายสัญญาณอินพุตเอาต์พุตทดสอบและสัญญาณควบคุมการทำงาน นั่นคือ นำตัวสร้างข้อมูลทดสอบ (Test Pattern Generator: TPG) ตัววิเคราะห์ข้อมูลที่ผ่านการทดสอบ (Output Response Analyzer: ORA) และหน่วยควบคุมการทดสอบ (Test controller) เพื่อจะทำให้เป็นการทดสอบตัวเองแบบฝังอยู่ภายใน (Built-In Self-Test: BIST) วิธีการนี้จะทำให้สายสัญญาณที่

เกี่ยวข้องกับการทดสอบลดลงเหลือน้อยที่สุด หรือนำสแกนเซลล์ที่สร้างขึ้นมาทำการปรับปรุงให้มีความสามารถสร้างข้อมูลทดสอบหรือตัววิเคราะห์ข้อมูลทางเอาต์พุตได้ ซึ่งเป็นวิธีการหนึ่งของการทดสอบตัวเองแบบฝังอยู่ภายใน ที่เรียกว่า Built-In Logic Block Observer: BILBO

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

รายการอ้างอิง

1. S. Hauck. Asynchronous design methodologies : An overview. Proceeding of IEEE 83,1 (January 1995) : 69-93.
2. C. J. Myers. Asynchronous circuit design. (n.p.) : John Wiley & Sons, Inc., 2001.
3. J. Sparsø and S. B. Furber. Principles of Asynchronous circuit design : A systems perspective. (n.p.) : Kluwer Academic Publishers, 2001.
4. P. K. Lala. Fault tolerant and fault testable hardware design. London : Prentice-Hall International, Inc., 1985
5. S Piestrak, T. Nanya. Towards totally self-checking quasi-delay-insensitive systems. Proceeding 25th International Symposium on Fault-Tolerant Computing 1995
6. B. R. Kishore and T. Nanya. On concurrent error detection of asynchronous circuits using mixed-signal approach. IEICE Trans. on Information and Systems E80-D-I No.3 (March 1997) : 351 - 361
7. ปิยะ วราบุญทวีสุข. การออกแบบวงจรคูณเลขอิงดรรชนีแบบอสมวารโดยใช้อัลกอริทึมการคูณแบบเชื่อมตรง. วิทยานิพนธ์ปริญญามหาบัณฑิต สาขาวิศวกรรมคอมพิวเตอร์ คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย, 2546.
8. S. B. Park. Synthesis of Asynchronous VLSI Circuits from Signal Transition Graph Specifications. Doctoral dissertation, Department of Engineering-Computer Science, Tokyo Institute of Technology (TIT), 1996
9. T. Nanya, Y. Ueno, H. Kagotani, M. Kuwako, and A. Takamura. TITAC: design of a quasi-delay-insensitive microprocessor. Design & Test of Computers, IEEE 11 (1994) : 50-63.
10. T. Nanya, A. Takamura et al. Scalable-delay-Insensitive Design : A high-performance approach to dependable asynchronous systems (Invited paper). Proc. International Symp. on Future of Intellectual Integrated Electronics (Mar. 1999) : 531-540.
11. T. Nanya, A. Takamura et al. TITAC-2: An asynchronous 32-bit microprocessor based on Scalable-Delay-Insensitive model. Proceeding of ICCD, IEEE (October 1997) : 288-294.

12. P. K. Lala. Digital circuit testing and testability. (n.p.) : Academic Press, 1997.

13. M. L. Bushnell and V. D. Agrawal. Essentials of electronic testing for digital, memory and mixed-signal VLSI circuits. (n.p.) : Kluwer Academic, 2000.

14. C. E. Stroud. A designer's guide to built-in self-test. (n.p.) : Kluwer Academic, 2002.

15. M. Abramovici, M. A. Breuer, and A. D. Friedman. Digital systems testing and testable design. New York, NY : Computer Science Press, 1990.

16. A. Khoche and E. Brunvand. Testing Micropipelines. Proceeding of Advanced Research in Asynchronous Circuits and Systems (Async94) 1994

17. O. A. Petlin and S. B. Furber. Scan testing of micropipelines. Proc. of the 13th IEEE VLSI Test Symposium (VTS'95) 1995

18. Mentor Graphics Corporation. LeonardoSpectrum[Online]. (n.d.). Available from: http://www.mentor.com/products/fpga_pld/synthesis/leonardo_spectrum(2006, March 20)

19. Xilinx Incorporation. Xilinx: ISE Foundation[Online]. (n.d.). Available from: http://www.xilinx.com/ise/logic_design_prod/foundation.htm(2006, March 20)

20. Mentor Graphics Corporation. ModelSim[online]. (n.d.). Available from: http://www.model.com(2006, March 20)

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

ประวัติผู้เขียนวิทยานิพนธ์

นายสมโชค เชวงชวลิต เกิดเมื่อวันที่ 26 มีนาคม พ.ศ. 2522 ที่จังหวัดกรุงเทพมหานคร สำเร็จการศึกษาปริญญาวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมคอมพิวเตอร์ จาก ภาควิชาวิศวกรรมคอมพิวเตอร์ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยสยาม ในปีการศึกษา 2544 และได้เข้าศึกษาต่อในหลักสูตรวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมคอมพิวเตอร์ ที่ภาควิชาวิศวกรรมคอมพิวเตอร์ คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย ในภาคการศึกษาปลาย ปีการศึกษา 2546

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย