การออกแบบไมโครโพรเซสเซอร์แบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้โดยอาศัยพื้นฐานของไมโครโพรเซสเซอร์ไทแทก

นายอนล ธรรมตระการ

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิทยาศาสตรมหาบัณฑิต
สาขาวิชาวิทยาศาสตร์คอมพิวเตอร์ ภาควิชาวิศวกรรมคอมพิวเตอร์
คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย
ปีการศึกษา 2544

ISBN 974-03-1401-5

ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย

I20341039

AN ASYNCHRONOUS SCALABLE-DELAY-INSENSITIVE MICROPROCESSOR DESIGN BASED ON TITAC MICROPROCESSOR

Mr.Anon Tamtrakarn

A Thesis Submitted in Partial Fulfillment of the Requirements

for the Degree of Master of Science in Computer Science

Department of Computer Engineering

Faculty of Engineering

Chulalongkorn University

Academic Year 2001

ISBN 974-03-1401-5

หัวข้อวิทยานิพนธ์	การออกแบบไมโครโพรเซสเซอร์แบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้โดยอาศัยพื้นฐานของไมโครโพรเซสเซอร์ไทแทก
โดย	นายอนล ธรรมตระการ
สาขาวิชา	วิทยาศาสตร์คอมพิวเตอร์
อาจารย์ที่ปรึกษา	อาจารย์ ดร.อาทิตย์ ทองทักษ์

คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย อนุมัติให้นับวิทยานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญามหาบัณฑิต

..... คณบดีคณะวิศวกรรมศาสตร์
(ศาสตราจารย์ ดร.สมศักดิ์ ปัญญาแก้ว)

คณะกรรมการสอบวิทยานิพนธ์

..... ประธานกรรมการ
(ผู้ช่วยศาสตราจารย์ เมธี ศรีสังวาล)

..... อาจารย์ที่ปรึกษา
(อาจารย์ ดร.อาทิตย์ ทองทักษ์)

.....กรรมการ
(รองศาสตราจารย์ ดร.ประภาส จงสถิตย์วัฒนา)

.....กรรมการ
(อาจารย์ ดร.สืบสกุล พิภพมงคล)

อนล ธรรมตระการ : การออกแบบไมโครโพรเซสเซอร์แบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้โดยอาศัยพื้นฐานของไมโครโพรเซสเซอร์ไทแทก (AN ASYNCHRONOUS SCALABLE-DELAY-INSENSITIVE MICROPROCESSOR DESIGN BASED ON TITAC MICROPROCESSOR) อ. ที่ปรึกษา : ดร.อาทิตย์ ทองทักษ์, 72 หน้า. ISBN 974-03-1401-5.

การออกแบบไมโครโพรเซสเซอร์แบบอสมวารนั้นมีความยุ่งยากและซับซ้อนกว่าไมโครโพรเซสเซอร์แบบสมวารพอสมควร ยิ่งการออกแบบให้มีสมรรถนะที่ดีด้วยนั้นเป็นสิ่งที่ต้องสิ้นเปลืองเวลาในการคิดออกแบบมากทีเดียว จึงได้มีงานวิจัยมากมายพยายามเสนอทางเลือกที่สามารถนำมาใช้ในการออกแบบวงจรอสมวาร งานวิจัยชิ้นนี้มีจุดมุ่งหมายเพื่อสร้างต้นแบบของการออกแบบไมโครโพรเซสเซอร์แบบอสมวารให้สามารถนำไปใช้ในการวิจัยต่อไปได้ โดยได้มีการออกแบบทั้งโมเดลที่ไม่ไวต่อความหน่วงชนิดเสมือนและชนิดปรับมาตราส่วนได้ เพื่อการเปรียบเทียบสมรรถนะและความสิ้นเปลืองในการออกแบบด้วยโมเดลทั้งสอง

ไมโครโพรเซสเซอร์ตัวนี้ได้ถูกออกแบบในระดับเกตเป็นส่วนใหญ่ และใช้ภาษา Verilog ในการจำลองแบบการทำงาน โดยมีการกำหนดค่าความหน่วงเกตเป็นค่าคงที่ค่าหนึ่ง และกำหนดให้ไม่มีค่าความหน่วงในสายสัญญาณเสมือนว่าค่าความหน่วงของสายสัญญาณได้รวมเอาไว้กับค่าความหน่วงเกตแล้ว เมื่อพิจารณาสมรรถนะที่ได้จากโมเดลที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้นั้นเปรียบเทียบกับโมเดลที่ไม่ไวต่อความหน่วงชนิดเสมือนแล้ว จากผลการทดลองด้วยโปรแกรมทดสอบจำนวน 10 ชุดพบว่ามีสมรรถนะที่ดีขึ้นถึง 25.17 เปอร์เซ็นต์ และใช้จำนวนเกตที่ลดลงไปถึง 28.61 เปอร์เซ็นต์ ทำให้โมเดลที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้กลายเป็นทางเลือกในการออกแบบวงจรอสมวารที่น่าสนใจกว่ามาก

ภาควิชา	วิศวกรรมคอมพิวเตอร์	**ลายมือชื่อนิสิต**	
สาขาวิชา	วิทยาศาสตร์คอมพิวเตอร์	**ลายมือชื่ออาจารย์ที่ปรึกษา**	
ปีการศึกษา	2544	**ลายมือชื่ออาจารย์ที่ปรึกษาร่วม**	

4170615721 : MAJOR COMPUTER ENGINEERING

KEYWORD: ASYNCHRONOUS / SCALABLE-DELAY-INSENSITIVE / MICROPROCESSOR / COMPUTER ARCHITECTURE

ANON TAMTRAKARN : AN ASYNCHRONOUS SCALABLE-DELAY-INSENSITIVE MICROPROCESSOR DESIGN BASED ON TITAC MICROPROCESSOR. THESIS ADVISOR : ARTHIT THONGTAK, Ph.D. 72 pp. ISBN 974-03-1401-5.

Designing an asynchronous microprocessor is a complicated and time-consuming task. Especially, designing a high performance one will dramatically increase the design difficulty. There are numerous papers trying to represent various approaches in designing a dependable asynchronous system. This thesis is intended to provide an asynchronous microprocessor design prototype. It is expected to be of some use in further research. In the design we use both quasi-delay-insensitive (QDI) and scalable-delay-insensitive (SDI) model so that we can point out some interesting aspects by comparison, especially in the performance point.

We applied both QDI and SDI model in designing the microprocessor and verified our mostly gate-level logic design by using a Verilog simulator. We assigned a fix-value delay to each logic gate and a zero delay to each interconnection wire assuming it is included in the logic gate. The experiment from our 10 testing programs shows that the SDI model offers the performance increase over the QDI model around 25.17 percent and the gate count is decreased by 28.61 percent. The result indicates that the SDI model is considered a better alternative when it comes to asynchronous system design.

Department	Computer Engineering	**Student's signature**	Anon Tam
Field of study	Computer Science	**Advisor's signature**	Arthit
Academic year	2001	**Co-Advisor's signature**	

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้นอกจากจะสำเร็จลุล่วงได้ด้วยตัวของผู้วิจัยเองแล้ว ก็ยังเป็นเพราะด้วยการสนับสนุนจากผู้อื่นอีกมากมาย ซึ่งก่อนอื่นต้องขอขอบคุณอาจารย์ ดร.อาทิตย์ ทองทักษ์ อาจารย์ที่ปรึกษาวิทยานิพนธ์ ซึ่งได้ให้ความสนับสนุนด้วยดีมาโดยตลอด รวมถึงคำแนะนำต่างๆ ในการทำวิจัยด้วย

ผู้วิจัยขอขอบคุณ คุณปัญจภา เรืองสินทรัพย์ เป็นอย่างสูง สำหรับคำชี้แนะและแนวคิดในการวิจัยอันมีค่ายิ่งที่ให้แก่ผู้วิจัย ซึ่งมีส่วนช่วยเหลือเป็นแนวทางในการออกแบบและพัฒนาให้แก่ผู้วิจัยเป็นอย่างยิ่ง

ผู้วิจัยขอขอบคุณ ห้องปฏิบัติการ Digital System Engineering Laboratory ที่เป็นสถานที่พักพิง และมีเครื่องมือให้ใช้งานในการทำวิจัย

ผู้วิจัยขอขอบคุณเพื่อนๆ ทุกคนที่ได้ให้คำปรึกษา คำแนะนำ กำลังใจ และความช่วยเหลือในด้านต่างๆ ซึ่งทำให้การทำงานวิจัยสามารถดำเนินการได้จนสำเร็จลุล่วง

และสุดท้ายนี้ ผู้วิจัยขอกราบขอบพระคุณ บิดา-มารดา ที่คอยเป็นกำลังใจให้แก่ผู้วิจัย และเชื่อมั่นในตัวผู้วิจัยเสมอมา อีกทั้งยังให้ความสนับสนุนในด้านต่างๆ อย่างเต็มที่โดยตลอด

สารบัญ

หน้า

บทคัดย่อภาษาไทย ..... ง

บทคัดย่อภาษาอังกฤษ ..... จ

กิตติกรรมประกาศ ..... ฉ

สารบัญ ..... ช

สารบัญภาพ ..... ฌ

สารบัญตาราง ..... ฎ

บทที่

1. บทนำ 1

    1.1 ความเป็นมาและความสำคัญของปัญหา 1

    1.2 วัตถุประสงค์ 3

    1.3 ขอบเขตการวิจัย 3

    1.4 ขั้นตอนการดำเนินงานวิจัย 4

    1.5 ประโยชน์ที่คาดว่าจะได้รับ 4

2. ทฤษฎีที่เกี่ยวข้อง 5

    2.1 โมเดลวงจร (Circuit Models) 5

    2.2 อุปกรณ์ชนิดซี (C-Element) 8

    2.3 วงจรเชิงผสมแบบอสมวาร (Asynchronous Combination Logic) 8

    2.4 การออกแบบวงจรรางคู่ โดยใช้ตรรกะรางคู่ไร้ตัวผกผัน (Inverter-Free 2-Rail Logic Implementation) 10

    2.5 การออกแบบวงจรรางคู่ โดยใช้แผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ (Reduced-Ordered-Binary Decision Diagram (ROBDD) Implementation) 11

    2.6 อุปกรณ์ชนิดคิว (Q Element) 13

3. ส่วนเส้นทางข้อมูล (Data Path) 14

    3.1 การออกแบบรูปแบบคำสั่ง 14

    3.2 โครงสร้างของส่วนเส้นทางข้อมูล 15

สารบัญ (ต่อ)

บทที่ หน้า

3.3 รีจิสเตอร์ 18

3.4 หน่วยคำนวณและตรรกะ 21

3.5 วงจร Shifter 28

3.6 หน่วยความจำ (Memory Unit) 30

4. ส่วนควบคุม (Control Unit) 32

4.1 การออกแบบส่วนควบคุม 32

4.2 โครงสร้างของส่วนควบคุม 33

4.3 การทำงานของส่วนควบคุม 35

5. ผลการทดลองและสรุป 38

5.1 ผลการทดลอง 38

5.2 สรุป 41

5.3 ข้อเสนอแนะและแนวทางในการวิจัยต่อ 42

รายการอ้างอิง 43

ภาคผนวก

ภาคผนวก ก 46

ภาคผนวก ข 47

ภาคผนวก ค 49

ภาคผนวก ง 51

ภาคผนวก จ 54

ภาคผนวก ฉ 56

ภาคผนวก ช 66

ประวัติผู้เขียนวิทยานิพนธ์ 72

สารบัญภาพ

	ภาพประกอบ	หน้า
รูปที่ 1.1	โครงสร้างของไมโครโพรเซสเซอร์ไทแทก	3
รูปที่ 2.1	Delay-Insensitive	5
รูปที่ 2.2	Quasi-Delay-Insensitive	5
รูปที่ 2.3	Scalable-Delay-Insensitive	6
รูปที่ 2.4	Muller's C-Element	8
รูปที่ 2.5	การทำงานแบบ 2-Rail 2-Phase (Return-To-Zero) Operation	9
รูปที่ 2.6	วงจรเชิงผสมแบบอสมวาร	9
รูปที่ 2.7	ตรรกะรางคู่ไร้ตัวผกผันจากวงจรสมวารโดยทั่วไป (ซ้าย) มาเป็นวงจรอสมวาร (ขวา)	10
รูปที่ 2.8	ตัวอย่างการออกแบบวงจรอสมวารด้วย ROBDD	12
รูปที่ 2.9	Martin's Q Element	13
รูปที่ 2.10	อุปกรณ์ชนิดซีแบบ 2 อินพุต 2 เอาท์พุต	13
รูปที่ 3.1	รูปแบบของการกำหนดรหัสคำสั่ง	14
รูปที่ 3.2	ส่วนเส้นทางข้อมูลของไมโครโพรเซสเซอร์	16
รูปที่ 3.3	แสดงตัวอย่างรีจิสเตอร์ 2 บิต (a) ส่วนอินพุต (b) ภายในรีจิสเตอร์	19
รูปที่ 3.4	การต่อเกต OR เมื่อมีหลายอินพุต	19
รูปที่ 3.5	วงจรส่วนตอบรับของรีจิสเตอร์ที่ออกแบบโดยโมเดลที่ไม่ไวต่อความหน่วงชนิดเสมือน	20
รูปที่ 3.6	วงจรส่วนตอบรับของรีจิสเตอร์ที่ออกแบบโดยโมเดลที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้	21
รูปที่ 3.7	การรีเซ็ตค่าให้กับรีจิสเตอร์	21
รูปที่ 3.8	(a) ตารางค่าความจริง (b) BDD (c) ROBDD (d) วงจรสลับค่า B เมื่อเป็นคำสั่งลบ	23
รูปที่ 3.9	(a) ตารางค่าความจริง (b) BDD (c) ROBDD (d) วงจร AND	23
รูปที่ 3.10	(a) ตารางค่าความจริง (b) BDD (c) ROBDD (d) วงจร OR	23
รูปที่ 3.11	(a) ตารางค่าความจริง (b) BDD (c) ROBDD (d) วงจร XOR ที่ใช้อินพุตเป็น (Bout,Bout')	24

สารบัญภาพ (ต่อ)

	ภาพประกอบ	หน้า
รูปที่ 3.12	(a) ตารางค่าความจริง (b) BDD แสดงค่าเอาท์พุตทั้ง R และ Cout (c) ROBDD ของค่า R (d) ROBDD ของค่า Cout (e) วงจร ADD/SUB ที่ให้ค่า R (f) วงจร ADD/SUB ที่ให้ค่า Cout	24
รูปที่ 3.13	ALU	25
รูปที่ 3.14	ตัวเลือกผลลัพธ์ของ ALU	26
รูปที่ 3.15	วงจรตอบรับของ ALU ที่ออกแบบด้วยโมเดลที่ไม่ไวต่อความหน่วงชนิดเสมือน	27
รูปที่ 3.16	เอาท์พุตที่สมบูรณ์ของโมเดลที่ไม่ไวต่อความหน่วงชนิดเสมือน	27
รูปที่ 3.17	วงจรตอบรับของ ALU ที่ออกแบบด้วยโมเดลที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้	28
รูปที่ 3.18	ตัวเลือกเพื่อการเลื่อนบิตไปสูงกว่าหรือต่ำกว่าเดิม	29
รูปที่ 3.19	การออกแบบในส่วนบิตสูงสุดและบิตต่ำสุด	29
รูปที่ 3.20	(a) หน่วยความจำ ROM แบบอสมวาร (b) วงจร 2-1 Converter (c) วงจร 1-2 Converter	30
รูปที่ 3.21	หน่วยความจำ RAM แบบอสมวาร	31
รูปที่ 4.1	ส่วนควบคุม	34
รูปที่ 4.2	แผนผังการทำงานหลักของไมโครโพรเซสเซอร์	37
รูปที่ 5.1	ตัวอย่างการจำลองแบบการทำงาน	39

สารบัญตาราง

	ตาราง	หน้า
ตารางที่ 2.1	ตารางค่าความจริงของฟังก์ชัน F = AB' + A'B + C	11
ตารางที่ 3.1	ตัวอย่างค่าในหน่วยความจำ	18
ตารางที่ 5.1	เวลาที่ใช้ในการทำงานของแต่ละโปรแกรม	40
ตารางที่ 5.2	จำนวนเกตที่ใช้ไปในการออกแบบ	40