บทที่ 7

สรุปและข้อเสนอแนะ

งานวิจัยนี้มีวัตถุประสงค์เพื่อการออกแบบไมโครโพรเซสเซอร์อาร์ม 7 ด้วยภาษาระดับสูง (VHDL) และยืนยันความถูกต้องของไมโครโพรเซสเซอร์ 32 บิตอาร์ม 7 ที่ออก ในระดับของทวนการการทำงาน ด้วยวิธีการทวนสอบอย่างมีแบบแผน และจำลองการทำงาน รวมทั้งเพื่อเพิ่มความสามารถและสนับสนุนงานวิจัยทางด้านการออกแบบและพัฒนาวงจรดิจิตอลในประเทศ โดยมีคำสั่งที่ไมโครโพรเซสเซอร์สามารถทำงานได้ในส่วนของโหมดการทำงานปกติ 26 คำสั่ง

7.1 สรุปผลการวิจัย

7.1.1 ผลที่ได้จากการออกแบบ

วงจรไมโครโพรเซสเซอร์อาร์ม 7 ที่ออกแบบทำงานเป็น 3 สเตตไปป์ไลน์ สามารถประมวลผลชุดคำสั่งทั้งทางคณิตศาสตร์, ลอจิก, load และ store ได้ ผลจากการทดสอบทั้งวิธีการทวนสอบอย่างมีแบบแผนและการจำลองการทำงานด้วยชุดทดสอบที่สร้างขึ้น จำนวน 600 ชุดคำสั่ง สามารถพบข้อผิดพลาด และได้ทำการแก้ไขจนสามารถทำงานได้ในระดับของการทำงานอย่างถูกต้อง แต่เนื่องจากความซับซ้อนและขนาดของวงจรที่ใหญ่ จึงอาจเป็นไปได้ที่จะยังพบข้อผิดพลาดที่ซ้อนอยู่ ผลจากการใช้การทวนสอบอย่างมีแบบแผนมาช่วยในการทวนสอบทำให้สามารถพบข้อผิดพลาดที่การจำลองการทำงานไม่สามารถตรวจพบได้ โดยสามารถบอกถึงประสิทธิภาพของระบบที่ออกแบบได้ด้วย แต่การทวนสอบอย่างเดียวก็ไม่สามารถที่จะตรวจการทำงานในส่วนของหน่วยควบคุมและเวลาที่ใช้ในการทำงานได้ จึงจำเป็นต้องใช้การจำลองการทำงานช่วยในส่วนนั้นๆ

การใช้ โครงสร้างภาษาที่เป็น if – then – else ถ้าไม่มีการกำหนดกรณีความเป็นไปได้ให้ครบตามเงื่อนไขการทำงาน วงจรสังเคราะห์จะทำการสร้างแลตช์ (Latch) ขึ้นโดยอัตโนมัติทำให้เสียพื้นที่การทำงานไปโดยเปล่าประโยชน์ส่งผลให้ขนาดของวงจรใหญ่ขึ้น

การออกแบบลักษณะของบัสข้อมูลสองทิศทางสามารถทำได้โดยการนำหลักการของ Tri-state เข้าช่วยเพื่อใช้ในการอ่านเขียนข้อมูล โดยเมื่อใดที่มีการอ่านค่าจากบัสจะทำงานโดยปกติ แต่ถ้าไม่ได้อ่านค่าจากบัส จะต้องทำการส่งค่า "Z" ลงสู่บัสเพื่อให้ส่วนอื่นที่ต้องการใช้บัสเข้าทำงานได้

การออกแบบที่ทำให้เกิด glitch ในวงจร สามารถทำการลดการเกิดกลิชนี้ได้โดยการกำหนดค่าเริ่มต้นให้กับสัญญาณหรือตัวแปรในการออกแบบวงจรด้วยค่า 0 เสมอ ทั้งนี้อาจยังคงมีกลิชหลงเหลืออยู่ขึ้นอยู่กับเทคนิคและความเชี่ยวชาญในการออกแบบ แต่ถ้าต้องการกำจัดกลิชให้หมดจากวงจรสามารถทำได้โดยการออกแบบด้วยการใช้สเตตแมชชีน

7.1.2 ผลที่ได้จากการทวนสอบ

จากงานวิจัยการออกแบบและทวนสอบไมโครโพรเซสเซอร์นี้พบว่า การตรวจสอบระบบที่ใหญ่ที่ซับซ้อน จำเป็นต้องใช้การตรวจสอบแบบการจำลองการทำงานเพราะมีข้อดีกว่าแบบการทวนสอบอย่างมีแบบแผนดังแสดงไว้ในตารางที่ 7.1 และ 7.2 แต่ในงานวิจัยได้นำเสนอการทวนสอบอย่างมีแบบแผนเพื่อเป็นแนวทางในการพัฒนากระบวนการหรือเครื่องมือเพื่อช่วยในการทวนสอบ เนื่องจากการจำลองการทำงานยังมีข้อเสียอยู่ เช่น ใช้เวลาในการทวนสอบมากและที่สำคัญยังไม่สามารถรับประกันความถูกต้องได้ครบถ้วน 100 เปอร์เซ็นต์ เนื่องจากไมโครโพรเซสเซอร์ที่ทำการออกแบบมีขนาดซับซ้อนทำให้เป็นไปได้ว่ายังมีบางส่วนของข้อผิดพลาดที่ยังคงแฝงอยู่ในระบบที่ออกแบบได้

ตารางที่ 7.1 ข้อดีและข้อเสียจากการทวนสอบอย่างมีแบบแผนและการจำลองการทำงาน

	ข้อดี	ข้อเสีย
การทวนสอบอย่างมีแบบแผน	- ทวนสอบการทำงานของวงจรได้โดยไม่ต้องสร้างชุดทดสอบ - ทำให้ช่วงเวลาในการตรวจสอบวงจรลดน้อยลง - เหมาะสมที่จะใช้กับโมดูลทางคณิตศาสตร์ เนื่องจากสามารถแทนการทำงานได้ด้วยโมดูลทางคณิตศาสตร์ได้ ส่วนในหน่วยควบคุมซึ่งสามารถแทนด้วยโมดูลทางคณิตศาสตร์ได้ยากกว่าจึงไม่เหมาะในการทวนสอบด้วยวิธีการอย่างมีแบบแผน - สามารถบอกประสิทธิภาพของวงจรที่ออกแบบได้เช่นการกินไฟในการทำงาน เป็นต้น	- มีความซับซ้อนและยาก - การทวนสอบวงจรขนาดใหญ่และซับซ้อนทำได้ยาก - ไม่สามารถทวนสอบวงจรที่เกี่ยวข้องกับเวลา - เครื่องมือที่ใช้ในการทวนสอบกับการออกแบบระดับสูงน้อยและไม่สะดวกในการใช้งาน

ตารางที่ 7.2 ข้อดีและข้อเสียจากการทวนสอบอย่างมีแบบแผนและการจำลองการทำงาน(ต่อ)

	ข้อดี	ข้อเสีย
การจำลองการทำงาน	- ง่ายและสามารถใช้ในทุกโมดูลของวงจร รวมถึงการทำงานที่เกี่ยวข้องกับเวลา - มีเครื่องมือให้ใช้กับการออกแบบระดับสูงมากและสะดวกในการใช้งาน - สามารถตรวจสอบการทำงานในทุกๆหน่วยไม่ว่าจะสามารถแทนด้วยโมดูลทางคณิตศาสตร์ได้หรือไม่	- เสียเวลาในการจำลองการทำงานตามชุดทดสอบ และแปรผันกับประสิทธิภาพของระบบที่ใช้จำลองการทำงาน - ต้องสร้างชุดทดสอบจำนวนมากเพื่อให้ครอบคลุมการทำงานของวงจรให้มากที่สุด - ไม่สามารถบอกประสิทธิภาพของวงจรเกี่ยวกับพลังงานที่ใช้

7.2 ข้อเสนอแนะ

ในการตรวจสอบและแก้ไขทุกครั้งจะต้องเก็บบันทึกผลที่ได้ทั้งหมด และทำการเก็บโมดูลในแต่ละเวอร์ชันไว้ทุกครั้งก่อนที่จะมีการเปลี่ยนแปลง เมื่อทดสอบความสมบูรณ์ของไมโครโพรเซสเซอร์ที่ออกแบบเรียบร้อย ควรนำไมโครโพรเซสเซอร์ที่ได้ผ่านกระบวนการในการลดขนาด และเพิ่มความเร็ว จากนั้นจึงทำการออกแบบในระดับกายภาพ เพื่อให้ได้แผนภาพทางกายภาพของวงจร ตามขั้นตอนดังนี้

1. ลดขนาดในระดับของลอจิกและกายภาพ แล้วผ่านกระบวนการเพื่อให้ได้ ASIC Chip
2. เพิ่มความเร็วในการทำงานของไมโครโพรเซสเซอร์
3. เพิ่มการใช้พลังงานเพื่อให้ประหยัดพลังงานมากที่สุด
4. ออกแบบอุปกรณ์รอบข้างที่ใช้ในการเชื่อมต่อไมโครโพรเซสเซอร์
5. นำไมโครโพรเซสเซอร์ที่ออกแบบร่วมใช้งานกับส่วนต่างๆ เช่นอุปกรณ์ทางด้านการสื่อสาร เป็นต้น

วงจรที่ทำการออกแบบและพัฒนาขึ้นจะมีประโยชน์และคุณค่าอย่างจริงก็ต่อเมื่อได้ถูกนำไปใช้งานได้จริง รวมทั้งการนำแนวความคิดของการใช้สเตตแมชชีน มาใช้ในการทวนสอบไปสร้างซอฟแวร์เพื่อใช้งานในกระบวนการออกแบบได้จริง