

การออกแบบวงจรมัลติเพ็ล็กซ์และดีมัลติเพ็ล็กซ์ที่ความเร็ว 10 กิกะบิตต่อวินาทีสำหรับวงจรรับส่งทางแสง



นายวิรุทธ อ่ำไพกรัย

สถาบันวิทยบริการ

จุฬาลงกรณ์มหาวิทยาลัย

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า ภาควิชาวิศวกรรมไฟฟ้า

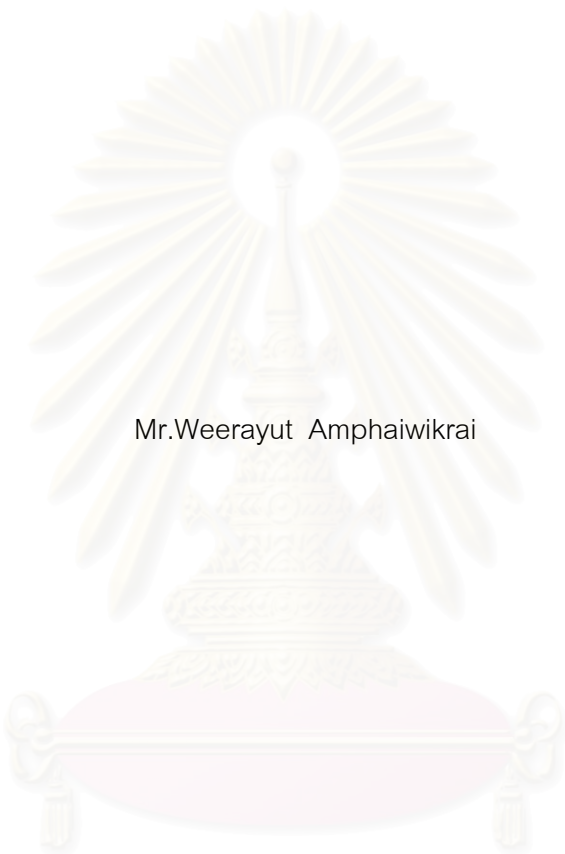
คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย

ปีการศึกษา 2549

ISBN 974-14-2568-6

ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย

A DESIGN OF A 10 GB/S MULTIPLEXER AND A DEMULTIPLEXER  
FOR AN OPTICAL TRANSCEIVER



Mr.Weerayut Amphaiwikrai

สถาบันวิทยบริการ  
A Thesis Submitted in Partial Fulfillment of the Requirements  
for the Degree of Master of Engineering Program in Electrical Engineering  
Department of Electrical Engineering

Faculty of Engineering

Chulalongkorn University

Academic Year 2006


ISBN 974-14-2568-6

Copyright of Chulalongkorn University

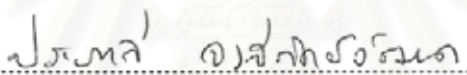
หัวข้อวิทยานิพนธ์                      การออกแบบวงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์ที่ความเร็ว 10 กิกะบิต  
ต่อวินาทีสำหรับวงจรรับส่งทางแสง  
โดย    นายวีรยุทธ อัมไพกรัย  
สาขาวิชา                                    วิศวกรรมไฟฟ้า  
อาจารย์ที่ปรึกษา                          รองศาสตราจารย์ ดร.เอกชัย ลีลารัมย์

---


คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย อนุมัติให้บัณฑิตวิทยาลัยรับ  
เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาโทบัณฑิต

  
.....    คณบดีคณะวิศวกรรมศาสตร์  
(ศาสตราจารย์ ดร.ดิเรก ลาวัณย์ศิริ)

คณะกรรมการสอบวิทยานิพนธ์

  
.....    ประธานกรรมการ  
(รองศาสตราจารย์ ดร.ประภาส จงสิตยัตินา)

  
.....    อาจารย์ที่ปรึกษา  
(รองศาสตราจารย์ ดร.เอกชัย ลีลารัมย์)

  
.....    กรรมการ  
(ผู้ช่วยศาสตราจารย์ ดร.วันเฉลิม โปรา)

สภามหาวิทยาลัย  
จุฬาลงกรณ์มหาวิทยาลัย

วิทยุทศ อ้าไฟวิกฤษ : การออกแบบวงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์ที่ความเร็ว 10 กิกะบิต ต่อวินาทีสำหรับวงจรรับส่งทางแสง. (A DESIGN OF A 10 GB/S MULTIPLEXER AND A DEMULTIPLEXER FOR AN OPTICAL TRANSCEIVER) อ. ที่ปรึกษา : รศ.ดร.เอกชัย ลีลา รัศมี, 81 หน้า. ISBN 974-14-2568-6

วิทยานิพนธ์นี้นำเสนอการออกแบบวงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์ที่ความเร็ว 10 กิกะบิต ต่อวินาที ตามมาตรฐาน SONET การออกแบบใช้โครงสร้างวงจบบน MCML และประมาณค่าด้วย วงจรลำดับที่หนึ่ง โดยคิดตัวเก็บประจุเนื่องจากตัวต้านทาน ส่วนประกอบของวงจรแบ่งย่อยได้เป็น 3 ส่วนคือ วงจรมัลติเพล็กซ์สัญญาณขนาด 2:1, วงจรแลตช์ และวงจรมัลติเพล็กซ์ ซึ่งเป็นพื้นฐานสำหรับ นำไปประกอบเป็นวงจรรวมอันดับสูง และนำไปประยุกต์เป็นส่วนประกอบให้กับวงจรรับส่งทางแสงได้ การออกแบบในวิทยานิพนธ์นี้ออกแบบด้วยกระบวนการผลิต TSMC 0.18 ไมโครเมตร ซึ่งไม่ได้ผลิต จริง โดยมีพื้นที่ฝังวงจรรวมที่ไม่รวมแพดทดสอบ ประมาณ 0.0117 ตารางมิลลิเมตร วงจรทำงานที่ แรงดันไฟเลี้ยง 1.8 โวลต์, ช่วงแวงแรงดันสัญญาณเข้าสามารถใช้ได้ตั้งแต่ 0.36 – 0.50 โวลต์ ให้ช่วง แวงแรงดันสัญญาณออกประมาณ 0.4 โวลต์ และประสิทธิภาพวงจรมัลติเพล็กซ์สัญญาณความถี่สูง ขนาด 4:1 แบบปรับปรุง มีดวงตาเปิดประมาณ 0.372 โวลต์, เกิดการพ่นไอรของสัญญาณเท่ากับ 3 พิโกวินาที มีเวลาขาขึ้นและลงเท่ากับ 68.3 พิโกวินาที, ค่าหน่วงเวลาการแพร่กระจายเท่ากับ 26.7 พิโก วินาที และกินกำลังเฉลี่ยประมาณ 15.37 มิลลิวัตต์ สำหรับวงจรมัลติเพล็กซ์สัญญาณความถี่สูง ขนาด 1:4 มีเวลาขาขึ้นและลงเท่ากับ 66.2 พิโกวินาที, ค่าหน่วงเวลาการแพร่กระจายเท่ากับ 68.0 พิโก วินาที และกินกำลังเฉลี่ยประมาณ 34.80 มิลลิวัตต์

## สถาบันวิทยบริการ จุฬาลงกรณ์มหาวิทยาลัย

ภาควิชา..... วิศวกรรมไฟฟ้า.....ลายมือชื่อนิสิต.....  
สาขาวิชา..... วิศวกรรมไฟฟ้า.....ลายมือชื่ออาจารย์ที่ปรึกษา.....  
ปีการศึกษา..... 2549.....

# # 4770464821 : MAJOR ELECTRICAL ENGINEERING

KEY WORD : SONET / OPTICAL TRANSCEIVER / MULTIPLEXER / DEMULTIPLEXER / MOS  
CURRENT MODE LOGIC

WEERAYUT AMPHAIWIKRAI : A DESIGN OF A 10 GB/S MULTIPLEXER AND A  
DEMULTIPLEXER FOR AN OPTICAL TRANSCEIVER , THESIS ADVISOR :  
ASSOC.PROF. EKACHAI LEELARASMEE, Ph.D., 81 pp, ISBN 974-14-2568-6

This thesis presents a design of a 10-Gb/s multiplexer and a demultiplexer complying with SONET standard. The design uses an MCML structure and calculates with first order circuit approximation, including resistor's capacitance. The circuit is composed of three basic components, i.e. a 2:1 multiplexer, a latch and a buffer circuit, which can be implemented to higher order circuits. The circuits can be applied as optical transceivers. The integrated circuit, designed with a TSMC 0.18- $\mu\text{m}$  technology, is not fabricated. Its layout, excluding pad, has an area of 0.0117- $\text{mm}^2$ . Experimental results show that the circuits can operate at 1.8-V supply voltage with an input voltage swing from 0.36-V to 0.50-V. It has an output voltage swing of 0.4-V. The performance of the proposed 4:1 high speed multiplexer has an eyed opening of 0.372-V, a jitter of 3-ps, a rise/fall time of 68.3-ps, a propagation delay of 26.7-ps and an average power consumption of 15.37-mW. The 1:4 high speed demultiplexer has a rise/fall time of 66.2-ps, a propagation delay of 68.0-ps and an average power consumption of 15.37-mW.

สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย

Department.....Electrical Engineering..... Student's Signature.....  
Field of Study.....Electrical Engineering..... Advisor's Signature.....  
Academic Year.....2006.....

## กิตติกรรมประกาศ

วิทยานิพนธ์นี้สำเร็จลุล่วงไปได้ด้วยความช่วยเหลืออย่างยิ่งของ รศ.ดร.เอกชัย ลีลารัมย์ อาจารย์ที่ปรึกษาวิทยานิพนธ์ และ อ.บุญช่วย ทรัพย์มันชัย ซึ่งท่านได้ให้คำแนะนำและข้อคิดเห็นต่างๆ ที่เป็นประโยชน์ในการวิจัยด้วยดีตลอดมา

ขอขอบคุณพี่โอมรินทร์ สาธุเสน สำหรับคำแนะนำและสอนการใช้โปรแกรมที่เป็นประโยชน์แก่ งานวิจัยนี้ และพี่ภาณุวัฒน์ ด้านกลาง สำหรับคำแนะนำทางด้านวงจรและการวาดผังวงจรแก่ งานวิจัยนี้

ขอขอบคุณเพื่อนๆ พี่ๆ และน้องๆ ทุกคนในห้องปฏิบัติการวิจัยออกแบบและประยุกต์วงจรรวม (IDAR) ที่คอยห่วงใย, กำลังใจ และให้ความช่วยเหลือตลอดคำแนะนำที่ดีต่างๆ มาโดยตลอด

ขอขอบคุณ นีอร โชติเวชชกุล สำหรับความห่วงใย, กำลังใจ และอาหารมื้อดีๆ ตลอดช่วงการทำงานวิจัย

ท้ายที่สุดนี้ ผู้วิจัยใคร่ขอกราบขอบพระคุณ บิดามารดา และขอขอบคุณน้องชาย สำหรับการดูแล เอาใจใส่, ห่วงใยสุขภาพ, สนับสนุนด้านการเงิน และให้กำลังใจแก่ผู้วิจัยอย่างเต็มกำลังตลอดมา

สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย



## สารบัญ

หน้า

บทคัดย่อภาษาไทย.....	ง
บทคัดย่อภาษาอังกฤษ.....	จ
กิตติกรรมประกาศ.....	ฉ
สารบัญ.....	ช
สารบัญตาราง.....	ฅ
สารบัญภาพ.....	ญ
บทที่ 1 บทนำ.....	1
1.1 แนวเหตุผลในการทำวิทยานิพนธ์.....	2
1.2 วัตถุประสงค์ของการวิจัย.....	2
1.3 ขอบเขตของการวิจัย.....	2
1.4 วิธีดำเนินการวิจัย.....	2
1.5 ประโยชน์ที่คาดว่าจะได้รับ.....	3
1.6 ลำดับขั้นตอนในการนำเสนอผลการวิจัย.....	3
บทที่ 2 บริบทและวรรณกรรม.....	4
2.1 งานวิจัยที่ผ่านมา.....	4
2.2 วงจรซีมอส (CMOS) และวงจร MCML.....	5
2.2.1 วงจรซีมอส (CMOS).....	5
2.2.2 วงจร Mos Current Mode Logic (MCML).....	6
2.3 มาตรฐานการสื่อสารทางแสง.....	9
บทที่ 3 สถาปัตยกรรมวงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์ความถี่สูง.....	11
3.1 สถาปัตยกรรมพื้นฐานวงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์.....	11
3.2 สถาปัตยกรรมวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 2:1.....	12
3.2.1 วงจรมัลติเพล็กซ์สัญญาณขนาด 2:1 (MUX 2:1).....	12
3.2.2 วงจรแลตช์.....	13
3.3 สถาปัตยกรรมวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 1:2.....	16
3.4 สถาปัตยกรรมวงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์อันดับสูง.....	17

บทที่ 4	การคำนวณและการออกแบบ.....	20
4.1	การออกแบบวงจรมัลติเพล็กซ์สัญญาณขนาด 2:1.....	21
4.2	การคำนวณและออกแบบวงจรแลตซ์.....	33
4.3	การคำนวณและออกแบบวงจรหาความถี่สัญญาณนาฬิกา.....	36
4.4	การคำนวณและออกแบบวงจรบัฟเฟอร์.....	37
บทที่ 5	การวาดผังวงจรรวมและผลจำลองการทำงาน.....	42
5.1	การวาดผังวงจรรวม.....	42
5.2	ผลจำลองการทำงาน.....	50
บทที่ 6	ข้อสรุปและข้อเสนอแนะ.....	56
6.1	ข้อสรุป.....	56
6.2	ข้อเสนอแนะ.....	57
รายการอ้างอิง	.....	58
บรรณานุกรม	.....	60
ภาคผนวก	.....	61
ภาคผนวก ก	การคำนวณค่าตัวเก็บประจุรวม.....	62
ภาคผนวก ข	โมเดลกระบวนการผลิต TSMC 0.18 ไมโครเมตร.....	69
ภาคผนวก ค	โปรแกรมสร้างลำดับบิตสุ่มเทียมด้วยภาษา C++.....	74
ภาคผนวก ง	บทความที่ได้รับการตีพิมพ์ใน Proceeding of the 2006 Electrical Engineering/ Electronics, Computer Telecommunications and Information Technology (ECTI) International Conference.....	76
ประวัติผู้เขียนวิทยานิพนธ์	.....	81



## สารบัญตาราง

หน้า

ตารางที่ 2-1	สรุปงานวิจัยเกี่ยวกับวงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์ในปัจจุบัน.....	4
ตารางที่ 2-2	สรุปความสัมพันธ์ระหว่าง วงจร MCML และ CMOS.....	8
ตารางที่ 2-3	มาตรฐานการสื่อสารทางแสงในระดับต่างๆ.....	10
ตารางที่ 4-1	ตัวแปรตัวเก็บประจุการแพร่ของกระบวนการผลิต TSMC 0.18 ไมโครเมตร.....	25
ตารางที่ 4-2	คุณสมบัติวงจรมัลติเพล็กซ์สัญญาณขนาด 2:1.....	33
ตารางที่ 4-3	สรุปจำนวนชั้น (N), จำนวนเท้าของวงจรมัลติเพล็กซ์ชนิด MCML (F) และค่าหน่วงเวลา รวม.....	40
ตารางที่ 4-4	คุณสมบัติวงจรมัลติเพล็กซ์ชนิด MCML ชั้นที่ 1.....	41
ตารางที่ 4-5	คุณสมบัติวงจรมัลติเพล็กซ์ชนิด MCML ชั้นที่ 2.....	41
ตารางที่ 5-1	คุณสมบัติของตัวต้านทานแต่ละชนิด.....	43
ตารางที่ 5-2	รายละเอียดและหน้าที่ของแพดสำหรับทดสอบวงจร.....	50
ตารางที่ 5-3	สรุปกำลังในแต่ละส่วนของวงจร.....	54
ตารางที่ 5-4	คุณสมบัติของวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 4:1 แบบปรับปรุงและวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 1:4.....	55

สารบัญภาพ

หน้า

รูปที่ 2-1 วงจรอินเวอร์เตอร์ชนิดซีมอส (CMOS Inverter).....5

รูปที่ 2-2 วงจรบัฟเฟอร์ชนิด MCML.....6

รูปที่ 2-3 ผลจำลองสมรรถนะวงจรแบบอินเวอร์เตอร์ชนิดซีมอสและวงจรบัฟเฟอร์ชนิด MCML  
 (ก) ค่าหน่วงเวลาของวงจร CMOS มากกว่าวงจร MCML, (ข) วงจร MCML กินกำลัง  
 น้อยกว่าวงจร CMOS ที่ความถี่สูง.....9

รูปที่ 3-1 แผนภาพวงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์.....11

รูปที่ 3-2 สถาปัตยกรรมวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 2:1.....12

รูปที่ 3-3 สัญลัษณ์วงจรมัลติเพล็กซ์สัญญาณขนาด 2:1.....12

รูปที่ 3-4 แผนภาพเค้าร่างวงจรมัลติเพล็กซ์สัญญาณขนาด 2:1.....13

รูปที่ 3-5 ผลจำลองการทำงานวงจรมัลติเพล็กซ์สัญญาณขนาด 2:1 ความถี่ 10 กิกะบิตต่อวินาที  
 .....13

รูปที่ 3-6 สัญญาณเข้าที่มีเวลาขาขึ้นและลงไม่เหมาะสมและไม่ประสานเวลากับสัญญาณนาฬิกา  
 .....14

รูปที่ 3-7 แผนภาพเค้าร่างวงจรแลตซ์.....15

รูปที่ 3-8 การทำงานวงจรแลตซ์.....15

รูปที่ 3-9 การทำงานวงจรมัลติเพล็กซ์ความถี่สูงขนาด 2:1.....15

รูปที่ 3-10 สถาปัตยกรรมวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 2:1 แบบปรับปรุง.....16

รูปที่ 3-11 สถาปัตยกรรมวงจรดีมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 1:2.....16

รูปที่ 3-12 ผลจำลองการทำงานวงจรดีมัลติเพล็กซ์ความถี่สูงขนาด 1:2.....17

รูปที่ 3-13 วงจรหารความถี่สัญญาณนาฬิกาครึ่งหนึ่ง.....17

รูปที่ 3-14 สถาปัตยกรรมวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 4:1.....18

รูปที่ 3-15 สถาปัตยกรรมวงจรดีมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 1:4.....19

รูปที่ 4-1 แผนภาพสัญญาณของวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 2:1 แบบปรับปรุง ..20

รูปที่ 4-2 แผนภาพสัญญาณของวงจรดีมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 1:2.....20

รูปที่ 4-3 แผนภาพเค้าร่าง (ก) วงจรมัลติเพล็กซ์ขนาด 2:1 (ข) ครึ่งวงจรมัลติเพล็กซ์ขนาด 2:1 ..21

รูปที่ 4-4 วงจรสมมูลของครึ่งวงจรมัลติเพล็กซ์สัญญาณขนาด 2:1.....22

รูปที่ 4-5 ตัวต้านทานและฝั่งวงจรตัวต้านทาน.....23

รูปที่ 4-6 ความสัมพันธ์ระหว่างค่าหนึ่งเวลาการแพร่กระจายและกระแสไปแอสเมื่ออัตราส่วน กระแสไปแอสต่อความกว้างทรานซิสเตอร์และช่วงแกว่งแรงดันมีค่าคงที่.....	28
รูปที่ 4-7 แสดงกระแสเดรนของชุดทรานซิสเตอร์ที่ทำงานในโหมดผลต่างกับช่วงแกว่งแรงดันเข้า .....	29
รูปที่ 4-8 ขอบเขตบริเวณการออกแบบ.....	31
รูปที่ 4-9 ช่วงการออกแบบเมื่อช่วงแกว่งแรงดันเท่ากับ 0.4 โวลต์.....	32
รูปที่ 4-10 แผนภาพเค้าร่าง (ก) วงจรแลตซ์ (ข) ครึ่งวงจรถัดกันในสภาวะรับรู้.....	34
รูปที่ 4-11 วงจรสมมูลของครึ่งวงจรถัดกัน.....	34
รูปที่ 4-12 แผนภาพบลิทกวจรหารความถี่สัญญาณนาฬิกา.....	36
รูปที่ 4-13 วงจรบัฟเฟอร์ชนิด MCML (ก) แผนภาพเค้าร่าง (ข) ครึ่งวงจรถัดกัน.....	37
รูปที่ 4-14 วงจรสมมูลครึ่งวงจรถัดกัน MCML.....	37
รูปที่ 4-15 สายโซ่จรวจรบัฟเฟอร์ (Chain Buffer) ตั้งแต่ลำดับที่ 1 ถึงลำดับที่ N.....	38
รูปที่ 4-16 สายโซ่จรวจรบัฟเฟอร์ชนิด MCML จำนวน 2 ชั้น.....	40
รูปที่ 5-1 ผังวงจรวจรตัวต้านทานชนิดโพลีซิลิคอน.....	43
รูปที่ 5-2 รายละเอียดตำแหน่งการวางผังวงจรวจร (ก) วงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 2:1 แบบปรับปรุง (ข) วงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 1:2.....	44
รูปที่ 5-3 ผังวงจรวจรพื้นฐาน (ก) ผังวงจรวจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 2:1 แบบปรับปรุง (ข) ผังวงจรวจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 1:2.....	44
รูปที่ 5-4 รายละเอียดตำแหน่งการวางผังวงจรวจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 4:1 แบบปรับปรุง.....	45
รูปที่ 5-5 รายละเอียดตำแหน่งการวางผังวงจรวจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 1:4.....	46
รูปที่ 5-6 ผังวงจรวจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 4:1 แบบปรับปรุง.....	47
รูปที่ 5-7 ผังวงจรวจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 1:4.....	48
รูปที่ 5-8 ผังวงจรวจรรวมวงจรวจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 4:1 แบบปรับปรุงและ วงจรวจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 1:4.....	49
รูปที่ 5-9 ภาพขยายผังวงจรวจรรวมวงจรวจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 4:1 แบบปรับปรุง และวงจรวจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 1:4.....	49
รูปที่ 5-10 ตัวเก็บประจุปรสิทหลังจากการสกัดผังวงจรวจร (ก) วงจรวจรมัลติเพล็กซ์สัญญาณขนาด 2:1 (ข) วงจรแลตซ์ (ค) วงจรบัฟเฟอร์ 2 ชั้น.....	51
รูปที่ 5-11 แผนภาพการจำลองการทำงานของผังวงจรวจรรวม.....	51

รูปที่ 5-12 ผลจำลองสัญญาณข้อมูลออกความถี่ 10 กิโลบิตต่อวินาทีในช่วงเวลา 9 ถึง 13 นาโนวินาที.....52

รูปที่ 5-13 ภาพขยายค่าทางตรรกะของข้อมูลออกความถี่ 10 กิโลบิตต่อวินาที (ก) ค่าตรรกะเป็น 1 (ข) ค่าตรรกะเป็น 0.....52

รูปที่ 5-14 ผลทดสอบรูปแบบดวงตาด้วยลำดับบิตสุ่มเทียมแบบ  $2^{31}-1$  ของวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 4:1 แบบปรับปรุง.....53

รูปที่ 5-15 เปรียบเทียบสัญญาณเข้า (D1-D4) และสัญญาณออก (Out1-Out4).....54



สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย

# บทที่ 1

## บทนำ

### 1.1. แนวเหตุผลในการทำวิทยานิพนธ์

ในปัจจุบันเทคโนโลยีได้ก้าวไปข้างหน้าอย่างมาก การบริโภคข้อมูลข่าวสารที่ทันต่อเหตุการณ์และรวดเร็วจึงมีความจำเป็น การบริโภคข้อมูลจำนวนมากต้องการช่องทางรับและส่งข้อมูลขนาดใหญ่ ซึ่งได้มีการพัฒนาอุปกรณ์อย่างหลากหลายเพื่อรองรับข้อมูลที่เกิดขึ้นอย่างรวดเร็วในปริมาณมากได้ เช่น อุปกรณ์หน่วยเก็บข้อมูล (Storage media), โทรศัพท์เคลื่อนที่ (Mobile phone), อุปกรณ์รับส่งทางแสง (Optical transceiver), อุปกรณ์มัลติเพล็กซ์สัญญาณ (Multiplexer) และอุปกรณ์ดีมัลติเพล็กซ์สัญญาณ (Demultiplexer) เป็นต้น

อุปกรณ์มัลติเพล็กซ์สัญญาณ (Multiplexer) หรือนิยมเรียกว่ามัลช์ (MUX) เป็นอุปกรณ์ควบคุมสัญญาณข้อมูลจากช่องสัญญาณ (Channel) หลายช่องให้เป็นช่องเดียว อุปกรณ์มัลติเพล็กซ์สัญญาณจะรับสัญญาณข้อมูลจากช่องสัญญาณต่างๆ ที่ต้องการส่งไปยังปลายทางเดียวกัน โดยการมัลติเพล็กซ์ (Multiplex) แล้วส่งผ่านสื่อส่งข้อมูล (Transmission media) เพียงเส้นเดียวออกไปใช้งาน อุปกรณ์ปลายทางซึ่งทำงานตรงข้ามกับอุปกรณ์มัลติเพล็กซ์สัญญาณก็คืออุปกรณ์ดีมัลติเพล็กซ์สัญญาณ (Demultiplexer) หรือนิยมเรียกว่าดีมัลช์ (DEMUX) ทำหน้าที่ดีมัลติเพล็กซ์ (Demultiplex) แล้วส่งไปตามช่องสัญญาณปลายทางของแต่ละช่องทางข้อมูล ในการส่งข้อมูลความจุสูงต้องใช้ความเร็วในการส่งสูง ผ่านทางสายสัญญาณที่รองรับปริมาณข้อมูลจำนวนมากที่ถูกส่งผ่านพร้อมกันได้ สื่อส่งข้อมูลดังกล่าว ได้แก่ สายโคแอกซ์ (Coaxial cable), สายใยนำแสง (Fiber optic), คลื่นไมโครเวฟ (Microwave) และ คลื่นดาวเทียม (Satellite wave) เป็นต้น

อุปกรณ์มัลติเพล็กซ์สัญญาณและดีมัลติเพล็กซ์สัญญาณมีอยู่หลายประเภท ซึ่งแต่ละประเภทก็จะมีทั้งข้อดี, ข้อเสีย และ ความเหมาะสมสำหรับการใช้งานแตกต่างกันไป แนวโน้มของความต้องการวางจรมัลติเพล็กซ์สัญญาณและดีมัลติเพล็กซ์สัญญาณที่สามารถทำงานด้วยความเร็วสูงมากถึงระดับกิกะบิตต่อวินาที (Gb/s) เช่น อุปกรณ์มัลติเพล็กซ์สัญญาณและดีมัลติเพล็กซ์สัญญาณสำหรับใช้ในอุปกรณ์รับส่งทางแสงจะเพิ่มขึ้นเรื่อยๆ ตามความต้องการปริมาณข้อมูลที่เพิ่มขึ้น การออกแบบพัฒนาจรมัลติเพล็กซ์สัญญาณในประเทศไทยยังไม่มีการพัฒนาเท่าที่ควร ขาดแคลนบุคลากรที่มีประสบการณ์และความชำนาญ วงจรที่ออกแบบนี้ในอนาคตเป็นสิ่งที่มีประโยชน์ สามารถใช้ประยุกต์เป็นแนวทางหรือใช้เป็นส่วนประกอบหนึ่งของอุปกรณ์อื่นๆ การออกแบบและพัฒนาเพื่อให้มีความเร็วสูง กินกำลังงานต่ำหรือออกแบบให้มีคุณลักษณะเฉพาะตามที่ต้องการเป็นวิธีการที่มีความซับซ้อน

## 1.2. วัตถุประสงค์ของการวิจัย

1. ออกแบบและวาดลายวงจรมัลติเพล็กซ์สัญญาณที่ทำงานที่ความเร็วสูง
2. ออกแบบและวาดลายวงจรดีมัลติเพล็กซ์สัญญาณที่ทำงานที่ความเร็วสูง
3. จำลองผลการทำงานของวงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์ความเร็วสูง

## 1.3. ขอบเขตของการวิจัย

การออกแบบวงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์สัญญาณโดยใช้เทคโนโลยีขนาด 0.18 ไมโครเมตร เพื่อใช้ในวงจรรับและส่งทางแสง

- |   |     |   |                  |
|---|-----|---|------------------|
| 1. วงจรมัลติเพล็กซ์สัญญาณขนาด                               | 4   | : | 1                |
| ความถี่สัญญาณเข้า   | 2.5 |   | กิกะบิตต่อวินาที |
| ความถี่สัญญาณออก  | 10  |   | กิกะบิตต่อวินาที |
| ความถี่สัญญาณนาฬิกา   | 10  |   | กิกะเฮิรตซ์      |
| 2. วงจรดีมัลติเพล็กซ์สัญญาณขนาด                             | 1   | : | 4                |
| ความถี่สัญญาณเข้า   | 10  |   | กิกะบิตต่อวินาที |
| ความถี่สัญญาณออก  | 2.5 |   | กิกะบิตต่อวินาที |
| ความถี่สัญญาณนาฬิกา   | 10  |   | กิกะเฮิรตซ์      |
| 3. แรงดันไฟเลี้ยงประมาณ                                     | 1.8 |   | โวลต์            |
| 4. เปรียบเทียบพื้นที่และกำลังกับงานวิจัยที่ผ่านมาในปัจจุบัน |     |   |                  |

## 1.4. วิธีดำเนินการวิจัย

1. ศึกษาและเก็บรวบรวมงานวิจัยที่เกี่ยวข้อง
2. ศึกษาและออกแบบวงจรพื้นฐานที่ทำงานได้ที่ความถี่สูงและกินกำลังต่ำ
3. จำลองผลการออกแบบและปรับเปลี่ยนค่าให้เหมาะสม
4. วาดผังวงจรของวงจรมัลติเพล็กซ์สัญญาณและดีมัลติเพล็กซ์สัญญาณ
5. นำผลการวาดผังวงจรมาจำลองผลการทำงานและเทียบเคียงกับการออกแบบ
6. ปรับปรุงวงจรและผังวงจรตามความเหมาะสม
7. ทดลอง, สรุปผล และ เขียนวิทยานิพนธ์



### 1.5. ประโยชน์ที่คาดว่าจะได้รับ

1. ได้รับความรู้ความเข้าใจพื้นฐานเกี่ยวกับการสื่อสารข้อมูลอัตราเร็วสูง
2. ฝั่งวงจรของวงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์ความถี่สูงสามารถนำไปประยุกต์ใช้กับวงจรรับส่งทางแสงและวงจรอื่นๆ ได้
3. สร้างบุคลากรที่มีความสามารถในการออกแบบวงจรเชิงเลขความถี่สูง
4. เป็นแนวทางและประสบการณ์สำหรับผู้ที่พัฒนาวงจรความถี่สูงในอนาคต

### 1.6. ลำดับขั้นตอนในการนำเสนอผลการวิจัย

วิทยานิพนธ์นี้แบ่งเนื้อหาออกเป็น 6 บท โดยเริ่มจากบทที่ 2 จะกล่าวถึงงานวิจัยเกี่ยวกับวงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์สัญญาณที่มีในปัจจุบัน ข้อดีข้อเสียของโครงสร้างวงจรแต่ละประเภท เช่น โครงสร้างวงจรซีมอส และโครงสร้างวงจร MCML เป็นต้น และมาตรฐานการรับส่งทางแสง บทที่ 3 กล่าวถึงโครงสร้างของวงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์สัญญาณความถี่สูง พร้อมทั้งนำเสนอวงจรมัลติเพล็กซ์ความถี่สูงแบบปรับปรุง เพื่อประหยัดกำลังและพื้นที่ฝั่งวงจร บทที่ 4 นำเสนอการคำนวณและการออกแบบค่าพารามิเตอร์ของวงจรพื้นฐานต่างๆ เพื่อนำไปประกอบใช้กับวงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์อันดับสูง บทที่ 5 เสนอการวาดฝั่งวงจร กำหนดขาสัญญาณต่างๆ พร้อมทั้งทดสอบการทำงานของฝั่งวงจรรวม บทที่ 6 กล่าวถึงสรุปงานวิทยานิพนธ์และข้อเสนอแนะเพื่อการพัฒนาต่อไป

## บทที่ 2

### ปริทรรศน์และวรรณกรรม

เนื้อหาในบทปริทรรศน์และวรรณกรรมนี้จะนำเสนองานวิจัยเกี่ยวกับวงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์ที่วิจัยในปัจจุบัน พร้อมทั้งเปรียบเทียบข้อดีข้อเสียของโครงสร้างการออกแบบวงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์ที่ใช้กันแพร่หลาย เช่น วงจรซีมอส (CMOS) และวงจร MOS Current Mode Logic (MCML) เป็นต้น

#### 2.1. งานวิจัยที่ผ่านมา

งานวิจัยเกี่ยวกับการออกแบบวงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์จากอดีตจนถึงปัจจุบัน มีงานวิจัยมากมายหลายงานวิจัย แต่ละงานวิจัยใช้โครงสร้างและเทคนิควิธีต่างๆกัน แสดงดังตารางที่ 2-1

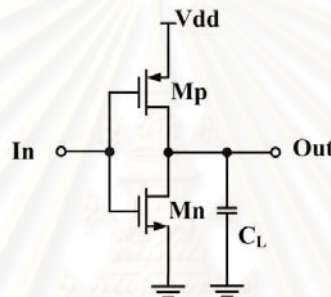
ตารางที่ 2-1 : สรุปงานวิจัยเกี่ยวกับวงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์ในปัจจุบัน

	T. Nakura [1]	A. Tanabe [2]	D. Kehrler [3]	W.L. Hung [4]	A. Shinmyo [5]
<b>Design</b>	MUX 16:1	MUX 8:1 DEMUX 1:8	MUX 4:1	MUX 2:1	MUX 8:1
<b>Process</b>	CMOS 0.18 $\mu\text{m}$ (SOI CMOS)	CMOS 0.18 $\mu\text{m}$ (TSMC)	CMOS 0.13 $\mu\text{m}$	CMOS 0.18 $\mu\text{m}$	CMOS 0.18 $\mu\text{m}$
<b>Technique</b>	Pipeline and Phase Shift Technique	Hybrid Technique	MOS Current Mode Logic Technique	Multi-Phase Tree Type MUX Technique	Hybrid Technique
<b>Structure</b>	CMOS Pass Transistor	MCML - CMOS	MCML	Pseudo CMOS and CMOS	MCML - CMOS
<b>Speed</b>	3.6 Gb/s	10 Gb/s	30 Gb/s	5 Gb/s	6.4 Gb/s
<b>Supply</b>	2.0 V	2.2 V 2.0 V	1.5 V	1.8 V	1.8 V
<b>Power</b>	340mW	126 mW 102 mW	75 mW @10 Gb/s	52 mW	84 mW
<b>Area (mm)<sup>2</sup></b>	1.75 x 1.75	1.5 x 1.5	0.93 x 0.71	0.3 x 0.3	0.142
<b>Year</b>	2000	2001	2004	2004	2005

เทคนิคการออกแบบวงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์ความถี่สูง มักเป็นเทคนิคแบบไฮบริด (Hybrid Technique) ประกอบด้วยวงจร MCML ใช้ในส่วนความถี่สูงและวงจรซีมอสใช้ในส่วนความถี่ต่ำ เช่นงานวิจัยของ Akira Tanabe [2], Daniel Kehrer [3] และ Akimori Shimyo [5] ตารางที่ 2-1 แสดงให้เห็นว่าเทคนิคนี้กินกำลังน้อยกว่าเทคนิคแบบอื่นๆ เช่น เทคนิคสายท่อและการปรับเฟส (Pipeline and Phase Shift Technique) ของ Toru Nakura [1] และเทคนิคโครงสร้างวงจรมัลติเพล็กซ์แบบต้นไม้ชนิดหลายเฟส (Multi-Phase Tree Type MUX Technique) ของ W.L. Hung [4] ซึ่งใช้โครงสร้างวงจรซีมอส

## 2.2. วงจรซีมอส (CMOS) และวงจร MCML

### 2.2.1. วงจรซีมอส (CMOS) [6], [7], [8]



รูปที่ 2-1 วงจรอินเวอร์เตอร์ชนิดซีมอส (CMOS Inverter)

รูปที่ 2-1 แสดงวงจรอินเวอร์เตอร์ชนิดซีมอสซึ่งประกอบด้วย 2 ส่วน คือ

#### 1) ส่วนดึงขึ้น (Pull-Up Network)

สร้างโดยทรานซิสเตอร์ชนิดพี (PMOS) ทำหน้าที่ดึงสัญญาณออก (Out) ให้เท่ากับแรงดันไฟเลี้ยง ( $V_{dd}$ ) เมื่อสัญญาณเข้ามีค่าตรรกะเป็น 0

#### 2) ส่วนดึงลง (Pull-Down Network)

สร้างโดยทรานซิสเตอร์ชนิดเอ็น (NMOS) ทำหน้าที่ดึงสัญญาณออกให้ลงถึงกราวด์ เมื่อสัญญาณเข้ามีค่าตรรกะเป็น 1

วงจรนี้จึงมีฟังก์ชันทางตรรกะดังสมการที่ (2-1)

$$Out = \overline{In} \quad (2-1)$$

S.M. Kang [9] ประมาณค่าหน่วงเวลา ( $D_{CMOS}$ ) ของวงจรอินเวอร์เตอร์ชนิดซีมอส ดังนี้

$$D_{CMOS} = \frac{CV_{dd}}{\frac{k}{2}(V_{dd} - V_T)^\alpha} \quad (2-2)$$

- โดยที่  $C$  = ตัวเก็บประจุรวมที่โหนด Out- ประกอบด้วย ตัวเก็บประจุภายในเนื่องจากทรานซิสเตอร์ ( $M_n$  และ  $M_p$ ) และตัวเก็บประจุภาระ ( $C_L$ )
- $k$  = ค่าคงที่ขึ้นกับเทคโนโลยีและขนาดของทรานซิสเตอร์
- $\alpha$  = ค่าที่ได้จากการประมาณมีค่าอยู่ในช่วง 1-2 [10]

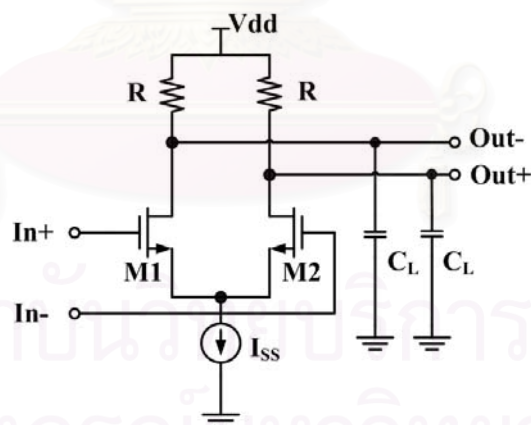
กำลัง ( $P_{CMOS}$ ) ที่วงจรซีมอสใช้ส่วนใหญ่เป็นกำลังที่เกิดจากการเปลี่ยนค่าตรรกะนั้นคือถ้าวงจรทำงานที่ความถี่สูง ( $f$ ) ก็จะกินกำลังมาก (แปรผกผันกับค่าหน่วงเวลา) ประมาณค่าได้ดังสมการที่ (2-3) [6]

$$P_{CMOS} = CV_{dd}^2 f \quad (2-3)$$

จากสมการ (2-3) ความสัมพันธ์ระหว่างกำลังและความถี่เป็นความสัมพันธ์ในลักษณะเชิงเส้น แสดงให้เห็นว่าความถี่สูงขึ้นก็กินกำลังมากขึ้น

วงจรซีมอสมีช่วงแอมพลิจูดแรงดัน (Voltage Swing) เท่ากับค่าแรงดันไฟเลี้ยง โดยมีค่าตรรกะเป็น 1 เมื่อสัญญาณออกเท่ากับแรงดันไฟเลี้ยง และมีค่าตรรกะเป็น 0 เมื่อสัญญาณออกเท่ากับ 0 โวลต์

### 2.2.2. วงจร MOS Current Mode Logic (MCML) [7], [8]



รูปที่ 2-2 วงจรบัพเฟอร์ชนิด MCML

วงจบบัพเฟอร์ชนิด MCML ดังแสดงในรูปที่ 2-2 ทำงานโดยเปลี่ยนทิศทางของกระแสไบแอส ( $I_{SS}$ ) ให้ไหลผ่านตัวต้านทานเพียงด้านเดียว ข้อดีของวงจร MCML คือเป็นวงจรที่ทำงานในโหมดผลต่าง ซึ่งทนทานต่อสัญญาณรบกวน เช่น Power-Ground Noise, Substrate Noise, Crosstalk และ สัญญาณรบกวนโหมดร่วม (Common-Mode Noise) ได้ดี วงจบบัพเฟอร์ชนิด MCML ประกอบด้วย 3 ส่วน คือ

## 1) ส่วนดึงขึ้น

สร้างโดยตัวต้านทาน หรือทรานซิสเตอร์ชนิดพีขนาดเท่ากัน ทำหน้าที่ดึงสัญญาณออกขึ้น

## 2) ส่วนดึงลง

สร้างโดยทรานซิสเตอร์ชนิดเอ็น ทำหน้าที่สร้างฟังก์ชันที่ผกผันกันและดึงสัญญาณออกลง

## 3) แหล่งกำเนิดกระแส

เป็นส่วนที่กำหนดกระแสไบแอสคงที่สำหรับจ่ายให้กับวงจร

การออกแบบส่วนดึงลงอาจใช้วงจรโหมคผลต่างมาต่อลำดับกัน (Differential Cascode Voltage Switching Logic, DCVSL) เพื่อรับสัญญาณเข้า ( $I_n$ ) สำหรับสร้างฟังก์ชันที่ต้องการและทำงานผกผันซึ่งกันและกัน ฟังก์ชันในส่วนดึงลงออกแบบเพื่อบังคับทิศทางกระแสไบแอส ( $I_{SS}$ ) ผ่านตัวต้านทานเพียงด้านเดียวเท่านั้น (อีกด้านทำงานตรงข้ามเนื่องจากฟังก์ชันผกผัน)

ถ้าสัญญาณเข้ามีค่าตรรกะเป็น 1 ทำให้ทรานซิสเตอร์  $M_1$  ทำงานในสภาวะอิ่มตัว ( $I_{n+}$  มีค่าทางตรรกะเท่ากับ 1) และทรานซิสเตอร์  $M_2$  ไม่ทำงาน ( $I_{n-}$  มีค่าทางตรรกะเท่ากับ 0) ตัวต้านทานทางด้านซ้ายถูกบังคับโดยทรานซิสเตอร์  $M_1$  ให้ต่อกับแหล่งกำเนิดกระแสทำให้ตัวต้านทานด้านซ้ายมีกระแสไหลเท่ากับ  $I_{SS}$  เกิดแรงดันตกคร่อมตัวต้านทานเท่ากับ  $I_{SS}R$  เพราะฉะนั้นแรงดันที่โนด  $Out-$  มีค่าเท่ากับแรงดันไฟเลี้ยงลบด้วยแรงดันตกคร่อมตัวต้านทาน (ค่าตรรกะเป็น 0) แสดงดังสมการที่ (2-4) ส่วนตัวต้านทานด้านขวาไม่มีกระแสไหล ทำให้สัญญาณที่โนด  $Out+$  ถูกดึงขึ้นให้มีค่าเท่ากับแรงดันไฟเลี้ยง (ค่าตรรกะเป็น 1) ดังสมการที่ (2-5)

$$V_{Out-} = V_{dd} - I_{SS}R \quad (2-4)$$

$$V_{Out+} = V_{dd} \quad (2-5)$$

วงจรบัฟเฟอร์ชนิด MCML ดังรูปที่ 2-2 มีช่วงแวกแรงดันระหว่างโนด  $Out-$  และโนด  $Out+$  อยู่ในช่วงสมการที่ (2-4) และสมการที่ (2-5) เพราะฉะนั้นช่วงแวกแรงดันมีค่าเท่ากับแรงดันตกคร่อมตัวต้านทาน กำหนดให้เท่ากับ  $\Delta V$  แสดงดังสมการที่ (2-6)

$$\Delta V = I_{SS}R \quad (2-6)$$

ค่าน่วงเวลาของวงจร MCML ประมาณได้ดังสมการที่ (2-7) [8]

$$D_{MCML} = RC \quad (2-7)$$

โดยที่ R คือ ตัวต้านทานดึงขึ้น และ C คือ ตัวเก็บประจุรวม ประกอบด้วยตัวเก็บประจุภายในเนื่องจากทรานซิสเตอร์ (M1 หรือ M2) และตัวเก็บประจุภาวะ

เมื่อแทนค่า R จากสมการที่ (2-6) ลงในสมการที่ (2-7) ค่าน่วงเวลาของวงจร MCML เขียนได้ดังสมการที่ (2-8)

$$D_{MCML} = \frac{C\Delta V}{I_{SS}} \quad (2-8)$$

จากสมการที่ (2-8) ค่าน่วงเวลาของวงจร MCML แปรผันตรงตามช่วงแวงแรงดัน โดยโครงสร้างของวงจร MCML มีช่วงแวงแรงดันต่ำกว่าวงจร CMOS อยู่แล้วและช่วงแวงแรงดันที่น้อยนี้เอง ทำให้ค่าน่วงเวลามีค่าน้อย เหมาะสำหรับทำงานที่ความถี่สูง

วงจร MCML ทำงานโดยเปลี่ยนทิศทางกระแสไบแอส ซึ่งกระแสไบแอสในวงจรมีค่าคงที่ไม่ขึ้นกับความถี่ ดังนั้นกำลังวงจร MCML ( $P_{MCML}$ ) เป็นความสัมพันธ์ระหว่างแรงดันและกระแสไบแอส [7], [8] แสดงดังสมการที่ (2-7)

$$P_{MCML} = I_{SS}V_{dd} \quad (2-7)$$

จากวงจรซีมอสและวงจร MCML ที่กล่าวมาข้างต้น สามารถสรุปความสัมพันธ์ค่าน่วงเวลาและกำลัง ได้ดังตารางที่ 2-2

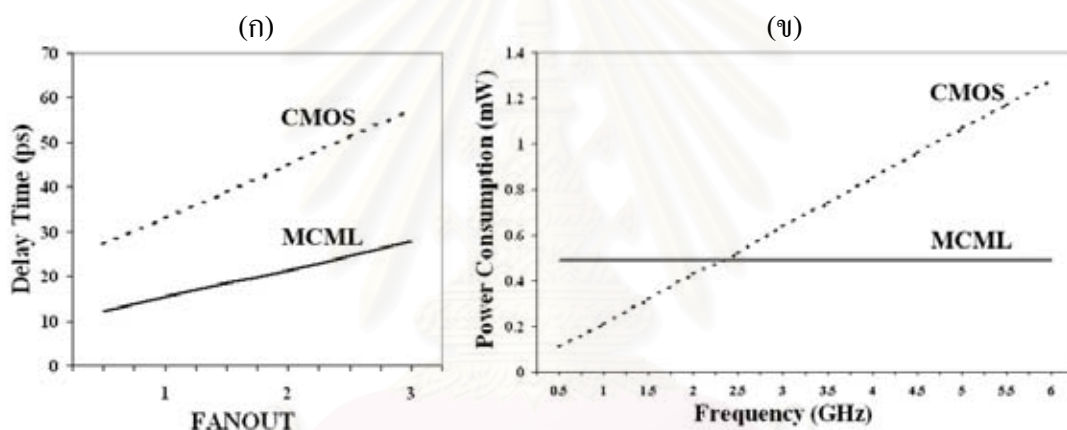
ตารางที่ 2-2 สรุปความสัมพันธ์ระหว่าง วงจร MCML และ CMOS

	MCML	CMOS
<b>Delay</b>	$D_{MCML} = RC$ $= \frac{C\Delta V}{I_{SS}}$	$D_{CMOS} = \frac{CV_{dd}}{\frac{k}{2}(V_{dd} - V_T)^\alpha}$
<b>Power</b>	$P_{MCML} = I_{SS}V_{dd}$	$P_{CMOS} = C_L V_{dd}^2 f$

รูปที่ 2-3 แสดงผลจำลองการทำงานด้วยโปรแกรม SPICE ของวงจรอินเวอร์เตอร์ชนิดซีมอส และวงจรบัฟเฟอร์ชนิด MCML ซึ่งวงจรอินเวอร์เตอร์ชนิดซีมอสใช้ความกว้างทรานซิสเตอร์



Mn เท่ากับ 4 ไมโครเมตร และความกว้างทรานซิสเตอร์ Mp เท่ากับ 10 ไมโครเมตร ( $\mu_n \approx 2.5\mu_p$ ) [11] วงจรบัฟเฟอร์ชนิด MCML ใช้ความกว้างทรานซิสเตอร์ M1 และ M2 เท่ากับ 4 ไมโครเมตร, ตัวต้านทานขนาด 1 กิโลโอห์ม และแหล่งกำเนิดกระแสขนาด 0.4 มิลลิแอมป์ เมื่อวงจรบัฟเฟอร์ชนิด MCML ขับตัวเก็บประจุภาระที่สูงขึ้นเป็นจำนวนเท่าของตัวเอง (FANOUT) พบว่าทำงานเร็วกว่าวงจรซีมอส เพราะวงจร MCML มีค่าตัวเก็บประจุภาระด้านออกและช่วงแวงแรงดันน้อยกว่า แต่เมื่อวงจรทั้งสองนี้ไม่ได้ขับตัวเก็บประจุภาระค่าหนึ่งเวลาจะมีค่าไม่เท่ากับ 0 เพราะผลจากตัวเก็บประจุภายในทรานซิสเตอร์ และเมื่อวงจรทั้งสองทำงานที่ความถี่ต่ำกว่าวงจรบัฟเฟอร์ชนิด MCML กินกำลังสูงกว่าวงจรอินเวอร์เตอร์ชนิดซีมอส แต่เมื่อทำงานที่ความถี่สูงกว่า 2 กิกะเฮิรตซ์ วงจรบัฟเฟอร์ชนิด MCML กินกำลังต่ำกว่าวงจรซีมอสอินเวอร์เตอร์ ดังนั้นการออกแบบวงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์ความถี่สูงในวิทยานิพนธ์นี้ จึงเลือกใช้โครงสร้างวงจรแบบ MCML เป็นพื้นฐานในการออกแบบ



รูปที่ 2-3 ผลจำลองสมรรถนะวงจรแบบอินเวอร์เตอร์ชนิดซีมอสและวงจรบัฟเฟอร์ชนิด MCML

(ก) ค่าหน่วยเวลาของวงจร CMOS มากกว่าวงจร MCML,

(ข) วงจร MCML กินกำลังน้อยกว่าวงจร CMOS ที่ความถี่สูง

### 2.3. มาตรฐานการสื่อสารทางแสง [12], [13], [14]

การรับและส่งสัญญาณในระบบที่ต่างกันหรือสื่อที่ต่างกันให้สื่อสารกันได้ จำเป็นต้องมีข้อกำหนดบางอย่างเป็นเกณฑ์ร่วมกันจึงจะติดต่อสื่อสารกันได้ สำหรับมาตรฐานการรับและส่งสัญญาณทางแสง คือ Synchronous Optical Network (SONET) [13] กำหนดโดยองค์กร Exchange Carriers Standard Association (ECSA) ซึ่งเป็นองค์กรกำหนดมาตรฐานของ American National Standard Institute (ANSI) ใช้กันอย่างแพร่หลายในประเทศสหรัฐอเมริกา, ประเทศแคนาดา, ประเทศเกาหลีและประเทศฮ่องกง มาตรฐาน SONET แบ่งเป็น Optical Carrier Level-N (OC-N) ใช้เส้นใยนำแสงเป็นสื่อส่งสัญญาณ และ Synchronous Transport Signal (STS) ใช้สายทองแดงเป็น

สื่อส่งสัญญาณ มาตรฐาน SONET ทำงานที่สัญญาณประสานเวลา (Synchronous Signal) การเปลี่ยนสัญญาณเกิดขึ้นในตำแหน่งที่แน่นอนและมีอัตราเดียวกัน แต่สัญญาณสามารถเกิดการเลื่อนได้ภายในระยะเวลาที่กำหนด เรียกเวลาที่เลื่อนไปนี้ว่า “กำหนด่วงเวลาการแพร่กระจาย (Propagation Delay)”

มาตรฐาน Synchronous Digital Hierarchy (SDH) [14] เป็นมาตรฐานซึ่งพัฒนาโดย ITU (International Telecommunication Union) เทียบเท่ากับมาตรฐาน SONET โดยที่ SDH เป็นมาตรฐานกว้างกว่ามาตรฐาน SONET โดยที่ ITU ได้พัฒนาระบบ STM (Synchronous Transport Module) ซึ่งเทียบเท่า STS ใช้สายทองแดงเป็นสายสัญญาณเช่นเดียวกัน และมีการอัตราส่งสัญญาณพื้นฐานเท่ากับ 52 เมกะบิตต่อวินาที (STM-0) ซึ่งเทียบเท่ากับมาตรฐาน SONET คือ OC-1 และ STS-1 การส่งข้อมูลในมาตรฐานที่สูงขึ้นจะเป็นจำนวนเท่าของอัตราส่งพื้นฐาน ดังตารางที่ 3-2 จะเห็นได้ว่ามาตรฐานการสื่อสารทางแสงแบ่งออกได้หลายระดับชั้น

ตารางที่ 2-3 มาตรฐานการสื่อสารทางแสงในระดับต่างๆ [12]

Optical Level	Electrical Level	Line Rate (Mbps)	Payload Rate (Mbps)	Overhead Rate (Mbps)	SDH Equivalent
OC-1	STS-1	51.840	50.112	1.728	-
<b>OC-3</b>	<b>STS-3</b>	<b>155.520</b>	<b>150.336</b>	<b>5.184</b>	<b>STM-1</b>
OC-9	STS-9	466.560	451.008	15.552	STM-3
OC-12	STS-12	622.080	601.344	20.736	STM-4
OC-18	STS-18	933.120	902.016	31.104	STM-6
OC-24	STS-24	1244.160	1202.688	41.472	STM-8
OC-36	STS-36	1866.240	1804.032	62.208	STM-13
OC-48	STS-48	2488.320	2405.376	82.944	STM-16
OC-96	STS-96	4976.640	4810.752	165.888	STM-32
<b>OC-192</b>	<b>STS-192</b>	<b>9953.280</b>	<b>9621.504</b>	<b>331.776</b>	<b>STM-64</b>

ในทางปฏิบัติการส่งข้อมูลในสายทองแดงนั้นสามารถส่งได้แค่ระดับ STS-3 เท่านั้นเพราะระดับสูงกว่านี้จะเกิดกำลังสูญเสียในสายทองแดงทำให้สัญญาณลดคุณภาพลง การออกแบบในวิทยานิพนธ์นี้ศึกษาวิจัยเพื่อให้สามารถสามารถทำงานที่ความถี่สูงตามมาตรฐาน OC-192 และออกแบบในระดับทางกายภาพ (Physical Layer) เท่านั้น

### บทที่ 3

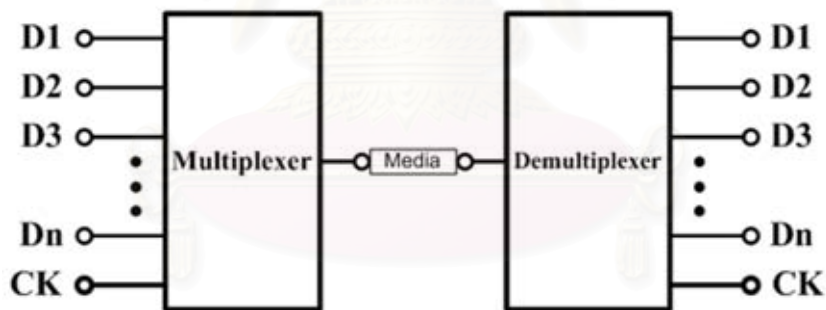
## สถาปัตยกรรมวงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์ความถี่สูง

วงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์มีโครงสร้างพื้นฐานหลายโครงสร้าง แต่ละโครงสร้างก็มีความเหมาะสมแตกต่างกันในแต่ละประเภทการใช้งาน บทนี้กล่าวถึงโครงสร้างและส่วนประกอบของวงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์ซึ่งสามารถทำงานความถี่สูงได้

#### 3.1. สถาปัตยกรรมพื้นฐานวงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์

วงจรมัลติเพล็กซ์ ดังแสดงในรูปที่ 3-1 ด้านซ้าย คือ วงจรที่นำสัญญาณความเร็วดำหลายๆ สัญญาณ (D1, D2, ..., Dn) ผ่านเข้าสู่วงจรในลักษณะที่ขนานกันและสามารถควบสัญญาณเข้าด้วยกันเป็นสัญญาณความถี่สูง เพื่อส่งผ่านไปในสื่อส่งสัญญาณ (Media) เพียงช่องสัญญาณเดียวได้

วงจรมัลติเพล็กซ์ ดังแสดงในรูปที่ 3-1 ด้านขวา คือ วงจรที่ทำงานกลับกันกับวงจรมัลติเพล็กซ์ ซึ่งสามารถแยกสัญญาณความถี่สูงที่ถูกมัลติเพล็กซ์ออกมาและได้สัญญาณความถี่ต่ำที่มีค่าสัญญาณเหมือนกับสัญญาณก่อนที่ถูกมัลติเพล็กซ์ โดยมีสัญญาณนาฬิกาเป็นสัญญาณควบคุมการมัลติเพล็กซ์และดีมัลติเพล็กซ์



รูปที่ 3-1 แผนภาพวงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์

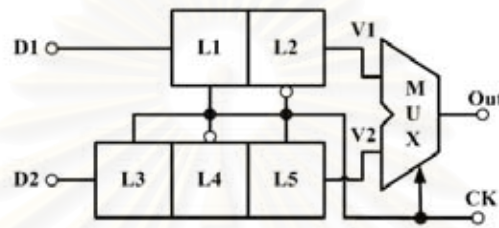
การออกแบบให้วงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์ ทำงานที่ความถี่ที่ต้องการ ทนทานต่อสัญญาณรบกวน และกินกำลังงานต่ำได้ จำเป็นต้องเลือกเทคนิคการออกแบบที่เหมาะสม ตลอดจนวิธีการออกแบบให้ผลตอบแทนที่ดีที่สุดเท่าที่ออกแบบได้

วงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์ มีโครงสร้างหลายชนิดและใช้เทคนิคหลายแบบ เช่น วงจร MCML, ทรานซิสเตอร์แบบผ่าน (Pass Transistor), วงจรซีมอสแบบสถิตย์, และอื่นๆ แต่ละแบบมีข้อดี ข้อเสีย ดังที่ได้กล่าวมาแล้วในบทที่ 2 แต่วงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์สัญญาณความถี่สูงในงานวิทยานพชนนี้ เลือกใช้เทคนิค MCML เพราะที่ความถี่สูงวงจร MCML กินกำลัง

คงที่และต่ำกว่าโครงสร้างอื่นๆ วงจร MCML เป็นวงจรที่ทำงานกับสัญญาณผลต่าง (Differential Mode) จึงทนทานต่อสัญญาณรบกวนหลายประเภท เช่น Power Ground Noise, Substrate Noise, Crosstalk, Common Mode Rejection เป็นต้น ดังได้กล่าวมาแล้วในบทที่ 2

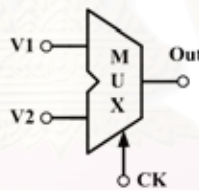
### 3.2. สถาปัตยกรรมวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 2:1 [2], [3], [5], [15]

วงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 2:1 ประกอบด้วยวงจรมัลติเพล็กซ์สัญญาณขนาด 2:1 (MUX 2:1) และวงจรแลตช์ (L1, L2, L3, L4 และ L5) ดังรูปที่ 3-2



รูปที่ 3-2 สถาปัตยกรรมวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 2:1

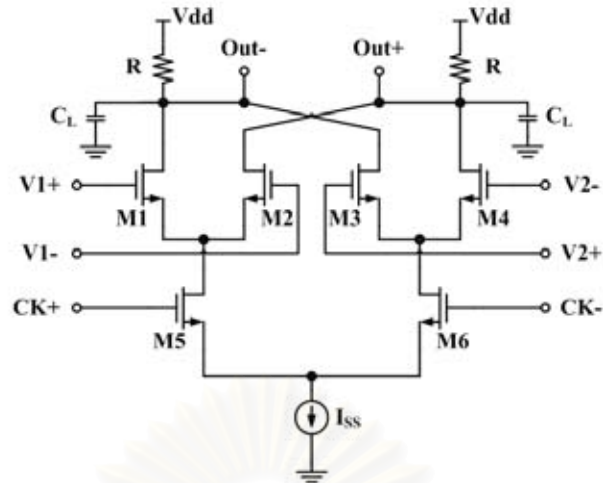
#### 3.2.1. วงจรมัลติเพล็กซ์สัญญาณขนาด 2:1 (MUX 2:1)



รูปที่ 3-3 สัญลักษณ์วงจรมัลติเพล็กซ์สัญญาณขนาด 2:1

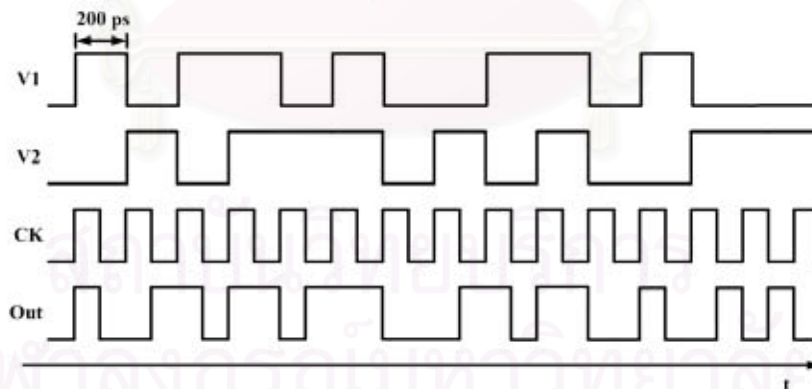
วงจรมัลติเพล็กซ์สัญญาณขนาด 2:1 หรือนิยมเรียกว่ามัลทซ์ (MUX 2:1) ทำหน้าที่ควบสัญญาณข้อมูลความถี่ต่ำ 2 สัญญาณที่ได้รับมาจากวงจรแลตช์ L2 และ L5 ให้เป็นสัญญาณออก (Out) เพียงสัญญาณเดียวและส่งไปยังปลายทางเดียวกัน โดยมีสัญญาณนาฬิกา (CK) ควบคุมการควบสัญญาณ ผลที่ได้คือความถี่สัญญาณออกเป็น 2 เท่าของความถี่สัญญาณเข้า มีโครงสร้างดังรูปที่ 3-3 และมีแผนภาพเค้าร่างดังรูปที่ 3-4 วงจรนี้ประกอบด้วยส่วนหลัก 4 ส่วน คือ

- 1) ส่วนดึงขึ้น (Pull-Up Part) แสดงโดยตัวต้านทาน (R)
- 2) ส่วนข้อมูล (Data Part) แสดงโดยทรานซิสเตอร์ M1, M2 สำหรับชุดข้อมูล V1 และ ทรานซิสเตอร์ M3, M4 สำหรับชุดข้อมูล V2
- 3) ส่วนเลือกข้อมูล (Selection Data Part) แสดงโดยทรานซิสเตอร์ M5 และ M6
- 4) ส่วนแหล่งกำเนิดกระแส (Current Source Part)



รูปที่ 3-4 แผนภาพเค้าร่างวงจรมัลติเพล็กซ์สัญญาณขนาด 2:1

เมื่อสัญญาณนาฬิกามีค่าทางตรรกะเป็น 1 ( $CK+ = 1, CK- = 0$ ) ทรานซิสเตอร์ M5 นำกระแส ส่วนทรานซิสเตอร์ M6 ไม่นำกระแส สัญญาณออกมีค่าเปลี่ยนแปลงตามข้อมูล V1 และในทางกลับกันเมื่อสัญญาณนาฬิกามีค่าทางตรรกะเป็น 0 ( $CK+ = 0, CK- = 1$ ) สัญญาณออกมีค่าเปลี่ยนแปลงตามข้อมูล V2 รูปที่ 3-5 เป็นผลจำลองการทำงานวงจรมัลติเพล็กซ์สัญญาณขนาด 2:1 แบบอุดมคติ โดยมีสัญญาณเข้ามีความถี่ 5 กิกะบิตต่อวินาที ส่วนสัญญาณออกมีความถี่เป็น 2 เท่าของสัญญาณเข้า คือ 10 กิกะบิตต่อวินาที มีความถี่สัญญาณควบคุมการทำงาน (สัญญาณนาฬิกา CK) เท่ากับ 5 กิกะเฮิรตซ์



รูปที่ 3-5 ผลจำลองการทำงานวงจรมัลติเพล็กซ์สัญญาณขนาด 2:1

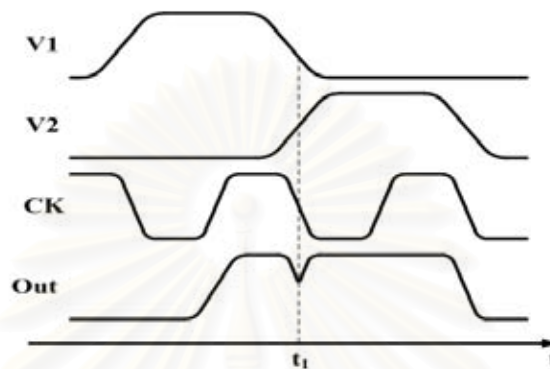
ความถี่ 10 กิกะบิตต่อวินาที [15]

### 3.2.2. วงจรแลตช์ (Latch)

ในความเป็นจริงแล้วในวงจรรวมต่างๆ สัญญาณที่เข้าสู่วงจรมัลติเพล็กซ์อาจมีช่วงเวลาขาขึ้นและลง (Rise/Fall Time) ไม่เหมาะสม, มีสัญญาณรบกวน (Noise) ทำให้เกิด



การเสื่อมคุณภาพของสัญญาณ (Degraded Data) หรือสัญญาณทำงานไม่ประสานเวลา (Asynchronous) กับสัญญาณนาฬิกาทำให้สัญญาณออกเกิดความผิดพลาดขึ้น ซึ่งอาจจะเกิดกรณีใดกรณีหนึ่งหรือทุกกรณีก็เป็นไปได้ รูปที่ 3-6 แสดงสัญญาณที่มีช่วงเวลาขาขึ้นและลงมีค่ามากและสัญญาณไม่ประสานเวลากับสัญญาณนาฬิกา ผลที่ได้ก็คือสัญญาณออกที่เวลา  $t_1$  มีความผิดพลาดเกิดขึ้น



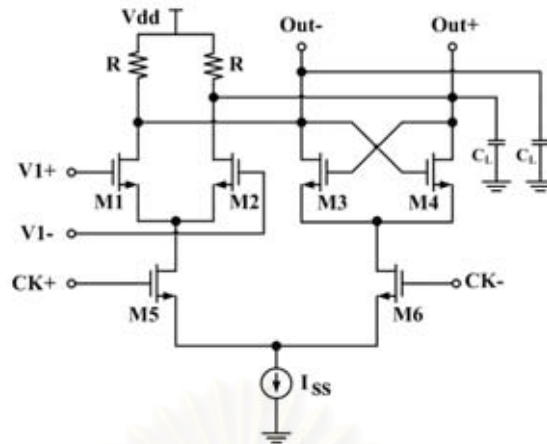
รูปที่ 3-6 สัญญาณเข้าที่มีเวลาขาขึ้นและลงไม่เหมาะสมและไม่ประสานเวลากับสัญญาณนาฬิกา

วงจรแลตช์ทำหน้าที่ปรับเวลาขาขึ้นและลงและจัดเวลาข้อมูล (Retime Data) ให้เหมาะสม พิจารณาสถาปัตยกรรมวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 2:1 (รูปที่ 3-2) ทางเดินของข้อมูล D1 ประกอบด้วยวงจรแลตช์ L1 และ L2 ทำงานในลักษณะของฟลิปฟล็อป (Flip-Flop) หรืออาจจะเรียกว่า Master-Slave Latch (MS-Latch) ซึ่งทำหน้าที่จัดเวลาข้อมูลให้ประสานเวลากับสัญญาณนาฬิกา ส่วนของทางเดินข้อมูล D2 ประกอบด้วยวงจรแลตช์ L3 และ L4 ทำหน้าที่ในลักษณะฟลิปฟล็อปดังที่ได้กล่าวมาข้างต้น แต่มีวงจรแลตช์ L5 เพิ่มเข้ามาเพื่อเลื่อนสัญญาณออกไปครึ่งรอบสัญญาณนาฬิกา (Half Clock Cycle) เพราะวงจรมัลติเพล็กซ์สัญญาณขนาด 2:1 จะสุ่มสัญญาณ D1 เมื่อสัญญาณนาฬิกา มีค่าตรรกะเป็น 1 ซึ่งทำการสุ่มได้ตามปกติ แต่การสุ่มสัญญาณ D2 จะเกิดเมื่อสัญญาณนาฬิกา มีค่าตรรกะเป็น 0 ดังนั้นจึงต้องเลื่อนสัญญาณ D2 ออกไปครึ่งรอบสัญญาณนาฬิกา เพื่อการสุ่มสัญญาณ D2 จะได้สุ่มตรงตำแหน่งและสัญญาณออกที่ได้จะไม่ผิดพลาด

แผนภาพเค้าร่างวงจรแลตช์แสดงดังรูปที่ 3-7 ประกอบด้วย 5 ส่วนหลักคือ

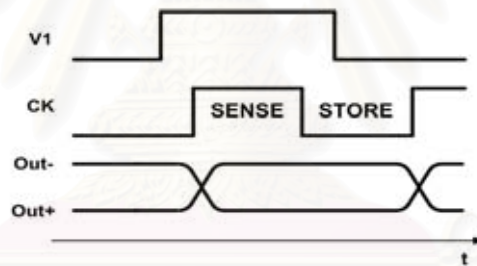
- 1) ส่วนดึงขึ้น
- 2) ส่วนรับรู้ (Sense Part) แสดงโดยทรานซิสเตอร์ M1 และ M2
- 3) ส่วนเก็บ (Store Part) แสดงโดยทรานซิสเตอร์ M3 และ M4
- 4) ส่วนเลือกโหมด (Selection Mode Part) แสดงโดยทรานซิสเตอร์ M5 และ M6
- 5) ส่วนแหล่งกำเนิดกระแส (Current Source Part)





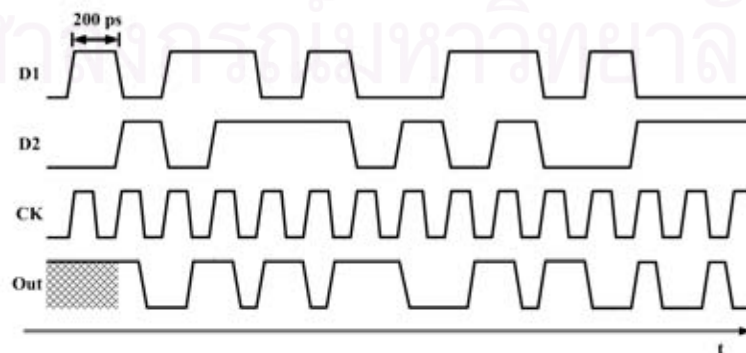
รูปที่ 3-7 แผนภาพเค้าร่างวงจรแลตซ์

เมื่อสัญญาณเลือกสถานะ (CK) มีค่าตรรกะเป็น 1 วงจรแลตซ์จะทำงานในสถานะรับรู้ (Sense) ดังนั้นสัญญาณออก (Out) เปลี่ยนตามสัญญาณ V1 แต่เมื่อสัญญาณเลือกสถานะมีค่าตรรกะเป็น 0 วงจรแลตซ์ทำงานในสถานะเก็บ (Store) สัญญาณออกที่ได้จะไม่เปลี่ยนตามสัญญาณเข้าแสดงดังรูปที่ 3-8



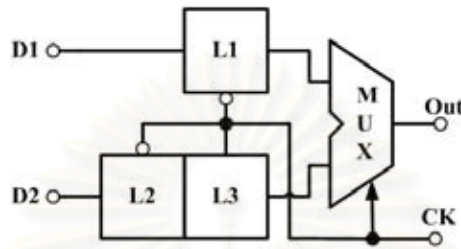
รูปที่ 3-8 การทำงานวงจรแลตซ์ [2]

เมื่อนำวงจรมัลติเพล็กซ์สัญญาณขนาด 2:1 และวงจรแลตซ์มาประกอบกันดังรูปที่ 3-2 จะได้วงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 2:1 มีผลการทำงานแสดงได้ดังรูปที่ 3-9



รูปที่ 3-9 ผลจำลองการทำงานวงจรมัลติเพล็กซ์ความถี่สูงขนาด 2:1

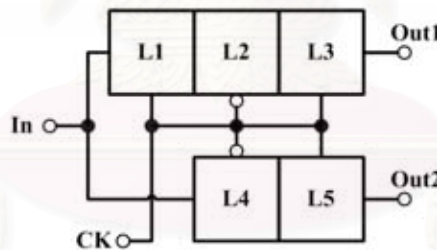
วิทยานิพนธ์นี้เสนอการออกแบบวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 2:1 แบบปรับปรุง เพื่อลดกำลังและพื้นที่แผงวงจร โดยตัดวงจร L1 และ L3 จากรูปที่ 3-2 ได้ ดังรูปที่ 3-10 ทำให้กินกำลังน้อยลง ทั้งนี้ L1 และ L2 ทำหน้าที่จัดเวลาข้อมูล ส่วน L3 ทำหน้าที่แลตซ์สัญญาณ D2 ออกไปครึ่งสัญญาณนาฬิกา วงจรแบบปรับปรุงนี้มีค่าหน่วยเวลาดำกว่าวงจรเดิมอยู่ครึ่งสัญญาณนาฬิกา เพราะจะสุ่มจัดเวลาสัญญาณที่วงจรแลตซ์ L1 และ L2 ที่สัญญาณนาฬิกาที่มีค่าตรรกะเป็น 0



รูปที่ 3-10 สถาปัตยกรรมวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 2:1 แบบปรับปรุง

### 3.3. สถาปัตยกรรมวงจรมัลติเพล็กซ์ความถี่สูงขนาด 1:2 [2], [15]

วงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 1:2 ประกอบด้วย วงจรแลตซ์สัญญาณ จำนวน 5 ชุด (L1, L2, L3, L4 และ L5) ดังรูปที่ 3-11

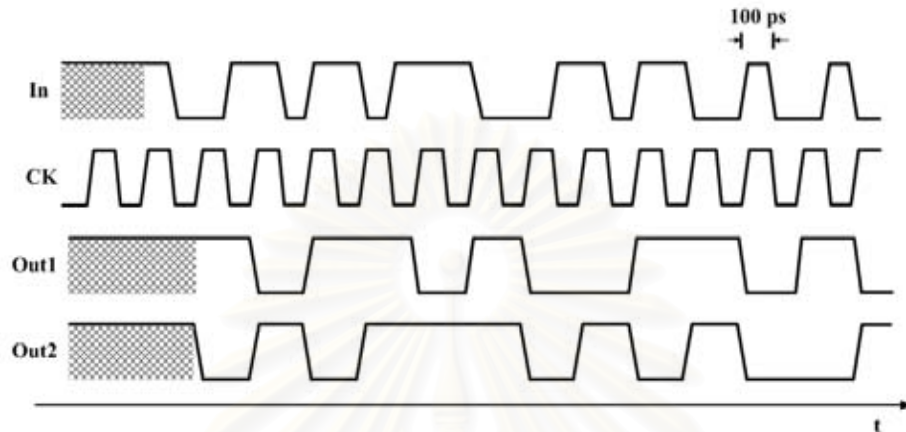


รูปที่ 3-11 สถาปัตยกรรมวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 1:2

วงจรมัลติเพล็กซ์สัญญาณขนาด 1:2 หรือนิยมเรียกว่าดีมัลกซ์ (DEMUX 2:1) ทำหน้าที่ตรงข้ามกับวงจรมัลติเพล็กซ์สัญญาณ คือเป็นวงจรที่แยกข้อมูลความถี่ต่ำ 2 สัญญาณ (Out1 และ Out2) ออกจากสัญญาณเข้าความถี่สูง (In) โดยมีสัญญาณนาฬิกา (CK) เป็นสัญญาณควบคุมการแยกสัญญาณ ผลที่ได้คือความถี่สัญญาณออกลดลงเป็นครึ่งหนึ่งของความถี่สัญญาณเข้า

วงจรมัลติเพล็กซ์สัญญาณ ประกอบด้วย วงจรแลตซ์ L1, L2 และ L4, L5 วงจรแลตซ์ทั้งสองคู่นี้ ทำงานในลักษณะของวงจรฟลิปฟล็อป แต่ทำงานที่สัญญาณนาฬิกาคนละช่วงโดย ชุด L1, L2 ทำงานที่สัญญาณนาฬิกาที่มีค่าตรรกะเป็น 1 ส่วนชุด L4, L5 ทำงานที่สัญญาณนาฬิกาที่มีค่าตรรกะเป็น 0 เพื่อแยกสัญญาณความถี่ต่ำออกมา ส่วนวงจรแลตซ์ L3 ทำหน้าที่หน่วงสัญญาณออกไปครึ่ง

สัญญาณนาฬิกา รูปที่ 3-12 แสดงการทำงานของวงจรมัลติเพล็กซ์ เมื่อสัญญาณเข้ามีความถี่ 10 กิกะบิตต่อวินาที และใช้สัญญาณนาฬิกาความถี่ 5 กิกะเฮิรตซ์ เป็นสัญญาณเลือกเพื่อแยกข้อมูลออกทาง Out1 เมื่อสัญญาณนามีค่าทางตรรกะเป็น 1 และแยกข้อมูล Out2 ออก เมื่อสัญญาณนามีค่าทางตรรกะเป็น 0

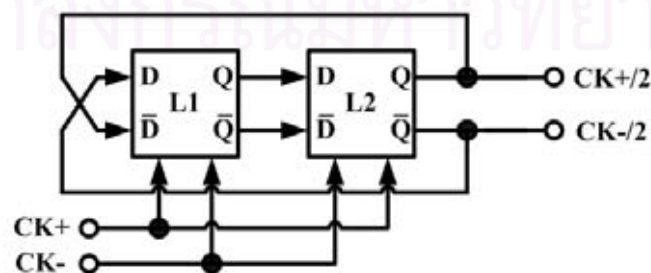


รูปที่ 3-12 ผลจำลองการทำงานของวงจรมัลติเพล็กซ์ความถี่สูงขนาด 1:2

#### 3.4. สถาปัตยกรรมวงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์สัญญาณอันดับสูง [2], [4], [15]

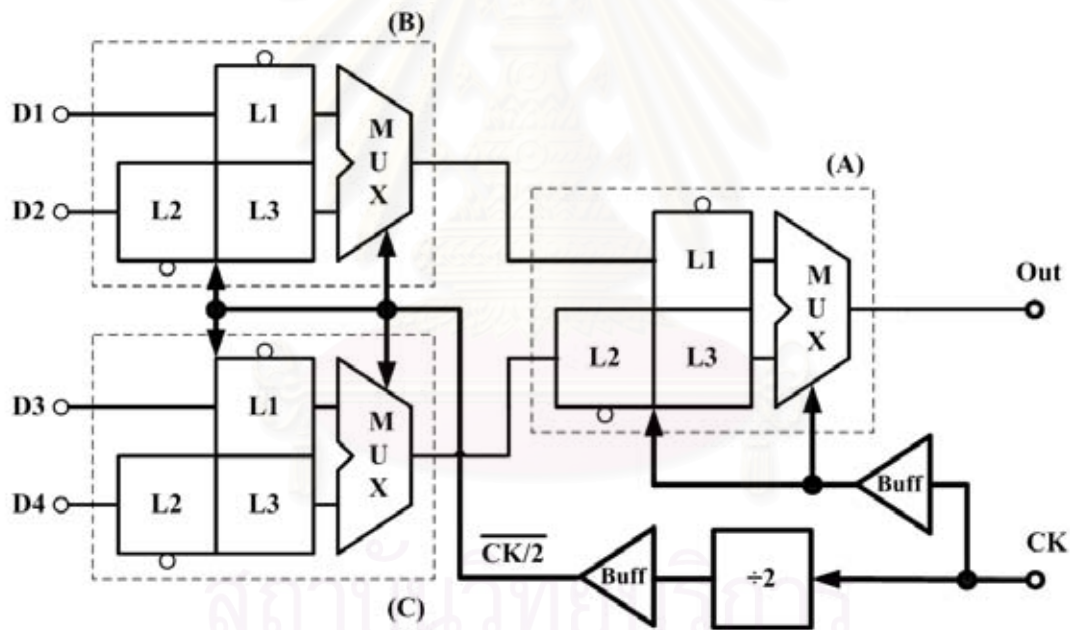
วงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์สัญญาณอันดับสูงที่เสนอในวิทยานิพนธ์นี้ จะใช้วงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 2:1 แบบปรับปรุง และวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 1:2 เป็นพื้นฐาน โดยมีวงจรเพิ่มเติม คือ วงจรหารความถี่สัญญาณนาฬิกาครึ่งหนึ่ง (Clock Divider by 2)

วงจรหารความถี่สัญญาณนาฬิกาครึ่งหนึ่ง ดังรูปที่ 3-13 ประกอบด้วย วงจรแลตซ์ 2 ชุดต่อกัน โดยวิธีป้อนกลับแบบลบ (Negative Feedback) ทำงานในลักษณะของฟลิปฟล็อปแบบที (T-Flip Flop)



รูปที่ 3-13 วงจรหารความถี่สัญญาณนาฬิกาครึ่งหนึ่ง

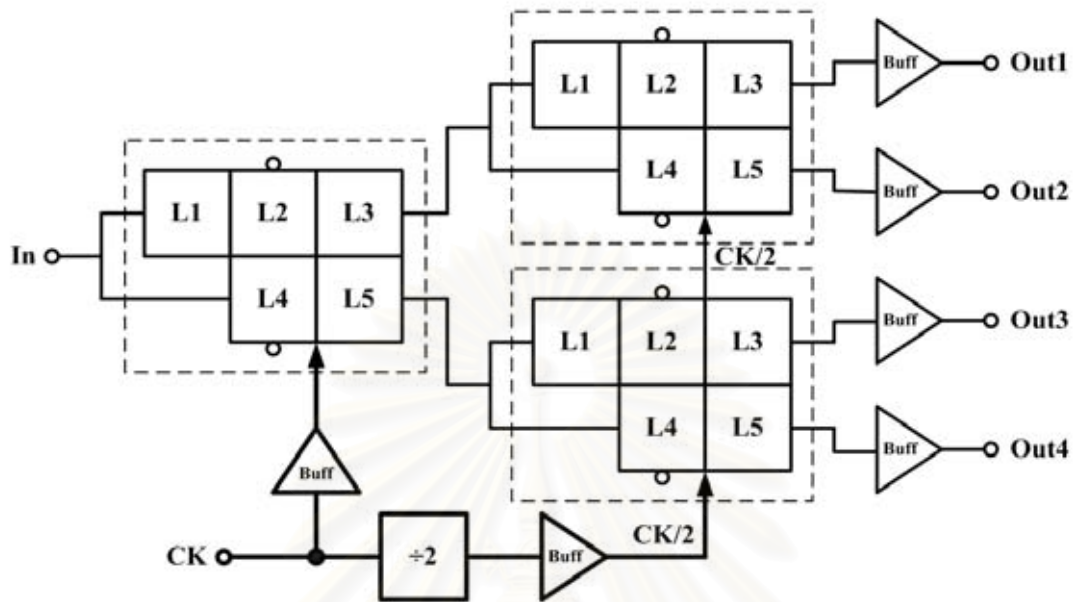
รูปที่ 3-14 เป็นรูปวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 4:1 ประกอบด้วยวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 2:1 แบบปรับปรุง จำนวน 3 ชุด ได้แก่ (A), (B) และ (C), วงจรหารความถี่สัญญาณนาฬิกาครึ่งหนึ่ง (Clock Divider by 2) ซึ่งสัญญาณนาฬิกาที่ออกจากวงจรหารความถี่จะไม่สามารถขับวงจร (B) และ (C) ได้เพราะตัวเก็บประจุการะมีค่ามาก ดังนั้นจึงเพิ่มวงจรบัฟเฟอร์ทำหน้าที่ปรับสัญญาณให้สามารถขับวงจรถัดไป และปรับเวลาขาขึ้นและลงให้สัญญาณคมขึ้น แต่การเพิ่มวงจรบัฟเฟอร์จะทำให้สัญญาณนาฬิกา CK/2 ที่ไปขับวงจร (B) และ (C) ถูกหน่วงออกไป ทำให้สัญญาณ CK และ CK/2 ไม่เข้าจังหวะกัน ดังนั้นจึงต้องเพิ่มวงจรบัฟเฟอร์ที่เหมือนกันเพื่อหน่วงเวลาสัญญาณนาฬิกา CK เช่นกัน ผลที่ได้คือสัญญาณนาฬิกา CK และ CK/2 เข้าจังหวะกัน วิทยานิพนธ์นี้ออกแบบให้ทำงานที่ความถี่ 10 กิกะบิตต่อวินาที มีความถี่สัญญาณเข้า D1, D2, D3 และ D4 เท่ากับ 2.5 กิกะบิตต่อวินาที, ความถี่สัญญาณนาฬิกาเท่ากับ 5 กิกะเฮิรตซ์ และความถี่สัญญาณออก Out เท่ากับ 10 กิกะบิตต่อวินาที นั่นคือความถี่สัญญาณออกมีความถี่เป็น 4 เท่าของความถี่สัญญาณเข้า



รูปที่ 3-14 สถาปัตยกรรมวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 4:1

วงจรดีมัลติเพล็กซ์ความถี่สูงขนาด 1:4 มีโครงสร้างดังรูปที่ 3-15 ประกอบด้วยวงจรดีมัลติเพล็กซ์ความถี่สูงขนาด 1:2 จำนวน 3 ชุด, วงจรหารความถี่สัญญาณนาฬิกาครึ่งหนึ่ง (Clock Divider by 2) และวงจรบัฟเฟอร์ทำหน้าที่เช่นเดียวกับวงจรบัฟเฟอร์ในรูปที่ 3-14 วงจรดีมัลติเพล็กซ์ความถี่สูงขนาด 1:2 ทำงานโดยการแยกสัญญาณความถี่ต่ำออกจากสัญญาณความถี่สูง ในวิทยานิพนธ์นี้ออกแบบให้ทำงานที่ความถี่ 10 กิกะบิตต่อวินาที มีความถี่สัญญาณเข้า In เท่ากับ 10 กิกะบิตต่อวินาที, ความถี่สัญญาณนาฬิกาเท่ากับ 5 กิกะเฮิรตซ์ และความถี่สัญญาณออก Out1,

Out2, Out3 และ Out4 เท่ากับ 2.5 กิกะบิตต่อวินาที นั่นคือความถี่สัญญาณออกมีความถี่เป็น 1/4 เท่าของความถี่สัญญาณเข้า



รูปที่ 3-15 สถาปัตยกรรมวงจรคีมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 1:4

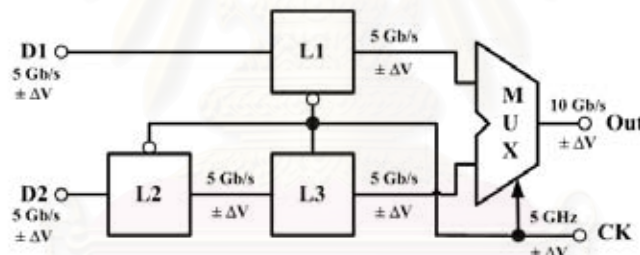


## บทที่ 4

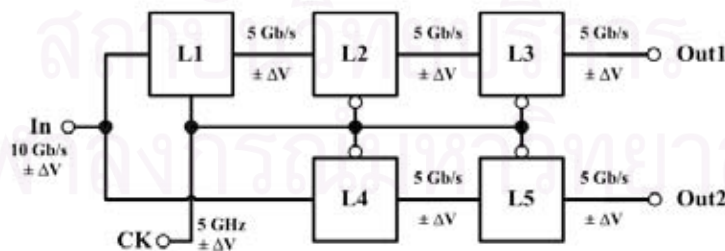
### การคำนวณและการออกแบบ

บทนี้กล่าวถึงวิธีการคำนวณค่าพารามิเตอร์ของวงจร MCML เพื่อให้ผ่านข้อกำหนดด้านความเร็วและกินกำลังงานต่ำ วงจรที่ถูกรออกแบบ คือ วงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 2:1 แบบปรับปรุงดังแสดงในรูปที่ 4-1 และวงจรดีมัลติเพล็กซ์ความถี่สูงขนาด 1:2 ดังแสดงในรูปที่ 4-2 เท่านั้นเพราะวงจรที่กล่าวมาข้างต้นเป็นวงจรพื้นฐาน สำหรับการสร้างวงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์อันดับสูงต่อไป วงจรย่อยในการออกแบบประกอบด้วย 4 วงจรหลักคือ วงจรมัลติเพล็กซ์สัญญาณขนาด 2:1 (MUX 2:1), วงจรแลตช์ (Latch), วงจรหารความถี่สัญญาณนาฬิกา (Clock Divider) และวงจรบัฟเฟอร์ (Buffer) ดังที่จะกล่าวในหัวข้อ 4.1 ถึง 4.4 ตามลำดับ

การออกแบบเริ่มต้นด้วยการกำหนดขนาดสัญญาณเข้าและสัญญาณออกของวงจรย่อย แต่ละวงจรดังแสดงในรูปที่ 4-1 และรูปที่ 4-2 วงจรทั้งสองนี้ทำงานที่ความถี่ 10 กิกะบิตต่อวินาที, มีช่วงแอมพลิจูดแรงดันเท่ากับ  $\Delta V$  ตลอดการออกแบบ เพื่อง่ายต่อการออกแบบและนำไปประกอบเป็นวงจรอันดับสูงต่อไป และมีความกว้างทรานซิสเตอร์แต่ละวงจรเท่ากันตลอดการออกแบบ



รูปที่ 4-1 แผนภาพสัญญาณของวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 2:1 แบบปรับปรุง



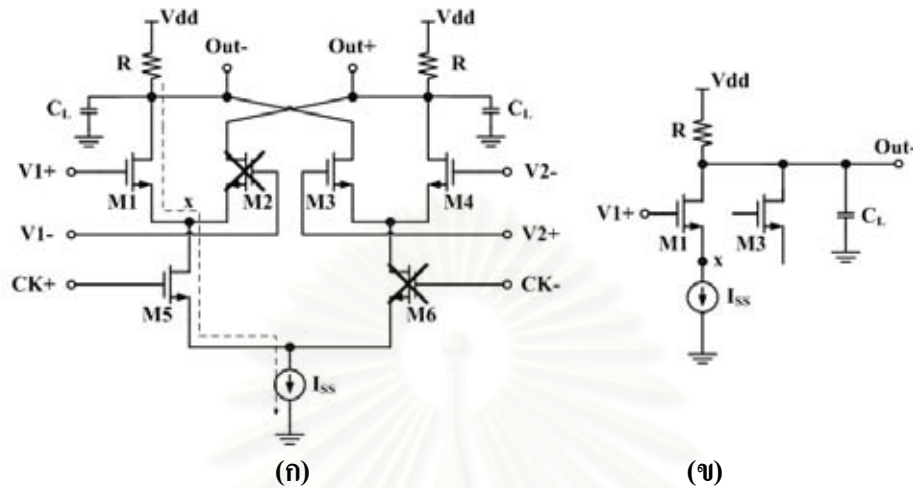
รูปที่ 4-2 แผนภาพสัญญาณของวงจรดีมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 1:2

ข้อกำหนดสำหรับทุกวงจร คือ มีช่วงแอมพลิจูดสัญญาณเข้า, สัญญาณออก และสัญญาณนาฬิกาเท่ากัน สามารถทำงานได้ที่ความถี่ 5 GHz ซึ่งการออกแบบในบทนี้มี 4 วงจรหลัก คือ วงจรมัลติเพล็กซ์สัญญาณขนาด 2:1, วงจรแลตช์, วงจรหารความถี่สัญญาณนาฬิกา และ วงจรบัฟเฟอร์



#### 4.1. การคำนวณและออกแบบวงจรมัลติเพิล็กซ์สัญญาณขนาด 2:1

วงจรมัลติเพิล็กซ์สัญญาณขนาด 2:1 มีแผนภาพเค้าร่างดังรูปที่ 4-3(ก)



รูปที่ 4-3 แผนภาพเค้าร่าง (ก) วงจรมัลติเพิล็กซ์ขนาด 2:1 (ข) ครึ่งวงจรมัลติเพิล็กซ์ขนาด 2:1

การคำนวณให้วงจรมัลติเพิล็กซ์สัญญาณขนาด 2:1 สามารถทำงานที่ความถี่ที่ต้องการได้ นั้น วงจรจะถูกกำหนดด้วยค่าหน่วงเวลาการแพร่กระจาย (Propagation Delay) ประมาณค่าด้วยวงจรลำดับที่หนึ่ง (First Order Approximation) [16] ดังสมการที่ (4-1)

$$t_d = 0.69RC \quad (4-1)$$

โดย  $C$  คือ ตัวเก็บประจุรวมทั้งหมดที่โหนดออกซึ่งประกอบด้วย ตัวเก็บประจุภายในทรานซิสเตอร์ (Internal Capacitance,  $C_{int}$ ), ตัวเก็บประจุเนื่องจากตัวต้านทาน (Resistive Capacitance,  $C_R$ ) และตัวเก็บประจุภาระ (Load Capacitance,  $C_L$ ) เราสามารถนำสมการค่าหน่วงเวลาการแพร่กระจาย (4-1) มาเขียนใหม่ ให้อยู่ในรูปของตัวเก็บประจุประเภทต่างๆ ดังสมการที่ (4-2)

$$t_d = 0.69R(C_R + C_{int} + C_L) \quad (4-2)$$

ตัวเก็บประจุภาระเกิดจากตัวเก็บประจุในวงจรถัดไป (Fanout Capacitance,  $C_{FO}$ ) และตัวเก็บประจุสาย (Wiring Capacitance,  $C_{wire}$ ) แสดงดังสมการที่ (4-3)

$$C_L = C_{FO} + C_{wire} \quad (4-3)$$

แต่ในประมาณค่าหน่วงเวลาการแพร่กระจายเพื่อง่ายแก่การคำนวณ กำหนดให้ตัวเก็บประจุสายมีค่าน้อยมากหรือไม่มีเลย ( $C_{wire} \approx 0$ ) ดังนั้นเมื่อแทนค่าตัวเก็บประจุภาระในสมการที่ (4-3) ลงในสมการที่ (4-2) ค่าหน่วงเวลาการแพร่กระจาย แสดงดังสมการที่ (4-4)

$$t_d = 0.69R[C_R + C_{int} + C_{FO}] \quad (4-4)$$

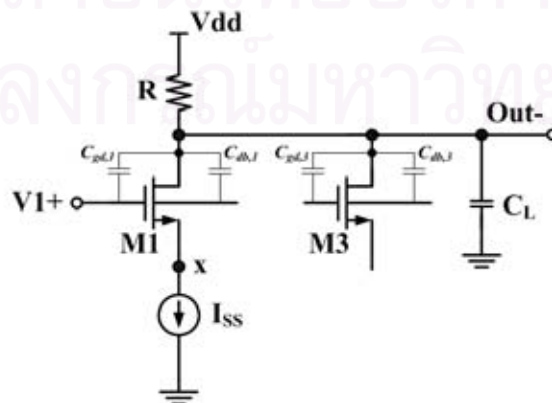
ตัวเก็บประจุในสมการที่ (4-4) ประกอบด้วยตัวเก็บประจุ 2 กลุ่มคือ ตัวเก็บประจุเนื่องจากตัวต้านทาน ( $C_R$ ) และตัวเก็บประจุเนื่องจากทรานซิสเตอร์ ( $C_{Tr}$ ) ซึ่งตัวเก็บประจุเนื่องจากทรานซิสเตอร์คือผลรวมค่าตัวเก็บประจุภายในวงจรและค่าตัวเก็บประจุวงจรถัดไป ดังนั้นเขียนใหม่ได้ดังสมการที่ (4-5)

$$t_d = 0.69R(C_R + C_{Tr}) \quad (4-5)$$

จากสมการที่ (4-5) กระจาย  $0.69R$  เข้าในวงเล็บ ค่าหน่วยเวลาการแพร่กระจายประกอบด้วยผลรวมค่าหน่วยเวลาการแพร่กระจายเนื่องตัวต้านทาน (พจน์แรก) และค่าหน่วยเวลาการแพร่กระจายเนื่องจากทรานซิสเตอร์ (พจน์หลัง) ดังสมการที่ (4-6)

$$t_d = 0.69RC_R + 0.69RC_{Tr} \quad (4-6)$$

การคำนวณหาตัวเก็บประจุเนื่องจากทรานซิสเตอร์ของวงจรมัลติเพิลิกซ์สัญญาณขนาด 2:1 รูปที่ 4-3(ก) เพื่อนำไปคำนวณหาค่าหน่วยเวลาการแพร่กระจาย ทำได้โดยแยกคิดวงจรเพียงครั้งเดียวเพราะวงจรสมมาตรทั้ง 2 ข้าง โดยสมมติสัญญาณนาฬิกามีค่าทางตรรกะเป็น 1 ( $CK+$  มีค่าตรรกะเป็น 1,  $CK-$  มีค่าตรรกะเป็น 0) ทรานซิสเตอร์ M5 ทำงาน แต่ทรานซิสเตอร์ M6 ไม่ทำงาน กระแสไบแอสไหลผ่านฝั่งทรานซิสเตอร์ M5 เท่านั้น และสมมติให้สัญญาณข้อมูล V1 มีค่าตรรกะเป็น 1 ( $V1+$  มีค่าตรรกะเป็น 1,  $V1-$  มีค่าตรรกะเป็น 0) ทรานซิสเตอร์ M1 ทำงาน แต่ทรานซิสเตอร์ M2 ไม่ทำงาน กระแสไบแอสไหลผ่านตัวต้านทานด้านซ้ายและทรานซิสเตอร์ M1 เท่านั้น ถ้ากำหนดให้สัญญาณข้อมูล V1 เปลี่ยนแปลงหลังสัญญาณนาฬิกา ดังนั้นครั้งวงจรมัลติเพิลิกซ์แสดงดังรูปที่ 4-3(ข) โหนด Out- เชื่อมต่อกับตัวต้านทานด้านซ้าย, ขาเดรนของทรานซิสเตอร์ M1, ขาเดรนของทรานซิสเตอร์ M3 และตัวเก็บประจุการะ วงจรสมมูลของครั้งวงจรมัลติเพิลิกซ์แสดงดังรูปที่ 4-4

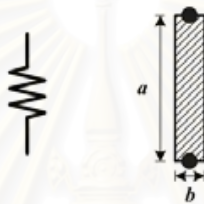


รูปที่ 4-4 วงจรสมมูลของครั้งวงจรมัลติเพิลิกซ์สัญญาณขนาด 2:1

จากรูปที่ 4-4 ตัวเก็บประจุรวมประกอบด้วย ตัวเก็บประจุเนื่องจากตัวด้านทานและตัวเก็บประจุเนื่องจากทรานซิสเตอร์ (ชุดทรานซิสเตอร์นี้คือวงจรมัลติเพล็กซ์ขนาด 2:1 ดังนั้นแทนค่าตัวเก็บประจุนี้ด้วย  $C_{MUX}$ ) แสดงดังสมการที่ (4-7)

$$C = C_R + \underbrace{C_{gd,1} + C_{db,1} + C_{gd,3} + C_{db,3}}_{C_{Tr} = C_{MUX}} + C_L \quad (4-7)$$

ตัวเก็บประจุเนื่องจากตัวด้านทาน เกิดจากตัวเก็บประจุระหว่างชั้นที่วางผังวงจร (Layout) กับชั้นเซรท การวางผังวงจรตัวด้านทานแสดงดังรูปที่ 4-5



รูปที่ 4-5 ตัวด้านทานและผังวงจรตัวด้านทาน

ค่าตัวด้านทานจากการวางผังวงจรดังรูปที่ 4-5 คำนวณได้จากสมการที่ 4-8 [17]

$$R = R_s \times \frac{a}{b} \quad (4-8)$$

โดยที่  $R_s$  คือ ค่าความต้านทานแผ่นต่อพื้นที่สี่เหลี่ยม (Sheet Resistance per Square,  $R_s$ ) ในวิทยานิพนธ์นี้เลือกสร้างตัวด้านทานจากชั้นโพลีซิลิคอน (Polysilicon) เพราะมีค่าความต้านทานแผ่นต่อพื้นที่สี่เหลี่ยมเท่ากับ 7.8 โอห์มต่อพื้นที่สี่เหลี่ยม [11] (สำหรับกระบวนการผลิต TSMC 0.18 ไมโครเมตร แสดงในภาคผนวก (ข)),  $b$  คือ ความกว้างของตัวด้านทาน การออกแบบกำหนดให้มีค่าคงที่เท่ากับ 0.27 ไมโครเมตร ตลอดจนการออกแบบเพื่อง่ายแก่การคำนวณและวางผังวงจร และ  $a$  คือความยาวของผังวงจรตัวด้านทาน

จากที่กล่าวมาข้างต้นตัวเก็บประจุเนื่องจากตัวด้านทานโพลีซิลิคอน คำนวณได้จากสมการที่ (4-9) โดยที่  $C_p$  คือค่าคงที่ตัวเก็บประจุต่อพื้นที่ระหว่างชั้นโพลีซิลิคอนกับชั้นเซรท มีค่าเท่ากับ 105 เฟมโตฟารัดต่อตารางไมโครเมตร แสดงในภาคผนวก (ข)

$$C_R = C_p(ab) \quad (4-9)$$

สมการที่ (4-9) หากด้วยสมการที่ (4-8) และแทนค่าตัวแปรต่างๆ จะได้ว่าตัวเก็บประจุเนื่องจากตัวด้านทานเป็นฟังก์ชันของตัวด้านทานดังสมการที่ (4-10)

$$C_R = \left( \frac{C_p b^2}{R_S} \right) R = (9.813 \times 10^{-19}) R \quad F \quad (4-10)$$

ตัวเก็บประจุเนื่องจากทรานซิสเตอร์ [6] จากสมการที่ (4-7) ประกอบด้วย ตัวเก็บประจุเกต-เดรนของทรานซิสเตอร์ M1, ตัวเก็บประจุเดรน-บัลก์ของทรานซิสเตอร์ M1, ตัวเก็บประจุเกต-เดรนของทรานซิสเตอร์ M3, ตัวเก็บประจุเดรน-บัลก์ของทรานซิสเตอร์ M3 และตัวเก็บประจุการะ ในการออกแบบกำหนดให้ทรานซิสเตอร์ที่ทำงาน ทุกตัวทำงานในสภาวะอิ่มตัว (Saturate) สามารถคำนวณค่าตัวเก็บประจุเนื่องจากวงจรมัลติเพล็กซ์ ( $C_{MUX}$ ) ในสมการที่ (4-8) ได้โดยใช้ความสัมพันธ์การคำนวณค่าตัวเก็บประจุเนื่องจากทรานซิสเตอร์ ในภาคผนวก (ก) และ ค่าตัวแปรต่างๆ สำหรับกระบวนการผลิต TSMC 0.18 ไมโครเมตร ในภาคผนวก (ข) การคำนวณทำได้ดังนี้

ตัวเก็บประจุเกต-เดรน ประกอบด้วยตัวเก็บประจุชั้นเหลื่อมเกต-เดรน และ ตัวเก็บประจุช่องเกต-เดรน เนื่องทรานซิสเตอร์ทำงานในสภาวะอิ่มตัว ดังนั้นตัวเก็บประจุช่องเกต-เดรน มีค่าเท่ากับ 0 และสามารถเขียนค่าตัวเก็บประจุเกต-เดรนได้ดังสมการที่ (4-11)

$$C_{gd} = C_{GDO} W \quad (4-11)$$

โดยที่  $C_{GDO}$  คือ ค่าตัวเก็บประจุชั้นเหลื่อมเกต-เดรนต่อหน่วยความยาว มีค่าเท่ากับ  $7.16 \times 10^{-10} \text{ F/m}$  แทนค่า ตัวเก็บประจุชั้นเหลื่อมเกต-เดรนต่อหน่วยความยาว ในสมการที่ (4-11) ดังนั้นสมการที่ค่าตัวเก็บประจุเกต-เดรน มีค่าดังสมการที่ (4-12)

$$C_{gd} = (7.16 \times 10^{-10} \text{ F/m}) W \quad F \quad (4-12)$$

ตัวเก็บประจุเดรน-บัลก์ เป็นตัวเก็บประจุที่เกิดจากตัวเก็บประจุการแพร่ (Diffusion Capacitance) มีค่าเท่ากับผลรวมของตัวเก็บประจุจุดต่อด้านล่าง (Bottom Junction Capacitance), ตัวเก็บประจุจุดต่อด้านข้าง (Sidewall Junction Capacitance) และตัวเก็บประจุจุดต่อด้านข้างฝั่งเกต (Gate-Sidewall Junction Capacitance) เขียนได้ดังสมการที่ (4-13)

$$C_{db} = C_{bottom} + C_{sidewall} + C_{gate-sidewall} \quad (4-13)$$

แทนค่าสมการตัวเก็บประจุจุดต่อด้านล่าง ( $C_{bottom}$ ), ตัวเก็บประจุจุดต่อด้านข้าง ( $C_{sidewall}$ ) และตัวเก็บประจุจุดต่อด้านข้างฝั่งเกต ( $C_{gate-sidewall}$ ) ดังแสดงในภาคผนวก (ก) ลงในสมการที่ (4-13) ดังนั้นค่าตัวเก็บประจุเดรน-บัลก์มีความสัมพันธ์ดังสมการที่ (4-14)

$$C_{db} = C_j W Y \left( 1 + \frac{V_{db}}{\phi_F} \right)^{-m_j} + C_{jsw} (W + 2Y) \left( 1 + \frac{V_{db}}{\phi_F} \right)^{-m_{jsw}} + C_{jswg} W \left( 1 + \frac{V_{db}}{\phi_F} \right)^{-m_{jswg}} \quad (4-14)$$

ค่าตัวแปรต่างๆ ในสมการที่ (4-14) เป็นค่าคุณสมบัติกระบวนการผลิต ดังแสดงในภาคผนวก (ข) โดยมีค่าตามตารางที่ 4-1

ตารางที่ 4-1 ตัวแปรตัวเก็บประจุการแพร่ของกระบวนการผลิต TSMC 0.18 ไมโครเมตร [11]

สัญลักษณ์	ความหมายสัญลักษณ์	ค่าสัญลักษณ์
$C_j$	ค่าเก็บประจุจุดต่อด้านล่างต่อหน่วยพื้นที่ (Bottom junction capacitance per unit area)	$9.725711 \times 10^{-4} \text{ F}/\text{m}^2$
$m_j$	ค่าสัมประสิทธิ์คุณภาพตัวเก็บประจุจุดต่อด้านล่าง (Bottom junction capacitance grading coefficient)	0.365507
$C_{jsw}$	ค่าเก็บประจุจุดต่อด้านข้างต่อหน่วยความยาว (Source/drain sidewall junction capacitance per unit length)	$2.604808 \times 10^{-10} \text{ F}/\text{m}$
$m_{jsw}$	ค่าสัมประสิทธิ์คุณภาพตัวเก็บประจุจุดต่อด้านข้าง (Source/drain sidewall junction capacitance grading coefficient)	0.1
$C_{jswg}$	ค่าเก็บประจุจุดต่อด้านข้างฝั่งเกตต่อหน่วยความยาว (Source/drain gate sidewall junction capacitance per unit length)	$3.3 \times 10^{-10} \text{ F}/\text{m}$
$m_{jswg}$	ค่าสัมประสิทธิ์คุณภาพตัวเก็บประจุจุดต่อด้านข้างฝั่งเกต (Source/drain gate sidewall junction capacitance grading coefficient)	0.1
$\phi_F$	ค่าคงที่ Fermi Potential	0.78696
$Y$	ค่าคงที่ความยาวของพื้นที่การแพร่ (Diffusion Length) สำหรับ กระบวนการผลิต TSMC 0.18 ไมโครเมตร	$0.45 \mu\text{m}$

จากสมการที่ (4-14) ตัวเก็บประจุเดรน-บัลก์มีค่าไม่คงที่ เปลี่ยนแปลงตามแรงดันเดรน-บัลก์ ( $V_{db}$ ) พิจารณารูปที่ 4-3(ข) แรงดันที่โนดเดรนเท่ากับแรงดัน Out- และแรงดันที่โนดบัลก์เท่ากับ 0 เพราะทรานซิสเตอร์ชนิดเอ็นต่อกับกราวด์ ดังนั้นเมื่อวงจรในรูปที่ 4-3(ข) เปลี่ยนค่าตรรกะ ค่าตัวเก็บประจุเดรน-บัลก์ก็เปลี่ยนแปลงด้วยเช่นกัน การประมาณค่าตัวเก็บประจุเดรน-บัลก์ใช้ค่าเฉลี่ยระหว่างตัวเก็บประจุเดรน-บัลก์เมื่อเปลี่ยนค่าตรรกะจาก 1 ไป 0 และตัวเก็บประจุเดรน-บัลก์เมื่อเปลี่ยนค่าตรรกะจาก 0 ไป 1 คำนวณได้ดังนี้

กรณีที่ตัวเก็บประจุเดรน-บัลก์เปลี่ยนค่าตรรกะจาก 1 ไป 0

มีค่าแรงดัน Out- เริ่มต้นเท่ากับ แรงดันไฟเลี้ยง และแรงดันบัลก์เท่ากับ 0 ดังนั้นแรงดันเดรน-บัลก์มีค่าเท่ากับ  $V_{dd} = 1.8$  โวลต์ เขียนได้ดังสมการที่ (4-15)

$$V_{db,(1 \rightarrow 0)} = V_{Out-} - V_b = 1.8 - 0 = 1.8 \quad (4-15)$$



แทนค่าตัวแปรจากตารางที่ (4-1) และ สมการที่ (4-15) ลงในสมการที่ (4-14) เพื่อหาค่าตัวเก็บประจุแคปซอร์-บัลล์เมื่อเปลี่ยนตอร์ระจาก 1 ไป 0 ดังสมการที่ (4-16)

$$C_{db,(1 \rightarrow 0)} = (807.5170299 \times 10^{-12})W + 208.1299217 \times 10^{-18} \quad F \quad (4-16)$$

กรณีที่ตัวเก็บประจุแคปซอร์-บัลล์เปลี่ยนค่าตอร์ระจาก 0 ไป 1

มีค่าแรงดัน Out- เริ่มต้นเท่ากับ แรงดันไฟเลี้ยงลบด้วยช่วงแกว่งแรงดันออก (แรงดันตกคร่อมตัวต้านทาน) สมมติให้มีค่าเท่ากับ 0.4 โวลต์ และแรงดันบัลล์เท่ากับ 0 ดังนั้นแรงดันแคปซอร์-บัลล์มีค่าเท่ากับ 1.4 โวลต์ ดังสมการที่ (4-17)

$$V_{db,(0 \rightarrow 1)} = V_{Out-} - V_b = (1.8 - 0.4) - 0 = 1.4 \quad (4-17)$$

แทนค่าตัวแปรจากตารางที่ (4-1) และสมการที่ (4-17) ลงในสมการที่ (4-14) เพื่อหาค่าตัวเก็บประจุแคปซอร์-บัลล์เมื่อเปลี่ยนตอร์ระ 0 ไป 1 ดังสมการที่ (4-18)

$$C_{db,(0 \rightarrow 1)} = (834.3342092 \times 10^{-12})W + 211.6554269 \times 10^{-18} \quad F \quad (4-18)$$

สมการที่ (4-16) และ สมการที่ (4-18) เป็นค่าตัวเก็บประจุแคปซอร์-บัลล์เมื่อมีการเปลี่ยนค่าตอร์ระ นำสมการที่ทั้งสองมาหาค่าเฉลี่ย ผลลัพธ์เป็นค่าตัวเก็บประจุแคปซอร์-บัลล์ มีค่าดังสมการที่ (4-19)

$$C_{db} = \frac{C_{db,(1 \rightarrow 0)} + C_{db,(0 \rightarrow 1)}}{2} = 8.209 \times 10^{-10} W + 2.099 \times 10^{-16} \quad F \quad (4-19)$$

ตัวเก็บประจุประกอบด้วยผลรวมระหว่างตัวเก็บประจุในวงจรถัดไป และตัวเก็บประจุสาย แต่ตัวเก็บประจุสายตัดทิ้งได้ตามที่กล่าวมาข้างต้นเพื่อต่อการคำนวณด้วยมือ ตัวเก็บประจุภาวะ คือ ตัวเก็บประจุเกิดของทรานซิสเตอร์ในวงจรถัดไป ดังนั้นตัวเก็บประจุภาวะคำนวณจากตัวเก็บประจุเกิด แสดงดังสมการที่ (4-20)

$$C_L = (C_{GDO} + C_{GSO})W_{FO} + W_{FO}LC_{ox} \quad (4-20)$$

โดยที่ตัวเก็บประจุออกไซด์ ( $C_{ox}$ ) เป็นอัตราส่วนระหว่างสภาพยอมของชั้นออกไซด์ ( $\epsilon_{ox}$ ) และความหนาของชั้นเกต-ออกไซด์ ( $t_{ox}$ ) ซึ่งมีค่าขึ้นกับกระบวนการผลิตเท่ากับ  $4 \times 10^{-9}$  เมตร แสดงดังสมการที่ (4-21)

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} = \frac{3.97\epsilon_0}{t_{ox}} = \frac{3.97 \times 8.85 \times 10^{-12} \text{ F/m}}{4 \times 10^{-9} \text{ m}} = 8.783 \times 10^{-3} \quad \text{F/m}^2 \quad (4-21)$$



แทนค่าสมการที่ (4-21) ในสมการที่ (4-20) ตัวเก็บประจุภาระแสดงดังสมการที่ (4-22)

$$C_L = (3.013 \times 10^{-9}) W_{FO} \quad F \quad (4-22)$$

ทรานซิสเตอร์ M1 ทำงานที่สภาวะอิ่มตัว ตัวเก็บประจุเกต-เดรนของทรานซิสเตอร์ M1 คำนวณได้จากสมการที่ (4-12) และ ตัวเก็บประจุเดรน-บัลค์ของทรานซิสเตอร์ M1 คำนวณได้จากสมการที่ (4-19), ทรานซิสเตอร์ M3 ไม่ทำงาน ตัวเก็บประจุเกต-เดรนเกิดจากตัวเก็บประจุซ้อนเหลื่อมเกต-เดรน เช่นเดียวกับทรานซิสเตอร์ M1 คำนวณได้จากสมการที่ (4-12), ตัวเก็บประจุเดรน-บัลค์ คำนวณได้จากสมการที่ (4-19) และ ตัวเก็บประจุภาระคำนวณได้จากสมการที่ (4-22) ดังนั้นเมื่อแทนค่าตัวเก็บประจุที่กล่าวมาข้างต้น ในตัวเก็บประจุเนื่องจากทรานซิสเตอร์ของวงจรมัลติเพิล็กซ์ขนาด 2:1 ( $C_{MUX}$ ) ในสมการที่ (4-8) แสดงดังสมการที่ (4-23)

$$\begin{aligned} C_{MUX} = & (7.16 \times 10^{-10}) W_1 + [(8.209 \times 10^{-10}) W_1 + (2.099 \times 10^{-16})] \\ & + (7.16 \times 10^{-10}) W_3 + [(8.209 \times 10^{-10}) W_3 + (2.099 \times 10^{-16})] \\ & + (3.013 \times 10^{-9}) W_{FO} \quad F \end{aligned} \quad (4-23)$$

การวาดผังวงจรต้องการให้ทรานซิสเตอร์มีขนาดเท่ากันเพื่อง่ายแก่การวาดผังวงจร และ การคำนวณสมการที่ (4-23) เขียนใหม่ได้ดังสมการที่ (4-24)

$$C_{MUX} = 6.087 \times 10^{-9} W_1 + 4.198 \times 10^{-16} \quad F \quad (4-24)$$

แทนค่าตัวเก็บประจุเหล่านี้ในสมการที่ (4-6) ได้คำนวณเวลาการแพร่กระจายหลังจากแทนค่าแล้วดังสมการที่ (4-25) โดยพจน์แรก คือ ค่าหน่วงเวลาแพร่กระจายเนื่องจากตัวต้านทานและพจน์หลัง คือ ค่าหน่วงเวลาการแพร่กระจายเนื่องจากทรานซิสเตอร์ของวงจรมัลติเพิล็กซ์ขนาด 2:1

$$t_d = 0.69 \underbrace{(9.813 \times 10^{-19})}_{\alpha_R} R^2 + \left[ 0.69 \underbrace{(6.087 \times 10^{-9})}_{\alpha_{MUX}} R W_1 + 0.69 \underbrace{(2.897 \times 10^{-16})}_{\beta_{MUX}} R \right] \quad (4-25)$$

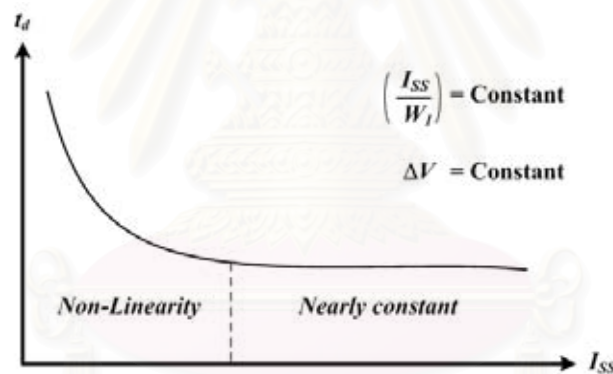
สมการที่ (4-25) ค่าหน่วงเวลาเนื่องจากตัวต้านทานแทนค่าคงที่ด้วย  $\alpha_R$ , ค่าหน่วงเวลาเนื่องจากทรานซิสเตอร์ของวงจรมัลติเพิล็กซ์ แทนค่าคงที่ด้วย  $\alpha_{MUX}$  และ  $\beta_{MUX}$  ซึ่งทั้งสองค่าขึ้นกับวงจรที่ออกแบบ (ในที่นี้คือวงจรมัลติเพิล็กซ์สัญญาณขนาด 2:1) เขียนได้ดังสมการที่ (4-26)

$$t_d = 0.69 \alpha_R R^2 + 0.69 \alpha_{MUX} R W_1 + 0.69 \beta_{MUX} R \quad (4-26)$$

วงจร MCML ทำงานโดยเปลี่ยนทิศทางกระแส ให้ไหลผ่านตัวต้านทานเพียงด้านใดด้านหนึ่งเท่านั้น ทำให้ตัวต้านทานนั้นมีแรงดันตกคร่อมเท่ากับช่วงแวงแรงดันออก ( $\Delta V$ ) มีค่าเท่ากับ  $I_{SS}R$  ดังนั้นเมื่อแทนค่าตัวต้านทานด้วยแรงดันตกคร่อมและกระแสไบแอสในสมการที่ (4-26) ค่าหน่วยเวลาการแพร่กระจาย เขียนได้ดังสมการที่ (4-27)

$$t_d = \underbrace{0.69 \alpha_{MUX} \left( \frac{\Delta V}{I_{SS}} \right) W_1}_{t_{dX}} + \underbrace{0.69 \alpha_R \left( \frac{\Delta V}{I_{SS}} \right)^2 + 0.69 \beta_{MUX} \left( \frac{\Delta V}{I_{SS}} \right)}_{t_{dY}} \quad (4-27)$$

จากสมการที่ (4-27) การออกแบบในวิทยานิพนธ์นี้ช่วงแวงแรงดันออกมีค่าคงที่ และให้อัตราส่วนกระแสไบแอสต่อความกว้างทรานซิสเตอร์มีค่าคงที่ เมื่อลดกระแสไบแอสพบว่าค่าหน่วยเวลาการแพร่กระจายเพิ่มขึ้นในลักษณะไม่เชิงเส้น เพราะผลจากค่าหน่วยเวลาการแพร่กระจาย  $X$  ( $t_{dX}$ ) แต่ในทางกลับกันเมื่อเพิ่มกระแสไบแอสพบว่าค่าหน่วยเวลาการแพร่กระจายลดลงเรื่อยๆ อย่างมีนัยสำคัญ และเมื่อลดต่อไปเรื่อยๆ พบว่าค่าหน่วยเวลาการแพร่กระจายแทบไม่เปลี่ยนแปลงมีค่าเกือบคงที่เท่ากับค่าหน่วยเวลาการแพร่กระจาย  $Y$  ( $t_{dY}$ ) ดังรูปที่ 4-6



รูปที่ 4-6 ความสัมพันธ์ระหว่างค่าหน่วยเวลาการแพร่กระจายและกระแสไบแอสเมื่ออัตราส่วนกระแสไบแอสต่อความกว้างทรานซิสเตอร์และช่วงแวงแรงดันมีค่าคงที่

ดังนั้นการออกแบบวงจรมัลติเพิล็กซ์แบ่งช่วงการคำนวณออกเป็น 2 ช่วง คือ ค่าหน่วยเวลาการแพร่กระจาย  $X$  และค่าหน่วยเวลาการแพร่กระจาย  $Y$  ซึ่งวงจรมัลติเพิล็กซ์ทำงานที่ความถี่ 10 กิกะบิตต่อวินาที คือ มีสัญญาณนาฬิกาความถี่ 5 กิกะเฮิรตซ์ ดังนั้นคาบเวลาการทำงาน ( $T_{Operate}$ ) เท่ากับ 200 พิโกวินาที แต่วงจรมัลติเพิล็กซ์ทำงานในแต่ละครั้งคาบเวลาการทำงาน ดังนั้นค่าหน่วยเวลาการแพร่กระจายที่ทำให้วงจรทำงานถูกต้องตามทฤษฎีมีค่าเท่ากับ 100 พิโกวินาที แต่ในทางปฏิบัติสัญญาณที่ได้มีช่วงเวลาที่ขขึ้นและเวลาขลงด้วย ดังนั้นค่าหน่วยเวลาการแพร่กระจายรวมที่ต้องการจะน้อยกว่า 100 พิโกวินาที ถึงประมาณ 30 พิโกวินาที สำหรับการคำนวณต้องเพื่อให้ค่าหน่วยเวลาการแพร่กระจาย  $Y$  ประมาณ 12.5 เปอร์เซ็นต์ของคาบเวลาการทำงานเท่ากับ 25 พิโก

วินาที [15] ทั้งนี้เพราะการวาดผังวงจรจะมีตัวเก็บประจุปรสิติและความไม่เป็นอุดมคติ (Non-Ideality) ของทรานซิสเตอร์ จึงต้องเผื่อค่าการคำนวณไว้ ดังสมการที่ (4-28) และกำหนดช่วงเวลาการแพร่กระจาย X มีผลน้อย มีค่าประมาณ 0.5 เปอร์เซ็นต์ของคาบเวลาทำงานเท่ากับ 2 พิโกวินาที ทำให้กำหนดช่วงเวลาการแพร่กระจายมีค่าเกือบคงที่ (Nearly constant) แสดงดังสมการที่ (4-29)

$$t_{dy} \leq \frac{T_{Operate}}{8} \quad (4-28)$$

$$t_{dx} \leq \frac{T_{Operate}}{200} \quad (4-29)$$

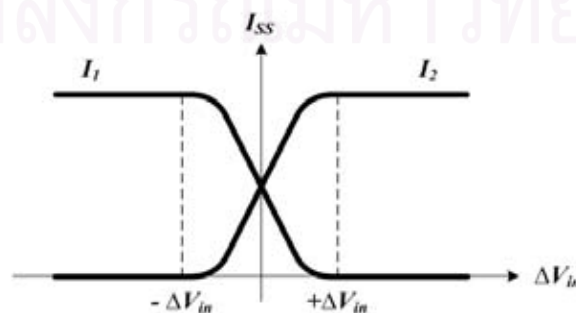
คำนวณหาช่วงอัตราส่วนกระแสไบแอสต่อความกว้างทรานซิสเตอร์ ที่สามารถเลือกมาออกแบบได้ โดยแทนค่าช่วงเวลาการแพร่กระจาย Y จากสมการที่ (4-27) ลงในสมการที่ (4-28) ได้ดังสมการที่ (4-30)

$$0.69 \alpha_{MUX} \Delta V \left( \frac{W_1}{I_{SS}} \right) \leq \frac{T_{Operate}}{8} \quad (4-30)$$

ย้ายข้างสมการที่ ผลลัพธ์คือช่วงอัตราส่วนกระแสไบแอสต่อความกว้างทรานซิสเตอร์ ที่ทำให้วงจรสามารถทำงานในช่วงเวลาหนึ่งแพร่กระจายที่กำหนดให้ได้ แสดงดังสมการที่ (4-31)

$$\left( \frac{I_{SS}}{W_1} \right) \geq \frac{5.52 \alpha_{MUX} \Delta V}{T_{Operate}} \quad (4-31)$$

จากสมการที่ (4-31) อัตราส่วนกระแสไบแอสต่อความกว้างทรานซิสเตอร์ยิ่งมากก็จะยิ่งทำงานได้เร็ว ดังนั้นถ้าถึงระยะอนันต์ก็ยิ่งทำงานเร็ว กำหนดช่วงเวลาการแพร่กระจายเข้าใกล้ศูนย์ แต่อัตราส่วนที่มากนั้นหมายถึงกระแสไบแอสต้องมีค่ามากทำให้เกิดกำลังสูญเสียที่ไม่จำเป็น ดังนั้นขอบเขตบนของอัตราส่วนกระแสไบแอสต่อความกว้างทรานซิสเตอร์ ถูกกำหนดโดยช่วงแวงแรงดัน



รูปที่ 4-7 กระแสทรานซิสเตอร์ของชุดทรานซิสเตอร์ที่ทำงานในโหมดผลต่างกับช่วงแวงแรงดันเข้า [18]

วงจร MCML เป็นวงจรที่ทำงานกับสัญญาณผลต่าง การออกแบบช่วงแวงแรงดันเข้าต้องมากกว่าหรือเท่ากับช่วงแวงแรงดันเข้าต่ำสุดวงจร ทำให้ชุดทรานซิสเตอร์ที่ทำงานในโหมดผลต่างสามารถเปลี่ยนทิศทางกระแสไบแอสได้อย่างสมบูรณ์ ดังรูปที่ 4-6 และวงจรที่ทำงานที่ความถี่สูงมีช่วงแวงแรงดันไม่เกินแรงดันขีดเริ่มเปลี่ยน (Threshold Voltage) และยังทำงานในสภาวะอิ่มตัวได้ เขียนได้ดังสมการที่ (4-32)

$$\Delta V_{in,min} \leq \Delta V_{in} \leq V_{TH} \quad (4-32)$$

ช่วงแวงแรงดันเข้าต่ำสุดที่ทำให้วงจรสามารถเปลี่ยนทิศทางกระแสไบแอส ให้ผ่านทรานซิสเตอร์ M1 เท่ากับ  $I_{SS}$  และทรานซิสเตอร์ M2 เท่ากับ 0 (รวมทั้งทรานซิสเตอร์ M5 เท่ากับ  $I_{SS}$  และทรานซิสเตอร์ M6 เท่ากับ 0 เพราะออกแบบให้มีขนาดเท่ากัน) ในวงจรรูปที่ 4-3(ก) ได้อย่างสมบูรณ์เขียนได้ดังสมการที่ (4-33) [17]

$$\Delta V_{in,min} = \sqrt{\frac{2I_{SS}}{\mu_n C_{ox} \left(\frac{W_1}{L}\right)}} \quad (4-33)$$

สำหรับวิทยานิพนธ์นี้ออกแบบให้ช่วงแวงแรงดันเข้าเท่ากับช่วงแวงแรงดันออก การคำนวณหาขอบเขตบนอัตราส่วนกระแสไบแอสต่อความกว้างทรานซิสเตอร์ คำนวณจากสมการที่ (4-32) และสมการที่ (4-33) คือช่วงแวงแรงดันต้องมากกว่าค่าต่ำสุด แสดงดังสมการที่ (4-34)

$$\Delta V \geq \sqrt{\frac{2I_{SS}}{\mu_n C_{ox} \left(\frac{W_1}{L}\right)}} \quad (4-34)$$

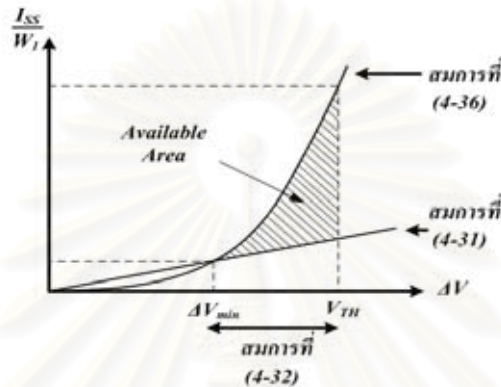
ยกกำลังสองทั้งสองข้าง

$$(\Delta V)^2 \geq \frac{2I_{SS}}{\mu_n C_{ox} \left(\frac{W_1}{L}\right)} \quad (4-35)$$

จัดกลุ่มอัตราส่วนกระแสไบแอสต่อความกว้างทรานซิสเตอร์และย้ายข้างสมการ ผลลัพธ์ที่ได้คือช่วงอัตราส่วนกระแสไบแอสต่อความกว้างทรานซิสเตอร์ ที่ทำให้วงจร MCML สามารถเปลี่ยนทิศทางกระแสไบแอสให้ไหลผ่าน ชุดทรานซิสเตอร์ที่ทำงานในโหมดผลต่างเพียงด้านเดียวได้อย่างสมบูรณ์ แสดงดังสมการที่ (4-36)

$$\left(\frac{I_{SS}}{W_1}\right) \leq \frac{\mu_n C_{ox} (\Delta V)^2}{2L} \quad (4-36)$$

ดังนั้นนำสมการที่ (4-31), สมการที่ (4-32) และ สมการที่ (4-36) มาเขียนกราฟระหว่างอัตราส่วนกระแสไบแอสต่อความกว้างทรานซิสเตอร์ และ ช่วงแวงแรงดัน ได้บริเวณพื้นที่ที่สามารถเลือกออกแบบได้ (Available Region) ให้ผลลัพธ์คือวงจรสามารถทำงานที่ความถี่ที่ต้องการได้และสามารถเปลี่ยนทิศทางกระแสได้อย่างสมบูรณ์ ดังรูปที่ 4-8 โดยที่ช่วงแวงแรงดันต่ำสุด ( $\Delta V_{\min}$ ) เป็นจุดตัดระหว่างสมการที่ (4-31) และ สมการที่ (4-36) มีค่าประมาณ 0.25 โวลต์ และมีแรงดันขีดเริ่มเปลี่ยน ( $V_{TH}$ ) ของทรานซิสเตอร์ชนิดเอ็นประมาณ 0.51 โวลต์



รูปที่ 4-8 ขอบเขตบริเวณการออกแบบ

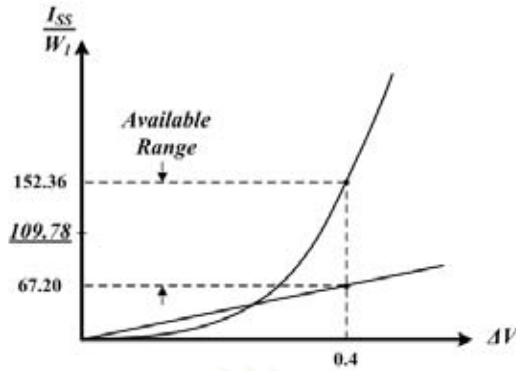
รูปที่ 4-8 แสดงพื้นที่ที่สามารถเลือกอัตราส่วนกระแสไบแอสต่อความกว้างทรานซิสเตอร์ที่ทำให้วงจรสามารถทำงานที่ความถี่ที่ต้องการ และสามารถเปลี่ยนทิศทางกระแสให้ไหลผ่านชุดทรานซิสเตอร์ที่ทำงานในโหมดผลต่างเพียงด้านเดียวได้ การเลือกช่วงแวงแรงดันในวิทยานิพนธ์นี้ต้องสอดคล้องกับสมการที่ (4-32) และ (4-33) ดังนั้นเลือกช่วงแวงแรงดันเท่ากับ 0.4 โวลต์

แทนค่าช่วงแวงแรงดันเท่ากับ 0.4 โวลต์ และตัวแปรต่างๆ ลงในสมการที่ (4-31) และ สมการที่ (4-36) โดยที่  $\mu_n C_{ox} / 2 = 171.4 \times 10^{-6} \text{ A/V}^2$  เป็นค่าคงที่กระบวนการผลิต แสดงในภาคผนวก (ข) ผลลัพธ์คือช่วงอัตราส่วนกระแสไบแอสต่อความกว้างทรานซิสเตอร์ ที่สามารถทำให้วงจรมัลติเพล็กซ์สัญญาณขนาด 2:1 ทำงานที่ความถี่ 10 กิกะบิตต่อวินาที และเปลี่ยนทิศทางกระแสให้ไหลผ่านชุดทรานซิสเตอร์ที่ทำงานในโหมดผลต่างเพียงด้านเดียว โดยมีช่วงแวงแรงดันสัญญาณเข้าและออกเท่ากับ 0.4 โวลต์ เขียนได้ดังสมการที่ (4-37)

$$67.20 \leq \left( \frac{I_{SS}}{W_1} \right)_{MUX} \leq 152.36 \quad (4-37)$$

เนื่องจากความไม่เป็นอุดมคติของกระบวนการผลิต การเลือกค่าอัตราส่วนความกว้างทรานซิสเตอร์ต่อกระแสไบแอสจากสมการที่ (4-39) ต้องมีการเผื่อค่าโดยเลือกจากค่ากึ่งกลางของช่วงอัตราส่วน ซึ่งค่ากึ่งกลางเป็นค่าเฉลี่ยระหว่าง 152.76 และ 67.20 มีค่าเท่ากับ 109.78 แสดงดังรูปที่ 4-9





รูปที่ 4-9 ช่วงการออกแบบเมื่อช่วงแวงแรงดันเท่ากับ 0.4 โวลต์

จากสมการที่ (4-27) และ (4-29) ค่าหน่วยเวลาการแพร่กระจาย  $X$  ต้องน้อยกว่าคาบเวลาการทำงาน 1 ใน 200 แสดงดังสมการที่ (4-38)

$$0.69 \alpha_R \left( \frac{\Delta V}{I_{SS}} \right)^2 + 0.69 \beta_{MUX} \left( \frac{\Delta V}{I_{SS}} \right) \leq \frac{T_{Operate}}{200} \quad (4-38)$$

แทนค่าตัวแปรต่างๆ จากสมการที่ (4-25) ลงในสมการที่ (4-38) และหารากสมการกำลังสองได้ ช่วงผลลัพธ์ช่วงแวงแรงดันต่อกระแสไบแอส (ค่าตัวต้านทาน) แสดงดังสมการที่ (4-39)

$$-1872.60 \leq \left( \frac{\Delta V}{I_{SS}} \right) \leq 1577.37 \quad (4-39)$$

ค่าตัวต้านทานที่เลือกได้ต้องเป็นค่าตัวต้านทานที่มากกว่าศูนย์ และทำให้ค่าหน่วยเวลาแพร่กระจาย  $X$  มีค่าไม่เกิน 1 ใน 200 ของคาบเวลาการทำงาน ค่าตัวต้านทานต้องมีค่าน้อยกว่าหรือเท่ากับ 1577.37 โอห์ม แต่เนื่องจากความไม่เป็นอุดมคติของกระบวนการผลิต จึงเพื่อค่าตัวต้านทานให้น้อยกว่าค่าสูงสุด ประมาณ 35 เปอร์เซ็นต์ ดังนั้นค่าตัวต้านทานที่เลือกในวิทยานิพนธ์นี้มีค่าประมาณ 1000 โอห์ม

กระแสไบแอสที่ไหลผ่านตัวต้านทานแล้ว แรงดันตกคร่อมตัวต้านทานเท่ากับช่วงแวงแรงดันเท่ากับ 0.4 โวลต์ กระแสไบแอสนั้นมีค่าเท่ากับ 0.4 มิลลิแอมป์ ดังสมการที่ (4-40)

$$I_{SS} = \frac{\Delta V}{R} = \frac{0.4}{1000} = 4 \times 10^{-4} \text{ A} \quad (4-40)$$

จากอัตราส่วนกระแสไบแอสต่อความกว้างทรานซิสเตอร์ที่เลือกในช่วงสมการที่ (4-37) มีค่าเท่ากับ 109.78 และกระแสไบแอสจากสมการที่ (4-40) มีค่าเท่ากับ 0.4 มิลลิแอมป์ ดังนั้นสามารถคำนวณขนาดความกว้างของทรานซิสเตอร์ ได้ดังสมการที่ (4-41)



$$\left(\frac{0.4 \times 10^{-3}}{W}\right) = 109.78 \quad (4-41)$$

ย้ายข้างสมการที่ ผลลัพธ์ที่ได้คือขนาดความกว้างทรานซิสเตอร์มีค่าเท่ากับ

$$W = \left(\frac{0.4 \times 10^{-3}}{109.78}\right) = 3.64 \times 10^{-6} \text{ m} \quad (4-42)$$

สรุปคุณสมบัติขนาดทรานซิสเตอร์, ตัวต้านทาน และกระแสไบแอสของวงจรมัลติเพล็กซ์สัญญาณขนาด 2:1 ได้ดังตารางที่ 4-2

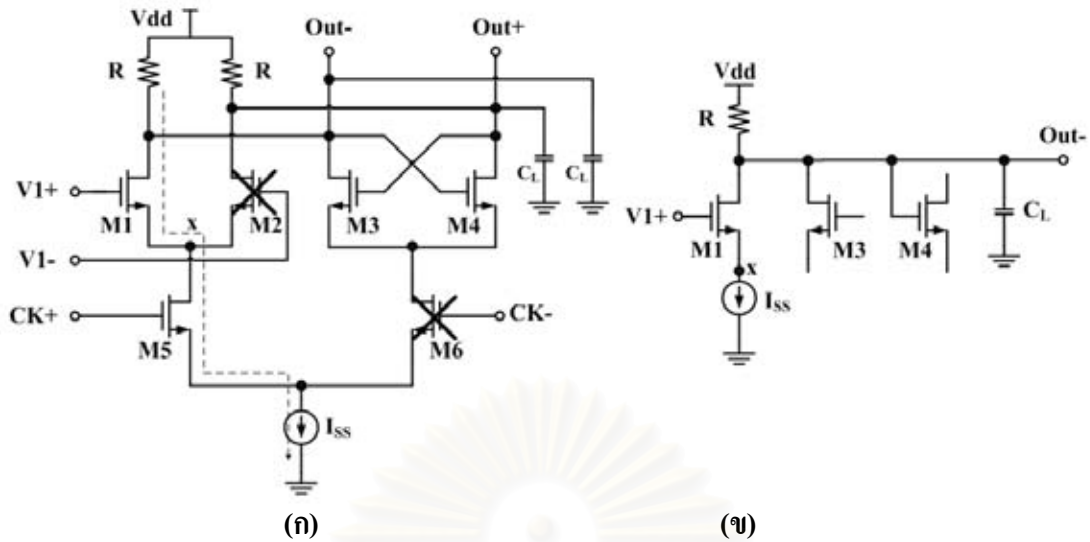
ตารางที่ 4-2 คุณสมบัติวงจรมัลติเพล็กซ์สัญญาณขนาด 2:1

MUX	Design Parameter
M1	3.64 $\mu\text{m}$ / 0.18 $\mu\text{m}$
M2	3.64 $\mu\text{m}$ / 0.18 $\mu\text{m}$
M3	3.64 $\mu\text{m}$ / 0.18 $\mu\text{m}$
M4	3.64 $\mu\text{m}$ / 0.18 $\mu\text{m}$
M5	3.64 $\mu\text{m}$ / 0.18 $\mu\text{m}$
M6	3.64 $\mu\text{m}$ / 0.18 $\mu\text{m}$
R	1000 $\Omega$
I <sub>SS</sub>	0.4 mA

#### 4.2. การคำนวณและออกแบบวงจรแลตซ์

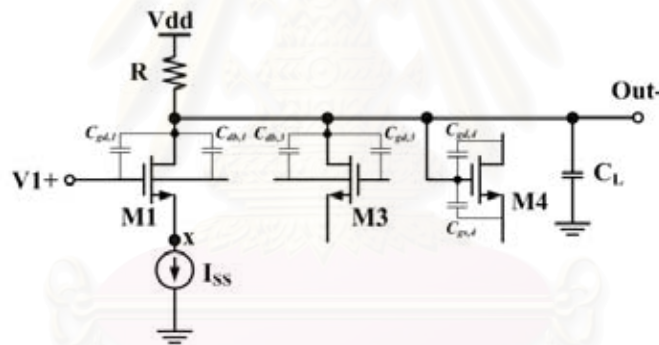
การคำนวณและออกแบบวงจรแลตซ์ใช้ หลักการและวิธีคล้ายกับการออกแบบวงจรมัลติเพล็กซ์สัญญาณขนาด 2:1 ในข้อ 4.1

ค่าตัวเก็บประจุเนื่องจากทรานซิสเตอร์ของวงจรถ่ายแลตซ์ รูปที่ 4-10(ก) ทำได้โดยแยกคิดวงจรสมมูลเพียงครั้งเดียว โดยสมมติให้สัญญาณนาฬิกา มีค่าทางตรรกะเท่ากับ 1 (CK+ มีค่าตรรกะเท่ากับ 1, CK- มีค่าตรรกะเท่ากับ 0) ทรานซิสเตอร์ M5 ทำงาน แต่ทรานซิสเตอร์ M6 ไม่ทำงาน และสมมติให้สัญญาณข้อมูล V1 มีค่าตรรกะเท่ากับ 1 ทำให้ทรานซิสเตอร์ M1 ทำงาน แต่ทรานซิสเตอร์ M2 ไม่ทำงาน กระแสไบแอสไหลผ่านตัวต้านทานด้านซ้ายและทรานซิสเตอร์ M1 เท่านั้น ถ้ากำหนดให้สัญญาณข้อมูล V1 เปลี่ยนแปลงหลังสัญญาณนาฬิกา CK โหนด Out- เชื่อมต่อกับตัวต้านทาน, ขาเดรนของทรานซิสเตอร์ M1, M3, ขาเกตของทรานซิสเตอร์ M4 และตัวเก็บประจุ ภาระ นำมาเขียนครึ่งวงจรถ่ายแลตซ์ ได้ดังรูปที่ 4-10(ข)



รูปที่ 4-10 แผนภาพเคี้ยวร่าง (ก) วงจรแลตช์ (ข) ครึ่งวงจรแลตช์ในสภาวะรับรู้

นำวงจรสมมูลครึ่งวงจรแลตช์ รูปที่ 4-10(ข) มาเขียนวงจรสมมูลของครึ่งวงจรแลตช์ได้ดังรูปที่ 4-11 เพื่อหาค่าตัวเก็บประจุรวม



รูปที่ 4-11 วงจรสมมูลของครึ่งวงจรแลตช์

จากรูปที่ 4-11 ตัวเก็บประจุรวมเท่ากับ ผลรวมตัวเก็บประจุเนื่องจากตัวต้านทานและตัวเก็บประจุเนื่องจากทรานซิสเตอร์ของวงจรแลตช์ ( $C_{LATCH}$ ) เขียนได้ ดังสมการที่ (4-43)

$$C = C_R + \underbrace{C_{gd,1} + C_{db,1} + C_{gd,3} + C_{db,3} + C_{gd,4} + C_{gs,4}}_{C_{LATCH}} + C_L \quad (4-43)$$

ทรานซิสเตอร์ M1 ทำงานในสภาวะอิ่มตัว ตัวเก็บประจุเกต-เดรนของทรานซิสเตอร์ M1 คำนวณได้จากสมการที่ (4-12) และตัวเก็บประจุเดรน-บัลค์ของทรานซิสเตอร์ M1 คำนวณได้จากสมการที่ (4-19), ทรานซิสเตอร์ M3 ทำงานไม่ทำงานค่าตัวเก็บประจุเกต-เดรนของทรานซิสเตอร์ M3 คำนวณได้จากสมการที่ (4-12) และตัวเก็บประจุเดรน-บัลค์ของทรานซิสเตอร์ M3 คำนวณได้จากสมการที่ (4-19), ทรานซิสเตอร์ M4 ไม่ทำงาน โหนด Out- ต่อที่ขาเกตของทรานซิสเตอร์ M4 ดังนั้น

ตัวเก็บประจุรวมของทรานซิสเตอร์ M4 คำนวณได้จากสมการตัวเก็บประจุภาวะ ดังสมการที่ (4-22) แทนค่าตัวเก็บประจุเหล่านี้ใน ตัวเก็บประจุเนื่องจากทรานซิสเตอร์ของวงจรถ่ายแลตซ์ ในสมการที่ (4-43) การวาดผังวงจรถ้องการให้ทรานซิสเตอร์มีขนาดเท่ากันเพื่อถ่ายการวาดผังวงจรถั้นตัวเก็บประจุเนื่องจากทรานซิสเตอร์ของวงจรถ่ายแลตซ์ แสดงดังสมการที่ (4-44)

$$C_{LATCH} = (9.1 \times 10^{-9}) W_1 + (4.198 \times 10^{-16}) F \quad (4-44)$$

ตัวเก็บประจุเนื่องจากตัวต้านทานจากสมการที่ (4-10) และตัวเก็บประจุเนื่องจากทรานซิสเตอร์ของวงจรถ่ายแลตซ์จากสมการที่ (4-44) คำนวณค่าหน่วยเวลาการแพร่กระจายของวงจรถ่ายแลตซ์ได้ดังสมการที่ (4-45)

$$t_d = 0.69 \underbrace{(9.813 \times 10^{-19})}_{\alpha_R} R^2 + \left[ 0.69 \underbrace{(9.1 \times 10^{-9})}_{\alpha_{LATCH}} R W_1 + 0.69 \underbrace{(4.198 \times 10^{-16})}_{\beta_{LATCH}} R \right] \quad (4-45)$$

การออกแบบอัตราส่วนกระแสไบแอสต่อความกว้างทรานซิสเตอร์ ที่ทำงานมีคาบเวลาการทำงานเท่ากับ 200 พิโกวินาทีและเปลี่ยนทิศทางกระแสได้อย่างสมบูรณ์ เมื่อช่วงแกว่งสัญญาณเท่ากับ 0.4 โวลต์ คำนวณช่วงอัตราส่วนกระแสไบแอสต่อความกว้างทรานซิสเตอร์ โดยแทนค่า  $\alpha_{LATCH}$  จากสมการที่ (4-45) ในสมการที่ (4-31) และสมการที่ (4-36) ช่วงอัตราส่วนกระแสไบแอสต่อความกว้างทรานซิสเตอร์แสดงดังสมการที่ (4-46)

$$100.46 \leq \left( \frac{I_{SS}}{W_1} \right) \leq 152.36 \quad (4-46)$$

แต่เนื่องจากความไม่อุดมคติของกระบวนการผลิต การเลือกค่าอัตราส่วนกระแสไบแอสต่อความกว้างทรานซิสเตอร์ต้องเผื่อค่าไว้ สำหรับวงจรถ่ายแลตซ์เพื่อการถ่ายในการวาดผังวงจรถเลือกอัตราส่วนกระแสไบแอสต่อความกว้างทรานซิสเตอร์ของวงจรถ่ายแลตซ์ ให้เท่ากับอัตราส่วนกระแสไบแอสต่อความกว้างทรานซิสเตอร์ของวงจรมัลติเพล็กซ์มีค่าเท่ากับ 109.78 ซึ่งค่านี้ยังอยู่ในช่วงอัตราส่วนในสมการที่ (4-46)

สำหรับอัตราส่วนช่วงแกว่งแรงดันต่อกระแสไบแอส (ค่าตัวต้านทาน) คำนวณโดยแทนค่าตัวแปร  $\alpha_R$  และ  $\beta_{LATCH}$  จากสมการที่ (4-45) ในสมการที่ (4-38) และหารากสมการกำลังสองได้ช่วงผลลัพธ์ช่วงแกว่งแรงดันต่อกระแสไบแอส แสดงดังสมการที่ (4-47)

$$-1945.82 \leq \left( \frac{\Delta V}{I_{SS}} \right) \leq 1518.02 \quad (4-47)$$

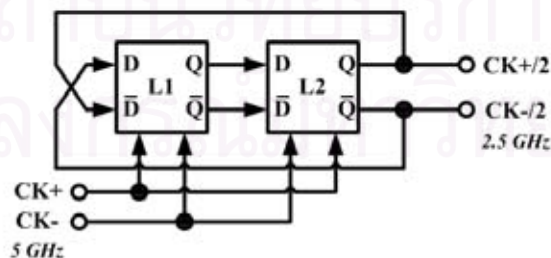
ค่าตัวต้านทานที่เลือกได้ต้องเป็นค่าตัวต้านทานที่มากกว่าศูนย์ และค่าตัวต้านทานต้องมีค่าน้อยกว่าหรือเท่ากับ 1518.02 โอห์ม แต่เนื่องจากความไม่เป็นอุดมคติของกระบวนการผลิต จึงเพื่อค่าตัวต้านทานให้น้อยกว่าค่าสูงสุด ประมาณ 35 เปอร์เซ็นต์ ดังนั้นค่าตัวต้านทานที่เลือกในวิทยานิพนธ์นี้มีค่าประมาณ 1000 โอห์ม กำหนดให้เท่ากับตัวต้านทานในวงจรมัลติเพล็กซ์ เพื่อแยกแ่การวาดผังวงจร

การออกแบบวงจรแลตซ์ข้างต้นมีคุณสมบัติเดียวกับวงจรมัลติเพล็กซ์มัลติเพล็กซ์สัญญาณขนาด 2:1 ดังนั้นความกว้างทรานซิสเตอร์, ค่าตัวต้านทานและกระแสไบแอส จึงมีค่าเท่ากันเช่นกัน แสดงคุณสมบัติต่างๆ ดังตารางที่ 4-2

จากการคำนวณและออกแบบวงจรมัลติเพล็กซ์ขนาด 2:1 และวงจรแลตซ์ ที่กล่าวมาข้างต้นสามารถนำวงจรทั้งสองมาประกอบเป็นวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 2:1 แบบปรับปรุง ดังรูปที่ 4-1 และวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 1:2 ดังรูปที่ 4-2 ได้ แต่การออกแบบวงจรอันดับสูงขึ้นไป เช่นวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 4:1 แบบปรับปรุง และวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 1:4 จำเป็นต้องมีวงจรหารความถี่สัญญาณนาฬิกา ทำหน้าที่ลดความถี่ลงครึ่งหนึ่ง และวงจรบัฟเฟอร์เพื่อขับตัวเก็บประจุภาระในวงจรอันดับสูง จึงจะทำงานได้ถูกต้องซึ่งการออกแบบกล่าวในหัวข้อถัดไป

#### 4.3. การคำนวณและออกแบบวงจรหารความถี่สัญญาณนาฬิกา

วงจรหารความถี่ประกอบด้วย วงจรแลตซ์สองชุดต่อกันแบบลบแสดงดังรูปที่ 4-12 วงจรนี้มีการทำงานเหมือนที่ฟลิปฟล็อป (T-Flip Flop) ลดสัญญาณนาฬิกาครึ่งหนึ่ง โดยที่สัญญาณนาฬิกา CK ความถี่ 5 กิกะเฮิรตซ์เป็นสัญญาณเข้า เมื่อผ่านวงจรหารความถี่สัญญาณนาฬิกาแล้ว สัญญาณออก CK/2 มีความถี่ลดลงครึ่งหนึ่งเท่ากับ 2.5 กิกะเฮิรตซ์



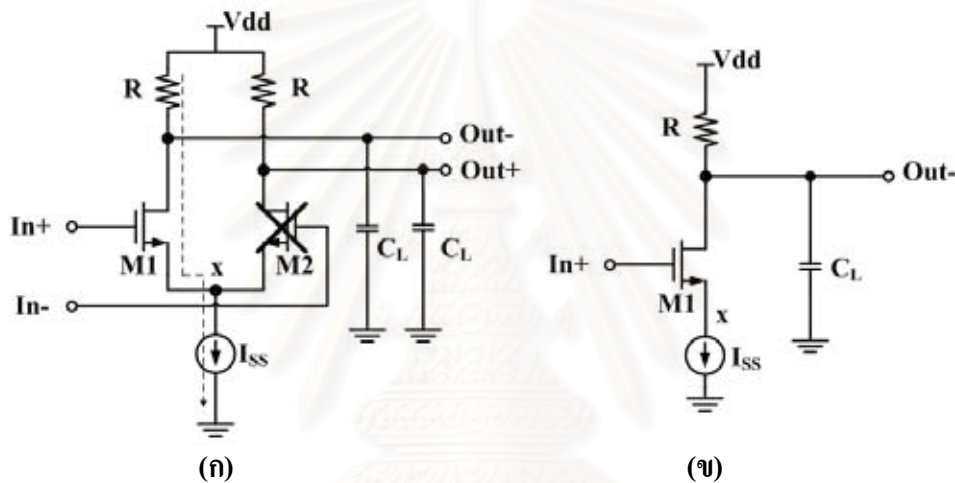
รูปที่ 4-12 แผนภาพบล็อกวงจรหารความถี่สัญญาณนาฬิกา

วงจรหารความถี่สัญญาณนาฬิกาทำงานที่ความถี่ 5 กิกะเฮิรตซ์ เช่นเดียวกับกับวงจรแลตซ์ ในหัวข้อ 4.2 การออกแบบวงจรหารความถี่จึงเหมือนกับวงจรแลตซ์ข้างต้น แต่วงจรหารความถี่ที่

ออกแบบนี้ยังไม่สามารถใช้ขั้ววงจรมัลติเพิล็กซ์สัญญาณความถี่สูงขนาด 4:1 ดังรูปที่ 3-15 และ วงจรตีมัลติเพิล็กซ์สัญญาณความถี่สูงขนาด 1:4 ดังรูปที่ 3-16 เพราะไม่สามารถจับตัวเก็บประจุ ภาระของวงจรได้ ดังนั้นเพื่อให้วงจรหารความถี่สามารถจับตัวภาระที่มีค่ามากกว่าตัวมันเองได้ ต้องเพิ่มวงจรที่สามารถจับตัวเก็บประจุภาระนั้นได้ ซึ่งคือวงจรบัฟเฟอร์

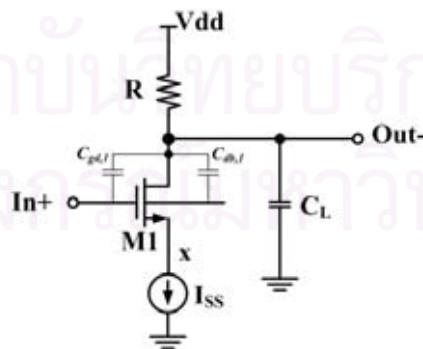
#### 4.4. การคำนวณและออกแบบวงจรบัฟเฟอร์

วงจรบัฟเฟอร์ทำหน้าที่ลด, ขยายสัญญาณ หรือปรับสัญญาณให้สามารถจับตัวเก็บประจุ ภาระที่สูงขึ้นได้ แสดงดังรูปที่ 4-13(ก) การคำนวณค่าหน่วยเวลาใช้หลักการเดียวกับที่กล่าวมาข้างต้นดังนั้นครึ่งวงจรบัฟเฟอร์ชนิด MCML แสดงดังรูปที่ 4-13(ข)



รูปที่ 4-13 วงจรบัฟเฟอร์ชนิด MCML (ก) แผนภาพเค้าร่าง (ข) ครึ่งวงจรบัฟเฟอร์

จากรูปที่ 4-13(ข) สามารถเขียนวงจรสมมูลของครึ่งวงจรบัฟเฟอร์ชนิด MCML แสดงดังรูปที่ 4-14



รูปที่ 4-14 วงจรสมมูลครึ่งวงจรบัฟเฟอร์ชนิด MCML

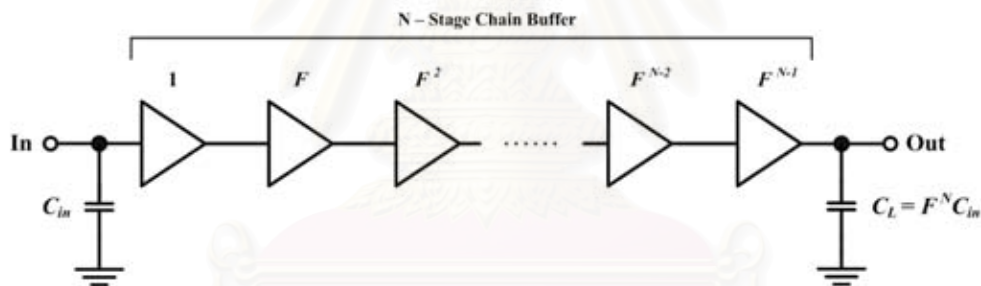
จากรูปที่ 4-14 ตัวเก็บประจรรวมเท่ากับผลรวมของตัวเก็บประจุเนื่องจากตัวต้านทาน และ ตัวเก็บประจุเนื่องจากทรานซิสเตอร์ของวงจรบัฟเฟอร์ชนิด MCML ( $C_{Buf}$ ) ดังสมการที่ (4-48)

$$C = C_R + \underbrace{C_{gd,1} + C_{db,1} + C_L}_{C_{Buff}} \quad (4-48)$$

ทรานซิสเตอร์ M1 ทำงานในสภาวะอิ่มตัว ตัวเก็บประจุเกต-เดรนของทรานซิสเตอร์ M1 คำนวณได้จากสมการที่ (4-12), ตัวเก็บประจุเดรน-บัลค์ของทรานซิสเตอร์ M1 คำนวณได้จากสมการที่ (4-19) และตัวเก็บประจุภาวะจากสมการที่ (4-22) แทนค่าตัวเก็บประจุเหล่านี้ในตัวเก็บประจุเนื่องจากทรานซิสเตอร์ของวงจรมัลติเพล็กซ์ ในสมการที่ (4-48) ได้ตั้งสมการที่ (4-49) ซึ่งประกอบด้วยตัวเก็บประจุเนื่องจากทรานซิสเตอร์ของตัวเอง ( $C_{Tr}$ ) และตัวเก็บประจุภาวะ ( $C_L$ )

$$C_{Buff} = \underbrace{(1.5369 \times 10^{-9})W_1}_{C_{Tr}} + \underbrace{(2.099 \times 10^{-16})}_{C_L} + \underbrace{(3.013 \times 10^{-9})W_{FO}}_{C_L} \quad (4-49)$$

การใช้วงจรมัลติเพล็กซ์ชนิด MCML เพียงแค่ชุดเดียวเพื่อขับตัวเก็บประจุภาวะมากๆ ไม่สามารถทำได้ ต้องเพิ่มจำนวนวงจรมัลติเพล็กซ์เป็นสายโซ่ของจรมัลติเพล็กซ์ โดยวงจรมัลติเพล็กซ์ชนิด MCML แต่ละลำดับจะต้องสามารถขับตัวเก็บประจุภาวะที่ใหญ่กว่าตัวเก็บประจุขาเข้าของตัวเองเป็นจำนวน  $F$  เท่า (Fanout Factor) และมีความยาวของสายโซ่ถึงขั้นที่  $N$  แสดงดังรูปที่ 4-15



รูปที่ 4-15 สายโซ่ของจรมัลติเพล็กซ์ (Chain Buffer) ตั้งแต่ลำดับที่ 1 ถึงลำดับที่  $N$

จากรูปที่ 4-15 วงจรมัลติเพล็กซ์ชนิด MCML มีจำนวนขั้นเท่ากับ  $N$  และตัวเก็บประจุภาวะมีขนาดเป็น  $F^N$  เท่าของตัวเก็บประจุขาเข้า ดังสมการที่ (4-50) [10]

$$F^N C_{in} = C_L \quad (4-50)$$

ย้ายข้างตัวเก็บประจุขาเข้าและแอนติลอการิทึมทั้งสองข้างของสมการ

$$\ln(F^N) = \ln(C_L / C_{in}) \quad (4-51)$$

เพราะฉะนั้นจำนวนขั้นของจรมัลติเพล็กซ์ชนิด MCML และ Fanout Factor

$$N = \frac{\ln(C_L / C_{in})}{\ln F} \quad (4-52)$$



ค่านองเวลารวมของสายโซ่วงจรบัฟเฟอร์ชนิด MCML คำนวณได้จากสมการที่ (4-53) [10]

$$total\_delay = \sum_{j=1}^N \tau_{Buff} \left( \frac{C_j}{C_{j-1}} + \gamma_{Buff} \right) \quad (4-53)$$

โดยที่  $\tau_{Buff}$  คือค่าคงที่เวลาภายใน (Intrinsic Time Constant) และ  $\gamma_{Buff}$  คืออัตราส่วนตัวเก็บประจุ เนื่องจากทรานซิสเตอร์ของตัวเองต่อตัวเก็บประจุเข้า แสดงดังสมการที่ (4-54)

$$\gamma_{Buff} = \frac{C_{Tr}}{C_{in}} \quad (4-54)$$

ตัวเก็บประจุขาเข้า ( $C_{in}$ ) คำนวณจากสมการที่ (4-22) โดยกำหนดให้เป็นตัวเก็บประจุที่เกิดจากทรานซิสเตอร์มีความกว้างทรานซิสเตอร์เท่ากับ 3.6 ไมโครเมตรเช่นเดียวกับวงจรหารความถี่สัญญาณนาฬิกา ดังนั้นตัวเก็บประจุขาเข้ามีค่าดังสมการที่ (4-55)

$$C_{in} = 10.85 \times 10^{-15} F \quad (4-55)$$

ตัวเก็บประจุการะของวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 4:1 ( $C_{L\_Mux4:1}$ ) ดังรูปที่ 3-15 วงจรหารความถี่ต้องขับวงจรแลตซ์จำนวน 6 ชุด และวงจรมัลติเพล็กซ์ขนาด 2:1 จำนวน 2 ชุด ซึ่งทั้งสองวงจรมีขนาดทรานซิสเตอร์เท่ากับ 3.6 ไมโครเมตร ดังนั้นตัวเก็บประจุการะรวมของ 8 ชุดวงจร คำนวณโดยแทนค่าเข้าในสมการที่ (4-22) มีค่าดังสมการที่ (4-56)

$$C_{L\_Mux4:1} = 86.78 \times 10^{-15} F \quad (4-56)$$

ตัวเก็บประจุการะของวงจรดีมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 1:4 ( $C_{L\_Demux1:4}$ ) ดังรูปที่ 3-16 วงจรหารความถี่ต้องขับวงจรแลตซ์จำนวน 10 ชุด ดังนั้นตัวเก็บประจุการะมีค่าดังสมการที่ (4-57)

$$C_{L\_Demux1:4} = 10 \times (3.013 \times 10^{-9}) (3.6 \times 10^{-6}) = 108.49 \times 10^{-15} F \quad (4-57)$$

จากสมการที่ (4-56) และสมการที่ (4-57) ตัวเก็บประจุการะของวงจรมัลติเพล็กซ์สัญญาณความถี่สูงแบบปรับปรุขนาด 1:4 มีค่าน้อยกว่าตัวเก็บประจุการะของวงจรดีมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 1:4 การออกแบบวงจรบัฟเฟอร์ชนิด MCML ต้องเผื่อค่าตัวเก็บประจุการะให้มากกว่าประมาณ 35 เปอร์เซ็นต์เพราะความไม่อุดมคติของทรานซิสเตอร์และตัวเก็บประจุปรุติด ดังนั้นตัวเก็บประจุการะมีค่าประมาณ 150 เฟมโตฟารัด

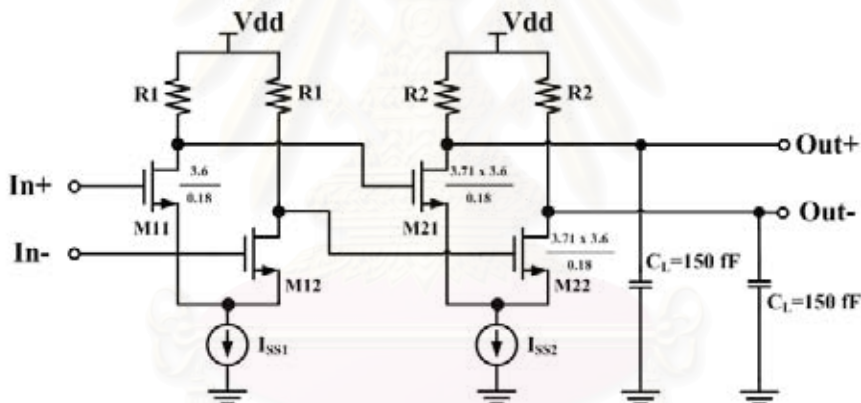
ค่านองค่าตัวประกอบ Fanout และจำนวนชั้นของสายโซ่วงจรบัฟเฟอร์ชนิด MCML คำนวณจากสมการที่ (4-52) และสมการที่ (4-53) ซึ่งค่าที่เหมาะสมที่สุด (Optimum) ต้องเป็นค่าที่ให้

เวลาหน่วยแพร่กระจายรวมน้อยที่สุด ผลลัพธ์แสดงดังตารางที่ 4-2 โดยที่ตัวเก็บประจุขาเข้าเท่ากับ 10.85 เฟมโตฟารัด และมีตัวเก็บประจุขาออกเท่ากับ 150 เฟมโตฟารัด

ตารางที่ 4-3 สรุปจำนวนชั้น ( $N$ ), จำนวนเท้าของวงจรบัฟเฟอร์ชนิด MCML ( $F$ ) และค่าหน่วยเวลารวม

$N$	$F$	$Total Delay$
1	13.82	$14.33 \tau_{Buff}$
2	<b>3.71</b>	<b><math>8.45 \tau_{Buff}</math></b>
3	2.40	$8.73 \tau_{Buff}$
4	1.92	$9.75 \tau_{Buff}$

จากตารางที่ 4-3 สรุปได้ว่าวิธานิพนธ์นี้ใช้สายโซ่วงจรบัฟเฟอร์ชนิด MCML จำนวน 2 ชั้น โดยที่แต่ละชั้นมีขนาดตัวเก็บประจุใหญ่เป็น 3.71 เท่า และสามารถขับตัวเก็บประจุขาออกขนาด 150 เฟมโตฟารัด ให้ค่าหน่วยเวลามีค่าน้อยที่สุด แสดงดังรูปที่ 4-16



รูปที่ 4-16 สายโซ่วงจรบัฟเฟอร์ชนิด MCML จำนวน 2 ชั้น

เพราะฉะนั้นจากสมการที่ (4-49) ความกว้างทรานซิสเตอร์ลำดับถัดไป มีขนาดใหญ่กว่าความกว้างทรานซิสเตอร์ M1 เท่ากับ 3.71 เท่า ( $W_{21} = 3.71 W_{11}$ ) ตัวเก็บประจุเนื่องจากทรานซิสเตอร์ของวงจรบัฟเฟอร์ชนิด MCML มีค่าดังสมการที่ (4-58)

$$C_{Buff} = (12.715 \times 10^{-9}) W_{11} + (2.099 \times 10^{-16}) \quad (4-58)$$

สมการที่ (4-48) และ (4-58) เขียนเป็นสมการคำนวณเวลาการแพร่กระจายได้ดังสมการที่ (4-59)

$$t_d = 0.69 \underbrace{(9.813 \times 10^{-19}) R_1^2}_{\alpha_R} + \left[ \underbrace{0.69 (12.715 \times 10^{-9}) R_1 W_{11}}_{\alpha_{Buff}} + \underbrace{0.69 (2.099 \times 10^{-16}) R_1}_{\beta_{Buff}} \right] \quad (4-59)$$

อัตราส่วนความกว้างทรานซิสเตอร์ต่อกระแสไบแอส ที่ทำให้วงจรบัฟเฟอร์ชนิด MCML ทำงานที่คาบเวลาการทำงาน 200 พิโกวินาที กำหนดโดยแทนค่า  $\alpha_{Buff}$  ในสมการที่ (4-31) และ เปลี่ยนทิศทางกระแสได้อย่างสมบูรณ์ เมื่อมีช่วงแกว่งแรงดันเท่ากับ 0.4 โวลต์ กำหนดโดยสมการที่ (4-36) ดังนั้นช่วงอัตราส่วนความกว้างทรานซิสเตอร์ต่อกระแสไบแอส แสดงดังสมการที่ (4-60)

$$140.37 \leq \left( \frac{I_{SS}}{W_{11}} \right)_{BUFF} \leq 152.36 \quad (4-60)$$

การเลือกค่าต้องเผื่อค่าไว้เนื่องจากความไม่อุดมคติของทรานซิสเตอร์ โดยเลือกค่ากึ่งกลาง อัตราส่วนความกว้างทรานซิสเตอร์และกระแสไบแอสจากสมการที่ (4-60) มีค่าเท่ากับ 146.37

สำหรับวงจรบัฟเฟอร์ชนิด MCML ชั้นที่ 1 มีคุณสมบัติคือ ความกว้างทรานซิสเตอร์ชั้นที่ 1 ( $W_{11}$ ) มีค่าเท่ากับ 3.64 ไมโครเมตร อัตราส่วนความกว้างทรานซิสเตอร์ต่อกระแสไบแอสมีค่าเท่ากับ 146.37 เพราะฉะนั้นกระแสไบแอสชั้นที่ 1 ( $I_{SS1}$ ) มีค่าเท่ากับ 0.53 มิลลิแอมป์ และมีช่วงแกว่งแรงดันเท่ากับ 0.4 โวลต์ ดังนั้นตัวต้านทานที่ 1 (R1) มีค่าประมาณ 755 โอห์ม ดังตารางที่ 4-4

ตารางที่ 4-4 คุณสมบัติวงจรบัฟเฟอร์ชนิด MCML ชั้นที่ 1

Buff_1	Design Parameter
M11	3.64 $\mu\text{m}$ / 0.18 $\mu\text{m}$
M12	3.64 $\mu\text{m}$ / 0.18 $\mu\text{m}$
R1	1000 $\Omega$
$I_{SS1}$	0.53 mA

สำหรับวงจรบัฟเฟอร์ชนิด MCML ชั้นที่ 2 มีคุณสมบัติคือ ความกว้างทรานซิสเตอร์ชั้นที่ 2 ( $W_{21}$ ) มีค่าเป็น 3.71 เท่าของความกว้างทรานซิสเตอร์ชั้นที่ 1 มีอัตราส่วนความกว้างทรานซิสเตอร์ต่อกระแสไบแอสเท่ากันตลอดการออกแบบเท่ากับ 146.37 เพราะฉะนั้นกระแสไบแอสชั้นที่ 2 ( $I_{SS2}$ ) มีค่าเท่ากับ 1.83 มิลลิแอมป์ และช่วงแกว่งแรงดันเท่ากับ 0.4 โวลต์ ดังนั้นตัวต้านทานที่ 1 (R2) มีค่าประมาณ 220 โอห์ม ดังตารางที่ 4-5

ตารางที่ 4-5 คุณสมบัติวงจรบัฟเฟอร์ชนิด MCML ชั้นที่ 2

Buff_2	Design Parameter
M21	13.50 $\mu\text{m}$ / 0.18 $\mu\text{m}$
M22	13.50 $\mu\text{m}$ / 0.18 $\mu\text{m}$
R2	220 $\Omega$
$I_{SS2}$	1.83 mA

## บทที่ 5

### การวาดผังวงจรรวมและผลจำลองการทำงาน

หลังจากการคำนวณออกแบบวงจรมัลติเพิล็กซ์สัญญาณความถี่สูงขนาด 4:1 แบบปรับปรุง และวงจรมัลติเพิล็กซ์สัญญาณความถี่สูงขนาด 1:4 ในบทข้างต้นแล้ว ขั้นตอนต่อไปคือการนำวงจรที่ได้ออกแบบมาเขียนผังวงจร (Layout) เพื่อนำผังวงจรดังกล่าวไปให้กับทางโรงงานทำการผลิต แต่ค่าใช้จ่ายในการผลิตสำหรับกระบวนการ TSMC 0.18 ไมโครเมตร มีราคาสูง ดังนั้นวิทยานิพนธ์นี้จึงเพียงแต่เสนอการเขียนผังวงจรให้ถูกต้องไม่ขัดกับข้อกำหนด โดยตรวจสอบได้โดยกระบวนการดีอาร์ซี (DRC หรือ Design Rule Check) หลังจากเขียนผังวงจรเสร็จสิ้นแล้วต้องทำการตรวจสอบลายวงจรโดยการสกัด (Extract) ข้อมูลลายวงจรมาเป็นอุปกรณ์ต่างๆ เช่น ทรานซิสเตอร์, ตัวต้านทาน, โหนดต่างๆ รวมถึงตัวเก็บประจุแบบปรสิติกภายในวงจร จากนั้นนำไปเปรียบเทียบกับแผนภาพเค้าร่างวงจร (Schematic) ที่ได้ออกแบบ เรียกระบวนการนี้ว่าแอลวีเอส (LVS หรือ Layout Versus Schematic) เมื่อผ่านกระบวนการทั้งหมดแล้ว นำผังวงจรที่ตรงกับแผนภาพเค้าร่างพร้อมทั้งข้อมูลลายวงจรมาตรวจสอบผลการทำงานด้วยโปรแกรม Spice

#### 5.1. การวาดผังวงจรรวม

สำหรับบทนี้การเขียนผังวงจร กล่าวถึงวงจรหลักๆ ดังที่กล่าวมาในบทที่ 3 คือ ผังวงจรมัลติเพิล็กซ์สัญญาณความถี่สูงขนาด 2:1 แบบปรับปรุง, ผังวงจรมัลติเพิล็กซ์สัญญาณความถี่สูงขนาด 1:2 และวงจรอันดับสูงที่นำวงจรที่กล่าวมาข้างต้นมาเป็นองค์ประกอบ การเขียนผังวงจรทำการเขียนด้วยมือ (Custom Layout) ทั้งหมด ซึ่งการวาดผังวงจรของวงจรข้างต้นประกอบด้วยผังวงจรตัวต้านทานและผังวงจรกลุ่มทรานซิสเตอร์ชนิดเอ็นเป็นส่วนมาก และวาดผังวงจรโดยยึดหลักการทั่วไป เช่น เทคนิคเซนทรอยด์ร่วม (Common Centroid) [17] เพราะทรานซิสเตอร์สำหรับวงจรผลต่างต้องการความเข้าคู่ก่อนข้างสูง, วาดผังวงจรให้ระยะทางสายสัญญาณเชื่อมต่อกันสั้นที่สุด, สายสัญญาณแต่ละชั้นตัดกันน้อยที่สุด และสายสัญญาณที่มีระยะทางยาวมากต้องขึ้นไปวาดสายบนชั้นเมทัลที่ 3 ขึ้นไป เพื่อลดผลของตัวเก็บประจุปรสิติกซึ่งทำให้ประสิทธิภาพวงจรลดลง

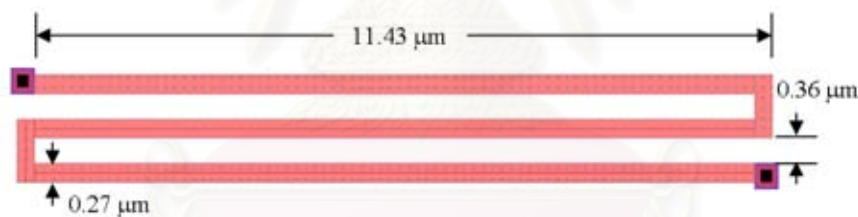
ในการวาดผังวงจรตัวต้านทานสามารถเลือกวาดได้หลายชนิด และต้องการตัวต้านทานที่มีค่าก่อนข้างสูง แต่การเลือกชนิดของตัวต้านทานต้องคำนึงถึงขนาดของพื้นที่ที่ใช้ด้วย รายละเอียดของตัวต้านทานแต่ละชนิดแสดงดังตารางที่ 5-1 ซึ่งตัวต้านทานที่มีค่าสูงสุด คือ ตัวต้านทานที่สร้างจากโพลีซิลิคอนชนิดความต้านทานสูง (Hi-R Polysilicon Resistor) แต่ทว่าในการผลิตจริงต้องเสียค่าผลิตเพิ่มขึ้นเนื่องจากเป็นตัวต้านทานพิเศษ และค่าต้านทานที่สูงนี้มีค่าสูงเกินความจำเป็นเพราะตัวต้านทานส่วนมากในงานวิจัยนี้มีค่าไม่เกิน 1 กิโลโอห์ม ตัวต้านทานที่มีค่ารองลงมาคือตัว

ต้านทานสร้างจากหลุมเอ็น (N-Well Resistor) มีค่าความต้านทานสูงเกินความจำเป็นเช่นกัน ดังนั้นเลือกตัวต้านทานสร้างจากโพลีซิลิคอน เพราะให้ค่าความต้านทานต่อพื้นที่ที่สี่เหลี่ยมจัตุรัสค่อนข้างสูง และเหมาะสมต่อการออกแบบในวิทยานิพนธ์

ตารางที่ 5-1 คุณสมบัติของตัวต้านทานแต่ละชนิด [11]

ชนิดของตัวต้านทาน	ความต้านทานต่อพื้นที่สี่เหลี่ยมจัตุรัส ( $\Omega/\square$ )
N-Well	925
N+	6.7
P+	7.5
Poly	7.8
Hi-Poly	1929

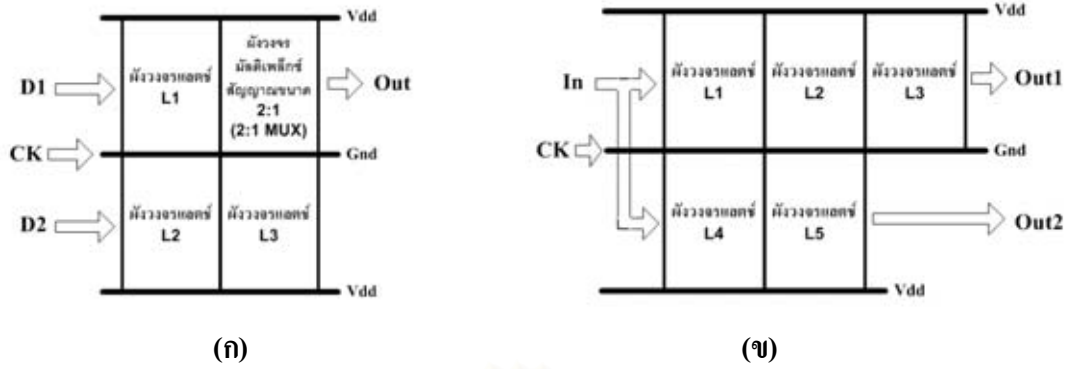
รูปที่ 5-1 แสดงผังวงจรตัวต้านทานชนิดโพลีซิลิคอนมีค่าความต้านทานเท่ากับ 1 กิโลโอห์ม โดยกำหนดให้มีความกว้างเท่ากับ 0.27 ไมโครเมตร ตลอดการออกแบบตามที่กล่าวมาแล้วในบทที่ 4, ผังตัวต้านทานนี้ต้องยาว 34.29 ไมโครเมตร วัดโดยขดไปมาห่างกันเท่ากับ 0.36 ไมโครเมตร เพราะเป็นค่าความห่างน้อยที่สุดที่ทำให้ผ่านกระบวนการดีอาร์ซี และยาวเท่ากับ 11.43 ไมโครเมตร



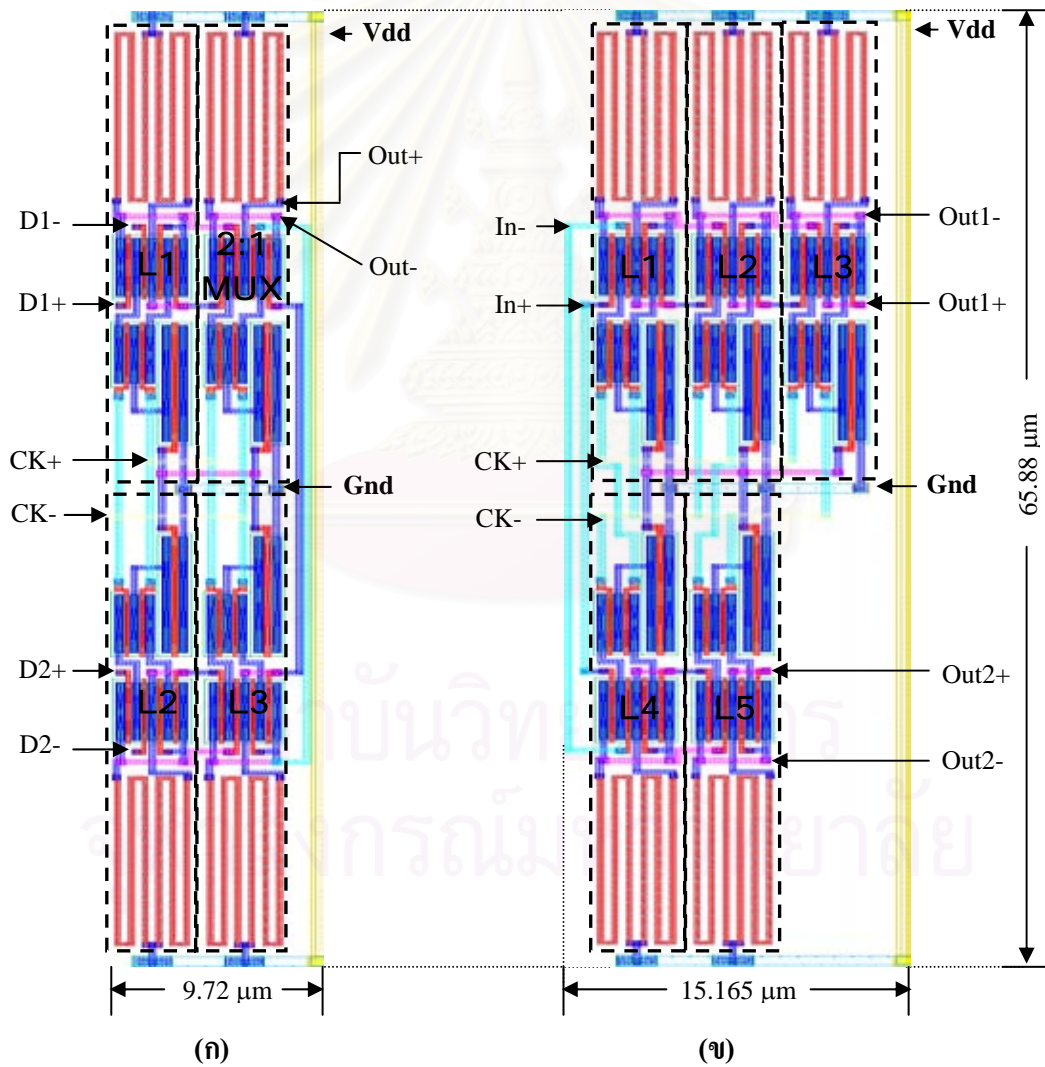
รูปที่ 5-1 ผังวงจรตัวต้านทานชนิดโพลีซิลิคอน

การวาดผังวงจรเพื่อให้กินพื้นที่น้อยและสวยงาม ต้องมีการกำหนดตำแหน่งการวางผังวงจรเป็นอันดับแรก รูปที่ 5-2(ก) แสดงตำแหน่งการวางผังวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 2:1 แบบปรับปรุง ประกอบด้วยวงจรแลตซ์ และวงจรมัลติเพล็กซ์สัญญาณขนาด 2:1 มีสัญญาณเข้า D1 และ D2 ป้อนเข้าสู่วงจรแลตซ์ที่ 1 และที่ 2 ตามลำดับ โดยมีสัญญาณนาฬิกา CK เป็นสัญญาณควบคุมการมัลติเพล็กซ์เพื่อให้ได้สัญญาณออก Out และรูปที่ 5-2(ข) แสดงตำแหน่งการวางผังวงจรดีมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 1:2 ประกอบด้วยวงจรแลตซ์เพียงอย่างเดียว มีสัญญาณเข้า In และสัญญาณนาฬิกา CK เช่นกันควบคุมการดีมัลติเพล็กซ์ เพื่อให้ได้สัญญาณออก Out1 และ Out2 เมื่อกำหนดตำแหน่งการวางผังวงจรพื้นฐานดังที่กล่าวมาข้างต้น สามารถวาดผังวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 2:1 แบบปรับปรุง และวงจรดีมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 1:2 ซึ่งมีรายละเอียดแสดงดังรูปที่ 5-3(ก) และ รูปที่ 5-3(ข) ตามลำดับ





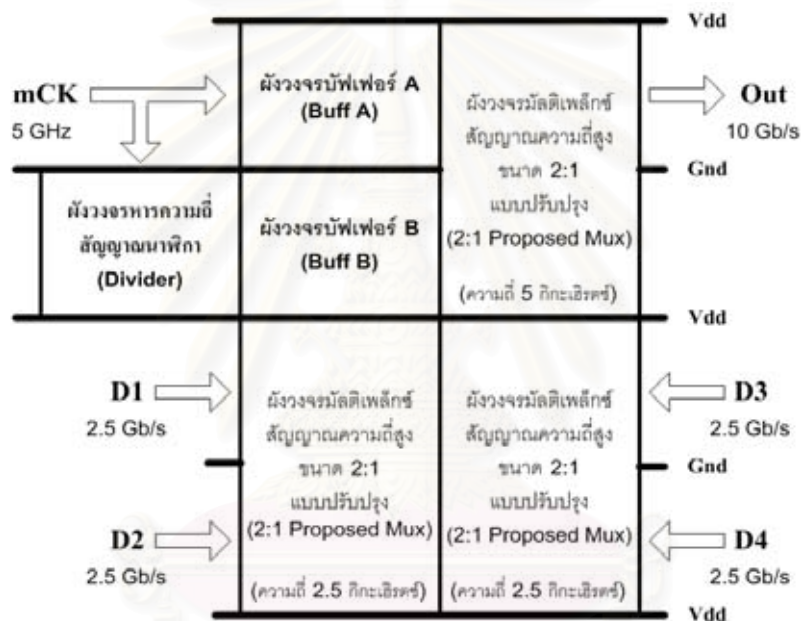
รูปที่ 5-2 รายละเอียดตำแหน่งการวางผังวงจร (ก) วงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 2:1 แบบปรับปรุง (ข) วงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 1:2



รูปที่ 5-3 ผังวงจรพื้นฐาน (ก) ผังวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 2:1 แบบปรับปรุง (ข) ผังวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 1:2

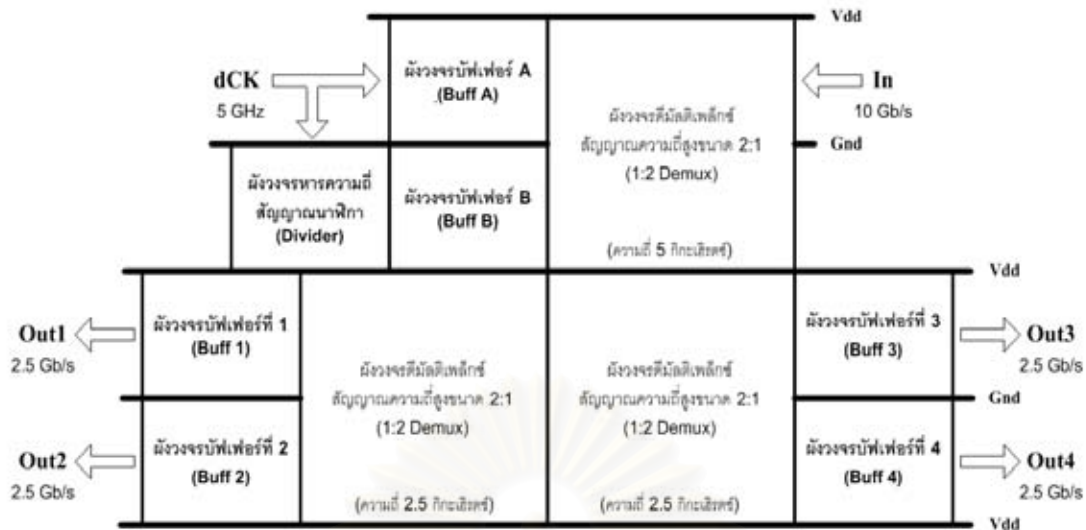


การวางผังวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 4:1 แบบปรับปรุง ประกอบด้วยผังวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 2:1 แบบปรับปรุงดังรูปที่ 5-3(ก) จำนวน 3 ชุด ซึ่ง 2 ชุดทำงานที่ความถี่ 2.5 กิกะเฮิร์ตซ์ ทำหน้าที่รับสัญญาณเข้า D1, D2, D3 และ D4 ความถี่ 2.5 กิกะบิตต่อวินาที และ 1 ชุดทำงานที่ความถี่ 5 กิกะเฮิร์ตซ์ ให้สัญญาณออก Out ความถี่ 10 กิกะบิตต่อวินาที โดยมีผังวงจรเพิ่มเติม คือ ผังวงจรหารความถี่สัญญาณนาฬิกา (Divider) เพื่อลดความถี่สัญญาณนาฬิกา mCK 5 กิกะเฮิร์ตซ์ลงครึ่งหนึ่ง, ผังวงจรบัฟเฟอร์ A เพื่อปรับสัญญาณนาฬิกา mCK ให้สามารถขับชุดวงจรมัลติเพล็กซ์ที่ทำงานที่ความถี่ 5 กิกะเฮิร์ตซ์ และผังวงจรบัฟเฟอร์ B เพื่อปรับสัญญาณนาฬิกาที่ถูกลดความถี่ลงครึ่งหนึ่งให้สามารถขับชุดวงจรมัลติเพล็กซ์ที่ทำงานที่ความถี่ 2.5 กิกะเฮิร์ตซ์ 2 ชุดที่เหลือได้ มีรายละเอียดการวางตำแหน่งผังวงจรแสดงดังรูปที่ 5-4



รูปที่ 5-4 รายละเอียดตำแหน่งการวางผังวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 4:1 แบบปรับปรุง

สำหรับการวางผังวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 1:4 ประกอบด้วยผังวงจรดีมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 1:2 ดังรูปที่ 5-3(ข) จำนวน 3 ชุด ซึ่ง 1 ชุดทำงานที่ความถี่ 5 กิกะเฮิร์ตซ์ ทำหน้าที่รับสัญญาณเข้า In ความถี่ 10 กิกะบิตต่อวินาที และ 2 ชุดทำงานที่ความถี่ 2.5 กิกะเฮิร์ตซ์ เพื่อแยกสัญญาณออกความถี่ 10 กิกะบิตต่อวินาที โดยมีผังวงจรเพิ่มเติม คือ ผังวงจรหารความถี่สัญญาณนาฬิกา (Divider) เพื่อลดความถี่สัญญาณนาฬิกา dCK ลงครึ่งหนึ่ง, ผังวงจรบัฟเฟอร์ A และผังวงจรบัฟเฟอร์ B ทำหน้าที่ปรับสัญญาณนาฬิกา เช่นเดียวกับที่กล่าวมาข้างต้น และยังมีผังวงจรบัฟเฟอร์ที่ 1, 2, 3 และ 4 ทำหน้าที่ปรับสัญญาณออก Out1, Out2, Out3 และ Out4 เพื่อลดสัญญาณรบกวนและให้สามารถไปขับวงจรอื่นๆ ที่มาต่อจากวงจรนี้ได้ มีรายละเอียดการวางตำแหน่งผังวงจรแสดงดังรูปที่ 5-5

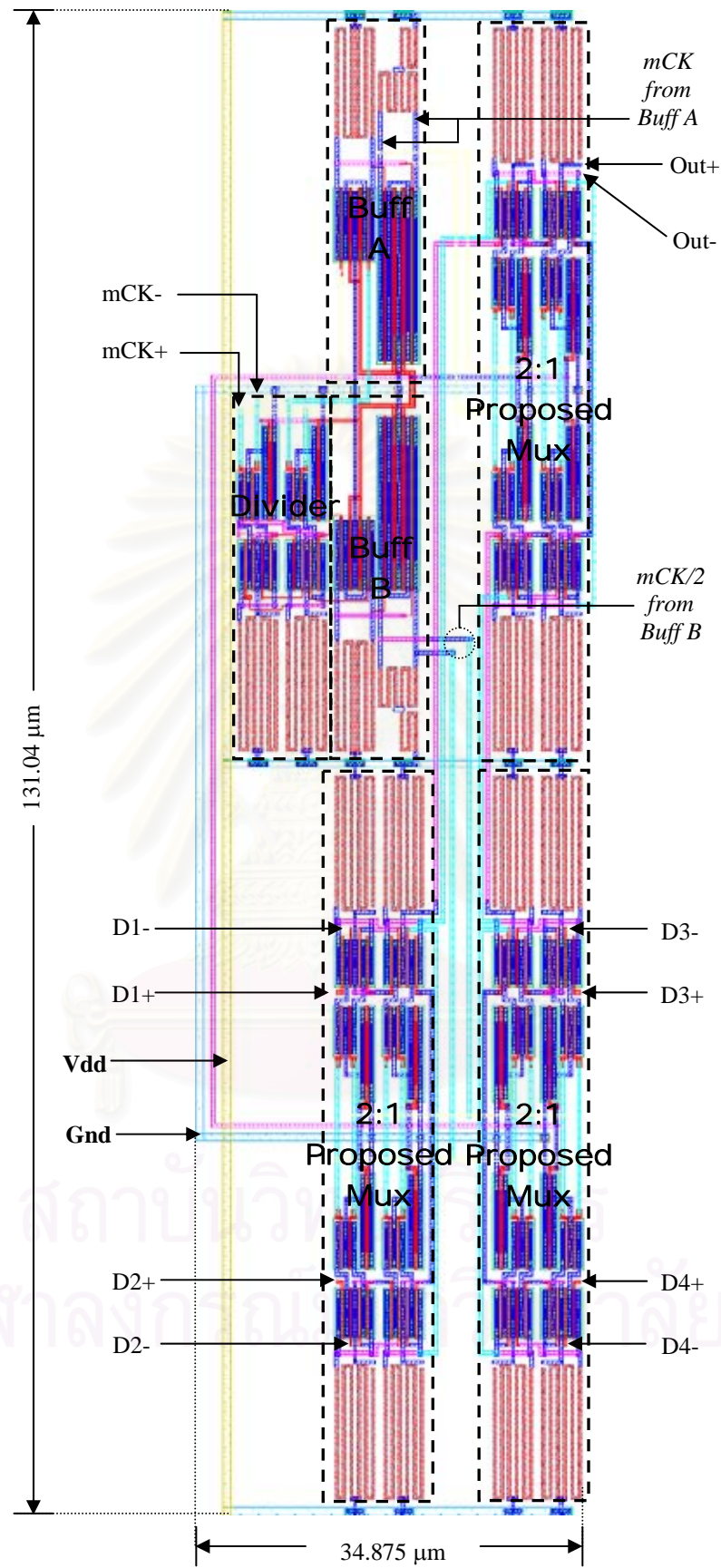


รูปที่ 5-5 รายละเอียดตำแหน่งการวางผังวงจรดีมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 1:4

การวางตำแหน่งวงจรดีมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 4:1 แบบปรับปรุง ดังรูปที่ 5-4 นำมาวาดผังวงจรแสดงรายละเอียดดังรูปที่ 5-6 มีสัญญาณเข้า D1, D2, D3 และ D4 ความถี่ 2.5 กิกะบิตต่อวินาที, สัญญาณนาฬิกา mCK ความถี่ 5 กิกะเฮิรตซ์ควบคุมการดีมัลติเพล็กซ์สัญญาณและสัญญาณออก Out ความถี่ 10 กิกะบิตต่อวินาที มีพื้นที่ผังวงจรเท่ากับ  $131.04 \mu\text{m} \times 34.875 \mu\text{m}$  สำหรับการวางตำแหน่งวงจรดีมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 1:4 ดังรูปที่ 5-5 นำมาวาดผังวงจรแสดงรายละเอียดดังรูปที่ 5-7 มีสัญญาณเข้า In ความถี่ 10 กิกะบิตต่อวินาที, สัญญาณนาฬิกา dCK ความถี่ 5 กิกะเฮิรตซ์ควบคุมการดีมัลติเพล็กซ์สัญญาณ และสัญญาณออก Out1, Out2, Out3 และ Out4 ออกจากผังวงจรบัฟเฟอร์ มีพื้นที่ผังวงจรเท่ากับ  $131.04 \mu\text{m} \times 48.735 \mu\text{m}$

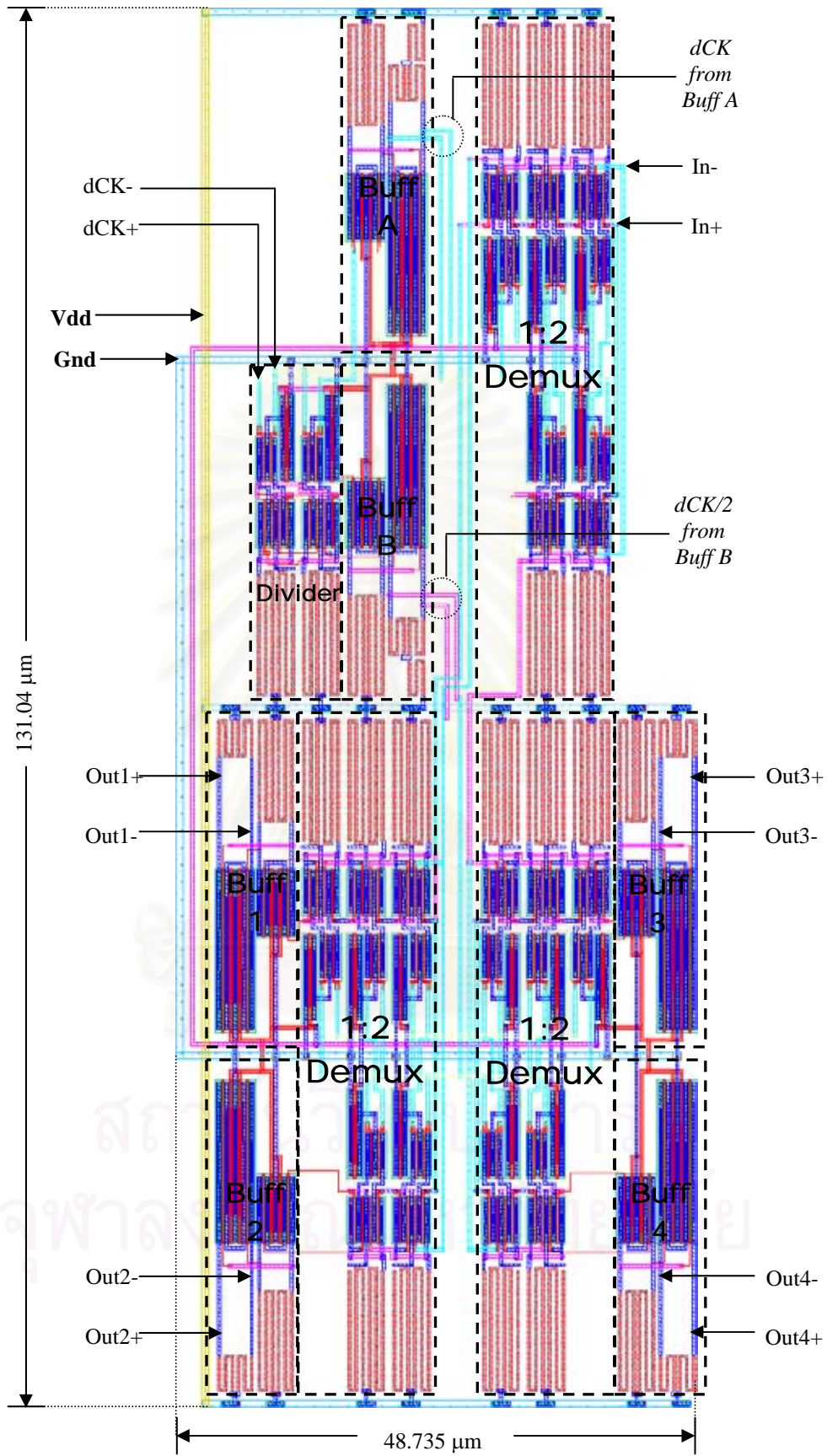
นำผังวงจรรูปที่ 5-6 และ รูปที่ 5-7 มาประกอบเข้าด้วยกัน โดยมีแพดอ้างอิงให้ทราบถึงโนดการเชื่อมต่อสัญญาณเข้า, สัญญาณออก และสัญญาณนาฬิกา แสดงดังรูปที่ 5-8 เพื่อทดสอบผลการทำงานของผังวงจรรวมในหัวข้อ 5.2 เท่านั้น ซึ่งขอบเขตในวิทยานิพนธ์นี้ คือ การออกแบบผังวงจรรวม เพื่อนำไปใช้งานร่วมกับวงจรอื่นๆ เช่น วงจรรับ/ส่งทางแสงในส่วนของ การกู้คืนสัญญาณนาฬิกาและสัญญาณข้อมูล (Clock and Data Recovery) เป็นต้น โดยรายละเอียดแพดอ้างอิง แสดงดังตารางที่ 5-2 แบ่งเป็น 2 ส่วนคือแพดของผังวงจรรวมวงจรดีมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 4:1 แบบปรับปรุง และผังวงจรรวมวงจรดีมัลติเพล็กซ์ขนาด 1:4

รูปที่ 5-8 ผังวงจรรวมที่รวมแพดอ้างอิงมีพื้นที่เท่ากับ  $0.589 \text{ มิลลิเมตร} \times 0.665 \text{ มิลลิเมตร}$  และมีพื้นที่ไม่รวมแพดอ้างอิงเท่ากับ  $131.04 \mu\text{m} \times 89.05 \mu\text{m}$  แสดงดังภาพขยายรูปที่ 5-9

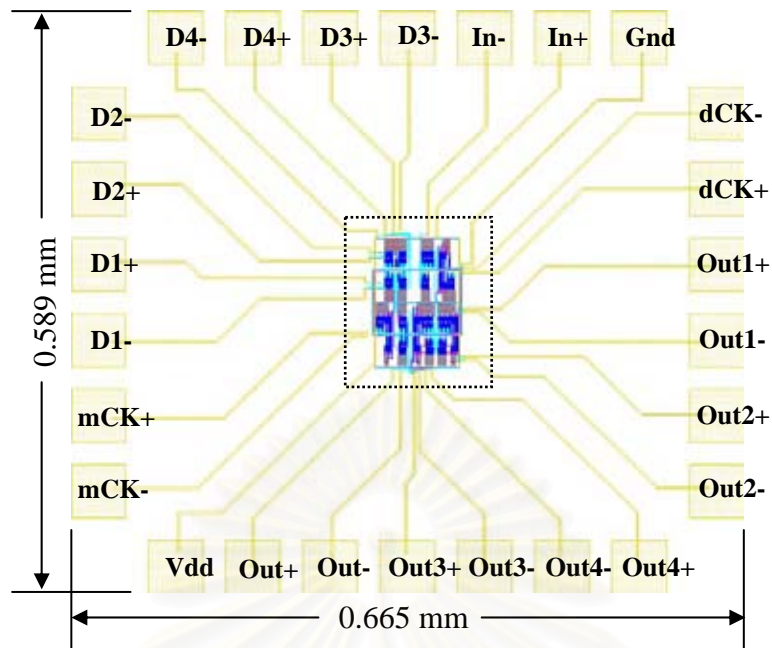


รูปที่ 5-6 ฟังวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 4:1 แบบปรับปรุง

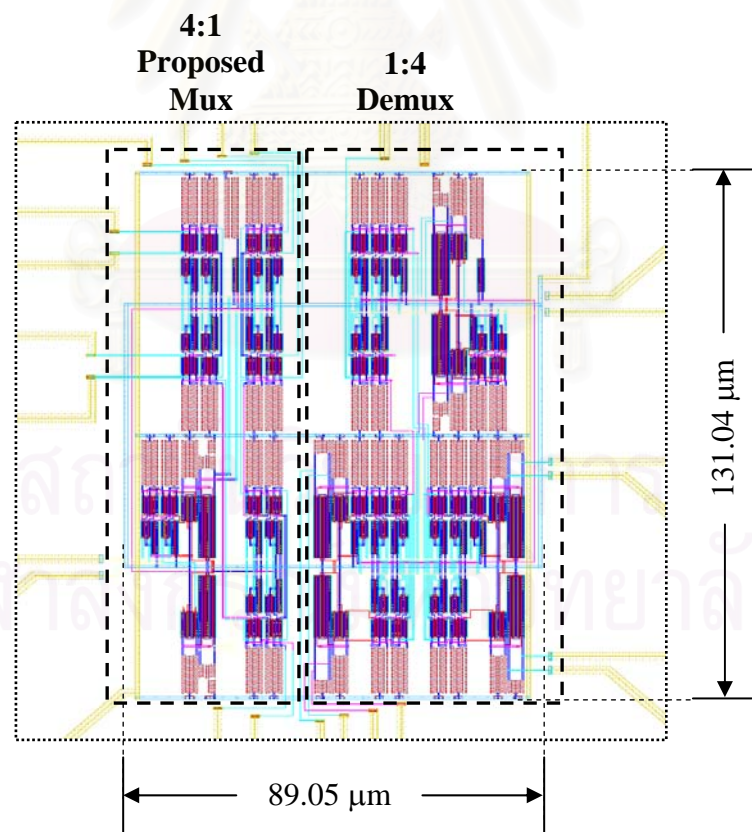




รูปที่ 5-7 แผงวงจรคีมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 1:4



รูปที่ 5-8 ฟังวงจรรวมวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 4:1 แบบปรับปรุง และวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 1:4



รูปที่ 5-9 ภาพขยายฟังวงจรรวมวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 4:1 แบบปรับปรุง และวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 1:4

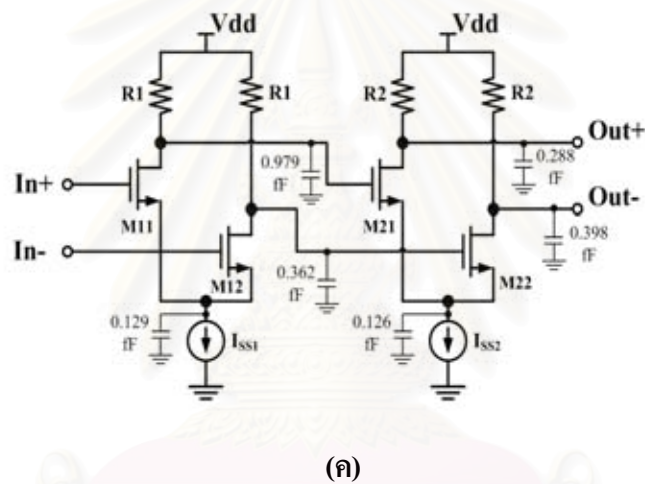
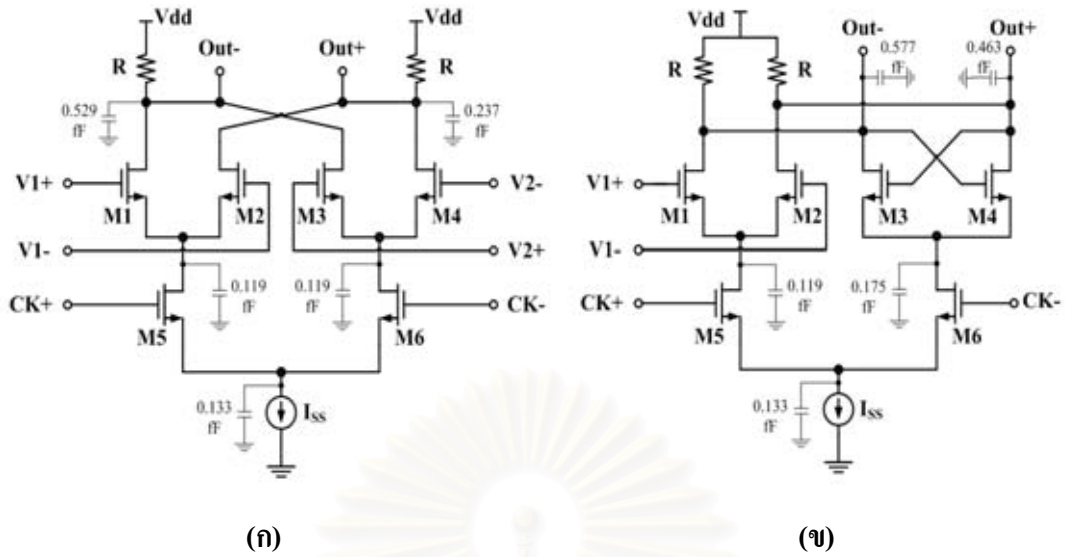
ตารางที่ 5-2 รายละเอียดและหน้าที่ของแพดสำหรับทดสอบวงจร

(ก) วงจรมัลติเพิล็กซ์สัญญาณความถี่สูง ขนาด 4:1 แบบปรับปรุง		(ข) วงจรดีมัลติเพิล็กซ์สัญญาณความถี่สูง ขนาด 1:4	
ชื่อ แพด	หน้าที่	ชื่อ แพด	หน้าที่
D1+	สัญญาณข้อมูลเข้าความถี่ต่ำ D1+	In+	สัญญาณข้อมูลเข้าความถี่สูง In+
D1-	สัญญาณข้อมูลเข้าความถี่ต่ำ D1-	In-	สัญญาณข้อมูลเข้าความถี่สูง In-
D2+	สัญญาณข้อมูลเข้าความถี่ต่ำ D2+	dCK+	สัญญาณนาฬิกาอ้างอิง dCK+
D2-	สัญญาณข้อมูลเข้าความถี่ต่ำ D2-	dCK-	สัญญาณนาฬิกาอ้างอิง dCK-
D3+	สัญญาณข้อมูลเข้าความถี่ต่ำ D3+	Out1+	สัญญาณข้อมูลออกความถี่ต่ำ Out1+
D3-	สัญญาณข้อมูลเข้าความถี่ต่ำ D3-	Out1-	สัญญาณข้อมูลออกความถี่ต่ำ Out1-
D4+	สัญญาณข้อมูลเข้าความถี่ต่ำ D4+	Out2+	สัญญาณข้อมูลออกความถี่ต่ำ Out2+
D4-	สัญญาณข้อมูลเข้าความถี่ต่ำ D4-	Out2-	สัญญาณข้อมูลออกความถี่ต่ำ Out2-
mCK+	สัญญาณนาฬิกาอ้างอิง CK+	Out3+	สัญญาณข้อมูลออกความถี่ต่ำ Out3+
mCK-	สัญญาณนาฬิกาอ้างอิง CK-	Out3-	สัญญาณข้อมูลออกความถี่ต่ำ Out3-
Out+	สัญญาณข้อมูลออกความถี่สูง Out+	Out4+	สัญญาณข้อมูลออกความถี่ต่ำ Out4+
Out-	สัญญาณข้อมูลออกความถี่สูง Out-	Out4-	สัญญาณข้อมูลออกความถี่ต่ำ Out4-
Vdd	ไฟเลี้ยง	Gnd	กราวนด์

## 5.2. ผลจำลองการทำงาน

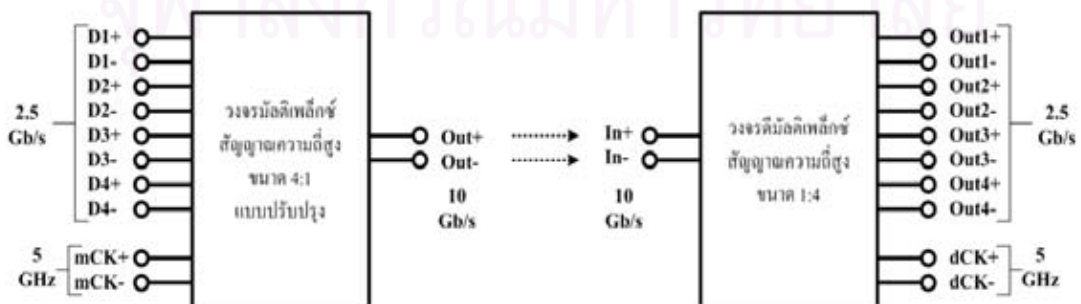
หลังจากวาดผังวงจรและสกัดข้อมูลผังวงจรที่เหมือนกับแผนภาพเค้าร่าง ซึ่งประกอบด้วย ทรานซิสเตอร์, ตัวต้านทาน และตัวเก็บประจุปรสิตตามโนดต่างๆ พบว่าวงจรมัลติเพิล็กซ์สัญญาณขนาด 2:1, วงจรแลตซ์ และวงจรบัฟเฟอร์ มีตัวเก็บประจุปรสิตแสดงคังรูปที่ 5-10(ก), 5-10(ข) และ 5-10(ค) ตามลำดับ ซึ่งตัวเก็บประจุปรสิตที่เกิดขึ้นเป็นตัวเก็บประจุปรสิตรวมที่โนดนั้นๆ เทียบกับซับเสตรท ค่าที่ได้มีค่าไม่เกิน 1 เฟมโตฟารัด ซึ่งถือว่ามีค่าน้อยเมื่อเทียบกับตัวเก็บประจุภายในทรานซิสเตอร์ที่คำนวณได้ในบทที่ 4 การวาดผังวงจรควรจะให้ตัวเก็บประจุปรสิตที่เกิดขึ้นมีค่าน้อย เพราะตัวเก็บประจุปรสิตมีผลทำให้ค่าหน่วงเวลาการแพร่กระจายเพิ่มขึ้น ทำให้ประสิทธิภาพการทำงานที่ความถี่สูงลดลง





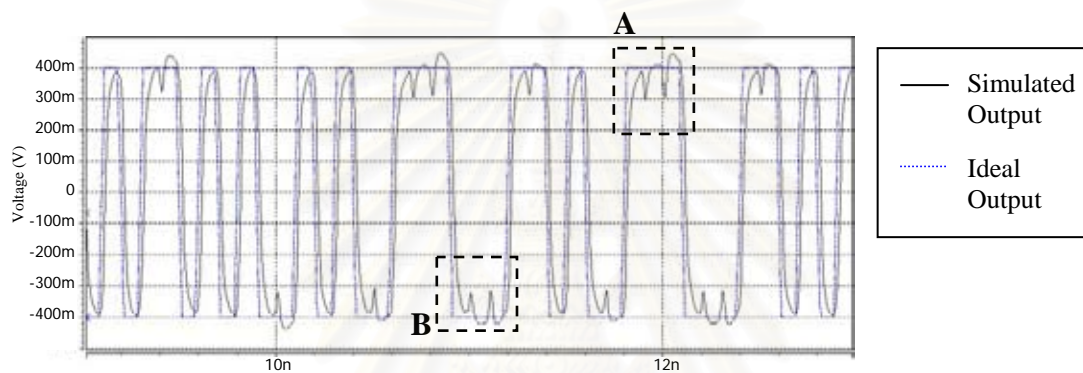
รูปที่ 5-10 ตัวเก็บประจุผลิตหลังจากการสกัดผังวงจร (ก) วงจรมัลติเพล็กซ์สัญญาณขนาด 2:1 (ข) วงจรแลตซ์ (ค) วงจรบัฟเฟอร์ 2 ชั้น

การทดสอบประสิทธิภาพผังวงจรรวมทำการทดสอบดังรูปที่ 5-11 โดยสัญญาณเข้าและสัญญาณออกในรูปแบบ อ้างอิงตามแพดดังแสดงในรูปที่ 5-7 และรายละเอียดดังตารางที่ 5-2

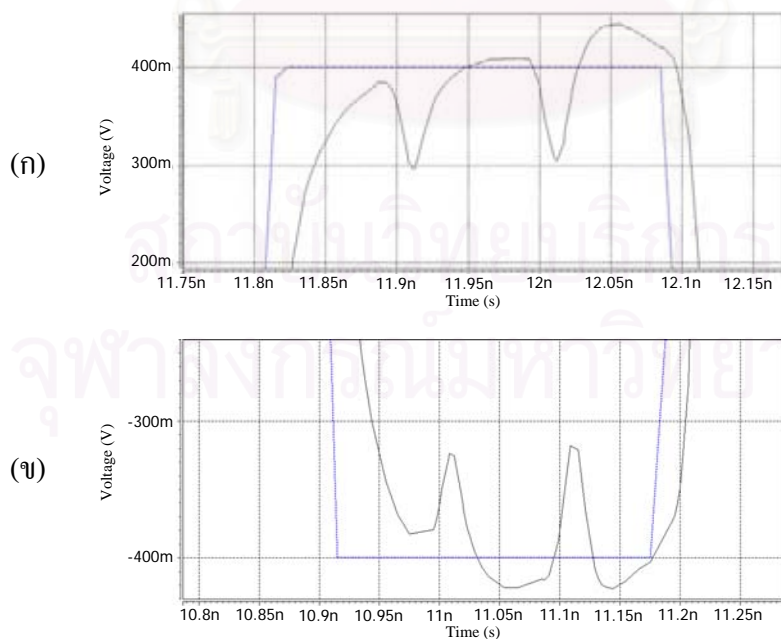


รูปที่ 5-11 แผนภาพการจำลองการทำงานของผังวงจรรวม

จำลองการทำงานวงจรมัลติเพิล็กซ์สัญญาณความถี่สูงขนาด 4:1 แบบปรับปรุง ด้วยโปรแกรม SPICE ทำงานที่ความถี่ 10 กิกะบิตต่อวินาทีที่มีช่วงแอมพลิจูดแรงดันเท่ากันเท่ากับ 0.4 โวลต์ ในรูปที่ 5-11 ด้านซ้าย ป้อนสัญญาณข้อมูลเข้า D1+, D1-, D2+, D2-, D3+, D3-, D4+ และ D4- ความถี่ 2.5 กิกะบิตต่อวินาที มีเวลาขาขึ้น/ลง เท่ากับ 60 พิโกวินาทีและสัญญาณนาฬิกาอ้างอิง mCK+ และ mCK- ความถี่ 5 กิกะเฮิรตซ์ มีเวลาขาขึ้น/ลงเท่ากับ 30 วินาที ได้ผลจำลองสัญญาณข้อมูลออก Out+ และ Out- ความถี่ 10 กิกะบิตต่อวินาที มีช่วงเวลาขาขึ้น/ลงเท่ากับ 68.3 พิโกวินาที, ค่าหน่วงเวลาการแพร่กระจายเท่ากับ 26.8 พิโกวินาที แสดงดังรูปที่ 5-12 โดยที่เส้นทึบสีดำ คือ สัญญาณออกจากผลจำลองการทำงาน และเส้นประสีน้ำเงิน คือ สัญญาณออกอุดมคติ ซึ่งเลือกดูขึ้นมาในช่วงเวลา 9 นาโนวินาที ถึง 13 นาโนวินาที



รูปที่ 5-12 ผลจำลองสัญญาณข้อมูลออกความถี่ 10 กิกะบิตต่อวินาที ในช่วงเวลา 9 ถึง 13 นาโนวินาที

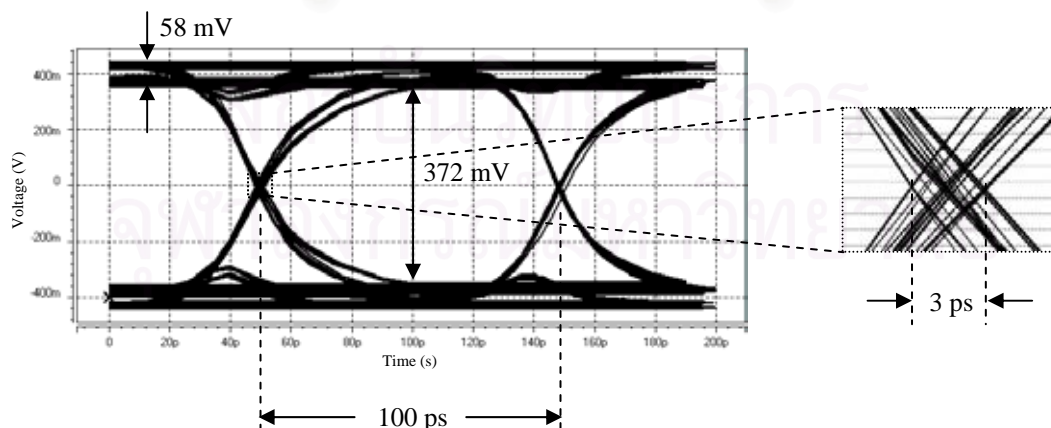


รูปที่ 5-13 ภาพขยายค่าทางตรรกะของข้อมูลออกความถี่ 10 กิกะบิตต่อวินาที

(ก) ค่าตรรกะเป็น 1 (ข) ค่าตรรกะเป็น 0

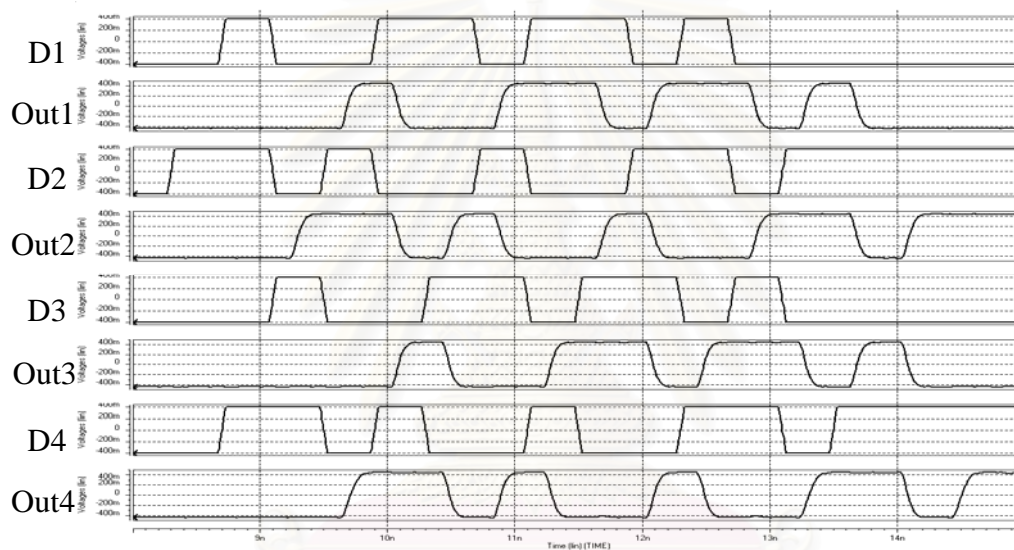
รูปที่ 5-12 สัญญาณออกขณะที่ค่าตรรกะเป็น 1 ดังแสดงในกรอบสี่เหลี่ยม A และสัญญาณออกขณะที่ค่าตรรกะเป็น 0 ดังแสดงในกรอบสี่เหลี่ยม B เกิดการกระเพื่อมเล็กน้อยของสัญญาณประมาณ 0.1 โวลต์ แสดงดังรูปที่ 5-13(ก) และ รูปที่ 5-13(ข) ตามลำดับ เหตุการณ์นี้เกิดจากสัญญาณนาฬิกาใช้เวลาขึ้น/ลงที่มาก ทำให้วงจร MCML ไม่สามารถเปลี่ยนทิศทางการกระแสให้ไหลผ่านตัวต้านทานเพียงด้านเดียว ช่วงแกว่งสัญญาณออกจึงเกิดการกระเพื่อมลงระยะเวลาหนึ่ง

คุณภาพของวงจรมัลติเพิล็กซ์สัญญาณความถี่สูงขนาด 4:1 แบบปรับปรุง ตรวจสอบด้วยการทดสอบรูปแบบดวงตา (Eye Pattern) โดยป้อนสัญญาณข้อมูลเข้า D1, D2, D3 และ D4 ด้วยลำดับบิตสุ่มเทียม (Pseudorandom Bit Sequence, PSRB) ในวิทยานิพนธ์นี้ใช้ลำดับบิตสุ่มเทียมแบบ  $2^{31}-1$  สร้างโดยโปรแกรมภาษาซีแสดงในภาคผนวก (ค) และนำไปจำลองการทำงานด้วยโปรแกรม SPICE ผลลัพธ์ที่ได้แสดงดังรูปที่ 5-14 สัญญาณออกมีความกว้างแต่ละบิตเท่ากับ 100 พิโกวินาที นั่นคือทำงานที่ความถี่ 10 กิกะบิตต่อวินาทีได้, สัญญาณออกเกิดการพัวไหว (Jitter) ประมาณ 3 พิโกวินาที ซึ่งเกิดจากสัญญาณนาฬิกาโหมดผลต่างมีค่าหน่วงเวลาการแพร่กระจายไม่เท่ากันเพราะผลจากตัวเก็บประจุปรสิติดในการวาดผังวงจร ไปสู่สัญญาณเข้าคนละตำแหน่งเวลาทำให้สัญญาณออกเกิดการพัวไหว, สัญญาณออกมีดวงตาเปิด (Eye Opening) เท่ากับ 0.372 โวลต์ และมีสัญญาณรบกวน (Noise) แกว่งประมาณ 58 มิลลิโวลต์ ซึ่งเป็นค่าที่ยอมรับได้เพราะไม่เกิน 15 เปอร์เซ็นต์ของช่วงแกว่งแรงดันออก [15] สัญญาณรบกวนนี้เกิดจากโนดแต่ละโนดในผังวงจรมีตัวเก็บประจุปรสิติดไม่เท่ากัน ทำให้สัญญาณออกเปลี่ยนแปลงขึ้นหรือลงไม่พร้อมกัน สัญญาณออกจึงเกิดการเลื่อนหรือแกว่งไปมา และช่วงแกว่งสัญญาณออกสูงสุดมีค่าเกิน 0.4 โวลต์ ซึ่งเกิดจากตัวต้านทานแฝงขณะที่วาดผังวงจรแต่กระแสไบแอสมีค่าเท่ากับที่ออกแบบ ทำให้ช่วงแกว่งสัญญาณออกเกินจากที่ออกแบบเล็กน้อย



รูปที่ 5-14 ผลทดสอบรูปแบบดวงตาด้วยลำดับบิตสุ่มเทียมแบบ  $2^{31}-1$  ของวงจรมัลติเพิล็กซ์สัญญาณความถี่สูงขนาด 4:1 แบบปรับปรุง

สำหรับการทดสอบวงจรดีมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 1:4 ทำการทดสอบ ดังรูปที่ 5-11 ทางฝั่งขวามือโดยป้อนสัญญาณเข้า (In) ด้วยสัญญาณออก (Out) ความถี่ 10 กิกะบิตต่อวินาที จากวงจรดีมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 4:1 แบบปรับปรุง รูปที่ 5-15 แสดงตัวอย่างสัญญาณออก Out1, Out2, Out3 และ Out4 ความถี่ 2.5 กิกะบิตต่อวินาที ในช่วงเวลา 8 นาโนวินาทีถึง 15 นาโนวินาที เปรียบเทียบกับสัญญาณเข้า D1, D2, D3 และ D4 ซึ่งสัญญาณเข้าและสัญญาณออกมีลำดับบิตเหมือนกัน แต่สัญญาณเกิดการเลื่อนออกไปเนื่องจากกระบวนการดีมัลติเพล็กซ์และดีมัลติเพล็กซ์สัญญาณออกนี้จับตัวเก็บประจุขนาด 0.1 พิโกฟารัดมีเวลาขาขึ้น/ลง เท่ากับ 66.2 พิโกวินาที และมีค่าหน่วยเวลาการแพร่กระจายเท่ากับ 68 พิโกวินาทีซึ่งรวมค่าหน่วยเวลาแพร่กระจายจากวงจรบัฟเฟอร์แล้ว



รูปที่ 5-15 เปรียบเทียบสัญญาณเข้า (D1-D4) และสัญญาณออก (Out1-Out4)

กำลังที่ใช้ในแต่ละส่วนของ 1 ชุดวงจร เช่นวงจรบัฟเฟอร์ (Buffer), วงจรหารความถี่ (Divider), วงจรดีมัลติเพล็กซ์ขนาด 2:1 (MUX 2:1) และวงจรดีมัลติเพล็กซ์ขนาด 1:4 (DEMUX 1:4) แยกแสดงดังตารางที่ 5-3

ตารางที่ 5-3 สรุปกำลังในแต่ละส่วนของ 1 ชุดวงจร

Component	Power Consumption
Buffer	4.31 mW
Divider	1.52 mW
2:1 Proposed Mux	3.18 mW
1:2 Demux	3.91 mW

จากผลจำลองการทำงานที่กล่าวมาทั้งหมด สรุปได้ว่าวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 4:1 แบบปรับปรุงและวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 1:4 สามารถทำงานได้ที่ความถี่ไม่เกิน 10.2 กิกะบิตต่อวินาที ช่วงแกว่งสัญญาณเข้ามีค่าอยู่ในช่วง 0.36 โวลต์ถึง 0.5 โวลต์ และคุณสมบัติอื่นๆ ของวงจรรวมสรุปได้ดังตารางที่ 5-4

ตารางที่ 5-4 คุณสมบัติของวงจรมัลติเพล็กซ์สัญญาณความถี่สูงขนาด 4:1 แบบปรับปรุง

	<b>4:1 Proposed High Speed Multiplexer</b>	<b>1:4 High Speed Demultiplexer</b>
<b>Supply Voltage</b>	1.8 V	1.8 V
<b>Speed</b>	< 10.2 Gb/s	< 10.2 Gb/s
<b>Input Swing Range</b>	360 mV-500 mV	360 mV-500mV
<b>Eye Opening</b>	372 mV	-
<b>Jitter</b>	3 ps	-
<b>Rise/Fall Time</b>	68.3 ps	66.2 ps
<b>Propagation Delay</b>	26.8 ps	68.0 ps
<b>Total Power Consumption</b>	15.37 mW	34.80 mW
<b>Area</b>	34.875 $\mu\text{m}$ x 131.04 $\mu\text{m}$	43.735 $\mu\text{m}$ x 131.04 $\mu\text{m}$
<b>Total Area</b>	89.05 $\mu\text{m}$ x 131.04 $\mu\text{m}$	



## บทที่ 6

### ข้อสรุปและข้อเสนอแนะ

#### 6.1. ข้อสรุป

วิทยานิพนธ์นี้นำเสนอการออกแบบวงจรรวมของ วงจรมัลติเพิล็กซ์สัญญาณความถี่สูง ขนาด 4:1 แบบปรับปรุง และวงจรมัลติเพิล็กซ์สัญญาณความถี่สูงขนาด 1:4 โครงสร้าง MCML ซึ่งสามารถทำงานที่ความถี่ 10 กิกะบิตต่อวินาที, แรงดันไฟเลี้ยง 1.8 โวลต์ และมีช่วงแอมพลิจูดสัญญาณเข้าและสัญญาณออกเท่ากับ 0.4 โวลต์ การออกแบบใช้เทคโนโลยี TSMC 0.18 ไมโครเมตร วงจรรวมที่ได้สามารถนำไปประยุกต์ใช้กับวงจรรับและส่งทางแสง หรือวงจรอื่นๆ ที่ทำงานที่ความถี่สูงไม่เกิน 10 กิกะบิตต่อวินาที สำหรับวงจรมัลติเพิล็กซ์สัญญาณความถี่สูงนี้ แนะนำโครงสร้างแบบปรับปรุงซึ่งต่างจากงานวิจัยอื่นๆ ที่มีในปัจจุบัน โดยการลดจำนวนแลตซ์ที่ใช้ในการจัดเวลาข้อมูล เพื่อประหยัดพลังงานและพื้นที่

การออกแบบวงจรมัลติเพิล็กซ์และวงจรมัลติเพิล็กซ์ที่กล่าวมาข้างต้น ใช้อัตราส่วนความกว้างต่อความยาวของทรานซิสเตอร์เท่ากันหมดเพื่อง่ายต่อการวาดผังวงจรและการคำนวณ, มีช่วงแอมพลิจูดแรงดันของสัญญาณเข้าและออกเท่ากันตลอดการออกแบบ วงจรที่ออกแบบประกอบด้วย 3 วงจรหลัก คือวงจรมัลติเพิล็กซ์สัญญาณขนาด 2:1 ทำหน้าที่ควมสัญญาณเข้าความถี่ต่ำ 2 สัญญาณที่ประสานเวลา, วงจรแลตซ์ทำหน้าที่จัดเวลาสัญญาณเพื่อให้สัญญาณประสานเวลากับสัญญาณนาฬิกา และวงจรมัลติเพิล็กซ์ทำหน้าที่ปรับช่วงเวลาขาขึ้นและขาลง และปรับสัญญาณเพื่อให้สามารถขับวงจรในลำดับถัดไปที่มีตัวเก็บประจุเข้าปริมาณมากได้ การออกแบบทั้งหมดในวิทยานิพนธ์นี้ คำนึงถึงค่าหน่วยเวลาการแพร่กระจายเป็นปัจจัยหลัก เพราะต้องให้มีค่าทำงานในช่วงความถี่ที่ต้องการได้ ประมาณค่าด้วยวงจรลำดับที่หนึ่ง (First Order Approximation) โดยคิดจากผลคูณค่าตัวต้านทานและค่าตัวเก็บประจุรวม ซึ่งประกอบด้วยตัวเก็บประจุเนื่องจากทรานซิสเตอร์และตัวเก็บประจุเนื่องจากตัวต้านทาน ปัจจัยที่สองคือช่วงแอมพลิจูดแรงดันเข้าต่ำสุดที่ป้อนแอมพลิจูดแล้วทำให้วงจรสามารถเปลี่ยนทิศทางการกระแสให้ไหลผ่านตัวต้านทานเพียงด้านเดียวได้ การคำนวณในสองปัจจัยนี้จะนำมาซึ่งอัตราส่วนช่วงกระแสไบแอสต่อความกว้างทรานซิสเตอร์ที่สามารถเลือก ซึ่งเลือกจากค่ากึ่งกลางในช่วง หลังจากนั้นคำนวณหากระแสไบแอสที่ทำให้วงจรทำงานในความถี่ที่ต้องการได้

การวาดผังวงจรทั้งหมดเป็นการวาดผังวงจรด้วยมือ (Custom Layout) ซึ่งต้องคำนึงถึงโครงสร้างการวางผังวงจรให้ผังวงจรแต่ละส่วนอยู่ใกล้กันที่สุด และใช้พื้นที่น้อยที่สุด โดยมีผังวงจรมัลติเพิล็กซ์สัญญาณขนาด 2:1, ผังวงจรแลตซ์ และผังวงจรมัลติเพิล็กซ์ เป็นพื้นฐานสำหรับการ



นำมาประกอบเป็นวงจรอันดับสูง คือ วงจรมัลติเพิล็กซ์สัญญาณความถี่สูงขนาด 4:1 แบบปรับปรุง และวงจรดีมัลติเพิล็กซ์สัญญาณความถี่สูงขนาด 1:4 และวงจรหารความถี่สัญญาณนาฬิกา

ผลการจำลองการทำงานวงจรรวมสำหรับวงจรในวิทยานิพนธ์นี้ พบว่าวงจรรวมมีผลการทำงานถูกต้องกินกำลังเฉลี่ยประมาณ 15.37 มิลลิวัตต์สำหรับวงจรมัลติเพิล็กซ์สัญญาณความถี่สูงขนาด 4:1 แบบปรับปรุง และ 34.80 มิลลิวัตต์สำหรับวงจรดีมัลติเพิล็กซ์สัญญาณความถี่สูงขนาด 1:4 ซึ่งมีค่าต่ำกว่างานวิจัยที่มีมาในปัจจุบัน

## 6.2. ข้อเสนอแนะ

วงจรที่นำเสนอนี้เป็นเพียงแนวคิดและผลจำลองการทำงาน ซึ่งไม่ได้ผลิตรวมจริง จึงไม่มีผลความแปรปรวนของกระบวนการผลิต (Process Variation) และค่าความคลาดเคลื่อนของพารามิเตอร์ต่างๆ ที่ทำให้ประสิทธิภาพของวงจรเปลี่ยนแปลงไป ข้อเสนอแนะในการปรับปรุง และพัฒนาออกแบบวงจรรวมของวงจรมัลติเพิล็กซ์และวงจรดีมัลติเพิล็กซ์สัญญาณความถี่สูง เป็นดังนี้

1. การพัฒนาเพื่อนำไปผลิตรวมจริง ควรใช้โมเดลที่มีความละเอียดสูงครอบคลุมถึงความแปรปรวนของกระบวนการผลิต เพราะสามารถจำลองการทำงานได้ละเอียดและเกิดความผิดพลาดน้อย
2. การคำนวณค่าหน่วยเวลาการแพร่กระจายเพื่อความแม่นยำในการคำนวณและการออกแบบ ควรใช้สมการประมาณค่าลำดับสูงขึ้นไป (Higher Order Approximation)
3. โครงสร้างของวงจรมัลติเพิล็กซ์สัญญาณขนาด 2:1 และวงจรแลตซ์ที่มาต่อกัน น่าจะสามารถรวมทรานซิสเตอร์สำหรับสัญญาณนาฬิกาที่เหมือนกันเป็นตัวเดียวกันได้ ผลที่ได้ น่าจะประหยัดพื้นที่และพลังงานลงได้อีก
4. ปรับปรุงเพิ่มเติมการทดสอบวงจรรวม เช่น ทดสอบอัตราความผิดพลาดบิต (Bit Error Rate) ซึ่งในวิทยานิพนธ์นี้ไม่มีการทดสอบตรงส่วนนี้ เพราะต้องใช้เครื่องมือเฉพาะในการทดสอบ
5. ในอนาคตอันใกล้สามารถนำแนวคิดนี้ไปประยุกต์ใช้กับกระบวนการผลิต ที่มีขนาดเล็กกว่า 0.18 ไมโครเมตร เพราะสามารถประหยัดพื้นที่และกินกำลังต่ำ

## รายการอ้างอิง

1. Nakura, T.; Ueda, K.; Kubo, K.; Matsuda, Y.; Mashiko, K.; and Yoshihara, T. A 3.6-Gb/s 340-mW 16 : 1 Pipe-Lined Multiplexer using 0.18  $\mu\text{m}$  SOI-CMOS Technology. IEEE Journal of Solid-State Circuits. 35, 5 (MAY, 2000) : 751-756
2. Tanabe, A.; Umetani, M.; Fujiwara, I.; Ogura, T.; Kataoka, K.; Okihara, M.; Sakuraba, H.; Endoh, T.; and Masuoka, F. 0.18- $\mu\text{m}$  CMOS 10-Gb/s Multiplexer/Demultiplexer ICs Using Current Mode Logic with Tolerance to Threshold Voltage Fluctuation. IEEE Journal of Solid-State Circuits. 36, 6 (JUNE, 2001) : 988-996
3. Kehrer, D.; and Wohlmuth, H.D. A 30-Gb/s 70-mW One-Stage 4:1 Multiplexer in 0.13-  $\mu\text{m}$  CMOS. IEEE Journal of Solid-State Circuits. 39, 7 (JULY, 2004) : 1140-1147
4. Hung, W.L.; and Chau, C.S. A 5 Gbps CMOS LVDS Transmitter with Multi-Phase Tree-Type Multiplexer. Proceedings of 2004 IEEE Asia-Pacific Conference on Advanced System Integrated Circuits (AP-ASIC 2004), (AUGUST, 2004) : 228-231
5. Shinmyo, A. ; Hashimoto, M.; and Onodera, H. Design and Measurement of 6.4 Gbps 8:1 Multiplexer in 0.18  $\mu\text{m}$  CMOS Process. Proceedings of the 2005 conference on Asia South Pacific Design Automation (ASP-DAC 2005). (2005): D9-D10
6. Rabaey, J.M.; Chandrakasan, A.; and Nikolic, B. Digital Integrated Circuits: A Design Perspective. Second Edition, USA: Pearson Prentice Hall, 2003
7. Yuan, F. Fully Differential 8-to-1 Current-Mode Multiplexer for 10 Gbit/s Serial Links in 0.18  $\mu\text{m}$  CMOS. Electronics Letters. 40, 13 (JUNE 2004) : 789-790
8. Kuroda, T.; and Hamada, M. Low-Power CMOS Digital Design with Dual Embedded Adaptive Power Supplies. IEEE Journal of Solid-State Circuits. 35, 4 (APRIL 2004) : 652-655
9. Kang, S.M.; and Leblebici, Y. CMOS Digital Integrated Circuits: Analysis and Design. Third Edition, USA: McGraw-Hill, 2003
10. Hodges, D.A.; Jackson, H.G.; and Saleh, R.A. Analysis and Design of Digital Integrated Circuits in Deep Submicron Technology. Third Edition, USA: McGraw-Hill, 2004
11. The MOSIS Service. Parametric Test Result (TSMC 0.18). Available from:  
[http://www.mosis.org/cgi-bin/cgiwrap/umosis/swp/params/tsmc-018/t29b\\_mm\\_non\\_epi-params.txt](http://www.mosis.org/cgi-bin/cgiwrap/umosis/swp/params/tsmc-018/t29b_mm_non_epi-params.txt)

12. Southbourne Internet Ltd. SONET/SDH Digital Hierarchy. [Online]. Available from:  
<http://www.sonet.com/EDU/edu.htm> (2005)
13. Tektronik, Inc. SONET Telecommunication Standard Primer. [Online]. Available from:  
[http://www.tek.com/Measurement/App\\_Notes/SONET/](http://www.tek.com/Measurement/App_Notes/SONET/) (2001)
14. Tektronik, Inc. SDH Telecommunication Standard Primer. [Online]. Available from:  
[http://www.tek.com/Measurement/App\\_Notes/sdhprimer/](http://www.tek.com/Measurement/App_Notes/sdhprimer/) (2001)
15. Razavi, B. Design of Integrated Circuits for Optical Communications. USA: McGraw-Hill, 2002
16. Heydari, P.; and Mohanavelu, R. Design of Ultrahigh-Speed Low-Voltage CMOS CML Buffers and Latches. IEEE Transactions on Very Large Scale Integration (VLSI) Systems. 12, 10 (OCTOBER 2004) : 1081-1093
17. Hasting, A. The Art of Analog Layout. Second Edition, USA: Pearson Prentice Hall, 2006
18. Razavi, B. Design of Analog CMOS Integrated Circuits. USA: McGraw-Hill, 200

## บรรณานุกรม

1. Mizuno, M.; Yamashina, M.; Furuta, K.; Igura, H.; Abiko, H.; Okabe, K.; Ono A.; and Yamada, H. A GHz MOS Adaptive Pipeline Technique Using MOS Current-Mode Logic. IEEE Journal of Solid-State Circuits. 31, 6 (MAY, 1996) : 784-791
2. Ismail, A.H.; and Elmarsy, M.I. A low power design approach for MOS current mode logic. Proceeding of IEEE International System-On-Chip Conference 2003. (SEPTEMBER 2003) : 143-146
3. Jiang, J.; and Yuan, F.; A New CMOS Current-Mode Multiplexer for 10 Gbps Serial Links. Analog Integrated Circuits and Signal Processing. 44, 1 (JULY 2005) : 61-76
4. Crain, E.; and Perrott, M. A Numerical Design Approach for High Speed, Differential, Resistor-Loaded, CMOS Amplifiers. Proceeding of the 2004 International Symposium on Circuits and Systems (ISCAS '04). 5 (MAY 2004) : V-508 – V-511
5. Hiok-Tiaq, Ng.; and Allstot, D.J. CMOS Current Steering Logic for Low-Voltage Mixed-Signal Integrated Circuits. IEEE Transactions on Very Large Scale Integration (VLSI) Systems. 5, 3 (SEPTEMBER 1997) : 301-308
6. Green, M.M. CMOS Design Techniques for 10 Gb/s Optical Transceivers. 2003 International Symposium on VLSI Technology, Systems and Applications. (2003) : 209-212
7. Stojanovic, V.; and Oklobdzija, V.G. Comparative Analysis of Master-Slave Latches and Flip-Flops for High-Performance and Low-Power Systems. IEEE Journal of Solid-State Circuits. 34, 1 (APRIL 1999) : 536-548
8. Usama, M.; and Kwasniewski, T.. Design and Comparison of CMOS Current Mode Logic Latches. Proceedings of the 2004 International Symposium on Circuits and Systems (ISCAS '04). 4 (MAY 2004) : IV-353 – IV-356
9. Lei, Y.; Koukab, A.; and Declercq, M. Design and Optimization of CMOS Prescaler. 2005 PhD Research in Microelectronics and Electronics. 1 (JULY 2005) : 129-132
10. Saez, R.T.L.; Kayal, M.; Declercq, M.; and Schneider, M.C. Design Guidelines for CMOS Current Steering Logic. Proceeding of 1997 International Symposium on Circuits and Systems (ISCAS '97). 3 (JUNE 1997) : 1872-1875
11. Hwang, M.W.; Hwang, J.T.; and Cho, G.H. Design of High Speed CMOS Prescaler. Proceeding of the Second IEEE Asia Pacific Conference on Advanced System Integrated Circuits 2000 (AP-ASIC 2000). 1 (AUGUST 2000) : 87-90



ภาคผนวก

สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย

## ภาคผนวก ก.

### การคำนวณค่าเก็บประจุรวมของวงจร

ค่าตัวเก็บประจุรวม ( $C$ ) ของวงจร ประกอบด้วย 2 ค่าเก็บประจุหลัก คือ ค่าเก็บประจุภายในที่เกิดจากทรานซิสเตอร์ และค่าเก็บประจุเนื่องจากตัวต้านทาน สามารถประมาณค่าและคำนวณได้ดังนี้

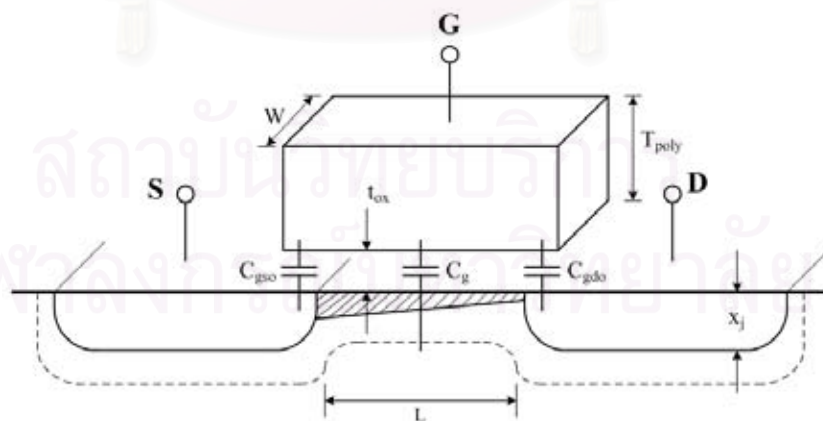
#### ก.1. ค่าตัวเก็บประจุภายในที่เกิดจากทรานซิสเตอร์ ( $C_{tr}$ )

ในวงจรความถี่สูง ความเร็วในการเปลี่ยนแปลงสัญญาณของ MOSFET ขึ้นอยู่กับเวลาในการอัดและคายประจุของตัวเก็บประจุภายในของทรานซิสเตอร์ สำหรับวงจรรวมขนาดใหญ่การคำนวณค่าตัวเก็บประจุภายใน จะยากแก่การคำนวณได้โดยตรงและมีค่าน้อย ในการวิเคราะห์ค่าตัวเก็บประจุภายในนี้ ใช้การประมาณค่าคร่าวๆ จากขนาดของทรานซิสเตอร์และค่าคงที่ไดอิเล็กทริก (Dielectric constant) ค่าที่ได้จากการประมาณนี้มีค่าน้อยมากอยู่ที่ระดับเฟมโตฟารัด

ค่าตัวเก็บประจุภายในที่เกิดจากทรานซิสเตอร์ประกอบด้วย 3 ค่าตัวเก็บประจุ

##### 1. ตัวเก็บประจุออกไซด์บาง (Thin-Oxide Capacitance)

ตัวเก็บประจุชนิดนี้เป็นตัวเก็บประจุที่สำคัญที่สุดในทรานซิสเตอร์ชนิด MOSFET เป็นตัวเก็บประจุที่อยู่ในชั้นออกไซด์บาง (Thin-Oxide) เป็นตัวเก็บประจุที่เกิดระหว่างแผ่นเกต และช่องนำกระแส มีสารไดอิเล็กทริกอยู่ตรงกลางตัวเก็บประจูดังรูปที่ ก-1



รูปที่ ก-1 โครงสร้างตัวเก็บประจุออกไซด์บางภายในทรานซิสเตอร์

ค่าตัวเก็บประจุ Thin-oxide สามารถประมาณได้จากสมการ (ก-1)

$$C_G = C_{gs} + C_{gd} + C_{gb} \quad (\text{ก-1})$$



$$\begin{aligned} \text{โดยที่ } C_{gs} &= \text{ตัวเก็บประจุเกต-ซอร์ส (Gate-to-Source Capacitance)} \\ C_{gd} &= \text{ตัวเก็บประจุเกต-เดรน (Gate-to-Drain Capacitance)} \\ C_{gb} &= \text{ตัวเก็บประจุเกต-บัลค์ (Gate-to-Bulk Capacitance)} \end{aligned}$$

ในการสร้างทรานซิสเตอร์จะมีช่วงซ้อนเหลื่อม ระหว่างขาเกตและช่องนำกระแส ดังนั้นตัวเก็บประจุเกต-ซอร์ส จึงประกอบด้วยค่าตัวเก็บประจุช่องเกต-ซอร์ส (Gate-to-Source Channel Capacitance,  $C_{gcs}$ ) และตัวเก็บประจุซ้อนเหลื่อมเกต-ซอร์ส (Gate-to-Source Overlap Capacitance,  $C_{gso}$ ) อีกทางด้านหนึ่งตัวเก็บประจุเกต-เดรน ก็จะประกอบด้วยตัวเก็บประจุช่องเกต-เดรน (Gate-to-Source Channel Capacitance  $C_{gcd}$ ) และตัวเก็บประจุซ้อนเหลื่อมเกต-เดรน (Gate-to-Source Overlap Capacitance,  $C_{gdo}$ ) ดังสมการที่ (ก-2) และ (ก-3)

$$C_{gs} = C_{gcs} + C_{gso} \quad (\text{ก-2})$$

$$C_{gd} = C_{gcd} + C_{gdo} \quad (\text{ก-3})$$

$$C_{gb} = C_{gcb} \quad (\text{ก-4})$$

แทนค่าสมการ (ก-2), (ก-3) และ (ก-4) ลงในสมการ (ก-1)

$$C_G = (C_{gcs} + C_{gso}) + (C_{gcd} + C_{gdo}) + C_{gcb} \quad (\text{ก-5})$$

$$C_G = (C_{gcs} + C_{gcd} + C_{gcb}) + C_{gso} + C_{gdo} \quad (\text{ก-6})$$

$$C_G = C_g + C_{gso} + C_{gdo} \quad (\text{ก-7})$$

จากสมการ (ก-7) ค่าตัวเก็บประจุ  $C_g$  เป็นค่าเก็บประจุที่ไม่คงที่ขึ้นอยู่กับสภาวะการทำงาน ของทรานซิสเตอร์ เมื่อทรานซิสเตอร์ทำงานในย่านเชิงเส้นช่องนำกระแสขยายกว้างทั้งช่วง เดรนและซอร์ส ทำให้ค่าตัวเก็บประจุเกต-เดรนและค่าตัวเก็บประจุเกต-ซอร์ส มีค่าเท่ากัน ( $C_{gcs} = C_{gcd} \approx \frac{1}{2} C_{ox} WL$ ), เมื่อทรานซิสเตอร์ทำงานย่านอิ่มตัว ช่องนำกระแสจะกระจาย มาทางด้านซอร์สมากกว่าด้านเดรน ดังนั้น  $C_{gcs} \approx \frac{2}{3} C_{ox} WL$  และเมื่อทรานซิสเตอร์ไม่ทำงาน  $C_{gcs} = C_{gcd} = 0$  สรุปได้ดังตารางที่ ก-1

ตารางที่ ก-1 สรุปค่าตัวเก็บประจุเกิดในแต่ละช่วงย่านการทำงาน

	Cut-Off	Linear	Saturate
$C_{gs}$	0	$\frac{1}{2}C_{ox}WL$	$\frac{2}{3}C_{ox}WL$
$C_{gd}$	0	$\frac{1}{2}C_{ox}WL$	0
$C_{gcb}$	$C_{ox}WL$	0	0

ส่วนค่าเก็บประจุซ้อนเหลื่อม  $C_{gso}$  และ  $C_{gdo}$  จากสมการ (ก-7) เป็นค่าเก็บประจุที่คงที่ขึ้นกับกระบวนการผลิตคำนวณได้จากสมการ (ก-8) และ (ก-9)

$$C_{gso} = C_{GSO}W \quad (\text{ก-8})$$

$$C_{gdo} = C_{GDO}W \quad (\text{ก-9})$$

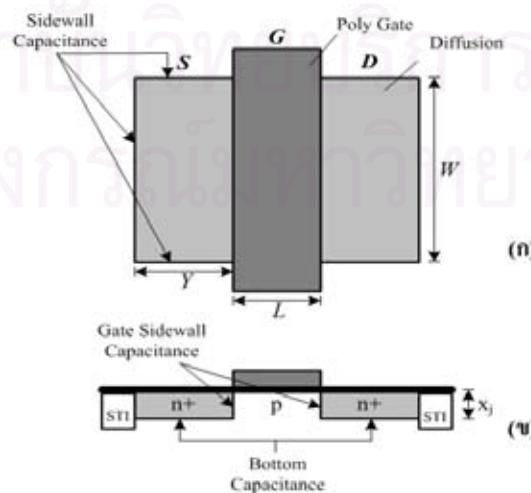
โดยที่  $C_{GSO}$  = ค่าเก็บประจุเกต-ซอร์สแบบซ้อนเหลื่อมต่อหน่วยความยาว (Gate-to-Source Overlap Capacitance per channel length) ขึ้นกับกระบวนการผลิต

$C_{GDO}$  = ค่าเก็บประจุเกต-เดรนแบบซ้อนเหลื่อมต่อหน่วยความยาว (Gate-to-Drain Overlap Capacitance per channel length) ขึ้นกับกระบวนการผลิต

ดังนั้นค่าเก็บประจุ Thin-Oxide สามารถประมาณค่าได้จากสมการ (ก-10)

$$C_G = WLC_{ox} + C_{GSO}W + C_{GDO}W \quad (\text{ก-10})$$

## 2. ตัวเก็บประจุการแพร่ (Diffusion Capacitance)



รูปที่ ก-2 (ก) โครงสร้างภาพด้านบนของ NMOS (ข) โครงสร้างภาพตัดของ NMOS

ตัวเก็บประจุการแพร่ เป็นตัวเก็บประจุระหว่างรอยต่อพีหรือเอ็นกับซับเซสเตรท ได้แก่  $C_{sb}$  และ  $C_{db}$  พิจารณารูปที่ ก-2(ก) เป็นภาพด้านบนของ NMOS และรูปที่ ก-2(ข) เป็นภาพตัดของ NMOS ค่าเก็บประจुरอยต่อเกิดระหว่างพื้นที่การแพร่ (Diffusion Area) กับพีซับเซสเตรท สำหรับ NMOS ค่าเก็บประจुरอยต่อซอส/เดรนเป็นแบบเอ็นพลัสพี (n+ p Source/Drain Junction Capacitance) และเป็นแบบพีพลัสเอ็น (p+ n Source/Drain Junction Capacitance) สำหรับ PMOS ตัวเก็บประจุการแพร่สามารถคำนวณได้จากสมการ (ก-11)

$$C_{diff} = C_{bottom} + C_{sidewall} + C_{gate-sidewall} \quad (ก-11)$$

จากสมการ (ก-11) ตัวเก็บประจุการแพร่ประกอบด้วยตัวเก็บประจุจุดต่อด้านล่าง (Bottom Junction Capacitance,  $C_{bottom}$ ), ตัวเก็บประจุจุดต่อด้านข้าง (Sidewall Junction Capacitance,  $C_{sidewall}$ ) และ ตัวเก็บประจุจุดต่อด้านข้างฝั่งเกต (Gate-Sidewall Junction Capacitance,  $C_{gate-sidewall}$ ) ตัวเก็บประจุเหล่านี้คำนวณได้จากสมการ (ก-12), (ก-13) และ (ก-14)

$$C_{bottom} = C_j W Y \left( 1 + \frac{V_{sb,db}}{\phi_F} \right)^{-m_j} \quad (ก-12)$$

$$C_{sidewall} = C_{jsw} (W + 2Y) \left( 1 + \frac{V_{sb,db}}{\phi_F} \right)^{-m_{jsw}} \quad (ก-13)$$

$$C_{gate-sidewall} = C_{jswg} W \left( 1 + \frac{V_{sb,db}}{\phi_F} \right)^{-m_{jswg}} \quad (ก-14)$$

โดยที่  $C_j$  = ค่าเก็บประจุจุดต่อด้านล่างต่อหน่วยพื้นที่

(Bottom junction capacitance per unit area)

$m_j$  = ค่าสัมประสิทธิ์คุณภาพตัวเก็บประจุจุดต่อด้านล่าง

(Bottom junction capacitance grading coefficient)

$C_{jsw}$  = ค่าเก็บประจุจุดต่อด้านข้างต่อหน่วยความยาว

(Source/drain sidewall junction capacitance per unit length)

$m_{jsw}$  = ค่าสัมประสิทธิ์คุณภาพตัวเก็บประจุจุดต่อด้านข้าง

(Source/drain sidewall junction capacitance grading coefficient)

$C_{jswg}$  = ค่าเก็บประจุจุดต่อด้านข้างฝั่งเกตต่อหน่วยความยาว

(Source/drain gate sidewall junction capacitance per unit length)

$m_{jswg}$  = ค่าสัมประสิทธิ์คุณภาพตัวเก็บประจุจุดต่อด้านข้างฝั่งเกต

(Source/drain gate sidewall junction capacitance grading coefficient)

$\phi_F$  = ค่าคงที่ Fermi Potential

ค่าคงที่ Fermi Potential หาได้จากความสัมพันธ์

$$\phi_F = \phi_T \ln\left(\frac{N_{ch}}{n_i}\right) \quad (ก-15)$$

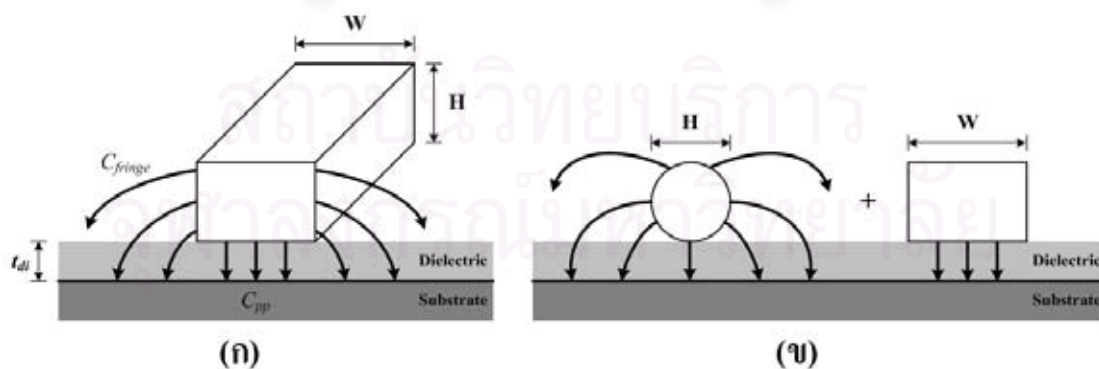
$$\phi_T = \frac{k_B T_{nom}}{q} \quad (ก-16)$$

$$n_i = 1.45 \times 10^{10} \left(\frac{T_{nom}}{300.15}\right)^{1.5} \exp\left(21.5565981 - \frac{E_{g0}}{2\phi_T}\right) \quad (ก-17)$$

$$E_{g0} = 1.16 - \frac{7.02 \times 10^{-4} \times T_{nom}^2}{T_{nom} + 1108} \quad (ก-18)$$

โดยที่	$\phi_T$	=	Thermal voltage
	$N_{ch}$	=	Channel doping concentration ( $1/\text{cm}^3$ )
	$n_i$	=	Intrinsic carrier
	$k_B$	=	Boltzman constant ( $1.38 \times 10^{-23}$ J/K)
	$T_{nom}$	=	Temperature at which parameters are extracted (K)
	$q$	=	Electron Charge ( $1.6 \times 10^{-19}$ Coulomb)
	$E_{g0}$	=	Energy bandgap at temperature $T_{nom}$

### 3. ตัวเก็บประจุเนื่องจากสาย (Wiring Capacitance)



รูปที่ ก-3 ตัวเก็บประจุที่เกิดจากสาย (ก) ตำแหน่งตัวเก็บประจุที่เกิดจากสายทั้งหมด (ข) โมเดลสำหรับคำนวณตัวเก็บประจุขอบและตัวเก็บประจุแผ่นขนาน

ตัวเก็บประจุที่เกิดจากสายประกอบด้วยค่าตัวเก็บประจุขอบ (Fringe Capacitance) เกิดระหว่างขอบและชั้นเสตรทและตัวเก็บประจุระแผ่นขนาน (Parallel-Plate Capacitance) แสดงดังรูปที่ ก-3(ก) ดังนั้นตัวเก็บประจุที่เกิดจากสายสามารถคำนวณได้ดังสมการ (ก-19)

$$C_{wire} = C_{pp} + C_{fringe} \quad (\text{ก-19})$$

แต่การคำนวณค่าเก็บประจุเนื่องจากสายจากรูปที่ ก-3(ก) ทำได้ยากดังนั้น จึงประมาณค่าด้วยผลรวมของ 2 ตัวเก็บประจุ ดังรูปที่ ก-3(ข) ตัวเก็บประจุแผ่นขนานประมาณค่าโดยสนามไฟฟ้าเชิงตั้งฉาก (Orthogonal Field) ระหว่างสายความกว้าง  $w$  กับกราวด์ และ ตัวเก็บประจุขอบประมาณค่าโดยสายรูปทรงกระบอก มีเส้นผ่านศูนย์กลางเท่ากับความหนาของสาย ( $H$ ) ดังนั้นผลการประมาณค่าแสดงดังสมการ (ก-20)

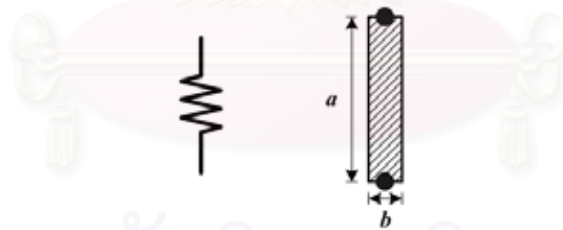
$$C_{wire} = \frac{w\epsilon_{di}}{t_{di}} + \frac{2\pi\epsilon_{di}}{\log(t_{di}/H)} \quad (\text{ก-20})$$

โดยที่  $\epsilon_{di}$  = สภาพยอมของชั้นไดอิเล็กตริก (Permittivity of Dielectric)

$t_{di}$  = ความหนาของชั้นไดอิเล็กตริก (Dielectric thickness)

$w$  =  $W - H/2$  เป็นค่าประมาณที่ให้ความแม่นยำสูง [JAN RABEY]

## ก.2 ค่าตัวเก็บประจุเนื่องจากตัวต้านทาน ( $C_R$ )



รูปที่ ก-4 ตัวต้านทานและผังวงจรตัวต้านทาน

ในการวาดผังวงจรจะมีค่าตัวเก็บประจุเนื่องจากตัวต้านทาน ซึ่งสามารถประมาณค่าตัวต้านทานได้จากสมการ (ก-21) โดยที่  $R_s$  คือค่าคงที่ความต้านทาน (Sheet Resistance),  $a$  คือความยาวของตัวต้านทาน และ  $b$  คือความกว้างของตัวต้านทานดังรูปที่ ก-4

$$R = R_s \times \frac{a}{b} \quad (\text{ก-21})$$

ค่าตัวเก็บประจุเนื่องจากตัวต้านทาน ( $C_R$ ) สามารถคำนวณได้จากสมการ (ก-22) โดยที่  $C_p$  คือค่าคงที่ตัวเก็บประจุต่อพื้นที่

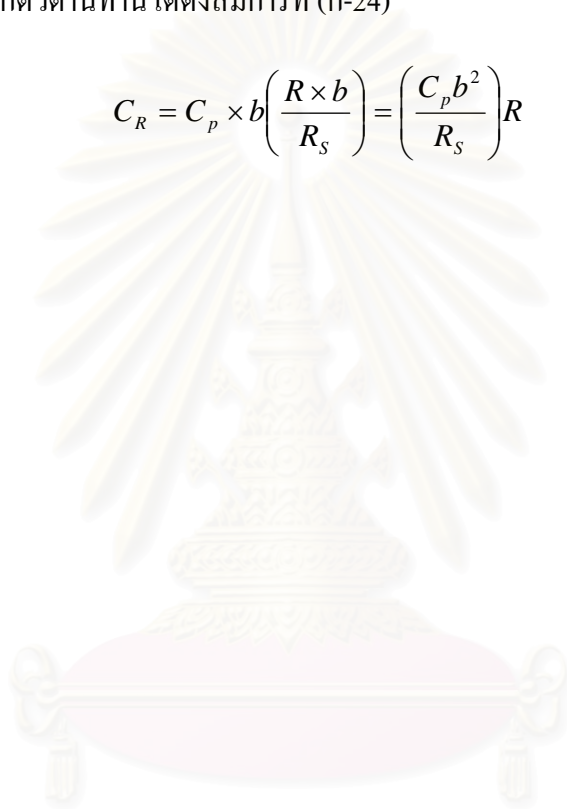
$$C_R = C_p \times Area \quad (ก-22)$$

พื้นที่ของตัวเก็บประจุเท่ากับ  $ab$  นำไปแทนในสมการ (ก-22) ได้ผลลัพธ์ดังสมการ (ก-23)

$$C_R = C_p \times ab \quad (ก-23)$$

สมการ (ก-21) หาด้วยสมการ (ก-23) ซึ่งในการวัดผังวงจรตัวต้านทานนั้นค่าความกว้าง ( $b$ ) ของตัวต้านทานนั้น จะกำหนดให้มีค่าคงที่ค่าหนึ่งตลอดการออกแบบ ซึ่งสามารถเขียนสมการประมาณค่าตัวเก็บประจุเนื่องจากตัวต้านทานได้ดังสมการที่ (ก-24)

$$C_R = C_p \times b \left( \frac{R \times b}{R_s} \right) = \left( \frac{C_p b^2}{R_s} \right) R \quad (ก-24)$$



สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย



ภาคผนวก ข.

โมเดลกระบวนการผลิต TSMC 0.18 ไมโครเมตร

MOSIS PARAMETRIC TEST RESULTS

RUN: T29B (MM\_NON-EPI)  
TECHNOLOGY: SCN018

VENDOR: TSMC  
FEATURE SIZE: 0.18 microns

**INTRODUCTION :** This report contains the lot average results obtained by MOSIS from measurements of MOSIS test structures on each wafer of this fabrication lot. SPICE parameters obtained from similar measurements on a selected wafer are also attached.

**COMMENTS:** DSCN6M018\_TSMC

TRANSISTOR PARAMETERS	W/L	N-CHANNEL	P-CHANNEL	UNITS
<b>MINIMUM</b>	0.27/0.18			
Vth		0.51	-0.51	volts
<b>SHORT</b>	20.0/0.18			
Idss		546	-256	uA/um
Vth		0.51	-0.51	volts
Vpt		4.8	-5.5	volts
<b>WIDE</b>	20.0/0.18			
Ids0		13.2	-6.7	pA/um
<b>LARGE</b>	50/50			
Vth		0.43	-0.42	volts
Vj bkd		3.2	-4.1	volts
Ijlk		<50.0	<50.0	pA
Gamma		0.53	0.62	V^0.5
K' (Uo*Cox/2)		171.4	-34.7	uA/V^2
Low-field Mobility		397.10	80.39	cm^2/V*s

**COMMENTS :** Poly bias varies with design technology. To account for mask and etch bias use the appropriate value for the parameters XL and XW in your SPICE model card.

Design Technology	XL	XW
-----	-----	-----
SCN6M_DEEP (lambda=0.09)	-0.02	-0.01
thick oxide	-0.03	-0.01
TSMC18	-0.02	0.00
thick oxide	-0.02	0.00
SCN6M_SUBM (lambda=0.10)	-0.04	0.00
thick oxide	-0.07	0.00

FOX TRANSISTORS	GATE	N+ACTIVE	P+ACTIVE	UNITS
Vth	Poly	>6.6	<-6.6	volts

PROCESS PARAMETERS	N+ACTV	P+ACTV	POLY	N+BLK	PLY+BLK	MTL1	MTL2	UNITS
Sheet Resistance	6.7	7.5	7.8	59.2	337.1	0.08	0.08	ohms/sq
Contact Resistance	11.3	11.8	10.2				6.59	ohms
Gate Oxide Thickness	40							angstrom

PROCESS PARAMETERS	MTL3	POLY_HRI	MTL4	MTL5	MTL6	N_WELL	UNITS
Sheet Resistance	0.08	1929.0	0.08	0.08	0.03	925	ohms/sq
Contact Resistance	11.97		17.82	23.86	26.28		ohms

COMMENTS: BLK is silicide block.

CAPACITANCE PARAMETERS	N+ACTV	P+ACTV	POLY	M1	M2	M3	M4	M5	M6	M5P	N_WELL	UNITS
Area (substrate)	971	1162	105	38	18	13	8	8	3		67	aF/um <sup>2</sup>
Area (N+active)			8526	53	19	13	11	9	8			aF/um <sup>2</sup>
Area (P+active)			8214									aF/um <sup>2</sup>
Area (poly)				63	16	10	7	5	4			aF/um <sup>2</sup>
Area (metall1)					35	14	9	6	5			aF/um <sup>2</sup>
Area (metal2)						37	14	9	6			aF/um <sup>2</sup>
Area (metal3)							41	15	9			aF/um <sup>2</sup>
Area (metal4)								38	13			aF/um <sup>2</sup>
Area (metal5)									33	1010		aF/um <sup>2</sup>
Area (no well)	138											aF/um <sup>2</sup>
Fringe (substrate)	258	203	--	59	53	42	23	--				aF/um
Fringe (poly)				66	38	28	23	20	17			aF/um
Fringe (metall1)					53	34		22	19			aF/um
Fringe (metal2)						53	35	27	22			aF/um
Fringe (metal3)							53	35	28			aF/um
Fringe (metal4)								55	35			aF/um
Fringe (metal5)									57			aF/um
Overlap (N+active)			716									aF/um
Overlap (P+active)			679									aF/um

CIRCUIT PARAMETERS	UNITS		
Inverters	K		
Vinv	1.0	0.75	volts
Vinv	1.5	0.79	volts
Vol (100 uA)	2.0	0.08	volts

Voh (100 uA)	2.0	1.62 volts
Vinv	2.0	0.83 volts
Gain	2.0	-24.39
Ring Oscillator Freq.		
D1024_THK (31-stg,3.3V)	291.97	MHz
DIV1024 (31-stg,1.8V)	359.22	MHz
Ring Oscillator Power		
D1024_THK (31-stg,3.3V)	0.07	uW/MHz/gate
DIV1024 (31-stg,1.8V)	0.02	uW/MHz/gate

**COMMENTS: DEEP\_SUBMICRON****T29B SPICE BSIM3 VERSION 3.1 PARAMETERS****SPICE 3f5 Level 8, Star-HSPICE Level 49, UTMOST Level 8**

\* DATE: Dec 9/02

\* LOT: T29B WAF: 6003

\* Temperature\_parameters=Default

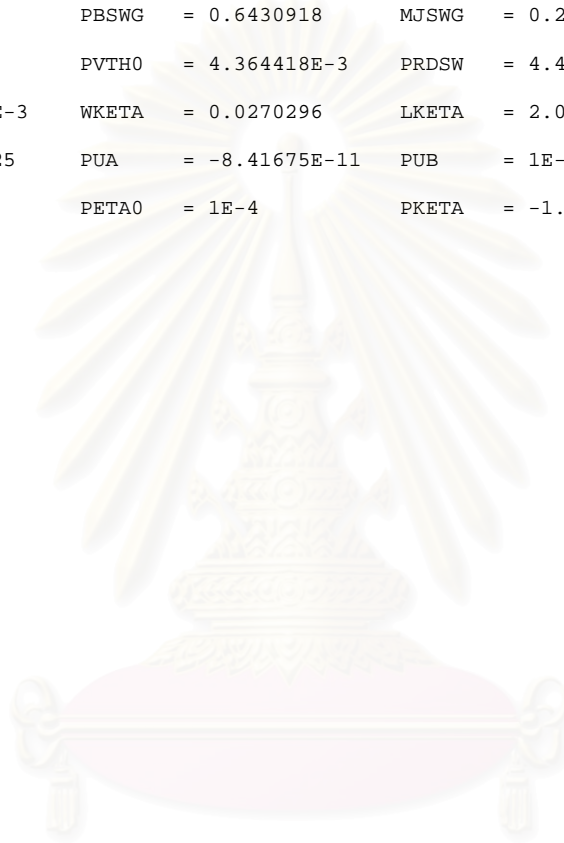
```
.MODEL CMOSN NMOS (
LEVEL = 49
+VERSION = 3.1 TNOM = 27 TOX = 4E-9
+XJ = 1E-7 NCH = 2.3549E17 VTH0 = 0.3627858
+K1 = 0.5873035 K2 = 4.793052E-3 K3 = 1E-3
+K3B = 2.2736112 W0 = 1E-7 NLX = 1.675684E-7
+DVT0W = 0 DVT1W = 0 DVT2W = 0
+DVT0 = 1.7838401 DVT1 = 0.5354277 DVT2 = -1.243646E-3
+U0 = 263.3294995 UA = -1.359749E-9 UB = 2.250116E-18
+UC = 5.204485E-11 VSAT = 1.083427E5 A0 = 2
+AGS = 0.4289385 B0 = -6.378671E-9 B1 = -1E-7
+KETA = -0.0127717 A1 = 5.347644E-4 A2 = 0.8370202
+RDSW = 150 PRWG = 0.5 PRWB = -0.2
+WR = 1 WINT = 1.798714E-9 LINT = 7.631769E-9
+XL = -2E-8 XW = -1E-8 DWG = -3.268901E-9
+DWB = 7.685893E-9 VOFF = -0.0882278 NFACTOR = 2.5
+CIT = 0 CDSC = 2.4E-4 CDSCD = 0
+CDSCB = 0 ETA0 = 2.455162E-3 ETAB = 1
+DSUB = 0.0173531 PCLM = 0.7303352 PDIBLC1 = 0.2246297
+PDIBLC2 = 2.220529E-3 PDIBLCB = -0.1 DROUT = 0.7685422
+PSCBE1 = 8.697563E9 PSCBE2 = 5E-10 PVAG = 0
+DELTA = 0.01 RSH = 6.7 MOBMOD = 1
+PRT = 0 UTE = -1.5 KT1 = -0.11
```

```

+KT1L = 0          KT2 = 0.022          UA1 = 4.31E-9
+UB1 = -7.61E-18   UC1 = -5.6E-11          AT = 3.3E4
+WL = 0            WLN = 1            WW = 0
+WWN = 1           WWL = 0            LL = 0
+LLN = 1           LW = 0            LWN = 1
+LWL = 0           CAPMOD = 2          XPART = 0.5
+CGDO = 7.16E-10   CGSO = 7.16E-10          CGBO = 1E-12
+CJ = 9.725711E-4  PB = 0.7300537          MJ = 0.365507
+CJSW = 2.604808E-10  PBSW = 0.4            MJSW = 0.1
+CJSWG = 3.3E-10    PBSWG = 0.4           MJSWG = 0.1
+CF = 0            PVTH0 = 4.289276E-4     PRDSW = -4.2003751
+PK2 = -4.920718E-4  WKETA = 6.938214E-4     LKETA = -0.0118628
+PU0 = 24.2772783   PUA = 9.138642E-11      PUB = 0
+PVSAT = 1.680804E3  PETA0 = 2.44792E-6      PKETA = 4.537962E-5 )
*
.MODEL CMOSF PMOS (                                LEVEL = 49
+VERSION = 3.1          TNOM = 27          TOX = 4E-9
+XJ = 1E-7             NCH = 4.1589E17    VTH0 = -0.4064886
+K1 = 0.5499001        K2 = 0.0389453     K3 = 0
+K3B = 11.4951756      W0 = 1E-6          NLX = 9.143209E-8
+DVT0W = 0             DVT1W = 0          DVT2W = 0
+DVT0 = 0.5449299      DVT1 = 0.3160821   DVT2 = 0.1
+U0 = 117.9612996      UA = 1.64867E-9     UB = 1.165056E-21
+UC = -1E-10           VSAT = 2E5          A0 = 1.7833459
+AGS = 0.407511        B0 = 1.314603E-6    B1 = 5E-6
+KETA = 0.0137171      A1 = 0.4610527      A2 = 0.6597363
+RDSW = 364.9443889     PRWG = 0.5          PRWB = -0.1129203
+WR = 1                WINT = 0            LINT = 2.007556E-8
+XL = -2E-8            XW = -1E-8          DWG = -2.835566E-8
+DWB = 8.003075E-9     VOFF = -0.1064646   NFACTOR = 2
+CIT = 0                CDSC = 2.4E-4        CDSCD = 0
+CDSCB = 0             ETA0 = 0.0141703     ETAB = -0.0398356
+DSUB = 0.4441401      PCLM = 2.2364512    PDIBLC1 = 9.167645E-4
+PDIBLC2 = 0.0209189   PDIBLCB = -9.568266E-4  DROUT = 9.976778E-4
+PSCBE1 = 1.731161E9    PSCBE2 = 5E-10      PVAG = 14.337819
+DELTA = 0.01          RSH = 7.5           MOBMOD = 1
+PRT = 0               UTE = -1.5          KT1 = -0.11
+KT1L = 0              KT2 = 0.022          UA1 = 4.31E-9

```

+UB1	= -7.61E-18	UC1	= -5.6E-11	AT	= 3.3E4		
+WL	= 0	WLN	= 1	WW	= 0		
+WWN	= 1	WWL	= 0	LL	= 0		
+LLN	= 1	LW	= 0	LWN	= 1		
+LWL	= 0	CAPMOD	= 2	XPART	= 0.5		
+CGDO	= 6.79E-10	CGSO	= 6.79E-10	CGBO	= 1E-12		
+CJ	= 1.176396E-3	PB	= 0.8607121	MJ	= 0.4163285		
+CJSW	= 2.135953E-10	PBSW	= 0.6430918	MJSW	= 0.2654457		
+CJSWG	= 4.22E-10	PBSWG	= 0.6430918	MJSWG	= 0.2654457		
+CF	= 0	PVTH0	= 4.364418E-3	PRDSW	= 4.4192048		
+PK2	= 3.104478E-3	WKETA	= 0.0270296	LKETA	= 2.038008E-3		
+PU0	= -2.3639825	PUA	= -8.41675E-11	PUB	= 1E-21		
+PVSAT	= -50	PETA0	= 1E-4	PKETA	= -1.444802E-3	)	



สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย





```

print_stop = time_stop-0.5*tr_f;
time_tmp   = time_stop;
count=1;

//convert and print to spice.txt
if (a_temp==0)
{
    spfile << "+"
        << std::scientific
        << print_start
        << " low,";
    spfile << std::scientific
        << print_stop
        << " low,";
    spfile << std::endl;
}
else if (a_temp==1)
{
    spfile << "+"
        << std::scientific
        << print_start
        << " high,";
    spfile << std::scientific
        << print_stop
        << " high,";
    spfile << std::endl;
}
}

//Set a_temp
a_temp = a[0];

//N bit New line
if (test_New_line_check==N)
{
    test_New_line_check=0;
    ofile <<std::endl;
}
else
    test_New_line_check++;
}
else
    std::cout <<"Cannot open";
return 0;
}

```

สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย

ภาคผนวก ง.

บทความที่ได้รับการตีพิมพ์ใน

**Proceeding of the 2006 Electrical Engineering/ Electronics, Computer**

**Telecommunications and Information Technology (ECTI)**

**International Conference**



สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย

# A 10 Gb/s MCML Multiplexer / Demultiplexer for High Speed Communication.

Weerayut Amphaiwikrai, Ekachai Leelalasmee and Boonchuay Suphmonchai

Dept.of Electrical Engineering, Chulalongkorn University, Phayathai Road, Patumwan, Bangkok, 10330, Thailand  
47704648@student.netserv.chula.ac.th, Ekachai.L@chula.ac.th, Boonchuay.S@chula.ac.th

## ABSTRACT

Design of a 10 Gb/s Multiplexer/Demultiplexer circuit using MOS Current Mode Logic (MCML) technique is proposed. The multiplexer circuit employs a master latch and a master-slave latch instead of the master-slave and master-slave-master latch which are used in the conventional design. The demultiplexer circuit is designed accordingly to match the proposed multiplexer. Both circuits are simulated and verified using HSPICE in a TSMC 0.18- $\mu\text{m}$  CMOS technology at the 10 Gb/s data rate and 1.8-V supply voltage. The simulation shows that both circuits consume power of about 10 and 12 mW, which are less than other previous designs.

**Keywords:** Multiplexer, Demultiplexer, MOS current mode logic, High speed serial communication.

## 1. INTRODUCTION

At present, the serial data communication system can operate at a data rate up to 10 Gb/s. The high speed communication becomes more and more important because of increasing data consumption and performance of system (e.g., satellite and optical communication). The integrated circuits at such high speed has been produced in MESFETs, GaAs, HBTs, InP, BiCMOS technology. The power consumption of the ICs based on these technologies, however, is very large because of high supply voltage and large driving current [5-6].

Fig. 1 shows a typical structure of the high speed serial data communication. At the sending end, the multiplexer couples multiple inputs of low speed data stream into a single output of high speed serial data stream, which is then injected into the media. At the receiving end, the demultiplexer receives the high speed serial data stream from the media and decouples it into as many low speed data streams as there are on the sending sides. The operation of the demultiplexer normally requires the clock extracted and regenerated from the data stream for synchronization.

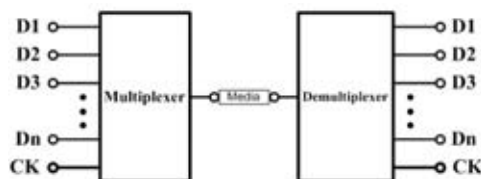


Fig.1: Multiplexer and Demultiplexer Diagram.

In this work we use CMOS technology because of its low power consumption and low cost. We propose a novel design of high speed multiplexer using master latch and master-slave latch instead of master-slave latch and master-slave-master latch in typical designs to decrease power consumption and save area.

## 2. MOS CURRENT MODE LOGIC (MCML)

MCML [1] consists of three main components: pull-up network, pull-down network, and current source. The pull-up network can be implemented using either resistors or active PMOS loads. The inputs to the pull-down network as well as the outputs are fully differential logic.

A MCML inverter/buffer circuit, shown in Fig. 2, operates on a steering current ( $I_{SS}$ ), which flows only to one side of the pull-up network (R). The outputs of the circuit depend on a logic implemented by the pull-down network. The voltage at an output reaches  $V_{dd}$  while the other drops across load R, and vice versa. If the loads are resistors, logic high will be at  $V_{dd}$  and low at  $V_{dd} - I_{SS}R$ .

MCML does not provide a rail to rail swing. In fact, it has a lower swing than any other logic families. Low swing is suitable for circuits operating at high speed, which needs low rise/fall time and delay. With its reduced swing, MCML also consumes less power.

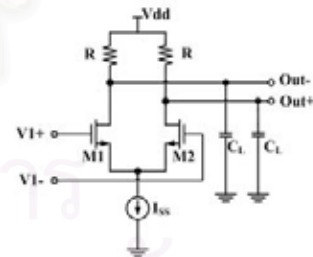


Fig.2: MCML inverter/buffer circuit.

Design parameters of MCML circuits are delay ( $t_d$ ), power consumption ( $P$ ), voltage swing ( $\Delta V$ ), and DC voltage gain ( $A_v$ ).

Using small signal model such as in Fig. 3, we can approximate  $t_d$  using first-order RC model to be,

$$t_d = 0.69RC \quad (1)$$

where  $C$  is the total load capacitance and is given by

$$C = C_{gd1} + C_{db1} + C_L \quad (2)$$

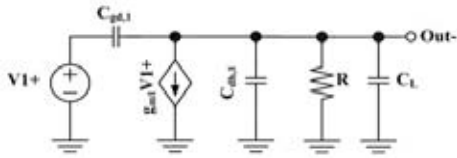


Fig.3: Inverter/buffer equivalent small-signal half-circuit.

MCML circuit consumes static power because of its use of constant current source. The power is given by

$$P = I_{SS} V_{dd} \quad (3)$$

When MCML operates at 2 GHz or higher, it consumes less power than conventional CMOS. This can be verified by HSPICE simulation in Fig. 4.

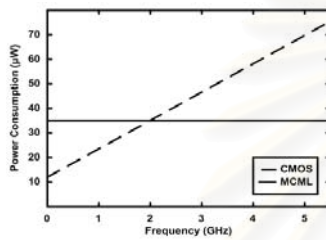


Fig.4: Power consumption as a function of frequency

Voltage swing of MCML circuits is expressed as

$$\Delta V = I_{SS} R \quad (4)$$

In practice,  $\Delta V$  is not equal to  $I_{SS} R$  due to the effect of leakage current on the other load side.

DC Voltage gain, defined at the voltage midswing, is an important parameter in stability control and regeneration of the MCML circuits. For the MCML inverter/buffer circuit, the gain ( $A_v$ ) is expressed as

$$A_v = g_{m1} R = \Delta V \sqrt{\mu_n C_{ox} \frac{W_1}{L_1} I_{SS}} \quad (5)$$

where  $g_{m1}$  is the transconductance of M1,  $\mu_n$  is the electron mobility,  $C_{ox}$  is the MOS oxide capacitance, and  $W_1/L_1$  is the ratio of the width to the length of M1.

### 3. High-Speed Multiplexer 2:1

A general structure of the high speed multiplexer 2:1 is shown in Fig. 5(a). It consists of a MCML master-slave latch, a MCML master-slave-master latch, and a MCML MUX 2:1. D1 and D2 are two in-phase differential 5-Gb/s input signals. Latch pairs L1-L2 and L3-L4 work as flip-flops for retiming data. Latch L5 is need to delay input data for half clock cycle since MCML MUX 2:1 samples D1 during clock high and D2 during clock low. The data streams are then multiplexed by the MCML MUX 2:1 to produce a 10-Gb/s output.

We propose a novel design of the high-speed multiplexer 2:1, as shown in Fig. 5(b). It consists of a master latch and master-slave latch and a MCML MUX 2:1. Latch L1 and L2 are used for retiming data and their

outputs are sensed only when the 5-GHz clock signal (CK) is low. Latch L3 shifts the data by 180° before the data streams are multiplexed. By reducing latch stages, our proposed design decreases the overall power consumption.

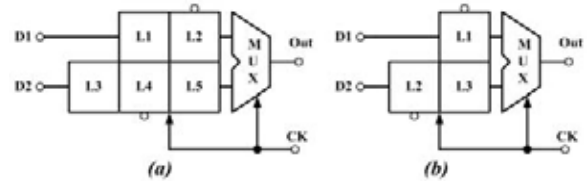


Fig.5: High speed multiplexer 2:1  
(a) General MUX (b) Proposed MUX

### 4. MCML MUX 2:1

Fig. 6 shows the schematic diagram of a MUX 2:1 circuit based on the two-level MCML architecture. It consists of four parts: 1) Data path transistors (M1-M4). 2) Data selection transistors (M5 and M6). 3) Current source ( $I_{SS}$ ) and 4) Resistor loads. The differential data input (D1 and D2) are multiplexed by the clock selection signal (CK). When CK is high, only M5 is on (M6 is cut-off) so output is D1. When CK is low, M6 is on so output is D2. The output of the multiplexer requires a low voltage gain because it operates at high frequency.

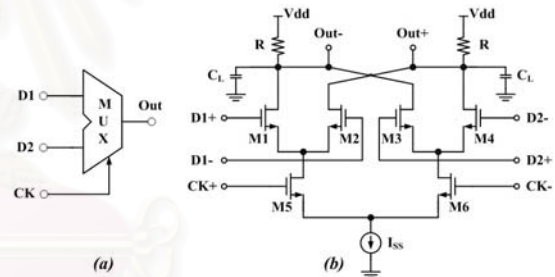


Fig.6: MCML MUX 2:1 (a) Block (b) Schematic

In analysis [4], the small signal model is used. Delay is obtained by applying constant clock signal and changing input signals as appropriate.

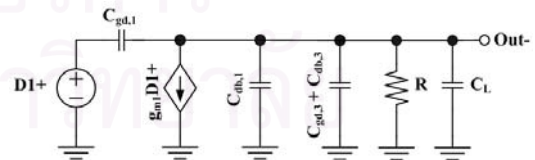


Fig.7: Equivalent half circuit of MCML MUX 2:1 gate

The delay of the MCML MUX 2:1 can be evaluated by considering its half equivalent circuit, as shown in Fig. 7, where the total capacitance is given by

$$C = C_{gd1} + C_{db1} + C_{gd3} + C_{db3} + C_L \quad (6)$$

where  $g_{m1}$  is the transconductance of M1,  $C_{gd}$  and  $C_{db}$  are the gate-drain overlap and drain-bulk capacitances,



respectively.  $C_L$  is the sum of wiring capacitance and input capacitance of the driven logic gates.

The DC voltage gain of MCML MUX2:1 is given by

$$A_v = \frac{Rg_{m1}g_{m5}}{g_{m1} + g_{m5}} = \frac{R\mu_n C_{ox} \frac{W_5}{L_5} V_{DS,5} \sqrt{2\mu_n C_{ox} \frac{W_1}{L_1} I_{SS}}}{\mu_n C_{ox} \frac{W_5}{L_5} V_{DS,5} + \sqrt{2\mu_n C_{ox} \frac{W_1}{L_1} I_{SS}}} \quad (7)$$

where  $V_{DS}$  is the drain-source voltage.

**5. MCML Latch**

Fig. 8 shows the schematic diagram of a MCML latch circuit which is a two level architecture. It consists of five parts: 1) Resistor loads, 2) Sense part (M1 and M2), 3) Store part (M3 and M4), 4) Mode selection part (M5 and M6), and 5) Current source.

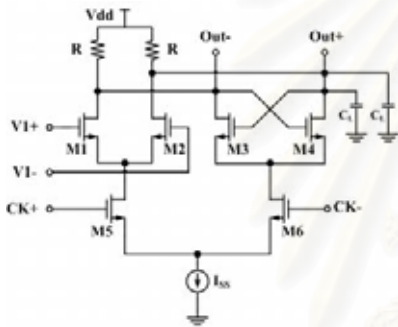


Fig.8: MCML Latch

M5 and M6 are the selection mode transistors which perform alternately. When M5 is ON (M6 is OFF), the MCML latch operates in the sense mode and the output voltage (Out) follows V1. When M6 is ON (M5 is OFF), the latch operates in the store mode. The output retains its voltage to the level of the sensed data.

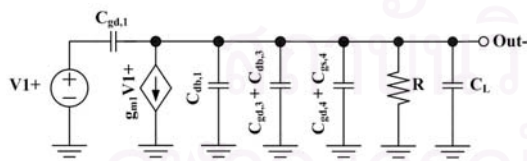


Fig.9: Equivalent half circuit of MCML Latch

Fig. 9 is the equivalent half circuit small signal model of MCML latch used in our analysis. The delay can be evaluated according to (1), where the total capacitance, for this case, is given by

$$C = C_{gd1} + C_{db1} + C_{gd3} + C_{db3} + C_{gd4} + C_{gs4} + C_L \quad (8)$$

$C_{gd}$ ,  $C_{gs}$ , and  $C_{db}$  are the gate-drain overlap, gate-source overlap, and drain-bulk capacitances of the involving transistors, respectively.  $C_L$  is the sum of wiring capacitance and input capacitance of the driven gates.

In order to guarantee the stability and regeneration in cascaded circuits  $A_v$  should be kept as large as possible (theoretically,  $A_v = 1$ ).  $A_v$  can be increased by either increasing  $g_m$  or  $R$ , resulting, however, in larger delay. For performance and regeneration/stability, a 50-60% above unity gain is used in this work.

**6. MCML DEMUX 1:2**

The MCML DEMUX 1:2, shown in Fig. 10, consists of two master-slave latches and buffers. The master-slave latches are clocked at 5 GHz while the input (In) is a 10 Gb/s data stream. To sample every bit of the 10 Gb/s input data, the clock of one master-slave latch must be in phase with CK while the other is in opposite phase.

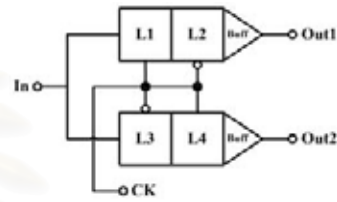


Fig.10: MCML DEMUX 1:2

**7. APPLICATIONS**

The high speed multiplexer 2:1 and demultiplexer 1:2 are basic building blocks to build higher order multiplexer and demultiplexer. Examples of a high speed multiplexer 4:1 and a high-speed demultiplexer 4:1 are shown in Fig. 11 and 12, respectively.

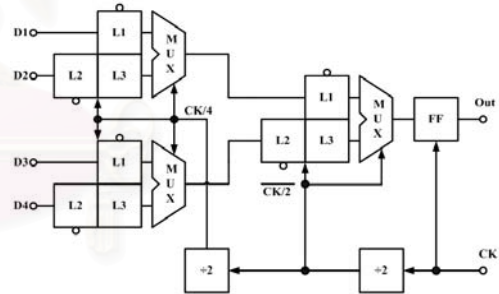


Fig 11: High Speed Multiplexer 4:1 architecture

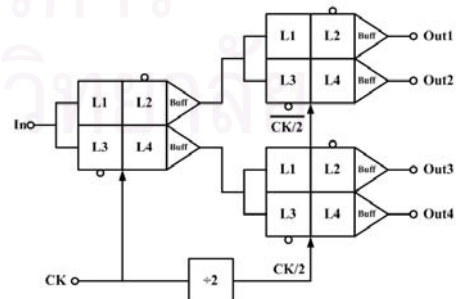


Fig 12: High Speed Demultiplexer 1:4 architecture

In Fig. 11 and Fig. 12, additional components which are required are flip-flops and dividers by 2. The flip-flop is a master-slave latch used for retiming data and buffering. The divider, shown in Fig. 13, consists of two

latches cascaded in negative feedback and a differential-mode buffer. The output clock of the divider is half the frequency of its input clock.

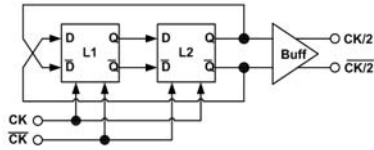


Fig.13: Divider by 2 architecture

7. SIMULATION AND RESULT

A TSMC 0.18- $\mu$ m CMOS process is used in designing our proposed high speed multiplexer (Fig. 5(b)) and demultiplexer (Fig. 10). All circuits are simulated and verified using HSPICE BSIM3 model. The supply voltage is 1.8 V and the input clock is 5 GHz with a swing of 2 x 850 mV. Simulation results are summarized in table 1.

Table 1: Result of Proposed Multiplexer/Demultiplexer

	MCML Proposed MUX 2:1	MCML DEMUX 1:2
Supply	1.8 V	
Data rate	10 Gb/s	
Input Swing	2 x 200 mV	2 x 200 mV
Clock Swing	2 x 850 mV	
Output Swing	2 x 250 mV	2 x 240 mV
Delay	17.8 ps	42.4 ps
Total Current	5.6 mA	6.5 mA
Power	10.0 mW	12.9 mW
Eye Diagram	2 x 230 mV	-
Jitter	18.4 ps	-

Fig. 14 shows the HSPICE timing simulation of the 2:1 multiplexer where the delay is found to be about 17.8 ps. Eye diagram, shown in Fig. 15, is fully opened at 2 x 225 mV.

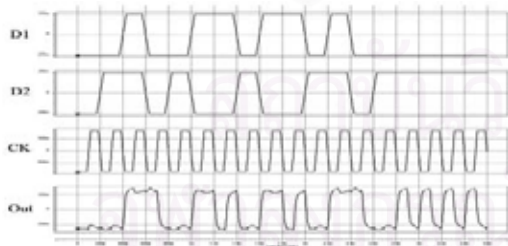


Fig.14: 2:1 Multiplexer Simulation Result

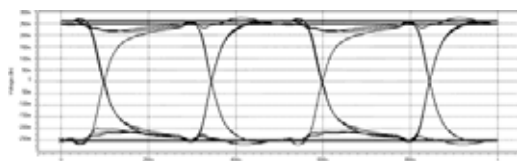


Fig.15: Eye Diagram of the proposed Multiplexer.

The HSPICE simulation of the 1:2 demultiplexer is shown in Fig. 16. The input to the circuit is the 10 Gb/s

data output from our proposed MUX 2:1. From the simulation, we see that the proposed DEMUX can correctly demultiplex the input to give the output data stream matching D1 and D2 in Fig. 15. The outputs have a swing of about 240 mV. It should be noted that in this case the buffer is designed as a two-stage buffer.

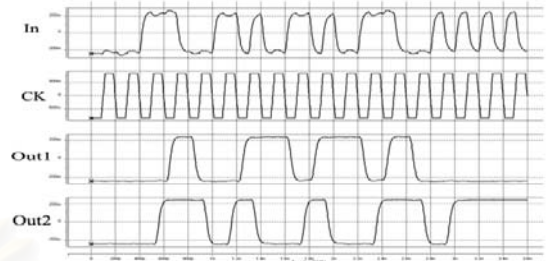


Fig.16: 1:2 Demultiplexer Simulation Result

8. CONCLUSION

Table 2 compares the performance of various CMOS designs. We estimate that our proposed design of high speed multiplexer/demultiplexer consumes lower power than the others.

Table 2: Performance Comparison

	[3]	[5]	Proposed (Estimate)
Device	Mux 8:1/Demux1:8	Mux 8:1	Mux 8:1/Demux1:8
Data rate	10 Gb/s	6.4 Gb/s	10 Gb/s
Supply	2.2-V/2.0-V	1.8-V	1.8-V
Power	102mW/112mW	84mW	80mW/101mW

9. ACKNOWLEDGEMENT

This work is supported by a research grant from the Rachadaphisek Somphot Endowment.

10. REFERENCES

- [1] A.P.Chandrakasan and R.W. Broderson, "Minimizing Power Consumption in Digital CMOS Circuits", *Proceeding of the IEEE*, Vol. 83, No.4, pp.498-523, 1995.
- [2] M. Mizuno, M. Yamashina, K. Furuta, H. Igura, H. Abiko, K. Okabe and A. Ono, "A GHz MOS Adaptive Pipeline Technique using MOS Current Mode Logic", *IEEE Journal of Solid-State Circuits*, Vol. 31, No.6, pp.784-791, 1996.
- [3] A. Tanabe, M. Umetani, I. Fujiwara, T. Ogura, K. Kataoka, M. Okihara, H. Sakuraba, T. Endoh and F. Masuoka, "0.18- $\mu$ m CMOS 10-Gb/s Multiplexer/ Demultiplexer ICs Using Current Mode Logic with Tolerance to Threshold Voltage Fluctuation", *IEEE Journal of Solid-State Circuits*, Vol. 36, No.6, pp.988-996, 2001.
- [4] M. Alioto and G. Palumbo, "Design of MUX, XOR and D-Latch SCL Gates", *Proceedings of the 2003 International Symposium (ISCAS '03)*, Vol. 5 pp.V-261 - V-264, 2003.
- [5] A. Shimyo, M. Hashimoto and H. Onodera, "Design and Measurement of 6.4 Gbps 8:1 Multiplexer in 0.18- $\mu$ m CMOS Process", *Proceedings of the Asia and South Pacific 2005 (ASP-DAC 2005)*, Vol. 2, pp.D9- D10, 2005.
- [6] N. Yoshida, M. Fujii, T. Atsumo, K. Numata, S. Asai, M. Kohno, H. Oikawa, H. Tsutsui, and T. Maeda, "Low-power-consumption 10-Gb/s GaAs 8:1 multiplexer/1:8 demultiplexer", *IEEE GaAs IC Symp*, pp.113-116, 1997.



## ประวัติผู้เขียนวิทยานิพนธ์

นายวิรุทธ อำไพวิกรัย เกิดเมื่อวันที่ 5 มิถุนายน พ.ศ.2525 ที่จังหวัดยะลา สำเร็จการศึกษา  
ระดับปริญญาวิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า จากคณะวิศวกรรมศาสตร์  
มหาวิทยาลัยเกษตรศาสตร์ในปีการศึกษา 2547 และเข้าศึกษาต่อในหลักสูตรวิศวกรรมศาสตร  
มหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า แผนกวิชาการออกแบบและประยุกต์วงจรรวม ที่คณะ  
วิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย ในปีการศึกษา 2549



สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย