

การออกแบบวงจรแปลงผันสัญญาณเชิงอนุพันธ์เป็นสัญญาณเชิงเลขโดยใช้เทคนิคการแบ่งครึ่ง  
และสะสมประจุ



นายวาริทช์ ลิ้มวิบูลย์

ศูนย์วิทยทรัพยากร  
จุฬาลงกรณ์มหาวิทยาลัย

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต


สาขาวิชาวิศวกรรมไฟฟ้า ภาควิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย

ปีการศึกษา 2553

ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย

A DESIGN OF ANALOG TO DIGITAL CONVERTER BASED ON BINARY CHARGE  
DIVISION AND ACCUMULATION TECHNIQUES



Mr. Varit Limwibul

ศูนย์วิทยทรัพยากร  
จุฬาลงกรณ์มหาวิทยาลัย

A Thesis Submitted in Partial Fulfillment of the Requirements  
for the Degree of Master of Engineering Program in Electrical Engineering

Department of Electrical Engineering

Faculty of Engineering

Chulalongkorn University

Academic Year 2010

Copyright of Chulalongkorn University

หัวข้อวิทยานิพนธ์

การออกแบบวงจรแปลงผันสัญญาณเชิงอุปमानเป็นสัญญาณเชิงเลข  
โดยใช้เทคนิคการแบ่งครึ่งและสะสมประจุ

โดย

นาย วาริทธิ์ ลิ้มวิบูลย์

สาขาวิชา

วิศวกรรมไฟฟ้า

อาจารย์ที่ปรึกษาวิทยานิพนธ์หลัก


รองศาสตราจารย์ ดร.เอกชัย ลีลารัมย์

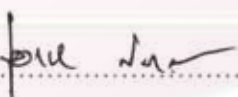
---


คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย อนุมัติให้บัณฑิตวิทยานิพนธ์ฉบับนี้  
เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิทยาศาสตรบัณฑิต

  
..... คณบดีคณะวิศวกรรมศาสตร์  
(รองศาสตราจารย์ ดร.บุญสม เลิศนिरองวงศ์)

คณะกรรมการสอบวิทยานิพนธ์

  
..... ประธานกรรมการ  
(ผู้ช่วยศาสตราจารย์ ดร.วันเฉลิม โปธา)

  
..... อาจารย์ที่ปรึกษาวิทยานิพนธ์หลัก  
(รองศาสตราจารย์ ดร.เอกชัย ลีลารัมย์)

  
..... กรรมการภายนอกมหาวิทยาลัย  
(ดร. นราธิป วงษ์โคเมท)

ศูนย์วิทยานิพนธ์  
จุฬาลงกรณ์มหาวิทยาลัย

วาริทธิ์ ลิ้มวิบูลย์ : การออกแบบวงจรแปลงผันสัญญาณเชิงอุปมานเป็นสัญญาณเชิงเลขโดย  
ใช้เทคนิคการแบ่งครึ่งและสะสมประจุ. (A DESIGN OF ANALOG TO DIGITAL  
CONVERTER BASED ON BINARY CHARGE DIVISION AND ACCUMULATION  
TECHNIQUES) อาจารย์ที่ปรึกษาวิทยานิพนธ์หลัก : รศ. ดร. เอกชัย ลีลาวัศม์, 64 หน้า.

วิทยานิพนธ์ฉบับนี้นำเสนอการออกแบบวงจรแปลงผันสัญญาณแอนะล็อกเป็นสัญญาณ  
ดิจิทัลที่ใช้โครงสร้างซีมอสที่กินกำลังงานต่ำ โดยใช้เทคนิคการแบ่งครึ่งประจุและการสะสมประจุในการ  
ค้นหาสัญญาณแบบการประมาณสืบเนื่อง จากการต่อตัวเก็บประจุที่ถูกอัดประจุไว้ต่อเข้ากับตัวเก็บ  
ประจุที่ค่าความจุเท่ากันแต่ไม่มีประจุคงอยู่ ประจุครึ่งหนึ่งจะถูกแบ่งครึ่งไปยังตัวเก็บประจุที่ว่างเปล่า  
หรือเรียกได้ว่าการแบ่งครึ่งประจุฐานสอง วงจรมีการตัดสินใจในการทิ้งประจุที่ได้หรือเก็บสะสมใน  
ตัวเก็บประจุสะสมบนตัวสะสมประจุ กระบวนการทั้งหมดนี้สามารถแบ่งเป็นจำนวน  $n$  ครั้งและให้วงจร  
แปลงผันที่มีความละเอียดการแปลงผัน  $n$  บิต วงจรแปลงผันได้ถูกออกแบบให้ทำงานในรูปแบบผลต่าง  
สมบูรณ์โดยใช้ตัวเก็บประจุที่มีค่าความจุเท่ากัน 6 ตัว ซีมอสลวิตช์ วงจรออปแอมป์ 1 ตัว และ วงจร  
เปรียบเทียบแบบแลตซ์ ข้อดีของการใช้เทคนิคนี้คือวงจรไม่จำเป็นต้องเปลี่ยนแปลงโครงสร้างตาม  
จำนวนบิตและสามารถปรับเปลี่ยนความละเอียดการแปลงผันได้ตามต้องการ รวมถึงวงจรมีแนวโน้ม  
จะกินพลังงานต่ำเนื่องจากทำงานเฉพาะในการเคลื่อนย้ายประจุ ในงานวิจัยนี้องค์ประกอบที่ทำให้  
วงจรมีความเร็วในการแปลงผันต่ำสุดได้ถูกวิเคราะห์ รวมถึงวิเคราะห์ความผิดพลาดของวงจรเนื่องจาก  
การฉีกของประจุของนำกระแสของทรานซิสเตอร์ การทะลุผ่านของสัญญาณนาฬิกา และความ  
ผิดพลาดเนื่องจากอัตราขยายของวงจรออปแอมป์ วงจรแปลงผันนี้ได้ถูกออกแบบโดยใช้เทคโนโลยี  
มอสเฟตที่ความยาวของช่องนำกระแส 0.5 ไมครอนจากบริษัท โมลิส โดยใช้แรงดันแหล่งกำเนิด 3.3  
โวลต์ วงจรที่ถูกทดสอบสามารถทำงานได้ที่ 1.25 เมกะเฮิรตซ์ โดยให้ความละเอียดการแปลงผัน 8 บิต  
ด้วยอัตราการใช้ตัวอย่าง 0.15625 เมกะตัวอย่างต่อวินาที

ภาควิชา..... วิศวกรรมไฟฟ้า..... ลายมือชื่อนิสิต..... วาริทธิ์ ลิ้มวิบูลย์  
สาขาวิชา..... วิศวกรรมไฟฟ้า..... ลายมือชื่ออ.ที่ปรึกษาวิทยานิพนธ์หลัก..... Fou Nara  
ปีการศึกษา..... 2553.....

## 5270693021 : MAJOR ELECTRICAL ENGINEERING

KEYWORDS: SWITCHED CAPACITOR / ANALOG TO DIGITAL CONVERTER (ADC) / BINARY CHARGE DIVISION AND CHARGE ACCUMULATION TECHNIQUES

VARIT LIMWIBUL : A DESIGN OF ANALOG TO DIGITAL CONVERTER BASED ON BINARY CHARGE DIVISION AND ACCUMULATION TECHNIQUES ADVISOR : ASSOC. PROF. EKACHAI LEELARASMEE, Ph.D., 64 pp.

This thesis presents a new CMOS architecture for synthesizing a low power Analog to Digital Converter. It is based on binary charge division and charge accumulation techniques to perform successive approximation. By connecting a charged capacitor with an empty divided capacitors of the same capacitance, half of charge is transferred to the latter, leading to a binary charge division. A decision is then made whether to dump the transferred charge or stored it in an accumulating capacitor through a charge accumulator. This combined process of charge division and accumulation can be repeated  $n$  times to implement an  $n$  bit successive approximation analog to digital converter. The circuit is designed to operate in fully differential mode using only 6 equal capacitors, a number of CMOS switches, one operational amplifier and a latch comparator. A distinctive advantage of this technique is in its capability to generate any number of bits without changing its structure. The circuit also tends to be low power as it operates only on charges. Factors determining the minimum conversion time will be analyzed. Effect of charge injection, clock feed through and op-amp finite gain will also be given. The circuit is implemented using 0.5um CMOS technology from MOSIS and operated at 3.3V supply voltage. Testing shows that it can operate at 1.25 MHz clock and yields an 8-bit output with a conversion rate of 0.15625 Msample/sec.

Department: Electrical Engineering Student's Signature: *Varit Limwibul*

Field of Study: Electrical Engineering Advisor's Signature: *Ekachai Leelarasamee*

Academic Year: 2010



## กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้ สำเร็จลุล่วงไปได้ด้วยความช่วยเหลืออย่างยิ่งของ รองศาสตราจารย์ ดร.เอกชัย ลีลาวัศม์ อาจารย์ที่ปรึกษาวิทยานิพนธ์ของข้าพเจ้า ซึ่งได้ให้คำแนะนำและแนวทางในการออกแบบวงจรรวม และขอขอบพระคุณ ผู้ช่วยศาสตราจารย์ วันเฉลิม โปรา ที่ให้สถานที่และคอมพิวเตอร์ในการทำวิจัย อีกทั้งขอขอบพระคุณ อ.บุญช่วย ทรัพย์มณฑล ที่ให้คำแนะนำเกี่ยวกับมอสเฟตและพื้นฐาน

ขอขอบคุณจุฬาลงกรณ์มหาวิทยาลัยที่ให้ความรู้และประสบการณ์ดี ๆ ทั้งด้านวิชาการ ด้านสังคมและอื่นๆ แก่ข้าพเจ้า

ขอกราบขอบพระคุณ บิดา-มารดา ที่อำนวยความสะดวกและเป็นกำลังในการทำงานวิจัยครั้งนี้

ขอขอบคุณคุณพี่ ไพโรจน์ ศิรินามารัตนะ และพี่ๆ จากบริษัท ซิลิกอนกราฟ ที่ช่วยสอนพื้นฐานการออกแบบวงจรรวมและให้คำปรึกษาในปัญหาการออกแบบ

สุดท้ายนี้ขอขอบคุณพี่ๆ เพื่อนๆ น้องๆ ในห้องปฏิบัติการวิจัยการออกแบบและประยุกต์วงจรรวมทุกคน สำหรับความช่วยเหลือ คำแนะนำและความรู้สึกดี ๆ ที่มีให้มาโดยตลอด

ศูนย์วิทยทรัพยากร  
จุฬาลงกรณ์มหาวิทยาลัย

# สารบัญ

หน้า

บทคัดย่อภาษาไทย .....	ง
บทคัดย่อภาษาอังกฤษ .....	จ
กิตติกรรมประกาศ.....	ฉ
สารบัญ .....	ช
สารบัญตาราง.....	ฎ
สารบัญภาพ .....	ฏ
บทที่ 1 บทนำ.....	1
1.1.    ความเป็นมาและความสำคัญในการทำวิจัย .....	1
1.2.    วัตถุประสงค์ของการวิจัย .....	3
1.3.    ขอบเขตของการวิจัย .....	3
1.4.    ประโยชน์ที่คาดว่าจะได้รับ .....	4
1.5.    วิธีดำเนินการวิจัย .....	4
1.6.    ลำดับขั้นตอนในการเสนอผลการวิจัย .....	4
บทที่ 2 หลักการและทฤษฎีที่เกี่ยวข้อง .....	5
2.1.    เทคนิคการประมาณแบบสืบเนื่อง (Successive Approximation Technique) .....	5
2.2.    วงจรแปลงผันสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลแบบการประมาณสืบเนื่องโดย การกระจายประจุใหม่ (Charge Redistribution Successive Approximation Analog-to- Digital Converter).....	6
2.3.    โครงสร้างสวิตช์และตัวเก็บประจุ (Switched-Capacitor Structure) .....	9
2.3.1.    การใช้มอสเฟตทำหน้าที่สวิตช์ (MOSFET as Switch) .....	9

2.3.2. ความเร็วของวงจรสวิตช์และตัวเก็บประจุ (Switched Capacitor Circuits Speed) ..... 10

2.3.3. ความแม่นยำในการทำงานของสวิตช์ (Switched Capacitor Circuits Precision) ..... 11

2.4. วงจรแบ่งครึ่งประจุ (Binary Charge Division Circuit) ..... 13

2.5. วงจรสะสมประจุ (Charge Accumulation Circuit) ..... 14

2.6. สรุปท้ายบท..... 15

บทที่ 3 วงจรแปลงผันแอนะล็อกเป็นดิจิทัลแบบการประมาณสี่บิตโดยใช้หลักการแบ่งครึ่งประจุ และสะสมประจุ (Analog to Digital Converter Circuits based on Binary Charge Division and Charge Accumulation techniques) ..... 16

3.1. โครงสร้างวงจรแปลงผันดิจิทัลเป็นแอนะล็อกต้นแบบ (Digital to Analog Converter Prototype Architecture)..... 16

3.2. จังหวะการทำงานของวงจรแปลงผันดิจิทัลเป็นแอนะล็อกต้นแบบ (Operation of Prototype DAC)..... 18

3.3. วงจรออปแอมป์แบบผลต่างสมบูรณ (Fully-Differential Operational Amplifier) .... 21

3.4. โครงสร้างวงจรแปลงผันแอนะล็อกเป็นดิจิทัลในงานวิจัย (Proposed Analog to Digital Converter Architecture)..... 22

3.5. สรุปท้ายบท..... 23

บทที่ 4 การออกแบบวงจรแปลงผันแอนะล็อกเป็นดิจิทัลโดยใช้เทคนิคการแบ่งครึ่งและสะสมประจุ (Design of Analog to Digital Converter Circuit using Binary Charge Division and Accumulation Techniques)..... 24

4.1. ข้อมูลเบื้องต้นในการออกแบบ (Design Specification)..... 24

4.2. การออกแบบวงจรแปลงผันสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก (Design of Digital-to-Analog Converter Circuit) ..... 25



4.2.1.	การออกแบบวงจรซั๊กตัวอย่างแรงดันอ้างอิง (Design of Reference Voltage Sampling Circuit) .....	25
4.2.2.	การออกแบบวงจรแบ่งครึ่งประจุ (Binary Charge Division Circuit).....	31
4.2.3.	การออกแบบสวิตช์วงจรสะสมประจุ (Design of Charge Accumulation Switches).....	34
4.2.4.	การออกแบบวงจรออปแอมป์ผลต่างสมบูรณ์ (Design of Fully-Differential Operational Amplifier Circuit) .....	36
4.3.	การออกแบบวงจรเปรียบเทียบ (Design of Comparator Circuit) .....	41
4.3.1.	การออกแบบวงจรขยายขาเข้า (Design of Preamplifier Circuit).....	41
4.3.2.	การออกแบบวงจรตัดสินใจระดับสัญญาณ (Design of Decision Circuit) .....	44
4.4.	การออกแบบวงจรแลตช์พลวัต (Design of Dynamic Latch Circuit).....	45
4.5.	การออกแบบวงจรลอจิกควบคุม (Design of Control Logic Circuit).....	46
4.6.	สรุปท้ายบท.....	47
บทที่ 5 พลังงาน ผลการจำลองสถานะชั่วคราวของทั้งระบบ ความไม่เป็นเชิงเส้นผลต่าง และความไม่ เป็นเชิงเส้นผลรวมของวงจร (Power Consumption Overall Transient Simulation Differential Nonlinearity and Integral Nonlinearity of Proposed ADC) .....		48
5.1.	พลังงานในวงจรแปลงผันแอนะล็อกเป็นดิจิทัล (Power Consumption of ADC).....	48
5.2.	ผลการจำลองสถานะชั่วคราวของทั้งระบบ (Overall Transient Simulations) .....	50
5.3.	ผลความไม่เชิงเส้นผลต่างและความไม่เชิงเส้นผลรวมของวงจรแปลงผัน 8 บิต (Differetail Nonlinearity and Integral Nonlinearity of 8 bits Proposed ADC) .....	58
5.4.	สรุปท้ายบท.....	61
บทที่ 6 ข้อสรุปและข้อเสนอแนะ .....		62
6.1.	ข้อสรุป.....	62

6.2. ข้อเสนอแนะ.....	62
รายการอ้างอิง.....	63.
ภาคผนวก.....	64
ประวัติผู้เขียนวิทยานิพนธ์.....	65



ศูนย์วิทยทรัพยากร  
จุฬาลงกรณ์มหาวิทยาลัย

## สารบัญตาราง

หน้า

ตารางที่ 1-1	วงจรแปลงผันแฉะล็อกเป็นดิจิทัลชนิดต่างๆในปัจจุบัน .....	1
ตารางที่ 4-1	ขนาดของทรานซิสเตอร์ในวงจรอปแอมป์หลักในรูปที่ 4-15 .....	37
ตารางที่ 4-2	ขนาดของทรานซิสเตอร์ในวงจรสร้างจุดทำงานรูปที่ 4-16 .....	39
ตารางที่ 4-3	ขนาดของทรานซิสเตอร์ในวงจรป้อนกลับโหมคร่วมรูปที่ 4-17 .....	39
ตารางที่ 4-4	พารามิเตอร์ของทรานซิสเตอร์หนึ่งหน่วยที่ใช้ในการออกแบบวงจรขยายขาเข้า .....	42
ตารางที่ 4-5	ขนาดของทรานซิสเตอร์ในวงจรตัดสินระดับสัญญาณ.....	45
ตารางที่ 4-6	ขนาดของทรานซิสเตอร์ในวงจรผกผันในวงจรแลตซ์พลวัต .....	46
ตารางที่ 5-1	กระแสและกำลังงานในวงจรอปแอมป์ทั้งหมด .....	48
ตารางที่ 5-2	พลังงานที่ใช้ในวงจรแปลงผันแฉะล็อกเป็นดิจิทัลหนึ่งวัฏจักร .....	49

ศูนย์วิทยพัทยากร  
จุฬาลงกรณ์มหาวิทยาลัย

## สารบัญภาพ

	หน้า
รูปที่ 1-1 โครงสร้างโดยรวมของวงจรแปลงผันแบบการประมาณสี่บิต ..... 2	2
รูปที่ 2-1 ภาพแสดงตัวอย่างการประมาณแบบสี่บิต ..... 5	5
รูปที่ 2-2 ผังงานสรุปการทำงานของวงจรแปลงผันแบบสี่บิตเนื่องความละเอียด $n$ บิต ..... 6	6
รูปที่ 2-3 วงจรแปลงผันแบบการประมาณสี่บิตเนื่องที่การกระจายประจุใหม่ ..... 6	6
รูปที่ 2-4 ภาพการทำงานของวงจรแปลงผันแบบกระจายประจุใหม่ 5 บิต ..... 7	7
รูปที่ 2-5 แบบจำลองมอสเฟตชนิดเอ็นในรูปของความต้านทานขณะทำงานอยู่ในโหมดความต้านทานช่วงลึก ..... 9	9
รูปที่ 2-6 รูปแสดงความเร็วและความผิดพลาดในการชักตัวอย่างเมื่อมอสเฟตทำงานในภาวะความต้านทานช่วงลึก ..... 10	10
รูปที่ 2-7 แสดงการไหลของประจุส่วนเกินจากมอสเฟตทั้งสองชนิดขณะกำลังหยุดทำงาน ..... 11	11
รูปที่ 2-8 การเหนี่ยวนำของสัญญาณาฬิกาผ่านตัวเก็บประจุพาราซิติกของมอสเฟต ..... 12	12
รูปที่ 2-9 วงจรแบ่งครึ่งประจุที่ใช้มอสเฟตในโหมดความต้านทานแทนสวิตช์ ..... 13	13
รูปที่ 2-10 วงจรสมประจุที่ใช้มอสเฟตในการทำงานแทนสวิตช์ ..... 14	14
รูปที่ 3-1 โครงสร้างวงจรแปลงผันดิจิทัลเป็นแอนะล็อกต้นแบบที่ประกอบด้วยวงจรแบ่งครึ่งประจุและวงจรสมประจุ ..... 16	16
รูปที่ 3-2 กราฟแสดงตัวอย่างสัญญาณควบคุมวงจรแปลงผันดิจิทัลเป็นแอนะล็อกต้นแบบ ..... 18	18
รูปที่ 3-3 เฟสการชักตัวอย่างของวงจรแปลงผันดิจิทัลเป็นแอนะล็อก ..... 18	18
รูปที่ 3-4 เฟสการแบ่งครึ่งประจุบนระหว่างตัวเก็บประจุ $C_1$ และ $C_2$ ..... 19	19
รูปที่ 3-5 กราฟแสดงตัวอย่างแรงดันบนตัวเก็บประจุ $C_1$ ( $V_1$ ) และ $C_2$ ( $V_2$ ) ..... 19	19
รูปที่ 3-6 รูปการเพิ่มประจุในเฟสการสมประจุโดยการต่อตัวเก็บประจุ $C_2$ เข้ากับขาเข้าวงจรออปแอมป์ตรงซ้ำ ..... 20	20

รูปที่ 3-7 กราฟแรงดันขาออกวงจรแปลงผันดิคิตัลเป็นแอนะล็อกที่มีสัญญาณนาฬิกาควบคุมตาม รูปที่ 3-2 .....	20
รูปที่ 3-8 วงจรออปแอมป์แบบผลต่างสมมาตรที่ใช้ในวงจรสะสมประจุ .....	21
รูปที่ 3-9 บล็อกไดอะแกรมของวงจรแปลงผันในงานวิจัยนี้ .....	22
รูปที่ 3-10 โครงสร้างวงจรโดยรวมของวงจรแปลงผันทั้งหมดในงานวิจัยนี้ .....	23
รูปที่ 4-1 วงจรชั๊กตัวอย่างแรงดันอ้างอิงที่ใช้มอสเฟตแทนสวิทช์ .....	25
รูปที่ 4-2 ผลการจำลองสถานะชั่วคราวผลจากการชั๊กประจุของนำกระแสที่ส่งผลต่อแรงดัน $V_{11}$ บน โนดตัวเก็บประจุ $C_{11}$ .....	27
รูปที่ 4-3 ผลการจำลองสถานะชั่วคราวผลจากการชั๊กประจุของนำกระแสที่ส่งผลต่อแรงดัน $V_{12}$ บน โนดตัวเก็บประจุ $C_{12}$ .....	27
รูปที่ 4-4 ผลการจำลองสถานะชั่วคราวการชั๊กประจุของนำกระแสที่ส่งผลต่อแรงดัน $V_1$ ที่เกิดจาก ผลต่างแรงดัน $V_{11}$ และ $V_{12}$ .....	28
รูปที่ 4-5 ผลการจำลองสถานะชั่วคราวแสดงความเร็วในการชั๊กตัวอย่างของแรงดัน $V_{11}$ .....	29
รูปที่ 4-6 ผลการจำลองสถานะชั่วคราวแสดงความเร็วในการชั๊กตัวอย่างของแรงดัน $V_{12}$ .....	30
รูปที่ 4-7 ผลการจำลองสถานะชั่วคราวแสดงความเร็วในการชั๊กตัวอย่างของแรงดัน $V_1$ .....	30
รูปที่ 4-8 โครงสร้างวงจรแบ่งประจรร่วมโดยตัวเก็บประจุมีค่าเท่ากันทั้งหมด .....	31
รูปที่ 4-9 แสดงการไหลของประจุในสวิทช์มอสเฟต (ก) ขณะเริ่มการแบ่งครึ่งประจุ (ข) ขณะหลัง การแบ่งครึ่งประจุเสร็จสิ้น .....	31
รูปที่ 4-10 ผลการจำลองสถานะชั่วคราวแรงดันบนตัวเก็บประจุจากการแบ่งครึ่งประจุ .....	33
รูปที่ 4-11 ผลการจำลองสถานะชั่วคราวของผลต่างแรงดันบนตัวเก็บประจุ $C_{11}$ และ $C_{12}(V_1=V_{11}-V_{12})$ .....	34
รูปที่ 4-12 โครงสร้างวงจรสะสมประจุที่ใช้มอสเฟตชนิดเอ็นแทนสวิทช์ .....	34
รูปที่ 4-13 การชั๊กประจุจากมอสเฟตสวิทช์ที่ใช้เพิ่มประจุสะสม .....	35



รูปที่ 4-14 การฉีดประจุจากมอสเฟตสวิตช์ที่ใช้ลดประจุสะสม .....	35
รูปที่ 4-15 วงจรออปแอมป์สองระยะที่ใช้ในงานวิจัย .....	38
รูปที่ 4-16 วงจรสร้างจุดทำงานแก่วงจรออปแอมป์หลักใน รูปที่ 4-15 .....	39
รูปที่ 4-17 วงจรป้อนกลับใหม่พร้อม .....	40
รูปที่ 4-18 ผลตอบสนองทางความถี่โดยการจำลองสัญญาณไฟสลับ .....	40
รูปที่ 4-19 ผลตอบสนองการกวาดแรงดันขาเข้าด้านบวกของวงจรถ่ายออปแอมป์ .....	41
รูปที่ 4-20 โครงสร้างวงจรถ่ายขาเข้า (Preamplifier Circuits) .....	42
รูปที่ 4-21 วงจรการหาพารามิเตอร์ทรานซิสเตอร์ .....	42
รูปที่ 4-22 วงจรตัดสินใจระดับสัญญาณ (Decision Circuit) .....	44
รูปที่ 4-23 วงจรแลตช์พลวัต (Dynamic Latch) .....	45
รูปที่ 4-24 รูปแสดงสัญญาณการเปิด/ปิดวงจรถ่ายแลตช์ ( $\phi_{latch}$ ) .....	46
รูปที่ 5-1 รูปบน: กราฟผลต่างแรงดันบนคู่ตัวเก็บประจุ $C_{11}-C_{12}$ ( $V_1$ ) และ $C_{21}-C_{22}$ ( $V_2$ ) .....	50
รูปที่ 5-2 ผลต่างแรงดันขาออกวงจรถ่ายแปลงผันดิจิทัลเป็นแอนะล็อก ( $V_{D/A}$ ) และผลต่างแรงดัน สัญญาณขาเข้าของวงจรถ่ายแปลงผันแอนะล็อกเป็นดิจิทัล ( $V_{in}$ ) มีค่า 200 มิลลิโวลต์ .....	51
รูปที่ 5-3 แรงดันขาออกด้านบวกวงจรถ่ายเปรียบเทียบ ( $V_{comp+}$ ) เมื่อแรงดันขาเข้าเท่ากับ 200มิลลิโวลต์ .....	52
รูปที่ 5-4 สัญญาณดิจิทัลขาออก ( $D_{out}$ ) ซ้อนกับสัญญาณนาฬิกาที่ 2 ( $clk2$ ) เมื่อแรงดันขาเข้า เท่ากับ 200มิลลิโวลต์ .....	52
รูปที่ 5-5 ผลต่างแรงดันขาออกวงจรถ่ายแปลงผันดิจิทัลเป็นแอนะล็อก ( $V_{D/A}$ ) และผลต่างแรงดัน สัญญาณขาเข้าของวงจรถ่ายแปลงผันแอนะล็อกเป็นดิจิทัล ( $V_{in}$ ) มีค่า 400 มิลลิโวลต์ .....	53
รูปที่ 5-6 สัญญาณดิจิทัลขาออก ( $D_{out}$ ) ซ้อนกับสัญญาณนาฬิกาที่ 2 ( $clk2$ ) เมื่อแรงดันขาเข้า เท่ากับ 400มิลลิโวลต์ .....	53

รูปที่ 5-7 กราฟผลต่างแรงดันขาออกวงจรแปลงผันดิจิทัลเป็นแอนะล็อก ( $V_{D/A}$ ) และผลต่างแรงดัน  
 สัญญาณขาเข้าของวงจรแปลงผันแอนะล็อกเป็นดิจิทัล ( $V_{in}$ ) มีค่า 600 มิลลิโวลต์..... 54

รูปที่ 5-8 สัญญาณดิจิทัลขาออก ( $D_{out}$ ) ซ้อนกับสัญญาณนาฬิกาที่ 2 (clk2) เมื่อแรงดันขาเข้า  
 เท่ากับ 600 มิลลิโวลต์ ..... 55

รูปที่ 5-9 กราฟผลต่างแรงดันขาออกวงจรแปลงผันดิจิทัลเป็นแอนะล็อก ( $V_{D/A}$ ) และผลต่างแรงดัน  
 สัญญาณขาเข้าของวงจรแปลงผันแอนะล็อกเป็นดิจิทัล ( $V_{in}$ ) มีค่า 800 มิลลิโวลต์..... 55

รูปที่ 5-10 สัญญาณดิจิทัลขาออก ( $D_{out}$ ) ซ้อนกับสัญญาณนาฬิกาที่ 2 (clk2) เมื่อแรงดันขาเข้า  
 เท่ากับ 800 มิลลิโวลต์ ..... 56

รูปที่ 5-11 รูปบน: กราฟผลต่างแรงดัน  $V_1$  และ  $V_2$  3 วัฏจักรการแปลงผัน, รูปล่าง: กราฟสัญญาณ  
 นาฬิกาที่ 1 ( $\phi_1$ ) และสัญญาณการซีกตัวอย่าง ( $\phi_s$ ) 3 วัฏจักรการแปลงผัน ..... 56

รูปที่ 5-12 กราฟผลต่างแรงดันขาออกวงจรแปลงผันดิจิทัลเป็นแอนะล็อก ( $V_{D/A}$ ) และผลต่างแรงดัน  
 สัญญาณขาเข้าของวงจรแปลงผันแอนะล็อกเป็นดิจิทัล ( $V_{in}$ ) ที่มีค่าเปลี่ยนแปลง ..... 57

รูปที่ 5-13 สัญญาณดิจิทัลขาออก ( $D_{out}$ ) ซ้อนกับสัญญาณนาฬิกาที่ 2 (clk2) เมื่อแรงดันขาเข้ามีค่า  
 เปลี่ยนไป 3 วัฏจักร ..... 57

รูปที่ 5-14 กราฟการถ่ายโอนของวงจรแปลงผัน 8 บิต ..... 58

รูปที่ 5-15 กราฟการถ่ายโอนของวงจรแปลงผัน 8 บิตในช่วงบิต 0 ถึงบิต 60..... 59

รูปที่ 5-16 กราฟการถ่ายโอนของวงจรแปลงผัน 8 บิตในช่วงบิต 60 ถึงบิต 125..... 59

รูปที่ 5-17 กราฟการถ่ายโอนของวงจรแปลงผัน 8 บิตในช่วงบิต 125 ถึงบิต 190..... 60

รูปที่ 5-18 กราฟการถ่ายโอนของวงจรแปลงผัน 8 บิตในช่วงบิต 190 ถึงบิต 255..... 60

รูปที่ 5-19 ความไม่เป็นเชิงเส้นผลต่างและความไม่เป็นเชิงเส้นผลรวม..... 61

# บทที่ 1

## บทนำ

### 1.1. ความเป็นมาและความสำคัญในการทำวิจัย

การสื่อสารของมนุษย์ส่วนใหญ่ ในอดีตอยู่ในรูปสัญญาณแอนะล็อก เช่น สัญญาณวิทยุ สัญญาณเสียง เป็นต้น ทำให้ระบบอิเล็กทรอนิกส์ไฟฟ้า ดั้งเดิมอยู่ในรูปสัญญาณแอนะล็อก แต่ในปัจจุบันมีการพัฒนาการใช้คอมพิวเตอร์และระบบฝังตัว (Computer and Embedded Systems) ซึ่งเป็นอุปกรณ์ที่ใช้สัญญาณดิจิทัลในการประมวลผล (Digital Processing) ดังนั้นเพื่อให้อุปกรณ์เหล่านี้ทำงานร่วมกับ สัญญาณแอนะล็อก ได้ จึงมีการพัฒนาวงจร แปลงผันแอนะล็อก เป็นดิจิทัล (Analog to Digital Converter, ADC) ขึ้น

วงจรแปลงผันสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลเป็นวงจรถูกใช้กันแพร่หลายในระบบ วงจรรวมแบบใหม่ ที่ต้องการความสามารถในการสื่อสารข้อมูล อย่างไรก็ดี ในปัจจุบัน วงจรรวม ต้องการการออกแบบให้มีขนาดเล็ก กินพลังงานต่ำ การออกแบบวงจรแปลงผันสัญญาณดังกล่าว จึงจำเป็นต้องมีการปรับปรุงให้ตอบสนองของความต้องการนั้นมากขึ้น

วงจรแปลงผันสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล (Analog to Digital Converter) มีหลากหลายชนิด ยกตัวอย่างเช่นดังตารางที่ 1-1 ที่แสดงวงจรแปลงผันแอนะล็อกเป็นดิจิทัลบางชนิดที่มีอยู่ในปัจจุบัน และสรุปความสามารถในการทำงานในด้านความเร็ว (Speed) และความแม่นยำในการแปลงผัน (Accuracy)

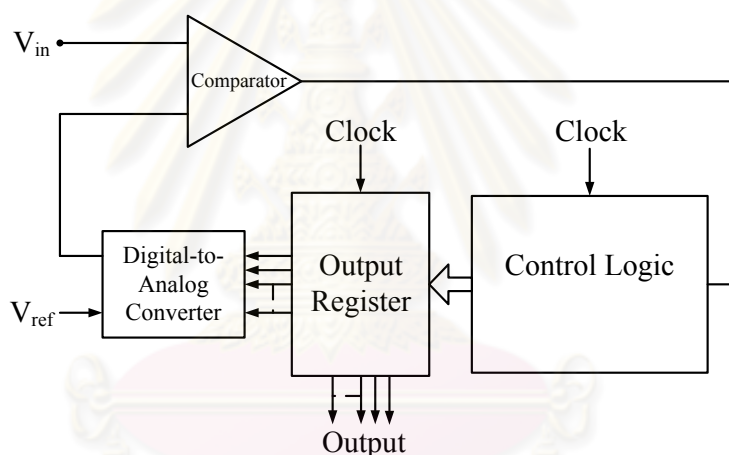
ตารางที่ 1-1 วงจรแปลงผันแอนะล็อกเป็นดิจิทัลชนิดต่างๆในปัจจุบัน

Low-to-Medium Speed, High Accuracy	Medium Speed, Medium Accuracy	High Speed, Low-to-Medium Accuracy
Integrating	Successive Approximation	Flash
Sigma-Delta	Algorithmic	Two-Step
		Pipelined

วงจรแปลงผันในตารางที่ 1-1 มีคุณลักษณะแตกต่างกัน เช่น วงจรแปลงผันสัญญาณแบบแฟลช (Flash) มีข้อดีในเรื่องความเร็วในการแปลงผัน แต่ใช้พลังงานสูงเนื่องจากใช้วงจรอปแอมป์เท่ากับจำนวนบิตข้อมูลที่ต้องการ วงจรแปลงผันสัญญาณแบบอินทิเกรต (Integrating) เป็นวงจรแปลงผันที่มีความละเอียดสูงแต่มีความเร็วต่ำในการทำงานเช่นเดียวกับวงจรแปลงผันแบบซิกมา-เดลต้า (Sigma-Delta)

วงจรแปลงผันแบบการประมาณสี่บิตเป็นวงจรที่มีความเร็ว และความแม่นยำในการแปลงผันปานกลางเมื่อเทียบกับประเภทอื่นๆ และมีองค์ประกอบของวงจรไม่มากนักจึงเป็นที่นิยมใช้ในวงจรรวมต่างๆไปที่ไม่ต้องการใช้ความละเอียดสูง และออกแบบได้ง่าย

โดยทั่วไปวงจรแปลงผันแบบการประมาณสี่บิตมีโครงสร้างดังแสดงในรูปที่ 1-1 และมีหลักการการทำงานในการค้นหาแบบฐานสอง (Binary Search Algorithm) โดยนำสัญญาณแรงดันอ้างอิง (Reference Voltage) มาเปรียบเทียบกับสัญญาณขาเข้าของวงจรแปลงผัน (Input Voltage) ให้ค่าสัญญาณขาออกในรูปสัญญาณดิจิทัล หรือ บิต (Bit)



รูปที่ 1-1 โครงสร้างโดยรวมของวงจรแปลงผันแบบการประมาณสี่บิต

รูปที่ 1-1 แสดงโครงสร้างโดยรวมของวงจรแปลงผันแบบการประมาณสี่บิต ที่ประกอบไปด้วยวงจรแปลงผันดิจิทัลเป็นแอนะล็อก (Digital-to-Analog Converter) วงจรควบคุมลอจิก (Control Logic) วงจรเปรียบเทียบ (Comparator) ซึ่งวงจรแปลงผันดิจิทัลเป็นแอนะล็อกทำหน้าที่สร้างแรงดันเปรียบเทียบ ใหม่ทุกครั้งที่มีการเปรียบเทียบ แรงดันเปรียบเทียบใหม่นั้นถูกนำไปเปรียบเทียบเพื่อให้ได้สัญญาณดิจิทัลผ่านวงจรเปรียบเทียบ และวงจรควบคุมลอจิกมีหน้าที่ ตั้งค่าการทำงานของวงจรแปลงผันดิจิทัลเป็นแอนะล็อก

วงจรแปลงผันแบบการประมาณสี่บิต แบบซีมอส (CMOS) ที่แพร่หลายในปัจจุบันคือ วงจรแปลงผันโดยใช้หลักการ กระจายประจุใหม่ (Charge Redistribution) ซึ่งใช้สวิตช์และตัวเก็บประจุที่ทำการถ่วงน้ำหนักค่าความจุแบบฐานสอง (Binary Weighted Capacitance Capacitors)

(C, C/2, C/4, ..., C/2<sup>n-1</sup>) แทนวงจรแปลงผันดิจิทัลเป็นแอนะล็อก เพื่อสร้างแรงดันเปรียบเทียบใหม่ และมีโครงสร้างเหมือน รูปที่ 1-1 ที่ใช้วงจรเปรียบเทียบในการหาค่าสัญญาณดิจิทัลจากการเปรียบเทียบ โดยในปัจจุบันมีวงจรรวมวงจรแปลงผันแบบนี้ด้วยดังเช่น วงจรรวมเบอร์ TLV571 ของ บริษัท เทคซัสอินสตรูเมนต์ (Texas Instrument Inc.) ที่ให้ความละเอียด 8 บิต มีอัตราการซีกตัวอย่างเท่ากับ 625 กิโลตัวอย่างต่อวินาทีซึ่งมีความเร็วปานกลาง , วงจรรวมเบอร์ AD7653 ที่ให้ควาละเอียด 16 บิต ซึ่งมีความเร็วอัตราการซีกตัวอย่างสูงเท่ากับ 10 เมกะตัวอย่างต่อวินาที รวมถึงวงจรมicroคอนโทรล โคลเลอร์ เบอร์ MSP430F1122 ที่ประกอบด้วยวงจรแปลงผันประมาณแบบ สิบเนื่อง 10 บิต

ข้อดีของวงจรคือ การกินพลังงานต่ำ เนื่องจากการกระจายประจุใหม่ในตัวเก็บประจุไม่สูญเสียพลังงานในการอัดประจุใหม่อีกตลอดการทำงาน แต่มีข้อเสียในการใช้พื้นที่มากหากต้องใช้ ตัวเก็บประจุขนาดใหญ่เพื่อคงค่าประจุและต้องอาศัยความแม่นยำในการผลิตตัวเก็บประจุให้มีค่า ถ่วงน้ำหนักฐานสอง ดังนั้นในวิทยานิพนธ์ฉบับนี้จึงนำเสนอวงจรแปลงผันแอนะล็อกเป็นดิจิทัล แบบการประมาณสิบเนื่องที่ใช้หลักการแบ่งประจุและสะสมประจุ ที่มีส่วนประกอบจาก ค่าความจุ ของตัวเก็บประจุเพียงค่าเดียวในการเพิ่ม/ลด ระดับแรงดัน เปรียบเทียบใหม่ในการเปรียบเทียบแต่ ละครั้ง วิจัยและทดสอบโดยการจำลองวงจรในคอมพิวเตอร์ รวมถึงทำการวิเคราะห์ในด้าน พลังงานและความแม่นยำ

## 1.2. วัตถุประสงค์ของการวิจัย

1. ศึกษาและออกแบบต้นแบบวงจรรวมซีมอส (CMOS) ที่กินพลังงานต่ำ
2. ออกแบบวงจรต้นแบบแปลงผันสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล
3. วิเคราะห์วงจรด้านพลังงาน ความเร็วและความแม่นยำในการแปลงผัน

## 1.3. ขอบเขตของการวิจัย

1. นำเสนอต้นแบบวงจรแปลงผันสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลที่มีความละเอียด 8 บิต โดยใช้ทรานซิสเตอร์ซีมอส (CMOS) เทคโนโลยี 0.5um
2. ศึกษาคุณภาพของวงจรด้านพลังงาน ความเร็วและความผิดพลาดในการแปลงผัน
3. ใช้โปรแกรม Hspice ในการออกแบบและทดสอบวงจรในคอมพิวเตอร์



#### 1.4. ประโยชน์ที่คาดว่าจะได้รับ

1. ได้รับความรู้ในการออกแบบวงจรแอนะล็อกดังนี้
  - วงจรสวิตช์และตัวเก็บประจุ (Switched-Capacitor Circuit)
  - วงจรออปแอมป์ (Operational Amplifier Circuit)
  - วงจรเปรียบเทียบ (Comparator Circuit)
  - วงจรแลตช์ (Latch Circuit)
  - วงจรลอจิก (Logic Circuit)

#### 1.5. วิธีดำเนินการวิจัย

1. ศึกษาโปรแกรม Hspice ในการออกแบบและจำลองวงจร
2. ศึกษาวงจรแปลงผันสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลแบบการประมาณสี่บิต
3. ศึกษาวงจรสวิตช์และตัวเก็บประจุ วงจรออปแอมป์ วงจรเปรียบเทียบ และวงจรลอจิก
4. ออกแบบและทดสอบวงจรแบ่งประจุแบบเลขฐานสอง และวงจรออปแอมป์
5. ออกแบบและทดสอบวงจรเปรียบเทียบ และวงจรลอจิก
6. ออกแบบและทดสอบทั้งระบบวงจรแปลงผันสัญญาณ
7. วิเคราะห์พลังงาน ความเร็วและความแม่นยำของวงจรแปลงผันเปรียบเทียบกับการทำงานจำลอง

#### 1.6. ลำดับขั้นตอนในการเสนอผลการวิจัย

วิทยานิพนธ์นี้แบ่งเนื้อหาออกเป็น 6 บท ดังต่อไปนี้ บทที่ 1 เป็นบทนำซึ่งกล่าวถึงที่มาและความสำคัญของปัญหา วัตถุประสงค์ ขอบเขต รวมทั้งประโยชน์ที่คาดว่าจะได้รับและวิธีดำเนินงานวิจัย บทที่ 2 จะกล่าวถึงหลักการและทฤษฎีที่เกี่ยวข้องกับการวิจัย เช่น เทคนิคการประมาณแบบสี่บิต วงจรแปลงผันแอนะล็อกเป็นดิจิทัลโดยการกระจายประจุใหม่ โครงสร้างสวิตช์และตัวเก็บประจุ ส่วนในบทที่ 3 จะกล่าวถึงโครงสร้างและการทำงานในอุดมคติของวงจรแปลงผันดิจิทัลเป็นแอนะล็อกต้นแบบ รวมถึงโครงสร้างโดยรวมของวงจรที่นำเสนอในงานวิจัยนี้ ในบทที่ 4 กล่าวถึงการออกแบบวงจรแปลงผันแอนะล็อกเป็นดิจิทัลที่นำเสนอ ในด้านพลังงานและผลทดสอบจะแสดงไว้ในบทที่ 5 ข้อสรุปและข้อเสนอแนะจากการดำเนินงานวิจัยนี้ถูกกล่าวไว้ในบทสุดท้าย

## บทที่ 2

### หลักการและทฤษฎีที่เกี่ยวข้อง

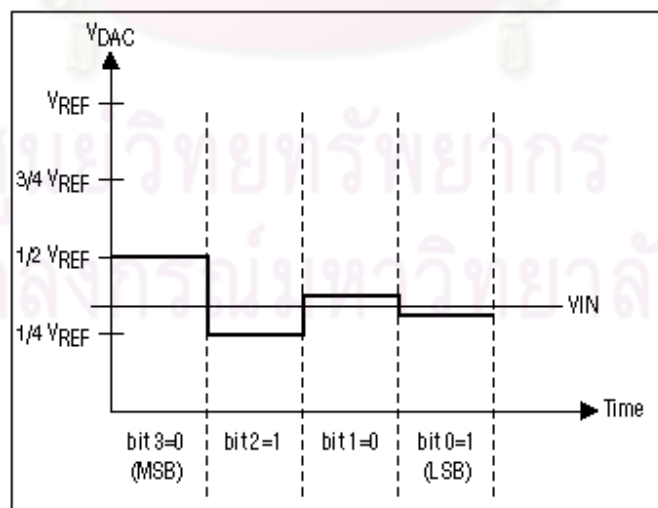
ในการออกแบบวงจรแปลงผันแอนะล็อกเป็นดิจิทัลแบบการประมาณแบบสืบเนื่อง จำเป็นต้องเข้าใจเทคนิคการประมาณแบบสืบเนื่อง (Successive Approximation Technique) ที่ใช้ในการค้นหาระดับแรงดันสัญญาณขาเข้า อีกทั้งวงจรแปลงผันแบบการประมาณสืบเนื่องโดยการกระจายประจุใหม่ (Charge Redistribution Successive Approximation Analog to Digital Converter) ซึ่งนำมาใช้ในวงจรรวมปัจจุบัน รวมถึง วงจรแบ่งประจุ (Charge Division Circuit) วงจรสะสมประจุ (Charge Accumulation Circuit) ที่ใช้ในงานวิจัยนี้จะถูกอธิบายในบทนี้

#### 2.1. เทคนิคการประมาณแบบสืบเนื่อง (Successive Approximation Technique)

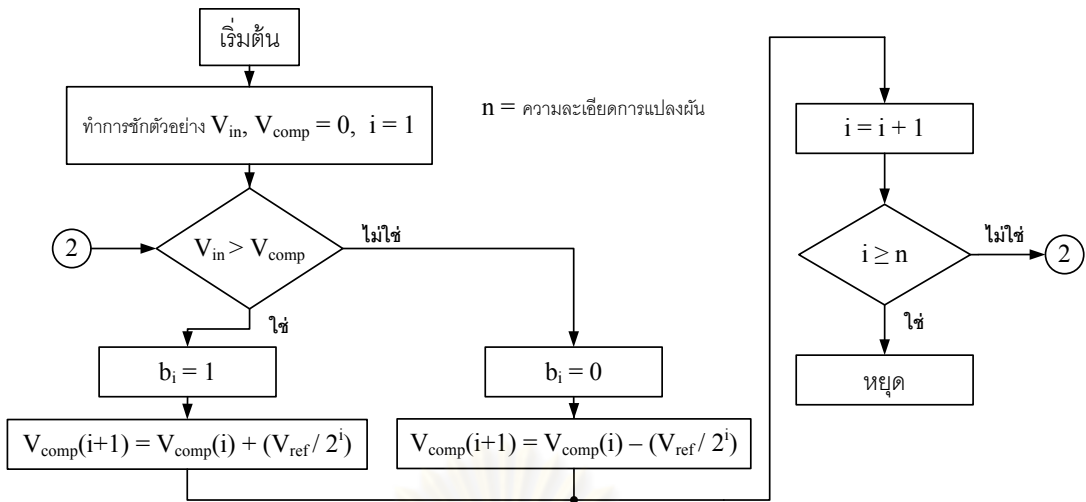
การแปลงผันแรงดันแอนะล็อก ( $V_{in}$ ) เป็นดิจิทัลขนาด  $n$  บิต  $\{b_1, \dots, b_n\}$  ที่มีค่าแรงดันเต็มสเกล ( $V_{ref}$ ) โดยใช้เทคนิคการประมาณแบบสืบเนื่อง ประกอบด้วยขั้นตอน  $n$  ขั้นสำหรับหา  $b_i$  ตั้งแต่  $i=1$  ถึง  $n$  ที่ทำให้

$$\left| V_{in} - \sum_{i=1}^n b_i 2^{n-i} \frac{V_{ref}}{2^{n+1}} \right| \leq \frac{V_{ref}}{2^{n+1}} \quad (2-1)$$

ดังแสดงตัวอย่างในรูปที่ 2-1 และแผนภาพสรุปการทำงานใน รูปที่ 2-2



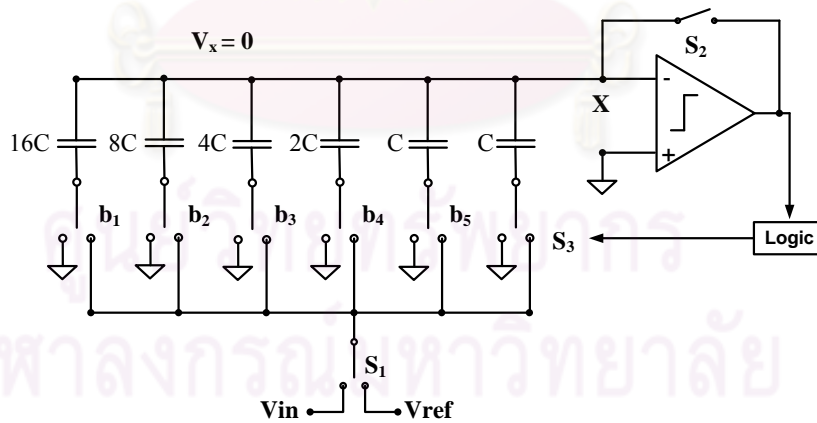
รูปที่ 2-1 ภาพแสดงตัวอย่างการประมาณแบบสืบเนื่อง



รูปที่ 2-2 ผังงานสรุปการทำงานของวงจรแปลงผันแบบสืบเนื่องความละเอียด n บิต

2.2. วงจรแปลงผันสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลแบบการประมาณสืบเนื่อง โดยการกระจายประจุใหม่ (Charge Redistribution Successive Approximation Analog-to-Digital Converter)

วงจรแปลงผันสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลแบบการประมาณสืบเนื่องโดยการกระจายประจุใหม่ ใช้โครงสร้างของสวิตช์และตัวเก็บประจุที่ถ่วงน้ำหนักดังรูปที่ 2-3 เพื่อสร้างแรงดันเปรียบเทียบในการทำเทคนิคแบบการประมาณสืบเนื่องดังที่กล่าวไว้ในหัวข้อ 2.1

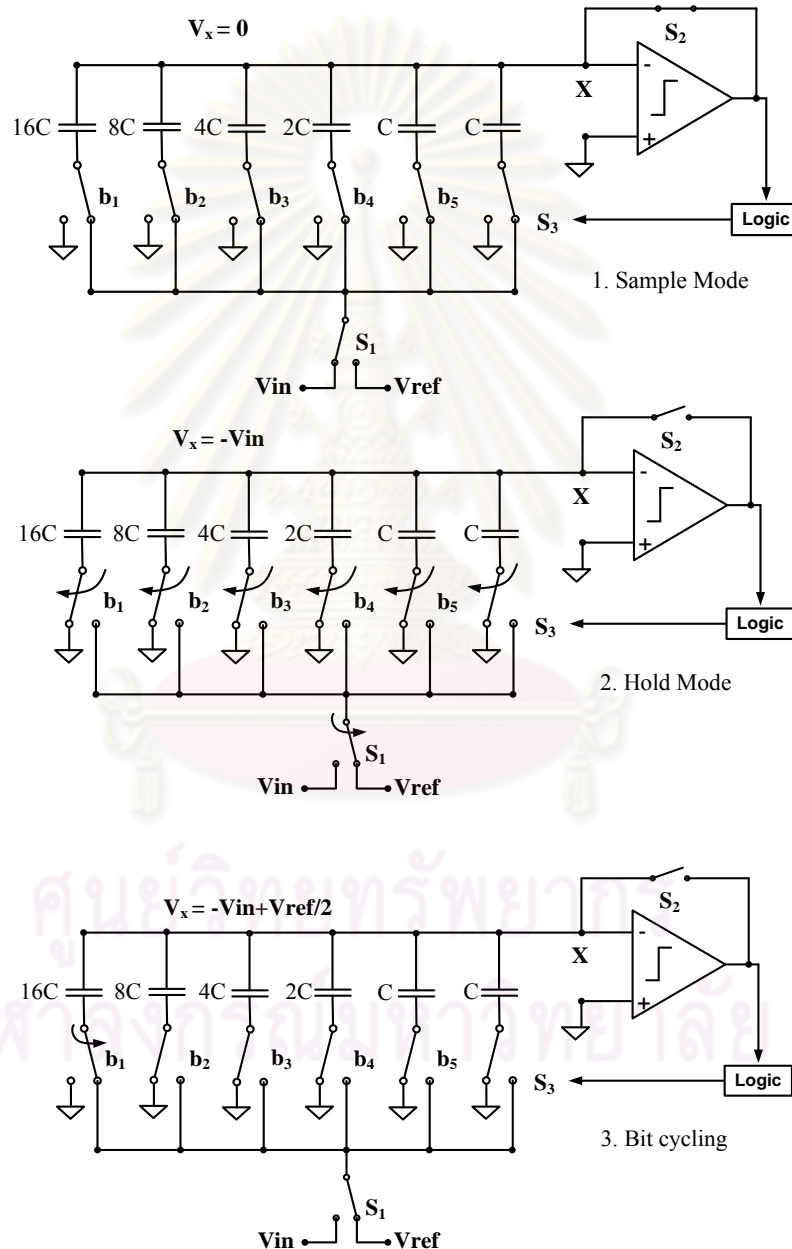


รูปที่ 2-3 วงจรแปลงผันแบบการประมาณสืบเนื่องที่การกระจายประจุใหม่

วงจรแปลงผันชนิดนี้ได้ทำการเพิ่มตัวเก็บประจุที่มีค่าความจุ C อีกตัวหนึ่งเพื่อให้ผลรวมค่าความจุทั้งหมดของวงจรเท่ากับ  $2^n C$  และเพื่อให้แรงดันที่เกิดจากการต่อตัวเก็บประจุแบบขนานหารสองได้ลงตัวพอดี อีกทั้งจำเป็นต้องต่อแรงดันขาเข้าและแรงดันอ้างอิงเข้ากับแผ่นเพลตด้านล่าง (bottom plate) ของตัวเก็บประจุเพื่อลดปัญหาพาราซิติคของสวิตช์ (Parasitic

Capacitance) ที่มีผลต่อแรงดันขาเข้าวงจรเปรียบเทียบ ข้อดีของวงจรแปลงผันชนิดนี้คือมีความซับซ้อนของวงจรมีน้อย (Less Complexity of Circuits) เนื่องจากใช้เพียงสวิตช์และตัวเก็บประจุ วงจรเปรียบเทียบและวงจรควบคุมลอจิก ซึ่งง่ายต่อการออกแบบ

หลักการการทำงานของวงจรเหมือนผังงานในรูปที่ 2-2 แตกต่างเพียงการเปรียบเทียบแรงดันนั้นนำประจุที่มีผลจากแรงดันขาเข้ามากหักล้างกับประจุที่มีผลจากแรงดันอ้างอิง ในตัวเก็บประจุที่ถูกถ่วงน้ำหนักและนำไปเปรียบเทียบกับแรงดันดิน (Ground Voltage) ผ่านวงจรเปรียบเทียบ การทำงานของวงจรมีค่าตามเฟสต่างๆดังแสดงในรูปที่ 2-4



รูปที่ 2-4 ภาวะการทำงานของวงจรแปลงผันแบบกระจายประจุใหม่ 5 บิต

จากรูปที่ 2-4 วงจรลักษณะนี้มีการแบ่งการทำงานออกเป็นเฟสดังต่อไปนี้

1. เฟสการชักรตัวอย่าง (Sample Phase) : ในขั้นแรกทำการชักรตัวอย่างแรงดันขาเข้าเพื่อมานำมาสะสมไว้ในตัวเก็บประจุทั้งหมดและทำให้  $V_x = 0$  โดยการปิดสวิตช์  $S_2$
2. เฟสการคงตัว (Hold Phase) : ในเฟสนี้สวิตช์  $S_2$  ถูกเปิดทำให้วงจรเปรียบเทียบกับเริ่มต้นทำงานและสวิตช์ที่ต่ออยู่กับตัวเก็บประจุทั้งหมดจะถูกทำการสับสวิตช์ไปทางดิน ทำให้แรงดันขาเข้าวงจรเปรียบเทียบกับด้านลบ ( $V_x$ ) มีค่าเท่ากับ  $-V_{in}$  ซึ่งเป็นการคงค่าสัญญาณขาเข้าในตัวเก็บประจุทั้งหมด สุดท้ายจึงทำการสับสวิตช์  $S_1$  ไปยังแรงดันอ้างอิงเป็นการสิ้นสุดเฟสนี้
3. เฟสการแปลงผัน (Bit Cycling Phase) : เป็นเฟสในการแปลงผันบิต โดยการแปลงผันบิตที่มีความสำคัญมากที่สุด (Most Significant Bit,  $b_1$ ) เป็นอันดับแรก โดยการสับสวิตช์ที่ต่อกับตัวเก็บประจุที่มีขนาดความจุมากที่สุดคือ  $16C$  ส่งผลให้แรงดันขาเข้าวงจรเปรียบเทียบกับมีค่าเท่ากับ

$$V_x = -V_{in} + \frac{V_{ref}}{2} \quad (2-2)$$

ซึ่งสัญญาณขาออกของวงจรเปรียบเทียบกับจะขึ้นกับสัญญาณขาเข้าดังนี้

$$V_x < 0 \Rightarrow V_{in} > \frac{V_{ref}}{2} \Rightarrow b_1 = 1 \quad (2-3)$$

$$V_x \geq 0 \Rightarrow V_{in} \leq \frac{V_{ref}}{2} \Rightarrow b_1 = 0 \quad (2-4)$$

วงจรควบคุมลอจิกควบคุมการสับสวิตช์  $b_1 - b_n$  ต่อเนื่องกันเป็นการวนซ้ำจนครบวัฏจักรการแปลงผัน  $n$  ครั้ง และได้สัญญาณดิจิทัลขาออก  $n$  บิต(ในรูปแบบแสดงถึงการแปลงผันสูงสุด 5 บิต)

เนื่องจากทฤษฎีทับซ้อน (Superposition Theory) แรงดันขาเข้าของวงจรเปรียบเทียบกับสามารถเขียนในรูปผลรวมของแรงดันได้คือ

$$V_x = -V_{in} + \sum_{i=1}^n b_i 2^{-i} V_{ref} \quad \text{เมื่อ } b_i = \begin{cases} 1, & V_x^{(i-1)} \leq 0 \\ 0, & V_x^{(i-1)} > 0 \end{cases} \quad (2-5)$$

แรงดัน  $V_x$  ในสมการ (2-5) จะลู่เข้าสู่ศูนย์เนื่องจากการบวกแรงดันอ้างอิงที่ถูกถ่วงน้ำหนักฐานสอง และตัวเก็บประจุที่ใช้ในการทำงานวงจรนี้มีจำนวนขึ้นกับจำนวนบิตขาออกของวงจร ดังนั้นหากจำนวนบิตขาออกมีค่ามาก พื้นที่ในการสร้างตัวเก็บประจุจะมีค่าเพิ่มตามลำดับ



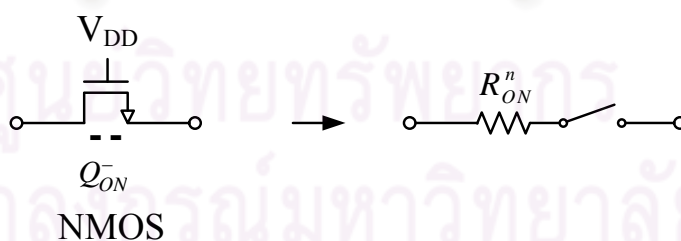
## 2.3. โครงสร้างสวิตช์และตัวเก็บประจุ (Switched-Capacitor Structure)

โครงสร้างสวิตช์และตัวเก็บประจุเป็นส่วนสำคัญของวงจรแปลงผันในงานวิจัยนี้ โดยอาศัยหลักการทำงานของประจุเป็นหลัก ในหัวข้อนี้จะทำการศึกษาลักษณะการทำงานของมอสเฟตทำหน้าที่สวิตช์ ความเร็ววงจรสวิตช์และตัวเก็บประจุ และความแม่นยำของวงจรสวิตช์และตัวเก็บประจุที่ใช้ทรานซิสเตอร์มอสเฟตในการทำสวิตช์ดังนี้

### 2.3.1. การใช้มอสเฟตทำหน้าที่สวิตช์ (MOSFET as Switch)

โครงสร้างสวิตช์และตัวเก็บประจุ ใช้ทรานซิสเตอร์มอสเฟต (Metal-Oxide-Silicon Field Effect Transistor, MOSFET) แทนสวิตช์ในการออกแบบทำให้มีความไม่เป็นอุดมคติ และเนื่องจากช่วงแรงดันขาเข้าแตกต่างกัน ดังนั้นควรเลือกชนิดของมอสเฟตตามช่วงแรงดันขาเข้าที่ใช้ มอสเฟตแบ่งออกเป็นสองชนิด คือ ชนิดเอ็น (NMOS) และ ชนิดพี (PMOS) โดยมอสเฟตชนิดเอ็นทำงานเมื่อสัญญาณนาฬิกาที่ขาเกตของมีค่าสูง (High Clock Voltage,  $V_{DD}$ ) ทำให้เกิดการเหนี่ยวนำประจุลบใต้ขาเกต (Gate) เพื่อเชื่อมต่อระหว่างขาเดรน (Drain) และขาซอส (Source) ส่งผลให้กระแสสามารถไหลผ่านได้หรือทำงานเสมือนสวิตช์นั่นเอง ในทางตรงกันข้ามชนิดพีจะทำงานเมื่อสัญญาณนาฬิกาที่ขาเกตมีค่าต่ำ (Low Clock Voltage, 0) จึงเกิดการเหนี่ยวนำประจุบวกใต้ขาเกต และสามารถนำกระแสได้เช่นเดียวกันกับมอสเฟตชนิดเอ็น

ในการทำงานแบบสวิตช์กำหนดให้แรงดันขาเกตของทรานซิสเตอร์มีค่าเท่ากับแรงดันแหล่งจ่าย ( $V_{DD}$ ) ในมอสเฟตชนิด เอ็น (ในมอสเฟตชนิด พี กำหนดให้ค่าแรงดันขาเกตเท่ากับแรงดันแหล่งจ่ายติดลบ ( $-V_{DD}$ )) เพื่อให้มอสเฟตทำงานในโหมดความต้านทานช่วงลึก (Deep Triode Mode) และสามารถเขียนแบบจำลองได้ดังรูปที่ 2-5



รูปที่ 2-5 แบบจำลองมอสเฟตชนิดเอ็นในรูปของความต้านทานขณะทำงานอยู่ในโหมดความต้านทานช่วงลึก

จากสมการกระแสของทรานซิสเตอร์มอสเฟตขณะทำงานในโหมดความต้านทานสามารถประมาณค่าความต้านทานในรูปที่ 2-5 ได้ดังนี้คือ

$$NMOS : R_{ON}^n \approx \frac{1}{\mu_n C_{ox} \left(\frac{W}{L}\right)_n (V_{DD} - V_{in} - V_{THP})} \quad (2-6)$$

$$PMOS : R_{ON}^p \approx \frac{1}{\mu_p C_{ox} \left(\frac{W}{L}\right)_p (V_{in} + V_{DD} + V_{THP})} \quad (2-7)$$

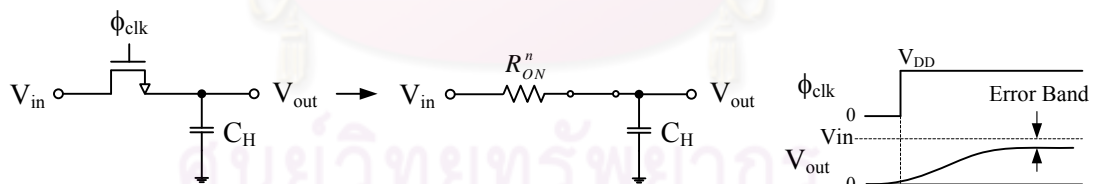
โดยมีประจุที่เกิดจากช่องนำกระแสดังนี้

$$NMOS : Q_{ON}^- = -WLC_{ox} (V_{DD} - V_{in} - V_{THN}) \quad (2-8)$$

$$PMOS : Q_{ON}^+ = +WLC_{ox} (V_{in} + V_{DD} + V_{THP}) \quad (2-9)$$

### 2.3.2. ความเร็วของวงจรสวิตช์และตัวเก็บประจุ (Switched Capacitor Circuits Speed)

เนื่องจากความไม่เป็นอุดมคติ (Non-Ideality) ของตัวเก็บประจุ และความไม่เป็นเชิงเส้น (Non-Linearity) ของมอสเฟต ทำให้แรงดันขาออก ( $V_{out}$ ) ไม่สามารถเปลี่ยนแปลงจนมีค่าเท่ากับแรงดันขาเข้าได้ในทันทีใด ซึ่งความเร็วในการเปลี่ยนแปลงนี้ ถูกกำหนดโดยขนาดของมอสเฟตในการทำสวิตช์ และขนาดของตัวเก็บประจุ ตามค่าคงตัวเวลาของแรงดันขาออกที่เพิ่มขึ้นแบบเอ็กโพเนนเชียล (Exponential Curve) เมื่อมอสเฟตทำงานในโหมดความต้านทานช่วงลึกดังแสดงในรูปที่ 2-6



รูปที่ 2-6 รูปแสดงความเร็วและความผิดพลาดในการชั้กตัวอย่างเมื่อมอสเฟตทำงานในภาวะความต้านทานช่วงลึก

จากสมการที่ (2-6)-(2-7) และรูปที่ 2-6สามารถประมาณค่าคงตัวเวลาได้ดังต่อไปนี้

$$\tau_{out}^n = R_{on}^n C_H = \frac{C_H}{\mu_n C_{ox} \left(\frac{W}{L}\right)_n (V_{DD} - V_{in} - V_{THN})} \quad (2-10)$$

$$\tau_{out}^p = R_{on}^p C_H = \frac{C_H}{\mu_n C_{ox} \left(\frac{W}{L}\right)_p (V_{in} + V_{DD} + V_{THP})} \quad (2-11)$$

สมการที่ (2-10)-(2-11) บ่งบอกถึงความสัมพันธ์ระหว่างความเร็วในการชั้กตัวอย่างกับขนาดของมอสเฟตโดยประมาณ เพื่อนำไปประมาณค่าขนาดมอสเฟตในความสัมพันธ์กับความเร็ว และสามารถหาความผิดพลาดได้คือ

$$Error\ band = \left(1 - \frac{1}{j\omega RC + 1}\right) V_{in} \quad (2-12)$$

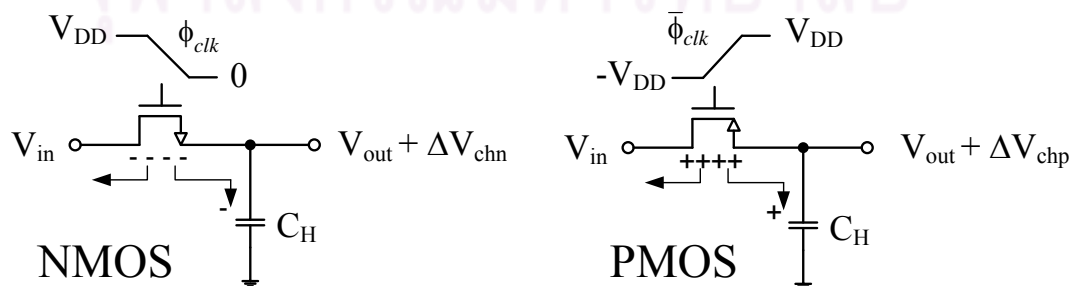
ในสมการ (2-12) แถบความผิดพลาดจะไม่เกิดขึ้นหากสัญญาณขาเข้าของวงจรเป็นสัญญาณไฟตรง (DC Voltage) ทำให้แรงดันขาออกมีค่าเท่ากับแรงดันขาเข้าที่สัญญาณไฟตรงแต่ในทางปฏิบัติ เนื่องจากความไม่เป็นอุดมคติของทรานซิสเตอร์มอสเฟต ส่งผลให้เกิดค่าความผิดพลาดจากประจุในช่องนำกระแส และการทะลุผ่านของสัญญาณนาฬิกาซึ่งกล่าวในหัวข้อถัดไป

### 2.3.3. ความแม่นยำในการทำงานของสวิตช์ (Switched Capacitor Circuits Precision)

จากโครงสร้างสวิตช์และตัวเก็บประจุดังแสดงในรูปที่ 2-6 ใช้ทรานซิสเตอร์มอสเฟตแทนสวิตช์ ส่งผลให้เกิดความผิดพลาดบนตัวเก็บประจุ  $C_H$  ที่เกิดจากความไม่เป็นอุดมคติในการทำงานแบบสวิตช์ของมอสเฟต แบ่งเป็นสองปัจจัยหลักดังต่อไปนี้

#### ก) ผลของการฉีดประจุช่องนำกระแส (Channel Charge Injection)

ผลประจุส่วนเกินจากช่องนำกระแสมีสาเหตุมาจากการฉีดประจุช่องนำกระแสหลังจากทรานซิสเตอร์หยุดทำงานเข้าไปยังตัวเก็บประจุ  $C_H$  ซึ่งประจุช่องนำกระแสคือประจุจากด้านขาคูเดรน (Drain) และด้านขาซอส (Source) ของตัวมอสเฟตที่ใช้เพื่อทำการสร้างช่องนำกระแส (ประจุลบในชนิดเอ็นและประจุบวกในชนิดพี) ดังนั้นเมื่อทำการปิดการทำงานของมอสเฟต ประจุที่นำมาใช้ในช่องนำกระแสก็จะถูกผลักกลับไปทีขาคูเดรน และซอสของมอสเฟตนั่นเอง ส่งผลให้แรงดันขาออกเกิดความผิดพลาดขึ้นตามรูปที่ 2-7



รูปที่ 2-7 แสดงการไหลของประจุส่วนเกินจากมอสเฟตทั้งสองชนิดขณะกำลังหยุดทำงาน

จากสมการ (2-8) และ (2-9) ความผิดพลาดแรงดันบนตัวเก็บประจุ  $C_H$  เนื่องจากการฉีดประจุของนำกระแสคือ

$$NMOS : \quad \Delta V_{chn} = - \frac{WLC_{ox}(V_{DD} - V_{in} - V_{THN})}{2C_H} \quad (2-13)$$

$$PMOS : \quad \Delta V_{chp} = + \frac{WLC_{ox}(V_{in} + V_{DD} + V_{THP})}{2C_H} \quad (2-14)$$

สมการทั้งสองข้างต้นบ่งบอกความสัมพันธ์ของความผิดพลาดกับขนาดมอสเฟต โดยหากเพิ่มขนาดมากขึ้นความผิดพลาดจะเพิ่มขึ้นในทิศทางเดียวกัน ซึ่งตรงกันข้ามกับความเร็วของการชั้ตัวอย่างในสมการที่ (2-10) และ (2-11) ที่ต้องการมอสเฟตขนาดใหญ่ขึ้นหากต้องการความเร็วเพิ่มขึ้น

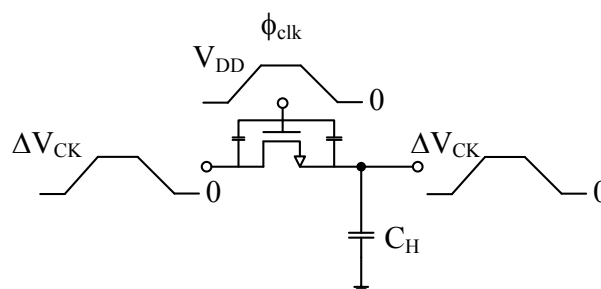
### ข) การทะลุผ่านของสัญญาณนาฬิกา (Clock Feed Through)

ในการสร้างมอสเฟตที่ไม่เป็นอุดมคติ ตัวทรานซิสเตอร์นั้นประกอบไปด้วยตัวเก็บประจุพาราซิติก (Parasitic Capacitors) ระหว่างขาต่างๆของมอสเฟต ดังรูปที่ 2-8 คือตัวเก็บประจุเกต-ซอส (Gate-Source Overlap Capacitors) และ ตัวเก็บประจุเกต-เดรน (Gate-Drain Overlap Capacitors) ซึ่งมีผลเหนี่ยวนำสัญญาณขาออกและสัญญาณขาเข้าให้เพิ่มลดตามสัญญาณนาฬิกาและมีค่าผิดเพี้ยนไป

การเหนี่ยวนำดังกล่าวเกิดขึ้นจากการแบ่งแรงดันระหว่างตัวเก็บประจุพาราซิติกส่วนเกิน ( $C_{overlap}$ ) กับตัวเก็บประจุที่ใช้ในการชั้ตัวอย่าง ( $C_H$ ) โดยขนาดความจุของตัวเก็บประจุพาราซิติกทั้งสองแปรตามขนาดความกว้างของมอสเฟต เขียนเป็นสมการความผิดพลาดแรงดันได้ดังนี้

$$\Delta V_{clk} = V_{clk} \frac{WC_{overlap}}{WC_{overlap} + C_H} \quad (2-15)$$

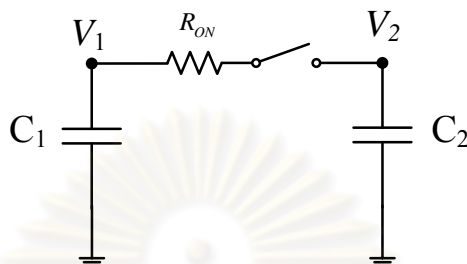
จากสมการที่ (2-15) สามารถลดความผิดพลาดชนิดนี้ได้ จากการลดขนาดความกว้างทรานซิสเตอร์และหรือ เพิ่มขนาดตัวเก็บประจุที่ใช้ชั้ตัวอย่าง ( $C_H$ )



รูปที่ 2-8 การเหนี่ยวนำของสัญญาณนาฬิกาผ่านตัวเก็บประจุพาราซิติกของมอสเฟต

## 2.4. วงจรแบ่งครึ่งประจุ (Binary Charge Division Circuit)

วงจรแบ่งครึ่งประจุมีความสำคัญในการแบ่งครึ่งแรงดันอ้างอิงในรูปการแบ่งครึ่งประจุบนตัวเก็บประจุ วงจรนี้ประกอบไปด้วยตัวเก็บประจุสองตัวต่อเชื่อมกันด้วยทรานซิสเตอร์มอสเฟตที่ถูกจำลองให้ทำหน้าที่เหมือนสวิตช์ที่ไม่เป็นอุดมคติดังรูปที่ 2-9



รูปที่ 2-9 วงจรแบ่งครึ่งประจุที่ใช้มอสเฟตในโหมดความต้านทานแทนสวิตช์

จากรูปที่ 2-9 กำหนดให้ประจุบนตัวเก็บประจุ  $C_1$  ก่อนการปิดสวิตช์มีค่าเท่ากับ  $Q$  และไม่มีประจุบนตัวเก็บประจุ  $C_2$  ดังนั้นแรงดันบนตัวเก็บประจุเป็นไปตามสมการที่ (2-16)

$$V_1^{(0)} = \frac{Q}{C_1}, \quad V_2^{(0)} = 0V \quad (2-16)$$

ถ้าค่าความจุของตัวเก็บประจุทั้งสองมีค่าเท่ากัน ( $C_1 = C_2 = C$ ) เมื่อทำการสับสวิตช์ครั้งที่ 1 ประจุ  $Q$  จะถูกแบ่งครึ่งจากตัวเก็บประจุทั้งสองที่ต่อขนานกันอยู่ แรงดันของตัวเก็บประจุทั้งสองจะถูกแบ่งครึ่งดังนี้

$$V_1^{(1)} = V_2^{(1)} = \frac{Q}{2C} \quad (2-17)$$

หลังจากนั้นเมื่อประจุบนตัวเก็บประจุ  $C_2$  ถูกนำไปใช้หมดไปในการสะสมประจุก่อนการปิดสวิตช์ครั้งที่ 2 การสับสวิตช์ครั้งที่ 2 ส่งผลให้ประจุบนตัวเก็บประจุถูกแบ่งครึ่งอีกครั้ง และเนื่องจากประจุที่สะสมก่อนการแบ่งครึ่งที่ 2 มีค่าน้อยลงกว่าเดิมสองเท่าของประจุเริ่มต้น แรงดันบนตัวเก็บประจุทั้งสองจึงมีค่าดังสมการที่ (2-18)

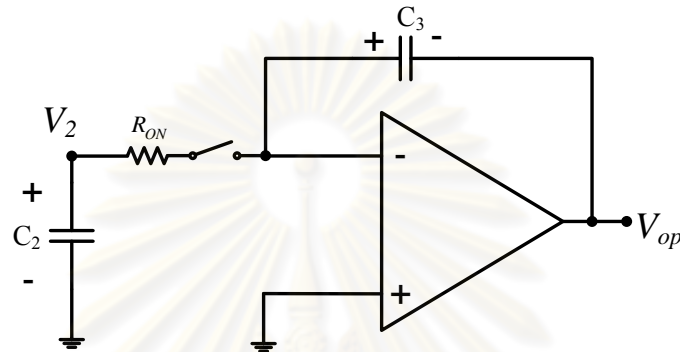
$$V_1^{(2)} = V_2^{(2)} = \frac{Q}{4C} \quad (2-18)$$

ดังนั้นสามารถเขียนความสัมพันธ์แรงดัน  $V_2$  กับการปิดสวิตช์แบ่งประจุครั้งที่  $n$  ได้ดังสมการที่ (2-19) หรือแรงดันบนตัวเก็บประจุ  $C_2$  จะมีค่าเปลี่ยนไปตามแบ่งครึ่งฐานสอง (Binary Charge Division)

$$V_2^{(n)} = \frac{Q}{2^n C} = \frac{V_1^{(0)}}{2^n} \quad (2-19)$$

ดังที่กล่าวไว้ในหัวข้อ 2.1 หากกำหนดให้แรงดันบนตัวเก็บประจุเริ่มต้นเท่ากับแรงดันอ้างอิง ( $V_{ref}$ ) วงจรแบ่งครึ่งจะเป็นส่วนหนึ่งของเทคนิคการประมาณแบบสี่บิตเนื่องเพื่อนำไปใช้ในการแปลงผันต่อไป

## 2.5. วงจรสะสมประจุ (Charge Accumulation Circuit)



รูปที่ 2-10 วงจรสะสมประจุโดยใช้มอสเฟตในการทำงานแทนสวิตช์

วงจรสะสมประจุมีโครงสร้างดังรูปที่ 2-10 ประกอบด้วยตัวเก็บประจุสองตัว ทหรานซิสเตอร์มอสเฟตแทนสวิตช์ และวงจรออปแอมป์ (Operational Amplifier) โดยวงจรจะทำการสะสมประจุโดยใช้หลักการป้อนกลับแบบลบ (Negative Feedback) ของวงจรออปแอมป์ เพื่อสร้างประจุลบที่ขาออกของวงจรออปแอมป์ และคงเสถียรภาพในการย้ายประจุจากตัวเก็บประจุ  $C_2$  (ซึ่งประจุบนตัวเก็บประจุนี้ได้จากการแบ่งครึ่งประจุบนตัวเก็บประจุ  $C_1$ ) ไว้ในตัวเก็บประจุ  $C_3$  แรงดันขาออกของวงจรสะสมประจุนี้จะเปลี่ยนแปลงตามประจุขาเข้าของวงจรออปแอมป์ โดยแรงดันขาออกลดลงเมื่อประจุขาเข้าเป็นลบ หรือแรงดันขาออกเพิ่มขึ้นเมื่อประจุขาเข้าเป็นบวก ดังนั้นหากประจุที่นำมาสะสมเป็นประจุที่ได้จากการแบ่งครึ่งในหัวข้อ 2.4 แรงดันขาออกวงจรจึงมีค่าตามประจุที่นำมาสะสมในตัวเก็บประจุ  $C_3$  ดังสมการที่ (2-20)

$$V_{op} = \pm \frac{V_1^{(0)}}{2} \pm \frac{V_1^{(0)}}{2^2} \pm \dots \pm \frac{V_1^{(0)}}{2^n} \quad (2-20)$$

ในงานวิจัยนี้ใช้หลักการของวงจรแบ่งครึ่งประจุกับวงจรสะสมประจุในการสร้างวงจรแปลงผันดิจิทัลเป็นแอนะล็อก เพื่อสร้างแรงดันเปรียบเทียบใหม่ นำไปเปรียบเทียบกับแรงดันขาเข้าแอนะล็อกที่ต้องการในวงจรเปรียบเทียบต่อไป



## 2.6. สรุปท้ายบท

ในบทนี้กล่าวถึงทฤษฎี หลักการพื้นฐาน และการทำงานทั่วไปของส่วนประกอบสำคัญของวงจรแปลงผันสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลแบบการประมาณต่อเนื่องที่ใช้หลักการแบ่งครึ่งประจุและสะสมประจุ โดยกล่าวถึงเทคนิคการประมาณแบบสลับเนื่อง วงจรแปลงผันแบบการประมาณสลับเนื่องแบบกระจายประจุใหม่ซึ่งมีใช้อยู่วงจรรวมปัจจุบัน รวมถึงหลักการแบ่ง ครึ่งประจุและสะสมประจุที่เป็นหัวใจสำคัญของงานวิจัยนี้ ทั้งนี้ผู้วิจัยทำการศึกษา และจำลองวงจรเหล่านี้ เพื่อศึกษาการทำงาน เพื่อเป็นประโยชน์ในการออกแบบด้วยทรานซิสเตอร์ที่ไม่เป็นอุดมคติ ซึ่งกล่าวถึงในบทต่อไป



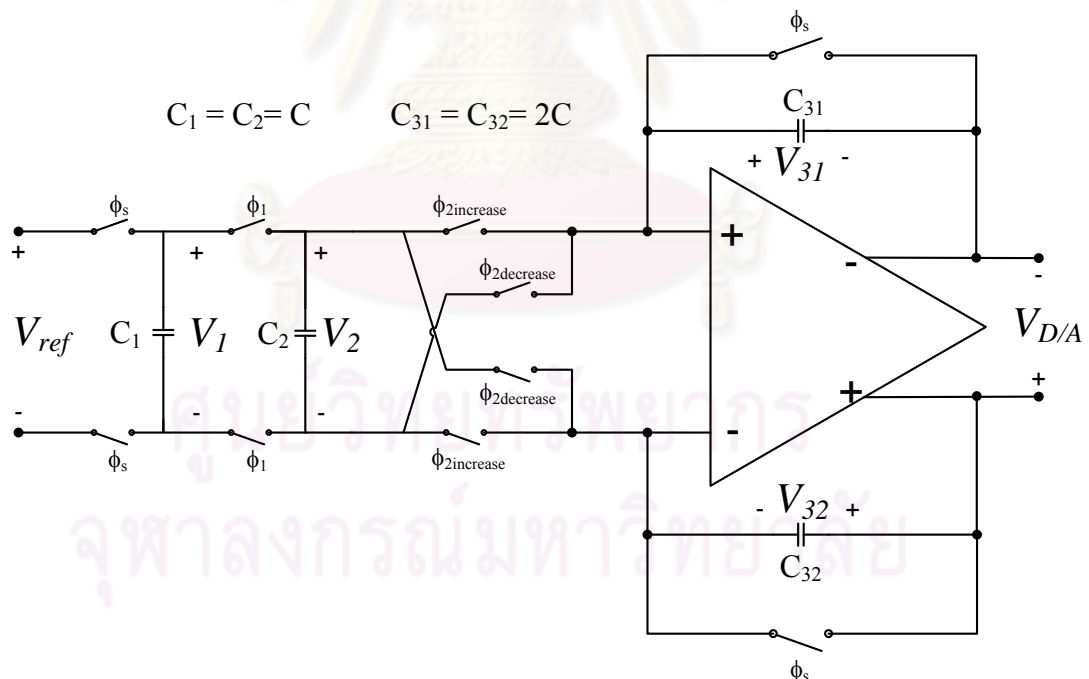
ศูนย์วิทยทรัพยากร  
จุฬาลงกรณ์มหาวิทยาลัย

### บทที่ 3

## วงจรแปลงผันแอนะล็อกเป็นดิจิทัลแบบการประมาณสี่บิตโดยใช้หลักการแบ่งครึ่งประจุและสะสมประจุ (Analog to Digital Converter Circuits based on Binary Charge Division and Charge Accumulation techniques)

ในบทนี้จะกล่าวถึง โครงสร้างและการทำงานของวงจรแปลงผันดิจิทัลเป็นแอนะล็อกต้นแบบ (Digital to Analog Converter Prototype) ที่นำวงจรแบ่งครึ่งประจุและวงจรสะสมประจุมาใช้ในการทำเทคนิคการประมาณแบบสี่บิตเนื่อง รวมถึงวงจรออปแอมป์แบบผลต่างสมบูรณ์ (Fully-Differential Operational Amplifier) ซึ่งเป็นส่วนหนึ่งของวงจรสะสมประจุ เพื่อนำไปสู่การสร้างวงจรแปลงผันแอนะล็อกเป็นดิจิทัลที่น่าเสนอในงานวิจัยนี้ โดยดัดแปลงวงจรแปลงผันดิจิทัลเป็นแอนะล็อกต้นแบบมาเป็นส่วนหนึ่งในการทำงานต่อไป

### 3.1. โครงสร้างวงจรแปลงผันดิจิทัลเป็นแอนะล็อกต้นแบบ (Digital to Analog Converter Prototype Architecture)



รูปที่ 3-1 โครงสร้างวงจรแปลงผันดิจิทัลเป็นแอนะล็อกต้นแบบที่ประกอบด้วยวงจรแบ่งครึ่งประจุและวงจรสะสมประจุ

รูปที่ 3-1 แสดงโครงสร้างโดยรวมของวงจรแปลงผันดิจิทัลเป็นแอนะล็อกต้นแบบในงานวิจัยนี้ซึ่งประกอบด้วยวงจรชั่งตัวอย่างแรงดันอ้างอิง (Voltage Reference Sampling Circuit)

วงจรแบ่งครึ่งประจุ (Binary Charge Division Circuit) และวงจรสะสมประจุ (Charge Accumulation Circuit) ที่มีวงจรออปแอมป์แบบผลต่างสมบูรณ (Fully-Differential Operational Amplifier) เป็นส่วนหนึ่งของวงจร

วงจรชักตัวอย่างในรูปแบบโครงสร้างของสวิตช์และตัวเก็บประจุถูกนำมาใช้ในงานวิจัยนี้ โดยทำการชักตัวอย่างแรงดันอ้างอิงในรูปแบบของประจุสะสมบนตัวเก็บประจุ  $C_1$  ซึ่งสวิตช์การชักตัวอย่างถูกควบคุมโดยสัญญาณนาฬิกาการชักตัวอย่าง ( $\phi_s$ ) ประจุที่ถูกสะสมบนตัวเก็บประจุ  $C_1$  จะถูกนำไปใช้ไปในการแบ่งครึ่งประจุ และไม่มีการอัดประจุใหม่จนกว่าจะครบหนึ่งวัฏจักรการแปลงผันหรือจนกว่าจะมีสัญญาณนาฬิกาการชักตัวอย่างสั่งให้วงจรทำงานอีกครั้ง

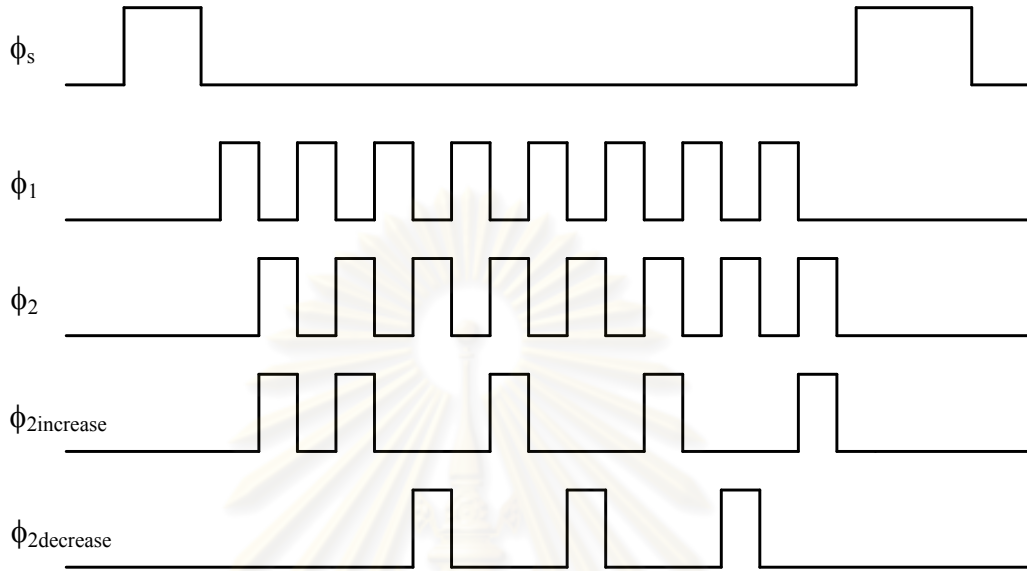
วงจรแบ่งครึ่งประจุในวงจรแปลงผันนี้ ประกอบด้วยตัวเก็บประจุ  $C_1$  และ  $C_2$  ที่มีค่าความจุเท่ากันเพื่อใช้ในการแบ่งครึ่งประจุดังที่กล่าวไว้ในหัวข้อ 2.4 ดังนั้นแรงดันบนตัวเก็บประจุ  $C_2$  จะถูกแบ่งครึ่งจากแรงดันบนตัวเก็บประจุ  $C_1$  ทุกครั้งที่ทำการปิดสวิตช์ตามสัญญาณนาฬิกา  $\phi_1$  ส่งผลให้ประจุที่สะสมในตัวเก็บประจุ  $C_1$  ถูกแบ่งครึ่งแบบฐานสองและมีค่าลดลงเข้าใกล้ศูนย์ในหนึ่งวัฏจักร แรงดันบนตัวเก็บประจุ  $C_2$  นั้นจะถูกนำไปใช้ในการสะสมประจุจนหมดทุกครั้งก่อนเริ่มต้นการแบ่งครึ่งประจุใหม่เพื่อให้เกิดการแบ่งครึ่งประจุอย่างถูกต้อง

วงจรสะสมประจุทำหน้าที่ย้ายประจุที่ถูกแบ่งครึ่งจากตัวเก็บประจุ  $C_2$  ไปเก็บสะสมในตัวเก็บประจุ  $C_{31}$  และ  $C_{32}$  ที่มีค่าความจุเป็นสองเท่าของตัวเก็บประจุ  $C_2$  และเป็นส่วนประกอบการป้อนกลับแบบลบของวงจรออปแอมป์แบบผลต่างสมบูรณ การสะสมประจุถูกควบคุมด้วยสัญญาณนาฬิกา  $\phi_2$  ซึ่งสามารถแบ่งออกเป็นสองประเภท คือ สัญญาณนาฬิกา  $\phi_{2increase}$  ที่ใช้ในการย้ายประจุเพื่อให้แรงดันขาออกวงจรรอแอมป์มีขนาดเพิ่มขึ้นและในทางกลับกันสัญญาณนาฬิกา  $\phi_{2decrease}$  ซึ่งทำให้แรงดันขาออกวงจรรอแอมป์มีค่าลดลง

วงจรแปลงผันดิจิทัลเป็นแอนะล็อกถูกตั้งค่าใหม่ (Reset) ทุกครั้งในการเฟสการเริ่มต้นการแปลงผันหรือเฟสการชักตัวอย่าง โดยตั้งค่าใหม่แก่ตัวเก็บประจุป้อนกลับ  $C_{31}$  และ  $C_{32}$  ผ่านสวิตช์ที่ต่อเชื่อมทั้งสองด้านของตัวเก็บประจุทั้งสองที่ถูกควบคุมด้วยสัญญาณนาฬิกา  $\phi_s$  เพื่อล้างประจุสะสมหลังจากการแปลงผันหนึ่งวัฏจักร และเตรียมการสร้างแรงดันใหม่จากการสะสมประจุในวัฏจักรใหม่

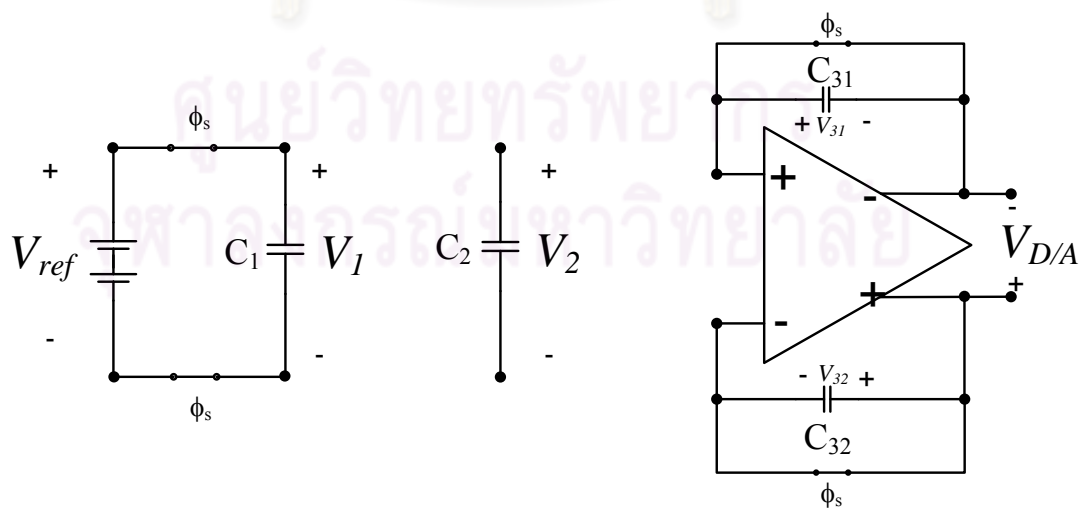
### 3.2. จังหวะการทำงานของวงจรแปลงผันดิจิทัลเป็นแอนะล็อกต้นแบบ (Operation of Prototype DAC)

จากที่กล่าวในหัวข้อ 3.1 กำหนดให้กราฟของสัญญาณนาฬิกาควบคุมมีค่าดังรูปที่ 3-2



รูปที่ 3-2 กราฟแสดงตัวอย่างสัญญาณควบคุมวงจรแปลงผันดิจิทัลเป็นแอนะล็อกต้นแบบ

จากรูปที่ 3-2 เริ่มต้นการแปลงผันด้วยเฟสการซักรตัวอย่าง(เฟสเริ่มต้นวัฏจักร) โดยสวิตช์ที่ถูกควบคุมด้วยสัญญาณนาฬิกา  $\phi_s$  ทำงานและส่งผลให้เกิดการอัดประจุเนื่องจากแรงดันอ้างอิงเข้าไปยังตัวเก็บประจุ  $C_1$  ดังรูปที่ 3-3 โดยเปิดสวิตช์ที่เชื่อมต่อกับตัวเก็บประจุ  $C_2$  รวมถึงทำการตั้งค่าใหม่ตัวเก็บประจุ  $C_{31}$ - $C_{32}$  และวงจรออปแอมป์

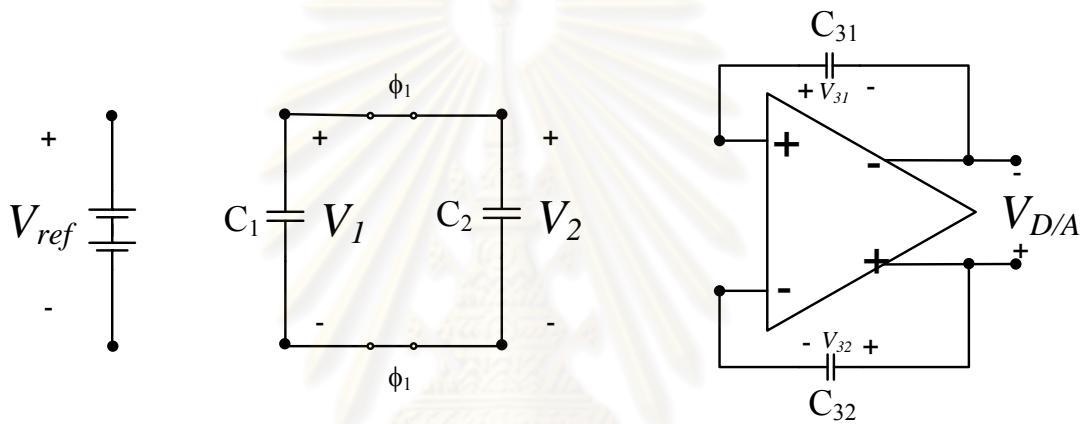


รูปที่ 3-3 เฟสการซักรตัวอย่างของวงจรแปลงผันดิจิทัลเป็นแอนะล็อก

เฟสการแบ่งครึ่งประจุถูกควบคุมด้วยสัญญาณนาฬิกา  $\phi_1$  ที่ทำงานในช่วงสัญญาณนาฬิกาการซีกตัวอย่างผกผัน ( $\bar{\phi}_1$ ) เท่านั้น ดังกราฟรูปที่ 3-2 กำหนดให้สัญญาณนาฬิกา  $\phi_1$  มีความถี่การทำงาน 8 คาบ เพื่อให้ความละเอียดการแปลงผัน 8 บิต ในเฟสนี้วงจรมีการทำงานดังรูปที่ 3-4 โดยถ้าไม่มีประจุบนตัวเก็บประจุ  $C_2$  เมื่อทำการแบ่งครึ่งประจุระหว่างตัวเก็บประจุทั้งสอง แรงดันบนตัวเก็บประจุ  $C_2$  จะเท่ากับแรงดันบนตัวเก็บประจุ  $C_1$  ก่อนเฟสการแบ่งครึ่งประจุหารสองตามสมการที่ (3-1)

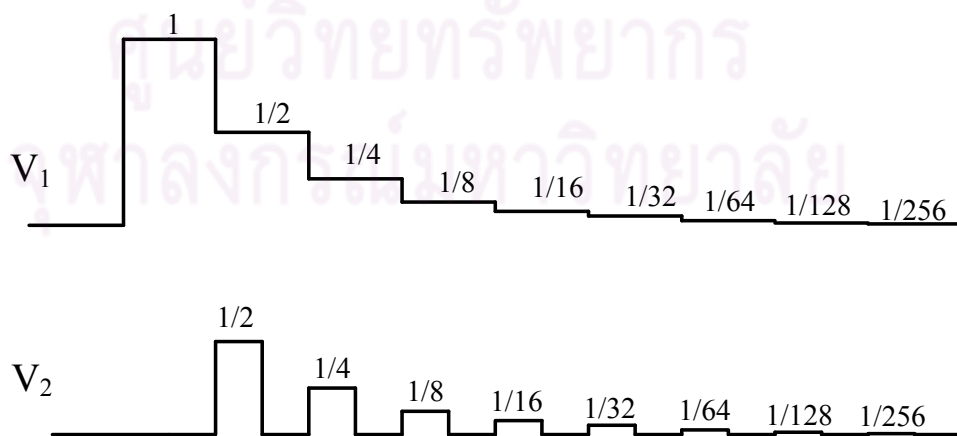
$$V_2^{(i)} = \frac{V_1^{(i-1)}}{2} = \frac{V_1^{(0)}}{2^i} = \frac{V_{ref}}{2^i} \quad \text{when } i = 1, 2, \dots, n \quad (3-1)$$

โดย  $n$  คือจำนวนบิตการแปลงผันในหนึ่งวัฏจักร ดังนั้นมีค่าเท่ากับ 8 ในหัวข้อนี้

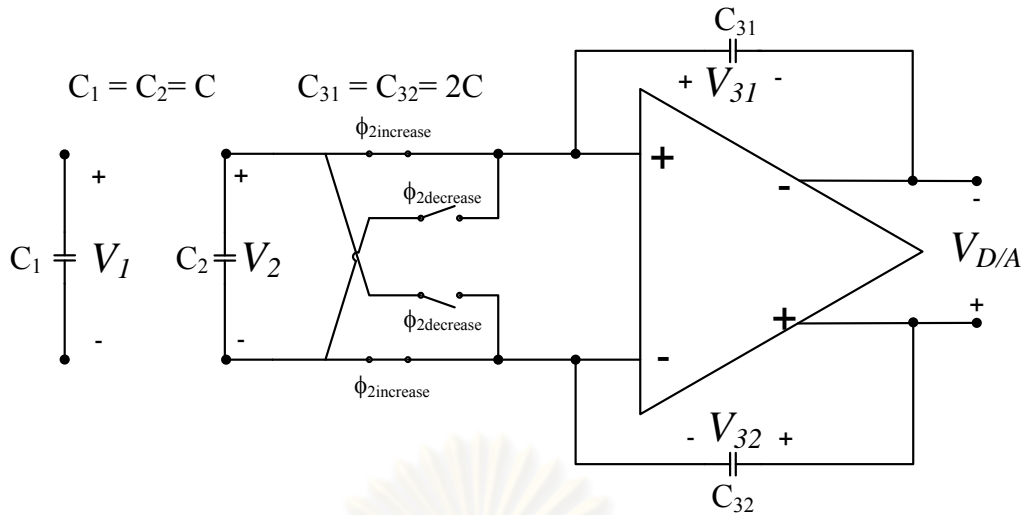


รูปที่ 3-4 เฟสการแบ่งครึ่งประจุบนระหว่างตัวเก็บประจุ  $C_1$  และ  $C_2$

แรงดันตกคร่อมบนตัวเก็บประจุ  $C_1$  และ  $C_2$  สามารถเขียนผลการทำงานในอุดมคติได้ดังแสดงในรูปที่ 3-5 โดยกำหนดให้แรงดันอ้างอิงเริ่มต้นมีค่าเท่ากับ 1 โวลต์



รูปที่ 3-5 กราฟแสดงตัวอย่างแรงดันบนตัวเก็บประจุ  $C_1$  ( $V_1$ ) และ  $C_2$  ( $V_2$ )



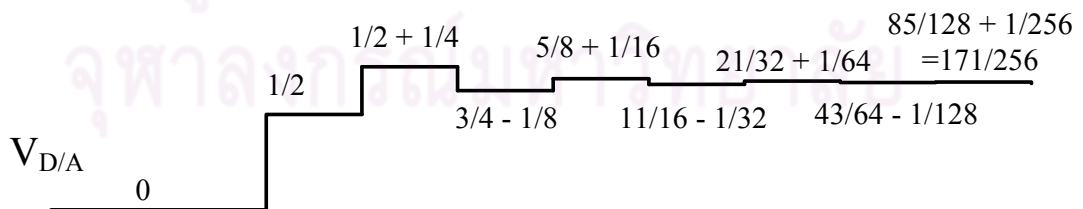
รูปที่ 3-6 รูปการเพิ่มประจุในเฟสการสะสมประจุโดยการต่อตัวเก็บประจุ  $C_2$  เข้ากับขาเข้าวงจร  
 ออปแอมป์ตรงขั้ว

จากรูปที่ 3-6 แสดงเฟสการสะสมประจุโดยการเพิ่มประจุที่ถูกควบคุมด้วยสัญญาณนาฬิกา  $\phi_{2increase}$  ในทางตรงกันข้ามหากต้องการลดประจุในตัวเก็บประจุป้อนกลับ  $C_{31}-C_{32}$  สวิตช์อีกคู่หนึ่งที่ถูกควบคุมด้วยสัญญาณนาฬิกา  $\phi_{2decrease}$  ทำงานแทน โดยสัญญาณทั้งสองจะไม่ทำงานพร้อมกันดังที่ยกตัวอย่างในรูปที่ 3-2

สัญญาณควบคุมทั้งสองมาจากการตัดแปลงสัญญาณนาฬิกา  $\phi_2$  ให้ทำงานตามการป้อนกลับของสัญญาณดิจิทัลขาออกวงจรแปลงผันแอนะล็อกเป็นดิจิทัล ( $D_{out}$ ) ซึ่งมีค่าตามสมการลอจิกดังนี้คือ

$$\phi_{2increase} = (D_{out} \& \phi_2), \quad \phi_{2decrease} = (\overline{D_{out}} + \phi_2) \tag{3-2}$$

ดังนั้นแรงดันขาออกของวงจรออปแอมป์มีค่าเปลี่ยนแปลงตามสัญญาณดิจิทัลที่นำมาป้อนกลับในวงจรแปลงผันดิจิทัลเป็นสัญญาณแอนะล็อกในงานวิจัยนี้ยกตัวอย่างดังรูปที่ 3-7



รูปที่ 3-7 กราฟแรงดันขาออกวงจรแปลงผันดิจิทัลเป็นแอนะล็อกที่มีสัญญาณนาฬิกาควบคุมตาม  
 รูปที่ 3-2



### 3.3. วงจรออปแอมป์แบบผลต่างสมบูรณ์ (Fully-Differential Operational Amplifier)

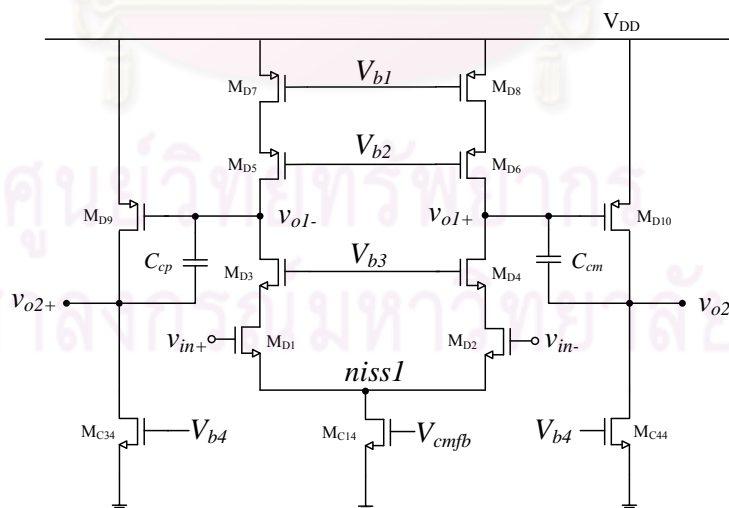
วงจรออปแอมป์แบบผลต่างสมบูรณ์เป็นส่วนหนึ่งของวงจรสะสมประจุที่ใช้ในงานวิจัยนี้ ซึ่งมีโครงสร้างดังรูปที่ 3-8 ประกอบด้วยวงจรออปแอมป์แบบเทเลสโคปิก (Telescopic Op-Amp) ในระยะที่หนึ่ง (First Stage) และวงจรขยายคอมมอนซอร์สที่มีโหลดเป็นแหล่งจ่ายกระแส (Common Source with Active Load) ในระยะที่สอง (Second Stage) ทำงานในรูปแบบคลาสเอ (Class A Op-Amp) และใช้การชดเชยทางด้านความถี่แบบมิลเลอร์โดยต่อตัวเก็บประจุ  $C_{cp}$  และ  $C_{cm}$  ระหว่างขาออกระยะที่หนึ่งกับขาออกระยะที่สองของวงจรออปแอมป์ เพื่อให้วงจรออปแอมป์อยู่ในเสถียรภาพในการทำงาน

อัตราขยายของวงจรที่ใช้มีค่าสูงเนื่องจากการใช้วงจรออปแอมป์สองระยะดังสมการที่ (3-3)

$$A_{V0} = -g_{m1} (g_{m1}r_{o1}r_{o3}) // (g_{m5}r_{o5}r_{o7}) \times -(g_{m9}r_{o9}) \quad (3-3)$$

ช่วงการแกว่งของแรงดันขาออก (Output Voltage Swing) สามารถพิจารณาจากวงจรระยะที่สองของวงจรออปแอมป์ โดยแรงดันต่ำสุดของแรงดันขาออกมีค่าน้อยเท่ากับแรงดันตกคร่อมของแหล่งกำเนิดกระแสคาสโคดที่ทำให้กระแสไหลได้ตามต้องการที่จุดทำงาน และแรงดันขาออกสูงสุดมีค่าน้อยทำให้ทรานซิสเตอร์  $M_9$ - $M_{10}$  ยังทำงานได้ในโหมดอิ่มตัว (Saturation Mode) ช่วงการแกว่งแรงดันขาออกหนึ่งด้านมีค่าอยู่ในช่วงดังต่อไปนี้

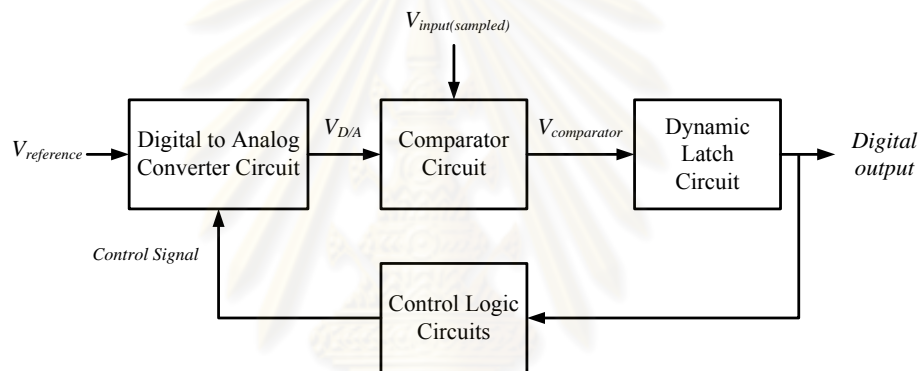
$$V_{OD(MC34)} \leq V_{o2+} \leq V_{DD} - |V_{OD9}| \quad (3-4)$$



รูปที่ 3-8 วงจรออปแอมป์แบบผลต่างสมบูรณ์ที่ใช้ในวงจรสะสมประจุ

### 3.4. โครงสร้างวงจรแปลงผันแอนะล็อกเป็นดิจิทัลในงานวิจัย (Proposed Analog to Digital Converter Architecture)

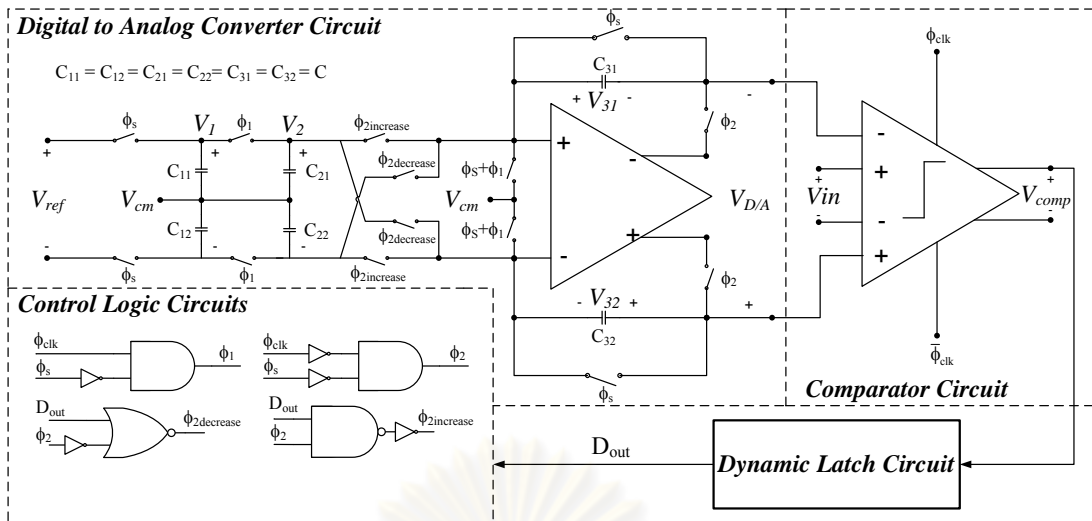
วงจรแปลงผันแอนะล็อกเป็นดิจิทัลแบบการประมาณแบบสลิปเนื่องในงานวิจัยนี้มีบล็อกไดอะแกรมดังรูปที่ 3-9 ประกอบไปด้วยวงจรแปลงผันดิจิทัลเป็นแอนะล็อก (Digital to Analog Converter Circuit) ที่ใช้วงจรแบ่งครึ่งประจุและวงจรสะสมประจุในการทำเทคนิคการประมาณแบบสลิปเนื่อง และถูกควบคุมจากวงจรลอจิกควบคุม (Control Logic Circuits) ที่นำสัญญาณขาออกดิจิทัล (Digital Output) นำมาป้อนกลับเพื่อควบคุมการเพิ่มลดของแรงดันขาออกวงจรแปลงผันดิจิทัลเป็นแอนะล็อก ( $V_{D/A}$ ) การเปรียบเทียบแรงดันทำโดยใช้วงจรเปรียบเทียบ (Comparator Circuit) และทำการปรับระดับแรงดันดิจิทัลขาออกด้วยวงจรแลตช์พลวัต (Dynamic Latch Circuit)



รูปที่ 3-9 บล็อกไดอะแกรมของวงจรแปลงผันในงานวิจัยนี้

โครงสร้างโดยรวมของวงจรแปลงผันทั้งหมดในงานวิจัยนี้ถูกแสดงไว้ในรูปที่ 3-10 โดยวงจรแปลงผันดิจิทัลเป็นแอนะล็อกต้นแบบ (Digital to Analog Converter Circuit) ถูกดัดแปลงให้มีตัวเก็บประจุทั้งหมด 6 ตัวที่มีค่าความจุเท่ากันหมด ( $C_{11}$ - $C_{12}$ ,  $C_{21}$ - $C_{22}$ ,  $C_{31}$ - $C_{32}$ ) โดยคู่ตัวเก็บประจุ  $C_{11}$ - $C_{12}$  เป็นคู่การทำงานในการชักตัวอย่างสัญญาณแรงดันอ้างอิง เพื่อใช้ในการแบ่งครึ่งประจุกับตัวเก็บประจุ  $C_{21}$ - $C_{22}$  ในเฟสการแบ่งครึ่งประจุ ตัวเก็บประจุทั้งสองคู่จะถูกเชื่อมต่อกับแรงดันผลร่วม (Common Mode Voltage,  $V_{cm}$ ) เพื่อให้แรงดันที่ทำงานในวงจรชักตัวอย่างแรงดันอ้างอิง วงจรแบ่งครึ่งประจุ และวงจรสะสมประจุมีระดับการทำงานรอบจุดแรงดันผลร่วม

ประจุที่ได้จากการแบ่งครึ่งบนคู่ตัวเก็บประจุ  $C_{21}$ - $C_{22}$  จะถูกนำไปสะสมในคู่ตัวเก็บประจุ  $C_{31}$ - $C_{32}$  ในเฟสการสะสมประจุ ซึ่งตัวเก็บประจุทั้งสองเป็นตัวเก็บประจุการป้อนกลับแบบลบบนวงจรออปแอมป์แบบผลต่างสมบูรณที่ออกแบบให้ช่วงการทำงานรอบจุดแรงดันผลร่วม (Common Mode Voltage) ดังนั้นแรงดันขาออกวงจรแปลงผันดิจิทัลเป็นแอนะล็อก ( $V_{D/A}$ ) จะแกว่งรอบจุดแรงดันผลร่วม และเปลี่ยนแปลงตามประจุที่สะสมอยู่บนคู่ตัวเก็บประจุ  $C_{31}$ - $C_{32}$



รูปที่ 3-10 โครงสร้างวงจรโดยรวมของวงจรแปลงผันทั้งหมดในงานวิจัยนี้

แรงดันขาออกของวงจรแปลงผันดิจิทัลเป็นแอนะล็อก ( $V_{D/A}$ ) ถูกนำไปใช้ในการเปรียบเทียบกับแรงดันแอนะล็อกขาเข้าของวงจร ( $V_{in}$ ) ในวงจรเปรียบเทียบ (Comparator Circuit) ที่ทำงานตามสัญญาณนาฬิกาหลัก ( $\phi_{clk}$ ) แรงดันที่ได้จากการเปรียบเทียบนั้นถูกนำไปปรับระดับแรงดันโดยใช้วงจรแลตช์พลวัต (Dynamic Latch) เพื่อให้สัญญาณดิจิทัลขาออก ( $D_{out}$ ) นำไปใช้กับวงจรลอจิกควบคุมที่เป็นวงจรดิจิทัลแบบคงตัว (Static Logic) หรือวงจรดิจิทัลทั่วไปได้

การเพิ่มหรือลดประจุในวงจรแปลงผันดิจิทัลเป็นแอนะล็อกนั้นถูกควบคุมด้วยสัญญาณนาฬิกาที่แปรตามสัญญาณขาออกของวงจรเปรียบเทียบ ( $\phi_{2increase} - \phi_{2decrease}$ ) และมีหลักการทำงานดังกล่าวไว้ในหัวข้อ 3.2 ทำให้วงจรแปลงผันทั้งหมดสามารถทำงานได้ถูกต้องและแม่นยำ

### 3.5. สรุปท้ายบท

โครงสร้างวงจรแปลงผันดิจิทัลเป็นแอนะล็อกต้นแบบที่ประกอบด้วยวงจรแบ่งครึ่งประจุและวงจรสะสมประจุเพื่อใช้ในการสร้างระดับแรงดันแอนะล็อกใหม่ในการเปรียบเทียบกับแรงดันแอนะล็อกขาเข้าของวงจรแปลงผันทั้งหมด ได้ถูกอธิบายไว้ในบทนี้ รวมถึงอธิบายจังหวะการทำงานของวงจรแปลงผันดิจิทัลเป็นแอนะล็อกต้นแบบตามการควบคุมของสัญญาณนาฬิกาควบคุมตัวอย่าง และโครงสร้างของวงจรออปแอมป์แบบผลต่างสมบูรณ์ที่เป็นส่วนหนึ่งของวงจรสะสมประจุ

สุดท้ายอธิบายโครงสร้างโดยรวมวงจรแปลงผันแอนะล็อกเป็นดิจิทัล ในงานวิจัยนี้ที่นำวงจรแปลงผันดิจิทัลเป็นแอนะล็อกต้นแบบมาดัดแปลงให้มีตัวเก็บประจุค่าความจุเท่ากัน

## บทที่ 4

### การออกแบบวงจรแปลงผันแอนะล็อกเป็นดิจิทัลโดยใช้เทคนิคการแบ่งครึ่งและ

#### สะสมประจุ (Design of Analog to Digital Converter Circuit using Binary

#### Charge Division and Accumulation Techniques)

การออกแบบวงจรแปลงผันสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลจำเป็นต้องมีการกำหนดสมรรถนะ (Performance) และนำไปออกแบบองค์ประกอบต่างๆของวงจรให้สามารถทำงานได้ตามที่กำหนด ในบทนี้จะกล่าวถึงคุณลักษณะของวงจรแปลงผันรวมทั้งหมด เทคโนโลยีมอสเฟตที่ใช้ในการออกแบบ นำไปสู่การออกแบบองค์ประกอบของวงจรในอันดับต่อไป

#### 4.1. ข้อมูลเบื้องต้นในการออกแบบ (Design Specification)

วงจรแปลงผันในงานวิจัยนี้มีข้อกำหนด (Specifications) ดังต่อไปนี้

- จำนวนบิตแปลงผันสัญญาณ 8 บิต (Output Number of Bits,  $n = 8$ )
- แรงดันอ้างอิงผลต่าง 1 โวลต์ (Differential Reference Voltage,  $V_{ref} = 1V$ ) โดยมีแรงดันอ้างอิงด้านขาบวก ( $V_{ref+}$ ) เท่ากับ 2 โวลต์ ด้านขาลบ ( $V_{ref-}$ ) เท่ากับ 1 โวลต์ แรงดันแหล่งจ่าย ( $V_{DD}$ ) เท่ากับ 3.3 โวลต์ และแรงดันผลรวม ( $V_{cm}$ ) เท่ากับ 1.5 โวลต์
- ความถี่สัญญาณนาฬิกาหลัก 1.25 เมกะเฮิรตซ์ (Main Clock Frequency,  $f_{clk} = 1.25$  MHz) หรือมีคาบสัญญาณนาฬิกาเท่ากับ 0.8 ไมโครวินาที
- กำหนดให้ใช้ตัวเก็บประจุขนาด 1 pF ในวงจรแปลงผันดิจิทัลเป็นแอนะล็อกเพื่อประหยัดพื้นที่ในการออกแบบวงจร รวมถึงเพื่อเพิ่มความเร็วในการทำงาน

จากข้อกำหนดข้างต้นจะได้ว่า 
$$1 \text{ LSB} = \frac{V_{reference}}{2^n} = 3.90625 \text{ mV} \quad (4-1)$$

เพื่อไม่ให้เกิดความผิดพลาดในการตัดสินบิตสัญญาณดิจิทัล เช่น รหัสที่หายไป (Missing Code) วงจรจะต้องมีความผิดพลาดน้อยกว่า 0.5 LSB หรือเท่ากับ 1.953125 mV

สำหรับเวลาทั้งหมดที่ใช้ในการแปลงผันสัญญาณดิจิทัล 8 บิต 1 วัฏจักร คือ

$$\text{Conversion Time} = (n + 2)T_{clk} = \frac{(n + 2)}{f_{clk}} = 8 \mu s \quad (4-2)$$

ทรานซิสเตอร์ที่ใช้ในการออกแบบงานวิจัยนี้ใช้ เทคโนโลยี 0.5 um ของบริษัทโมซิส (MOSIS) [8] แบบจำลองของทรานซิสเตอร์ที่ใกล้เคียงเทคโนโลยีนี้คือ บีซิม 3 รุ่นที่ 3 (BSIM 3 version 3) หรือ ระดับที่ 49 (Level 49) ในโปรแกรม เฮสปิซไปซส์ (Hspice Program)

## 4.2. การออกแบบวงจรแปลงผันสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก (Design of Digital-to-Analog Converter Circuit)

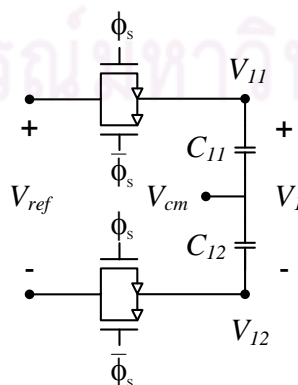
วงจรแปลงผันดิจิทัลเป็นแอนะล็อกในงานวิจัยนี้ประกอบด้วยสามเฟสการทำงานคือ เฟสการชั่งตัวอย่างแรงดันอ้างอิง (Reference Voltage Sampling Phase) เฟสการแบ่งครึ่งประจุ (Binary Charge Division Phase) เฟสการสะสมประจุ (Charge Accumulation Phase) ในหัวข้อนี้จะกล่าวถึงการออกแบบการทำงานของวงจรทั้งสามช่วงโดยใช้ซีมอส ตามข้อกำหนดในหัวข้อ 4.1

### 4.2.1. การออกแบบวงจรชั่งตัวอย่างแรงดันอ้างอิง (Design of Reference Voltage Sampling Circuit)

เนื่องจากโครงสร้างการชั่งตัวอย่างของวงจรมีใช้สวิตช์และตัวเก็บประจุ (Switched Capacitors Structure) และใช้ทรานซิสเตอร์มอสเฟตในการทำสวิตช์ และการคำนวณหาขนาดของมอสเฟตและตัวเก็บประจุนั้นมีปัจจัยสองปัจจัย คือ ความเร็วของการชั่งตัวอย่าง (Sampling Speed) กับ ความผิดพลาดในการชั่งตัวอย่าง (Sampling Error)

ในแง่ของความผิดพลาด อันดับแรกพิจารณาความผิดพลาดที่เกิดจากขีดของประจุของนำกระแสหลังการทำชั่งตัวอย่าง (Charge Injection Error) ซึ่งขึ้นกับขนาดของสวิตช์ที่ใช้ในการทำงาน ดังนั้นความผิดพลาดชนิดนี้จึงเป็นหนึ่งในข้อกำหนดขนาดทรานซิสเตอร์สูงสุดที่ใช้ได้ในการทำสวิตช์เพื่อไม่ให้ค่าความผิดพลาดเกินข้อกำหนดในหัวข้อ 4.1

ดังที่กล่าวไว้ในหัวข้อ 4.1 วงจรแปลงผันดิจิทัลเป็นแอนะล็อกในงานวิจัยนี้ใช้ตัวเก็บประจุ 6 ตัวที่มีค่าความจุเท่ากัน และกำหนดให้ขนาดตัวเก็บประจุแต่ละตัวมีค่าเท่ากับ 1 pF ซึ่งมีค่ามากกว่าค่าความจุพาราซิติค (Parasitic Capacitance) ของทรานซิสเตอร์มอสเฟตที่ใช้สร้างสวิตช์ ดังนั้นจากสมการ (2-16) ความผิดพลาดจากการทะลุผ่านของสัญญาณนาฬิกา (Clock Feed Through Error) จึงสามารถละเลยได้



รูปที่ 4-1 วงจรชั่งตัวอย่างแรงดันอ้างอิงที่ใช้มอสเฟตแทนสวิตช์



จากรูปที่ 4-2 แสดงโครงสร้างของสวิตช์ที่ใช้ในการชักตัวอย่างแรงดันอ้างอิง ซึ่งประกอบด้วยมอสเฟตชนิดเอ็นและชนิดพี เหตุผลที่เลือกใช้มอสเฟตทั้งสองชนิดขนาดนั้นนั้น เพื่อลดค่าความผิดพลาดจากประจุในช่องนำกระแส เนื่องจากการลบล้างของประจุช่องนำกระแสของมอสเฟตทั้งสองชนิด ดังนั้นสามารถหาอัตราส่วนขนาดโดยประมาณของมอสเฟตทั้งสองชนิดจากจับเท่ากันของสมการ (2-13) และ (2-14) สามารถหาอัตราส่วนขนาดของทรานซิสเตอร์ทั้งสองชนิดได้ดังนี้

$$\therefore \frac{(WL)_n}{(WL)_p} = \frac{(V_{in} + V_{DD} + V_{THP})}{(V_{DD} - V_{in} - V_{THN})} \quad (4-3)$$

ในงานวิจัยนี้กำหนดให้ผลต่างแรงดันอ้างอิงมีค่าคือ  $V_{ref+} = 2V$ ,  $V_{ref-} = 1V$  และกำหนดให้ความยาวทรานซิสเตอร์ทั้งสองชนิดมีค่าเท่ากับ  $1 \mu m$

ดังนั้นจากสมการที่ (4-10) ที่แรงดันมาตรฐานขาบวกสามารถหาอัตราส่วนความกว้างได้ (เมื่อละเลยผลของบอดี้ที่ทำให้แรงดันขีดเริ่ม (Threshold Voltage) เปลี่ยนแปลง) คือ

$$\therefore \frac{(W)_{n,ref+}}{(W)_{p,ref+}} = \frac{(2 + 3.3 - 0.9152268)}{(3.3 - 2 - 0.5914358)} = 6.18825 \quad (4-11)$$

และที่แรงดันอ้างอิงขาลบคือ

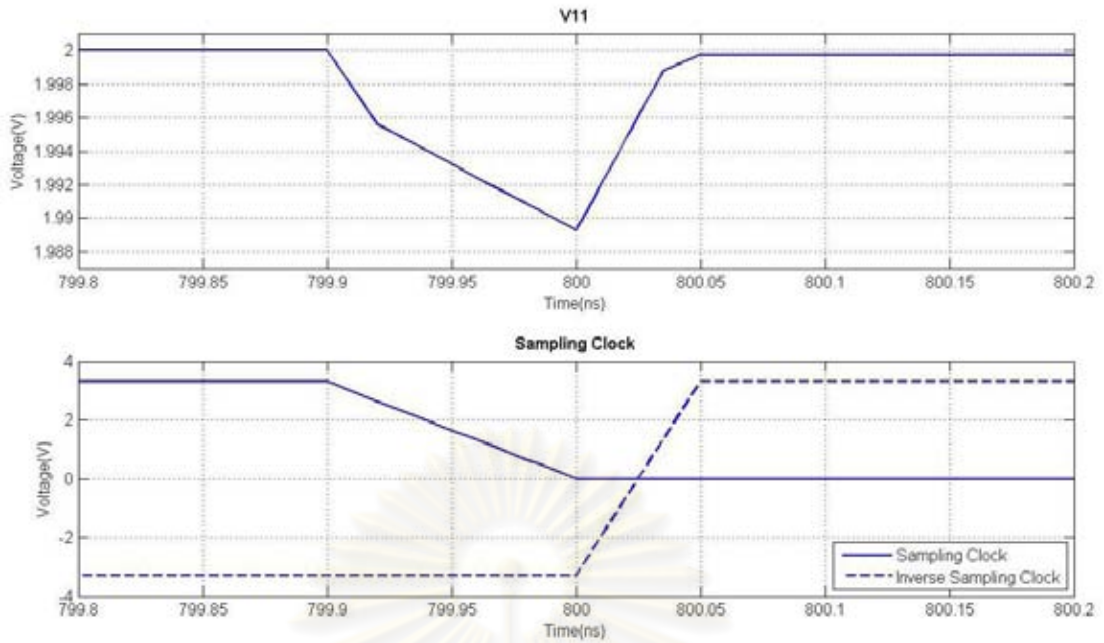
$$\therefore \frac{(W)_{n,ref-}}{(W)_{p,ref-}} = \frac{(1 + 3.3 - 0.9152268)}{(3.3 - 1 - 0.5914358)} = 1.98106 \quad (4-12)$$

โดยค่าที่ได้จากสมการทั้งสองเป็นค่าประมาณเพื่อใช้ในหาค่าขนาดความกว้างทรานซิสเตอร์ในเบื้องต้นเท่านั้น เมื่อทำการทดลองโดยใช้โปรแกรมเอสไปซ์จำลองการชักตัวอย่างเพื่อหาค่าตามสมการ (4-11) และ (4-12) ขนาดความกว้างทรานซิสเตอร์ที่ทำให้ค่าความผิดพลาดเนื่องจากการชักตัวอย่างอยู่ในช่วงที่ยอมรับได้คือ

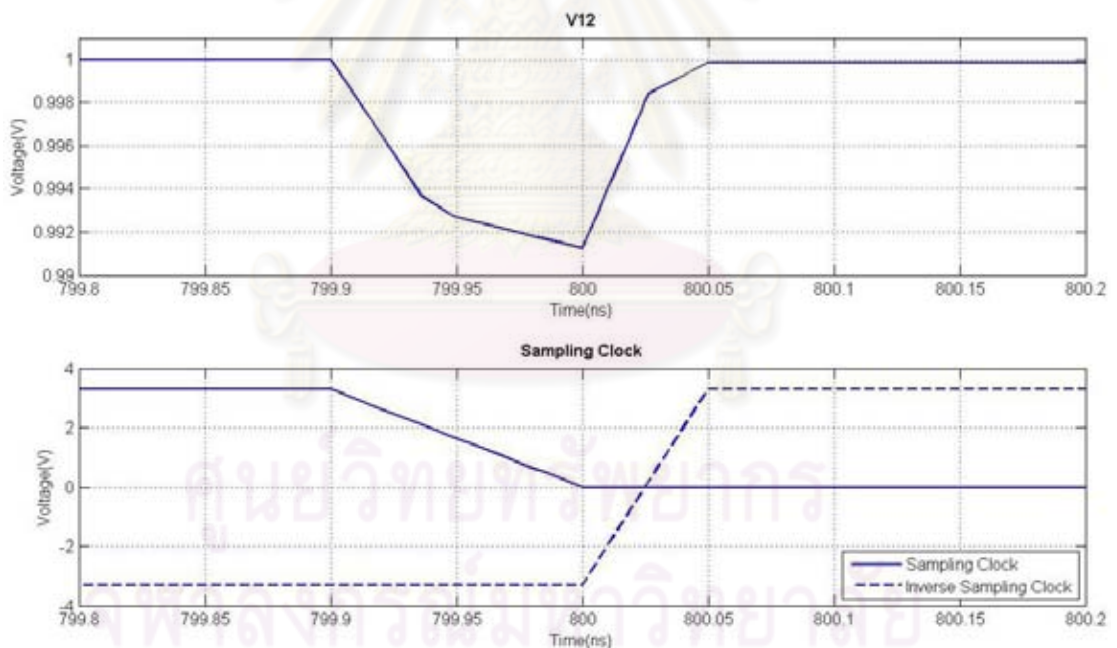
$$\left(\frac{W}{L}\right)_{n,ref+} = \frac{11\mu}{1\mu}, \left(\frac{W}{L}\right)_{p,ref+} = \frac{2\mu}{1\mu}, \left(\frac{W}{L}\right)_{n,ref-} = \frac{4.25\mu}{1\mu}, \left(\frac{W}{L}\right)_{p,ref-} = \frac{2\mu}{1\mu} \quad (4-13)$$

สมการที่ (4-13) มีค่าแตกต่างจากการประมาณในสมการ (4-11) และ (4-12) เนื่องจากแบบจำลองของทรานซิสเตอร์ในโปรแกรมเอสไปซ์มีความซับซ้อนและไม่ตรงกับสมการประจุช่องนำกระแสที่นำมาใช้หาค่าความผิดพลาด ดังนั้นเพื่อลดค่าความผิดพลาดจึงทำการจำลองเพื่อหาขนาดที่ให้ความผิดพลาดน้อยที่สุด โดยผลการจำลองของการฉีดประจุช่องนำกระแสเนื่องจากบนตัวเก็บประจุ  $C_{11}$  และ  $C_{12}$  ได้ถูกแสดงไว้ในรูปที่ 4-2 และ รูปที่ 4-3 ตามลำดับ





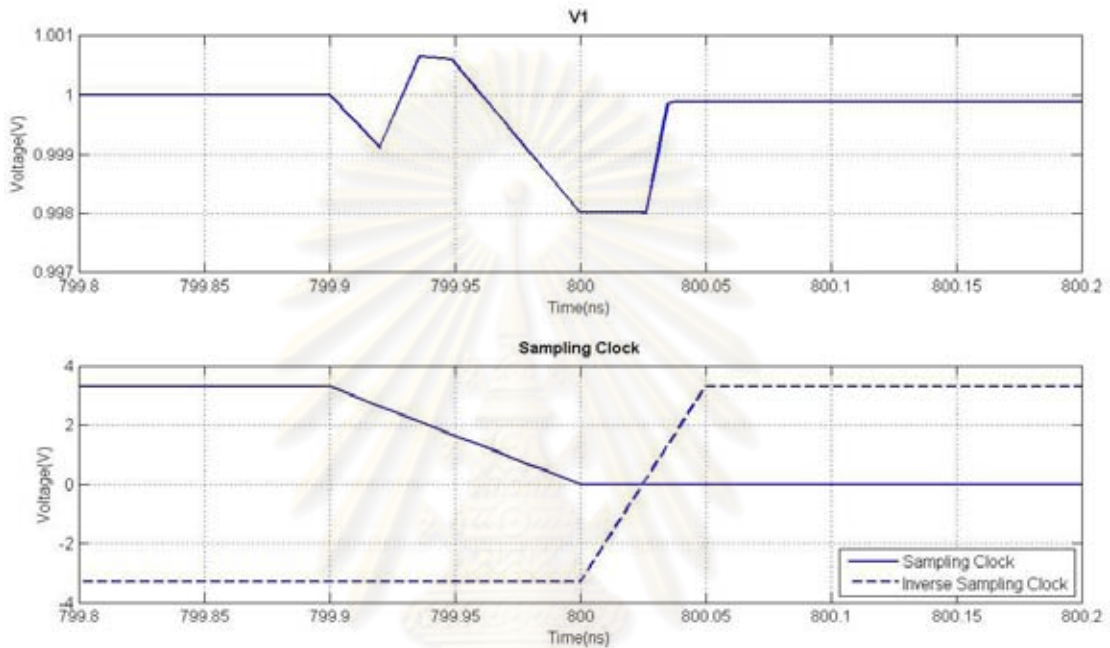
รูปที่ 4-2 ผลการจำลองสถานะชั่วคราวผลจากการฉีดประจุของนำกระแสที่ส่งผลต่อแรงดัน  $V_{11}$  บน โหนดตัวเก็บประจุ  $C_{11}$



รูปที่ 4-3 ผลการจำลองสถานะชั่วคราวผลจากการฉีดประจุของนำกระแสที่ส่งผลต่อแรงดัน  $V_{12}$  บน โหนดตัวเก็บประจุ  $C_{12}$

จากรูปที่ 4-2 และรูปที่ 4-3 แสดงผลการทดลองจากการจำลองแรงดัน  $V_{11}$  และ  $V_{12}$  บน โหนดตัวเก็บประจุ  $C_{11}$  และ  $C_{12}$  ในสถานะชั่วคราว (Transient Simulation) โดยสัญญาณการชักตัวอย่าง ( $\phi_s$ ) มีคาบการทำงานเป็นเวลา 800 นาโนวินาที โดยมีช่วงเวลาระดับ (Fall

Time) เท่ากับ 100 พิโควินาที สัญญาณแรงดัน  $V_{11}$  และ  $V_{12}$  จะลดลงเนื่องจากการขีดประจุในช่องนำกระแส และสัญญาณการชั้กตัวอย่างผกผันมีช่วงเวลากการเพิ่มระดับ (Rise Time) เท่ากับ 50 พิโควินาที แรงดัน  $V_{11}$  และ  $V_{12}$  จะมีค่าเพิ่มขึ้น จากการชดเชยประจุบวกจากช่องนำกระแสแบบที่กลับไปยังตัวเก็บประจุทั้งสองดังแสดงในรูปที่ 4-2 และ รูปที่ 4-3 และเมื่อนำแรงดันทั้งสองมาหาค่าผลต่างจะให้ผลดังรูปที่ 4-4 ซึ่งแรงดันผลต่างบนคู่ตัวเก็บประจุ  $C_{11}$ - $C_{12}$  มีค่าใกล้เคียง 1 โวลต์ หรือแรงดันอ้างอิงผลต่าง



รูปที่ 4-4 ผลการจำลองสภาวะชั่วคราวการขีดประจุของนำกระแสที่ส่งผลต่อแรงดัน  $V_1$  ที่เกิดจากผลต่างแรงดัน  $V_{11}$  และ  $V_{12}$

การพิจารณาความเร็วจะนำค่าขนาดใน (4-13) มาพิจารณาประมาณค่าความเร็วในการชั้กตัวอย่างจากค่าคงตัวทางเวลาดังสมการ (2-11) และ (2-12) โดยค่า  $\mu_n C_{ox} = 111 \mu A/V^2$  และ  $\mu_p C_{ox} = 50.2 \mu A/V^2$  ซึ่งหาได้จากเทคโนโลยีมอสเฟตที่ใช้ในงานวิจัย ดังนั้นค่าความต้านทานเมื่อทรานซิสเตอร์ทำงานอยู่ในช่วงความต้านทานลึกคือ

$$R_{n,ref+} = \frac{1}{\mu_n C_{ox} \left(\frac{W}{L}\right)_n (V_{DD} - V_{ref+} - V_{THN})} = 1.156 k\Omega \quad (4-14)$$

$$R_{p,ref+} = \frac{1}{\mu_p C_{ox} \left(\frac{W}{L}\right)_p (V_{ref+} + V_{DD} + V_{THP})} = 2.272 k\Omega \quad (4-15)$$

และสามารถเขียนสมการประมาณค่าความต้านทานของมอสเฟตที่ต่อขนานที่แรงดันอ้างอิงขาบวกคือ

$$R_{ref+} = R_{n,ref+} // R_{p,ref+} = 0.7662 \text{ k}\Omega \quad (4-16)$$

ดังนั้นสามารถประมาณค่าคงตัวเวลาในการซักรั่วอย่างแรงดันอ้างอิงด้านบวกเมื่อกำหนดให้ใช้ตัวเก็บประจุในการซักรั่วอย่างมีค่า 1 pF คือ

$$\tau_{sampling,ref+} \approx R_{ref+} C_{11} = 0.7662 \text{ ns} \quad (4-17)$$

ในทางตรงกันข้ามสามารถหาความต้านทานด้านแรงดันมาตรฐานขาลบเช่นเดียวกับสมการที่ (4-14) – (4-17) คือ

$$R_{n,ref-} = \frac{1}{\mu_n C_{ox} \left(\frac{W}{L}\right)_n (V_{DD} - V_{ref-} - V_{THN})} = 1.241 \text{ k}\Omega \quad (4-18)$$

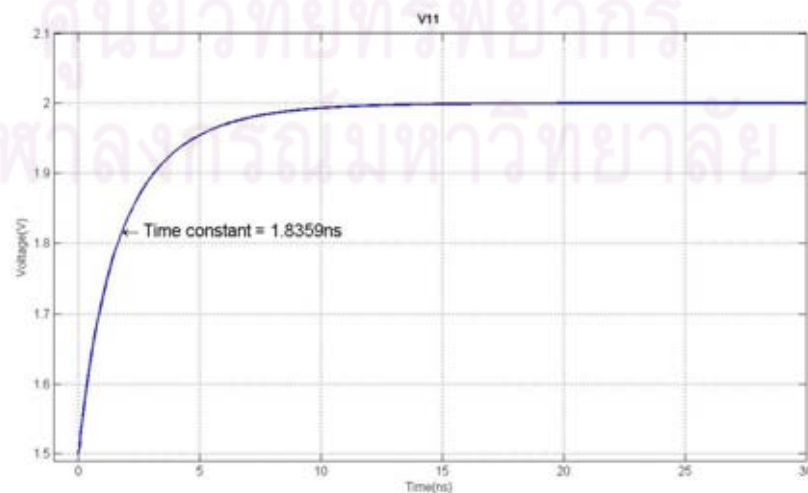
$$R_{p,ref+} = \frac{1}{\mu_p C_{ox} \left(\frac{W}{L}\right)_p (V_{ref+} + V_{DD} + V_{THP})} = 2.943 \text{ k}\Omega \quad (4-19)$$

$$R_{ref-} = R_{n,ref-} // R_{p,ref-} = 0.873 \text{ k}\Omega \quad (4-20)$$

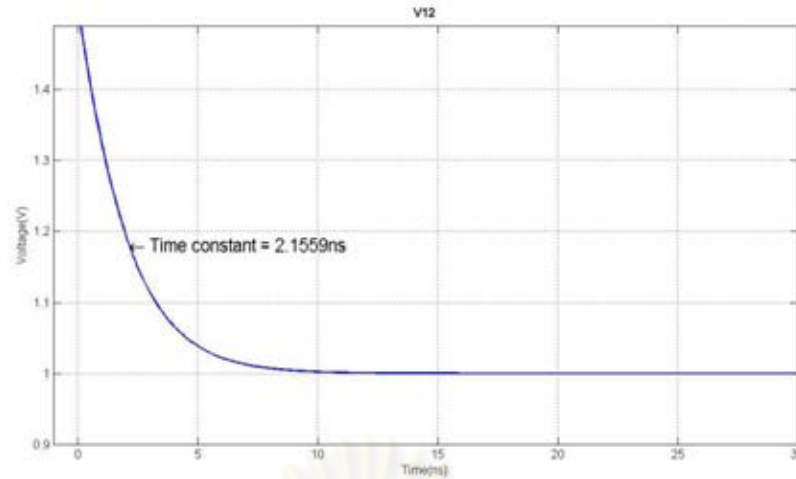
$$\tau_{sampling,ref-} \approx R_{ref-} C_{12} = 0.873 \text{ ns} \quad (4-21)$$

เมื่อเปรียบเทียบสมการ (4-17) และ (4-20) ค่าคงตัวเวลาของวงจรซักรั่วอย่างคือ

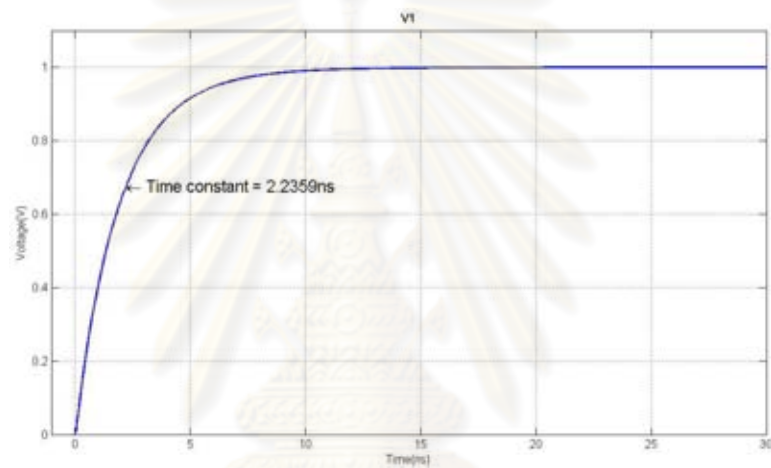
$$\tau_{sampling} \approx 0.873 \text{ ns} \quad (4-22)$$



รูปที่ 4-5 ผลการจำลองสถานะชั่วคราวแสดงความเร็วในการซักรั่วอย่างของแรงดัน  $V_{11}$



รูปที่ 4-6 ผลการจำลองสถานะชั่วคราวแสดงความเร็วในการชั้ตัวอย่างของแรงดัน  $V_{12}$



รูปที่ 4-7 ผลการจำลองสถานะชั่วคราวแสดงความเร็วในการชั้ตัวอย่างของแรงดัน  $V_1$

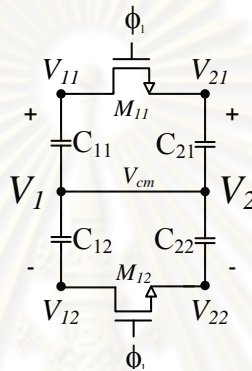
ผลการจำลองสถานะชั่วคราวเพื่อพิจารณาความเร็วของวงจรการชั้ตัวอย่างแสดงในรูปที่ 4-5 ถึง รูปที่ 4-7 โดยค่าคงตัวเวลาในรูปทั้งหมดมีค่าไม่ตรงกับการคำนวณ เนื่องจากทรานซิสเตอร์ที่ใช้ในแบบจำลองมีค่าความเคลื่อนที่ได้ (mobility) ของมอสเฟตมีค่าลดลงตามแรงดันขีดเริ่ม (Threshold Voltage) ที่เปลี่ยนแปลงตามผลของบอดี้ (Body Effect) ดังสมการ (4-23) ทำให้สวิตช์มีความต้านทานมากขึ้น และค่าคงตัวเวลามีค่ามากกว่าที่คำนวณได้ รวมถึงสมการความต้านทานได้จากการประมาณของสมการกระแสทรานซิสเตอร์ระดับต่ำ ดังนั้นผลการคำนวณจึงไม่ตรงกับผลการจำลองสถานะชั่วคราวซึ่งใช้แบบจำลองระดับสูง

$$\mu_{eff} = \frac{\mu_0}{1 + U_a \left( \frac{V_{gs} + V_{th}}{T_{ox}} \right) + U_b \left( \frac{V_{gs} + V_{th}}{T_{ox}} \right)^2 + U_c V_{bs}} \quad (4-23)$$

โดย  $U_a$ ,  $U_b$ ,  $U_c$  เป็นสัมประสิทธิ์ค่าคงตัวจากเทคโนโลยีมอสเฟต

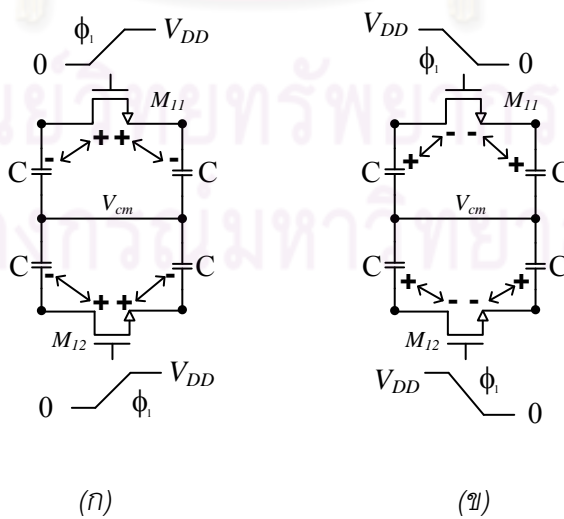
4.2.2. การออกแบบวงจรแบ่งครึ่งประจุ (Binary Charge Division Circuit)

วงจรแบ่งครึ่งประจุใช้ทรานซิสเตอร์มอสเฟตชนิดเอ็นเพียงชนิดเดียวในการทำงาน เนื่องจากแรงดันที่ใช้ในการแบ่งครึ่งประจุมีค่าลดลงและมีค่าไม่คงที่ทุกครั้งที่ในการทำงานหนึ่งวัฏจักร ดังนั้นจึงไม่สามารถใช้ทรานซิสเตอร์ชนิดพี เพื่อชดเชยประจุของนำกระแสได้ดังที่กล่าวไปในหัวข้อการออกแบบวงจรการชักตัวอย่าง วงจรแบ่งครึ่งประจุใช้ตัวเก็บประจุที่มีค่าความจุเท่ากับ 4 ตัวดังรูปที่ 4-8 โดยตัวเก็บประจุ  $C_{11}$  ทำการแบ่งครึ่งประจุกับตัวเก็บประจุ  $C_{21}$  และ ตัวเก็บประจุ  $C_{12}$  แบ่งครึ่งประจุกับตัวเก็บประจุ  $C_{22}$  รวมถึงใช้การต่อเข้าแรงดันผลรวม ( $V_{cm}$ ) เพื่อให้ผลลัพธ์แรงดันที่ถูกแบ่งครึ่งทำงานในช่วงรอบจุดแรงดันผลรวม



รูปที่ 4-8 โครงสร้างวงจรแบ่งประจุร่วมโดยตัวเก็บประจุมีค่าเท่ากันทั้งหมด

ในงานวิจัยนี้กำหนดให้ตัวเก็บประจุมีค่าเท่ากับ 1 พิโคฟารัด ซึ่งมีค่าสูงเทียบกับตัวเก็บประจุพาราซิติคของมอสเฟต ส่งผลให้ความผิดพลาดจากการทะลุสัญญาณนาฬิกามีค่าน้อยเมื่อเทียบกับความผิดพลาดจากการขีดประจุของนำกระแสและถูกละเลยในงานวิจัยนี้



รูปที่ 4-9 แสดงการไหลของประจุในสวิตช์มอสเฟต (ก) ขณะเริ่มการแบ่งครึ่งประจุ (ข) ขณะหลังการแบ่งครึ่งประจุเสร็จสิ้น



การทำงานของมอสเฟตช่วงก่อนการแบ่งครึ่งประจุ มอสเฟตจะทำการดึงประจุลบจากคู่ตัวเก็บประจุเพื่อสร้างช่องนำกระแสในการทำงานดังรูปที่ 4-9 (ก) ดังนั้นแรงดันบนคู่ตัวเก็บประจุจะเพิ่มขึ้นจากเดิมเนื่องจากการเพิ่มประจุบวกเพื่อหักล้างกับประจุลบที่สูญเสียไป หลังจากการแบ่งครึ่งประจุเสร็จสิ้นและทำการปิดสวิทช์มอสเฟตโดยการใส่แรงดันขาเกตต่ำกว่าแรงดันขีดเริ่มทำให้ประจุลบตกค้างในช่องนำกระแสไหลไปยังคู่ตัวเก็บประจุ โดยประจุลบเหล่านี้คือประจุลบเดิมของคู่ตัวเก็บประจุก่อนการทำงานของมอสเฟตนั่นเอง ดังนั้นความผิดพลาดจากการขีดประจุของนำกระแสหลังการแบ่งครึ่งประจุ (รูปที่ 4-9 (ข)) ไม่มีผลต่อแรงดันบนตัวเก็บประจุเมื่อการขีดประจุนั้นกระจายอย่างสม่ำเสมอเท่ากันทั้งสองข้างขาเดรนและขาซอส ตามหลักการไม่หนีหายไปของประจุ

ความเร็วในการแบ่งครึ่งประจุ สามารถหาได้จากแบบจำลองความต้านทานและตัวเก็บประจุเช่นเดียวกับวงจรการชักตัวอย่าง ดังนั้นสามารถประมาณค่าความต้านทานสูงสุดขณะทำงานของมอสเฟต  $M_{11}$  และ  $M_{12}$  ได้เมื่อแรงดันโนดตัวเก็บประจุ  $C_{11}$ - $C_{12}$  มีค่ามากที่สุดเท่ากับแรงดันอ้างอิงดังต่อไปนี้

$$R_{M11(Max)} = \frac{1}{\mu_n C_{ox} \left(\frac{W}{L}\right)_n (V_{DD} - V_{ref+} - V_{THN})} \quad (4-24)$$

$$R_{M12(Max)} = \frac{1}{\mu_n C_{ox} \left(\frac{W}{L}\right)_n (V_{DD} - V_{ref-} - V_{THN})} \quad (4-25)$$

และเนื่องวงจรแบ่งประจรร่วมสามารถเป็นโครงสร้างตัวเก็บประจุสองตัวต่ออนุกรมกัน ดังนั้นสามารถหาค่าคงตัวเวลาได้คือ

$$\tau_{M11(Max)} = \frac{C/2}{\mu_n C_{ox} \left(\frac{W}{L}\right)_{M11} (V_{DD} - V_{ref+} - V_{THN})} \quad (4-26)$$

$$\tau_{M12(Max)} = \frac{C/2}{\mu_n C_{ox} \left(\frac{W}{L}\right)_{M12} (V_{DD} - V_{ref-} - V_{THN})} \quad (4-27)$$

และประมาณค่าขนาดอย่างน้อยที่สุดของทรานซิสเตอร์ เมื่อกำหนดให้ค่าคงตัวทางเวลามีค่าเท่ากับ 8 ns หรือ น้อยกว่า 50 เท่าของครึ่งคาบสัญญาณนาฬิกาได้ดังนี้

$$\therefore \left(\frac{W}{L}\right)_{M11} \geq \frac{C/2}{(\mu_n C_{ox})(\tau_{M11(Max)})(V_{DD} - V_{ref+} - V_{THN})} \approx 0.7946 \quad (4-28)$$



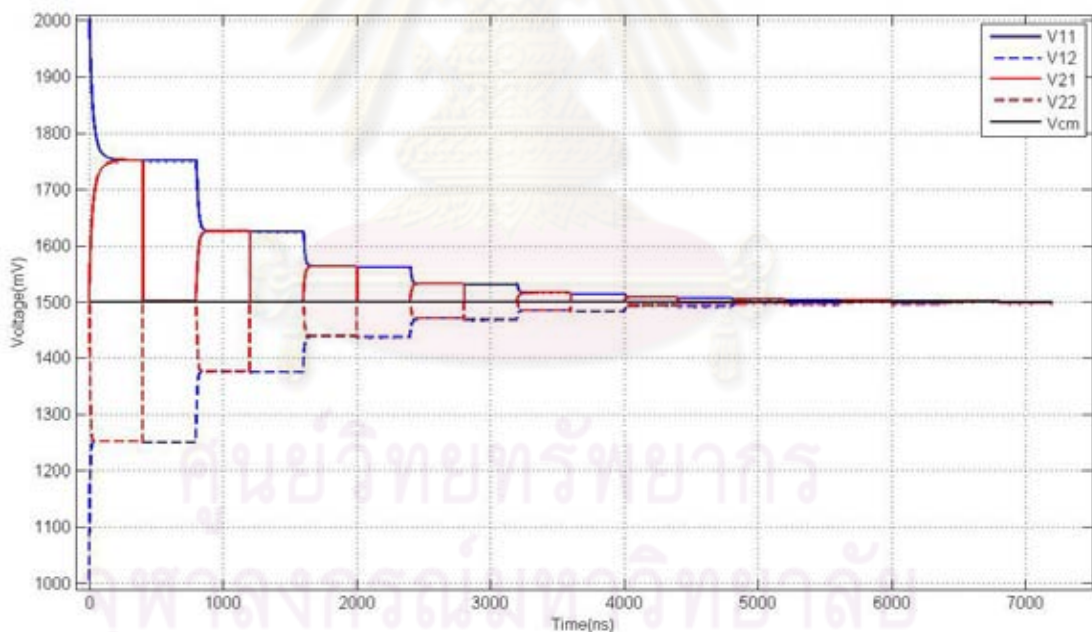
$$\therefore \left(\frac{W}{L}\right)_{M12} \geq \frac{C/2}{(\mu_n C_{ox})(\tau_{M12(Max)})(V_{DD} - V_{ref-} - V_{THN})} \approx 0.330 \quad (4-29)$$

จากสมการ (4-28) และ (4-29) อัตราส่วนขนาดทรานซิสเตอร์อย่างน้อย คือ 0.7946

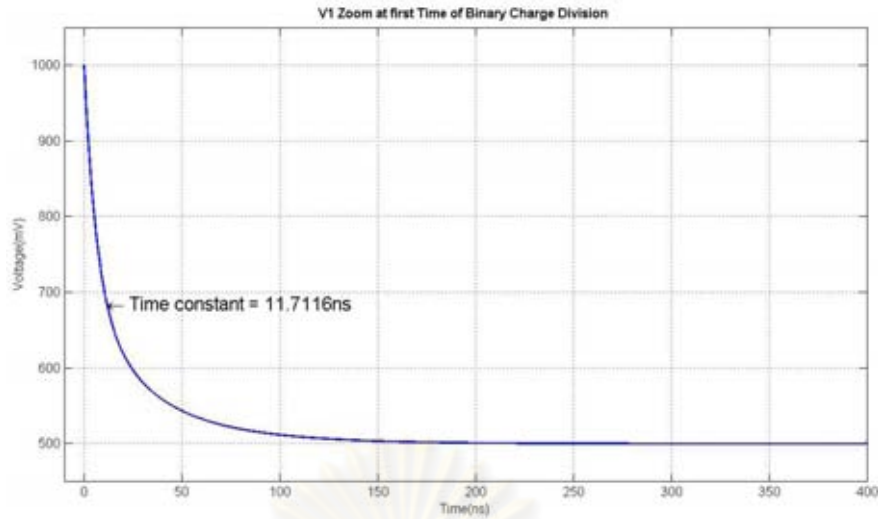
ในการจำลองดังเช่นในวงจรชักตัวอย่าง ความเร็วในการทำงานของวงจรไม่เท่ากับการคำนวณ ซึ่งค่าคงตัวเวลาในการจำลองจะมากกว่าที่คำนวณได้ ดังนั้นจึงใช้ขนาดทรานซิสเตอร์ใหญ่กว่าที่คำนวณ โดยในงานวิจัยนี้ใช้ขนาดทรานซิสเตอร์คือ

$$\left(\frac{W}{L}\right)_{11} = \left(\frac{W}{L}\right)_{12} = \frac{1.65 \mu}{1 \mu} \quad (4-30)$$

รูปที่ 4-10 แสดงผลแรงดัน  $V_{11}$ ,  $V_{12}$ ,  $V_{21}$  และ  $V_{22}$  จากการแบ่งครึ่งประจุ ซึ่งใช้วงจรรอบปแอมป์แบบผลต่างสมบรูณ์และสวิตช์ที่ใช้ในการสะสมประจุในอุดมคติในการดึงประจุจากตัวเก็บประจุ  $C_{21}$  และ  $C_{22}$  ทำให้แรงดัน  $V_{21}$ - $V_{22}$  มีค่าลดลงสู่แรงดันผลรวม  $V_{cm}$  ซึ่งมีค่าเท่ากับ 1.5 โวลต์ ในด้านแรงดัน  $V_{11}$  ลดลงจากแรงดันเดิม 2 เท่า และมีค่าคงที่ขณะทำการสะสมประจุ (ยกตัวอย่างเช่นช่วงเวลา 400-800 นาโนวินาที ในรูปที่ 4-10)



รูปที่ 4-10 ผลการจำลองสภาวะชั่วคราวแรงดันบนตัวเก็บประจุจากการแบ่งครึ่งประจุ

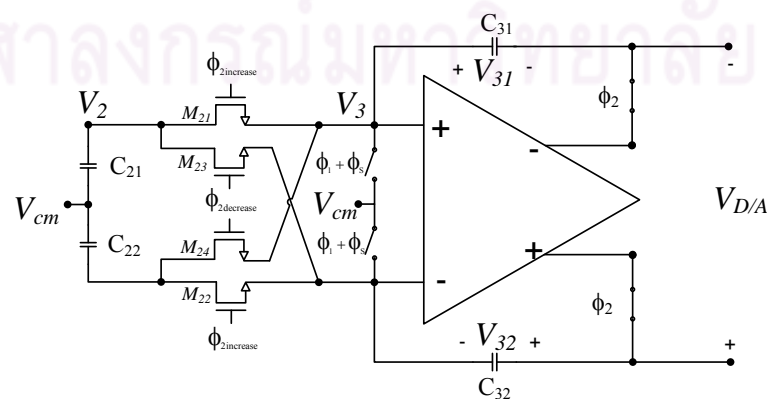


รูปที่ 4-11 ผลการจำลองสถานะชั่วคราวของผลต่างแรงดันบนตัวเก็บประจุ  $C_{11}$  และ  $C_{12}$  ( $V_1 = V_{11} - V_{12}$ )

รูปที่ 4-11 แสดงผลการจำลองสถานะชั่วคราวของผลต่างแรงดันบนตัวเก็บประจุ  $C_{11}$  และ  $C_{12}$  ที่ขยายผลการจำลองในช่วงระยะเวลาการแบ่งครึ่งประจุครั้งแรกที่ใช้เวลาในการทำงานมากที่สุด ในขณะที่วัฏจักรการแปลงผัน และเป็นตัวกำหนดความเร็วในการแบ่งครึ่งประจุของวงจร ซึ่งมีความค่าคงตัวเวลามากกว่าที่ทำการออกแบบเนื่องจากการใช้สมการระดับต้นในการคำนวณประมาณค่าคงตัวเวลาไม่ตรงกับในการจำลองของโปรแกรมเอสไปร์ที่ใช้สมการระดับสูง

#### 4.2.3. การออกแบบสวิตช์วงจรสะสมประจุ (Design of Charge Accumulation Switches)

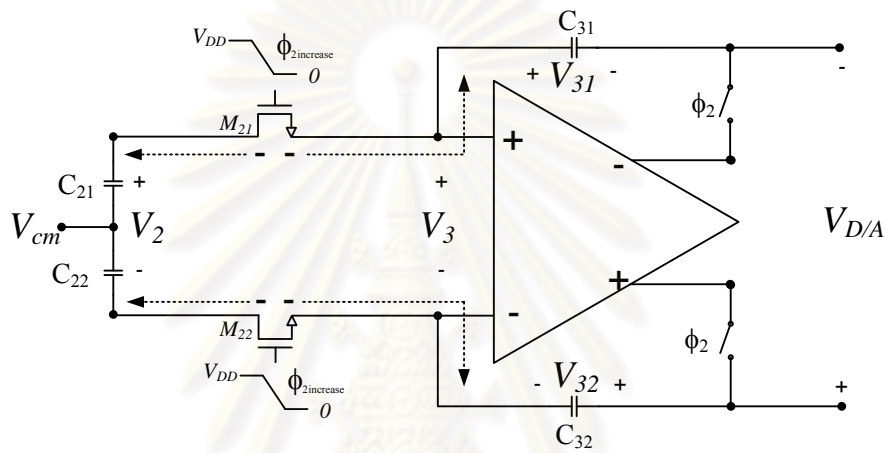
วงจรสะสมประจุประกอบไปด้วยวงจรออพแอมป์แบบผลต่างสมมูลและสวิตช์ที่ใช้การเพิ่มหรือลดประจุในตัวเก็บประจุสะสม  $C_{31}$ ,  $C_{32}$  ในหัวข้อนี้จะกล่าวถึงการออกแบบขนาดสวิตช์จากความผิดพลาดที่เกิดจากการฉีดประจุของนำกระแสหลังจากทำการสะสมประจุที่มีผลต่อการแบ่งครึ่งประจุ รวมถึงพิจารณาความเร็วในการทำงานให้สามารถทำงานตามข้อกำหนดในหัวข้อ 4.1



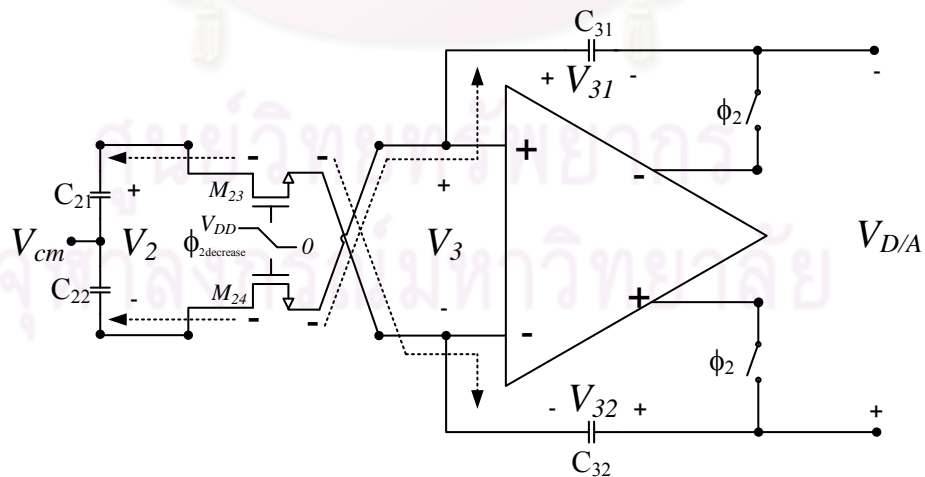
รูปที่ 4-12 โครงสร้างวงจรสะสมประจุที่ใช้มอสเฟตชนิดเอ็นแทนสวิตช์

โครงสร้างการสะสมประจุใช้มอสเฟตชนิดเอ็นในการทำสวิทช์ มีโครงสร้างดังแสดงในรูปที่ 4-12 และใช้มอสเฟตชนิดเอ็นเนื่องจากแรงดันที่ตัวเก็บประจุ  $C_{21}$  และ  $C_{22}$  มีค่าไม่คงที่ตลอดการแปลงผันจึงไม่สามารถใช้มอสเฟตชนิดพี เพื่อแก้ไขปัญหาการขีดประจุได้ดังที่กล่าวไปในการออกแบบวงจรการซั๊กตัวอย่าง

ในงานวิจัยนี้จะทำการลดค่าความผิดพลาดของมอสเฟตชนิดเอ็นให้มีค่าความผิดพลาดให้อยู่ในช่วงที่ไม่ทำให้เกิดการตัดสินระดับสัญญาณดิจิทัลผิดพลาด (Quantization Error) โดยแสดงการขีดประจุจากช่องนำกระแสจากมอสเฟตในการเพิ่มนี้ดังรูปที่ 4-13 และจากมอสเฟตในการลดประจุดังรูปที่ 4-14



รูปที่ 4-13 การขีดประจุจากมอสเฟตสวิทช์ที่ใช้เพิ่มประจุสะสม



รูปที่ 4-14 การขีดประจุจากมอสเฟตสวิทช์ที่ใช้ลดประจุสะสม

จากรูปที่ 4-13 และ รูปที่ 4-14 ประจุที่ติดไปยังตัวเก็บประจุสะสม  $C_{21}$ - $C_{31}$  และ  $C_{22}$ - $C_{32}$  มีค่าคงที่เสมอเนื่องจากขาเข้าวงจรรอบแอมป์ขณะทำงานแบบป้อนกลับจะทำให้แรงดันขาเข้าเท่ากับแรงดันผลรวมในการทำงาน ดังนั้นความผิดพลาดผลต่างเนื่องจากการขีดประจุจะถูกหักล้างกันเพราะประจุในช่องนำกระแสมีค่าเท่ากันโดยสามารถเขียนสมการความผิดพลาดผลต่างดังสมการที่ (4-31)

$$\Delta V_{2,accu}^{(n)} \approx \frac{-(WL)_1 C_{ox} [V_{cm} - V_{cm}]}{2(C)} = 0 \quad (4-31)$$

ความเร็วในการสะสมประจุของวงจรรวมประจุขึ้นกับความต้านทานของมอสเฟตสะสมประจุ  $M_{21}$ - $M_{24}$  ขณะทำงานในภาวะความต้านทาน (เมื่อกำหนดให้วงจรรอบแอมป์ทำงานในช่วงอุดมคติ) และสามารถประมาณค่าความเร็วจากค่าคงตัวเวลาได้เช่นเดียวกับที่กล่าวไว้ในหัวข้อ 4.2.2 ดังนั้นในส่วนนี้จะใช้ขนาดทรานซิสเตอร์  $M_{21}$ - $M_{24}$  มีค่าเท่ากับ  $M_{11}$  และ  $M_{12}$  คือ

$$\left(\frac{W}{L}\right)_{21-24} = \frac{1.65 \mu}{1 \mu} \quad (4-32)$$

#### 4.2.4. การออกแบบวงจรรอบแอมป์ผลต่างสมบูรณ์ (Design of Fully-Differential Operational Amplifier Circuit)

การออกแบบวงจรรอบแอมป์จำเป็นต้องพิจารณาคุณลักษณะดังเช่น อัตราการขยายไฟตรง (Open Loop DC Gain) ช่วงการแกว่งสัญญาณขาออก (Output Voltage Swing) และ ความกว้างอัตราขยายเชิงความถี่ (Gain Bandwidth) และการกินพลังงาน (Power Consumption) โดยงานวิจัยนี้จะเลยการรบกวนของสัญญาณรบกวนและความไม่เท่ากันของขนาดทรานซิสเตอร์เนื่องจากการผลิต (Mismatch Error)

อัตราขยายไฟตรงสามารถหาได้จากความต้องการลดค่าความผิดพลาดขาออกของวงจรรวมแปลงผันสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก ให้น้อยกว่า 0.5 บิตที่มีความสำคัญน้อยที่สุด หรือ 1.953125 มิลลิโวลต์ ดังนั้นในงานวิจัยนี้จึงกำหนดให้ค่าความผิดพลาดสูงสุดเนื่องจากวงจรรอบแอมป์มีค่าไม่เกิน 0.01 มิลลิโวลต์ เพื่อให้มีผลกระทบต่อระบบการทำงานของระบบน้อย จากสมการทั่วไปของอัตราขยายของวงจรรวมเมื่อมีการป้อนกลับคือ

$$A_{CL}(s) = \frac{V_{out}(s)}{V_{in}(s)} = \frac{A_{OL}}{1 + \beta A_{OL}} \quad (4-33)$$

$$A_{CL}(s) \approx \frac{1}{\beta} \left(1 - \frac{1}{\beta A_{OL}}\right) \quad (4-34)$$

สามารถหาความผิดพลาดเนื่องจากอัตราขยายเมื่อ  $\beta = \frac{1}{2}$  คือ

$$\therefore \Delta V_{out} = -\frac{2}{A_{OL}} V_{in} \quad (4-35)$$

เนื่องจากกำหนดให้  $|\Delta V_{out,max}| = 0.01 \text{ mV}$  และ  $V_{in}$  มีค่าสูงสุดเท่ากับ 1 โวลต์ ดังนั้นสามารถคำนวณหาอัตราขยายไฟตรงจากสมการ (4-36) ได้คือ

$$A_{OL,DC} \approx \frac{2000 \text{ mV}}{0.01 \text{ mV}} \approx 200,000 \text{ V/V} = 106.02 \text{ dB} \quad (4-36)$$

ช่วงการแกว่งของสัญญาณขาออกของวงจรรอปแอมป์ (Output Voltage Swing) สามารถพิจารณาจากช่วงแรงดันสูงสุดและต่ำสุดตามแรงดันอ้างอิงที่ใช้ในการเปรียบเทียบกับแรงดันขาเข้า มีช่วงการทำงานคือ

$$1V \leq V_{out} \leq 2V \quad (4-37)$$

ความกว้างของอัตราขยายเชิงความถี่พิจารณาจากความเร็วของระบบในการแปลงผันโดยแรงดันขาออกของวงจรรอปแอมป์จำเป็นต้องเข้าสู่ภาวะคงตัว (Steady State) ก่อนที่จะนำไปใช้ในการเปรียบเทียบ ในงานวิจัยนี้กำหนดให้วงจรรอปแอมป์สามารถสร้างแรงดันภายใน 400 นาโนวินาที (จากระบบอันดับหนึ่งค่าคงตัวเวลาจึงมีค่าเท่ากับ 80นาโนวินาที) หรือ เร็วกว่า 2 เท่าของสัญญาณนาฬิกาของระบบ (800 นาโนวินาที) ดังนั้นสามารถหาค่าความกว้างอัตราขยายเชิงความถี่ที่จำเป็นต้องใช้ได้คือ

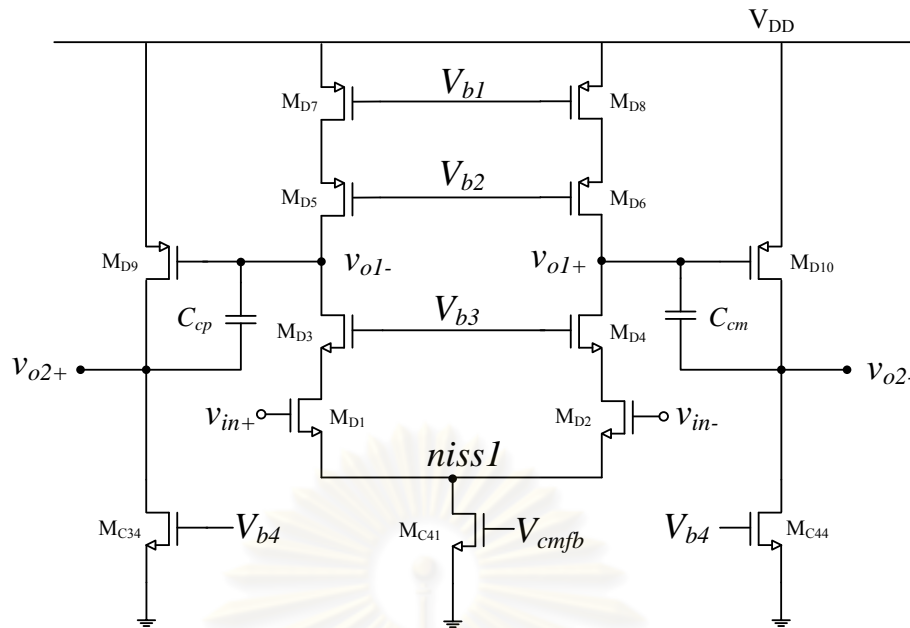
$$GBW = \frac{1}{2\pi\tau_{opamp}} = \frac{1}{2\pi(80ns)} = 1.989 \text{ MHz} \quad (4-38)$$

ภายใต้ข้อกำหนดแรงดันแหล่งจ่าย 3.3 โวลต์ และคุณลักษณะข้างต้นในงานวิจัยนี้จึงเลือกวงจรรอปแอมป์สองระยะที่มีวงจรรอปแอมป์เทเลสโคปิกในระยะแรก และวงจรรขยายแบบซอสร่วมที่มีแหล่งจ่ายกระแสเป็นโหนด ดังรูปที่ 4-15 เพื่อให้ได้คุณลักษณะตามที่กล่าวไว้ข้างต้น โดยวงจรรยะแรกมี 2 กิ่ง (Branch) ออกแบบให้กินกระแสทำงาน ( $I_{bias}$ ) รวม 10 ไมโครแอมป์ และในระยะที่สองออกแบบให้กินกระแสทำงานกิ่งละ 20 ไมโครแอมป์ และสรุปขนาดทรานซิสเตอร์และกระแสกิ่งตามตารางที่ 4-1

ตารางที่ 4-1 ขนาดของทรานซิสเตอร์ในวงจรรอปแอมป์หลักในรูปที่ 4-15

Transistors	$M_{C41}$	$M_{D1} - M_{D4}$	$M_{D5} - M_{D8}$	$M_{C34}, M_{C44}$	$M_{D9} - M_{D10}$	$C_{Cm}, C_{Cp}$
$I_{bias}$	15 uA	5 uA	5 uA	20 uA	20 uA	-
W/L	60/2	20/2	60/2	80/2	240/2	1200fF





รูปที่ 4-15 วงจรออปแอมป์สองระยะที่ใช้ในงานวิจัย

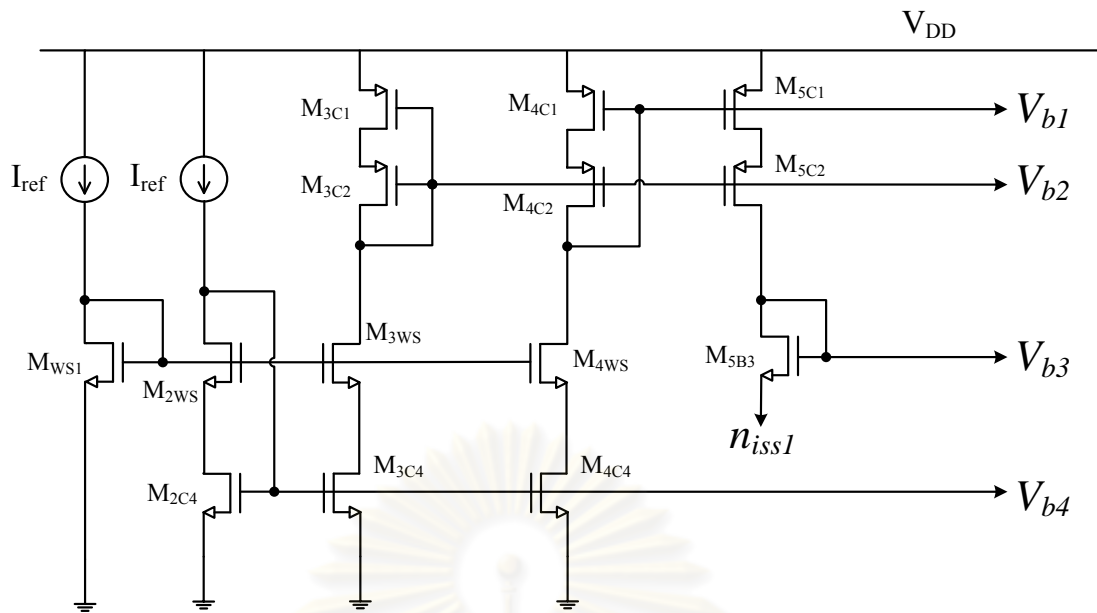
วงจรออปแอมป์รูปที่ 4-15 ใช้วงจรสร้างจุดทำงานของวงจรมีลักษณะดัง รูปที่ 4-16 โดยเป็นโครงสร้างสะท้อนกระแสแบบคาสโคดที่มีช่วงการแกว่งกว้าง (Wide Swing Cascode Current Mirror) จากแหล่งกำเนิดกระแสอ้างอิง ( $I_{ref}$ ) 2 แหล่ง จ่ายให้กับกึ่งที่หนึ่ง ( $M_{WS1}$ ) และกึ่งที่สอง ( $M_{2WS}, M_{2C4}$ ) นำไปสร้างแรงดันสร้างจุดทำงานแกว่งออปแอมป์หลัก  $V_{b1} - V_{b4}$  โดยวงจรถูกกำหนดให้ใช้แหล่งกำเนิดกระแสอ้างอิงในอุดมคติมีค่า 5 ไมโครแอมป์ และเมื่อทำการสะท้อนกระแสโดยกำหนดให้ขนาดทรานซิสเตอร์  $M_{2WS}$  และ  $M_{2C4}$  มีขนาดเท่ากับ  $M_{3WS}$  และ  $M_{3C4}$  ดังนั้นเมื่อคิดกระแสในอุดมคติ เมื่อไม่มีผลของช่องนำกระแสทรานซิสเตอร์สั้น (Short-Channel Effect) กระแสที่ไหลในกึ่งที่ 3 จะประมาณเท่ากับกึ่งที่ 2 หรือเท่ากับ 5 ไมโครแอมป์

แรงดัน  $V_{b2}$  ถูกสร้างโดยการต่อทรานซิสเตอร์  $M_{3C2}, M_{3C1}$  (ดังแสดงใน รูปที่ 4-16) นำแรงดันนี้ไปต่อเข้ากับทรานซิสเตอร์  $M_{4C2}$  ที่ต่ออยู่กับทรานซิสเตอร์  $M_{4C1}$  เพื่อสร้างแรงดัน  $V_{b1}$  ในกึ่งที่ 4 ซึ่งต่อทรานซิสเตอร์ที่สะท้อนกระแสจากกึ่งที่ 2 ( $M_{4C3} - M_{4C4}$ ) ทำให้กึ่งที่ 4 มีกระแสไหลเท่ากับ 5 ไมโครแอมป์เช่นเดียวกับกึ่งที่ 1 และกึ่งที่ 2

ในกึ่งที่ 5 สร้างกระแส 5 ไมโครแอมป์เช่นเดียวกับกึ่งอื่นๆในวงจรสร้างจุดทำงาน จากการต่อทรานซิสเตอร์สะท้อนกระแสจากกึ่งที่สาม ( $M_{5C1} - M_{5C2}$ ) เพื่อหาแรงดัน  $V_{b3}$  ซึ่งมีขนาดตามแรงดันเกต-ซอสของทรานซิสเตอร์  $M_{5B3}$  ที่กระแส 5 ไมโครแอมป์ ซึ่ง จะเปลี่ยนแปลงตามขนาดทรานซิสเตอร์  $M_{5B3}$

โดยสรุปวงจรสร้างจุดทำงานกินกระแสทั้งหมด 25 ไมโครแอมป์ ประกอบไปด้วยวงจร 5 กิ่ง กิ่งละ 5 ไมโครแอมป์ โดยมีขนาดทรานซิสเตอร์ดังแสดงในตารางที่ 4-2





รูปที่ 4-16 วงจรสร้างจุดทำงานแกว้งจรรอบแอมป์หลักใน รูปที่ 4-15

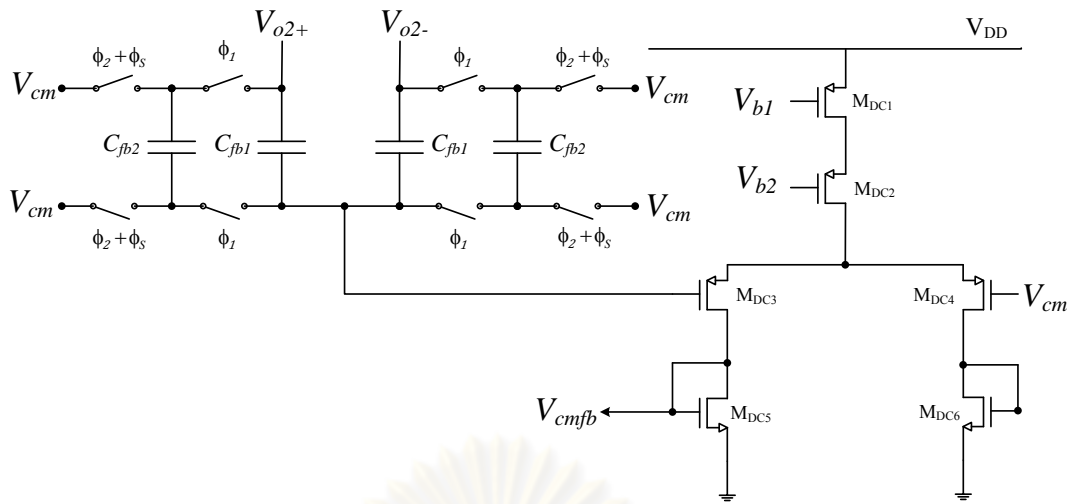
ตารางที่ 4-2 ขนาดของทรานซิสเตอร์ในวงจรสร้างจุดทำงานรูปที่ 4-16

Transistors	$M_{WS1}$	$M_{2WS}-M_{4WS},$ $M_{2C4}-M_{4C4}$	$M_{3C1}$	$M_{4C1}$	$M_{4C2}$	$M_{5C1}-M_{5C2}$	$M_{5B3}$
$I_{bias}$	5uA	5 uA	5 uA	5 uA	5 uA	5 uA	5 uA
W/L	10/10	20/2	55.67/6	55.67/2	60/2	60/2	10/10

และเพื่อให้วงจรสามารถมีจุดทำงานที่จุดแรงดันผลร่วม (Common Mode Voltage) ดังนั้นจึงใช้วงจรป้อนกลับโหมดร่วมดังรูปที่ 4-17 ซึ่งใช้วงจรวัดแรงดันโหมดร่วมแบบสวิตช์ (Switching common-mode detector) ทำการวัดแรงดันขาออกทั้งสองข้างของวงจรรอบแอมป์ แล้วส่งไปเปรียบเทียบกับแรงดันผลร่วมที่กำหนดไว้ ( $V_{cm}$ ) ที่คู่ผลต่าง (Differential pair) กระแสที่เปลี่ยนไปในวงจรคู่ผลต่างจะสร้างแรงดันกลับเฟส  $V_{cmfb}$  เพื่อนำไปควบคุมทรานซิสเตอร์  $M_{C41}$  ในวงจรรอบแอมป์หลักต่อไป และมีพารามิเตอร์ของวงจรดังตารางที่ 4-3

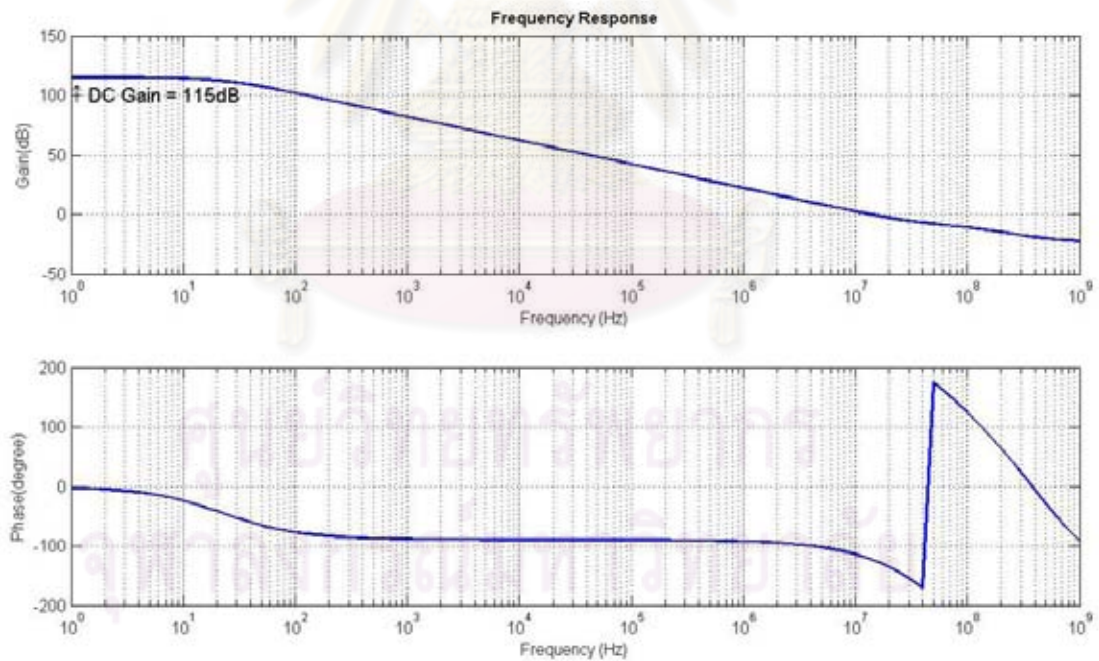
ตารางที่ 4-3 ขนาดของทรานซิสเตอร์ในวงจรป้อนกลับโหมดร่วมรูปที่ 4-17

Transistors	$M_{DC1}-M_{DC2}$	$M_{DC3}-M_{DC4}$	$M_{DC5}-M_{DC6}$	$C_{fb1}$	$C_{fb2}$
$I_{bias}$	10 uA	5 uA	5 uA	-	-
W/L	60/2	10/2	20/2	100fF	1000fF

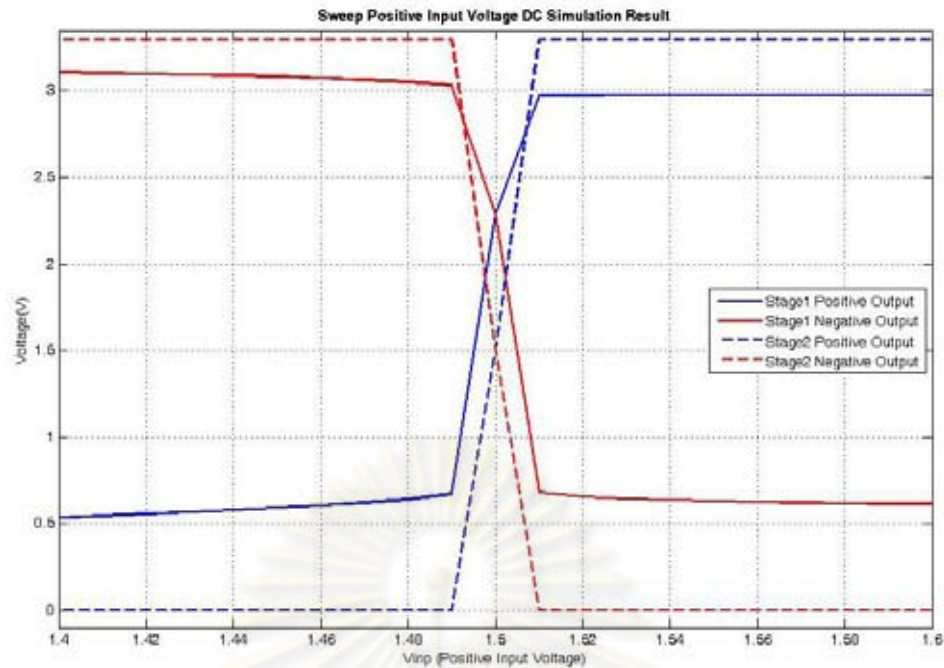


รูปที่ 4-17 วงจรป้อนกลับโหมตร่วม

ผลตอบสนองทางความถี่นำวงจรรอบแอมป์ โดยจำลองการป้อนสัญญาณไฟสลับแก้ขาเข้าด้านบวกและไม่มีโหลดต่ออยู่กับวงจรได้ผลดังรูปที่ 4-18 ซึ่งมีอัตราขยายไฟตรงประมาณ 115 เดซิเบล ขนาดความกว้างเชิงความถี่ประมาณ 10 เมกะเฮิรท์ และมีผลเฟสมาจิ้น (Phase Margin) ประมาณ 120 องศาเพื่อให่วงจรอยู่ในเสถียรภาพ



รูปที่ 4-18 ผลตอบสนองทางความถี่โดยการจำลองสัญญาณไฟสลับ



รูปที่ 4-19 ผลตอบสนองของการกวาดแรงดันขาเข้าด้านบวกของวงจรรอปแอมป์

ผลตอบสนองของวงจรรอปแอมป์จากการกวาดแรงดันขาเข้าด้านบวก ได้ผลดังแสดงดังรูปที่ 4-19 โดยเส้นประคือแรงดันขาออกของวงจรรอปแอมป์ระยะแรก และเส้นที่บดคือแรงดันขาออกของวงจรรอปแอมป์ระยะที่สอง

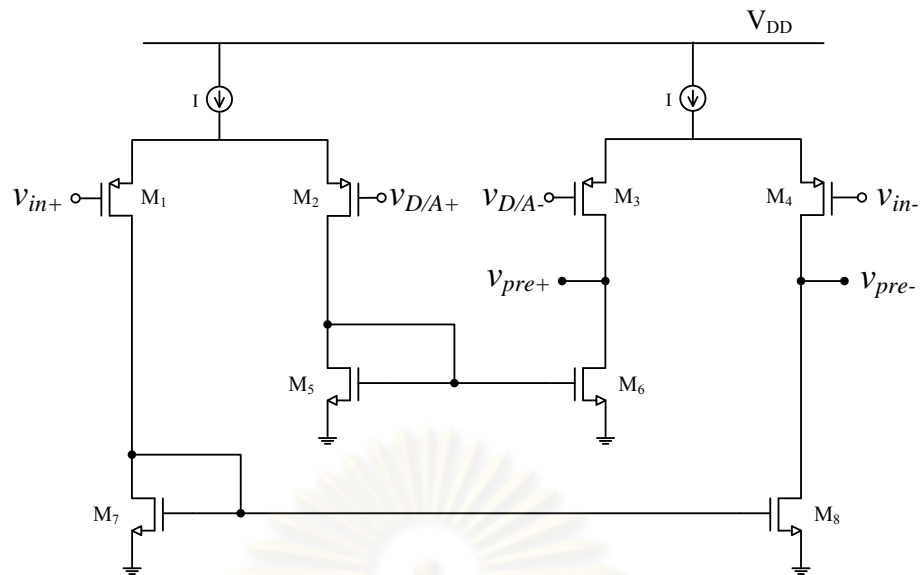
#### 4.3. การออกแบบวงจรเปรียบเทียบ (Design of Comparator Circuit)

วงจรเปรียบเทียบที่ใช้ในงานวิจัยนี้ประกอบด้วยวงจรรขยายขาเข้า (Preamplifier Circuit) และวงจรตัดสินใจระดับสัญญาณ (Decision Circuit) โดยมีการออกแบบดังต่อไปนี้

##### 4.3.1. การออกแบบวงจรรขยายขาเข้า (Design of Preamplifier Circuit)

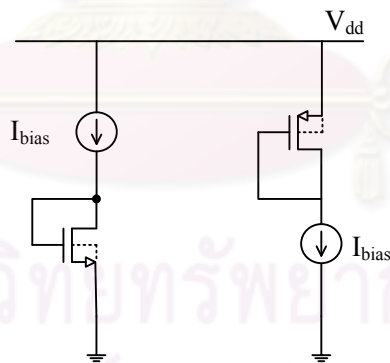
วงจรรขยายขาเข้ามีทำหน้าที่ในการขยายผลต่างแรงดันของแรงดันขาเข้าผลต่าง ( $V_{in+} - V_{in-}$ ) กับ แรงดันวงจรแปลงผันดิจิทัลเป็นแอนะล็อกผลต่าง ( $V_{D/A+} - V_{D/A-}$ ) และให้สัญญาณแรงดันผลต่างขาออกวงจรรขยายขาเข้า ( $V_{pre+} - V_{pre-}$ ) ดังรูปที่ 4-20 ซึ่งแรงดันขาออกของวงจรรขยายขาเข้านั้นมีค่าแรงดันผลรวมเท่ากันเพื่อให้วงจรตัดสินใจระดับสัญญาณให้ค่าดิจิทัลขาออกได้ถูกต้องซึ่งจะกล่าวถึงการออกแบบในหัวข้อถัดไป ตัววงจรใช้วงจรรอปแอมป์ผลต่างสมบรูณ์สองตัวที่ใช้วงจรรสะท้อนกระแส (Current Mirror) เป็นโหลด เพื่อผสมสัญญาณขนาดเล็กในการทำงาน แรงดันที่ได้จากการผสมสัญญาณจะถูกหักล้างเพื่อให้ผลต่างของแรงดันตามสมการ (4-64)

$$V_{ref+} - V_{ref-} = A(s)[(V_{D/A+} - V_{D/A-}) - (V_{in+} - V_{in-})] \quad (4-64)$$



รูปที่ 4-20 โครงสร้างวงจรมายาเข้า (Preamplifier Circuits)

ในการออกแบบวงจรมายาเข้าเน้นเรื่องความเร็วหรือความกว้างเชิงความถี่ของอัตราขยาย (Gain Band Width) เป็นหลัก โดยออกแบบให้มีช่วงการทำงานตอบสนองต่อความถี่สัญญาณพิกัดตามข้อกำหนด ดังนั้นจึงทำการออกแบบวงจรมายาเข้าให้มีความกว้างเชิงความถี่มากกว่าความถี่สัญญาณพิกัดของวงจรมายาเข้า และกำหนดให้ใช้ทรานซิสเตอร์ที่ค่าพารามิเตอร์จากเทคโนโลยีตามตารางที่ 4-4 โดยหาค่าพารามิเตอร์จากทดลองตามรูปที่ 4-21



รูปที่ 4-21 วงจรการหาพารามิเตอร์ทรานซิสเตอร์

ตารางที่ 4-4 พารามิเตอร์ของทรานซิสเตอร์หนึ่งหน่วยที่ใช้ในการออกแบบวงจรมายาเข้า

Parameter	NMOS	PMOS
$I_{bias}$	5 uA	5 uA
$W/L$	10/2	50/2
$V_{DS,SAT}$	132 mV	112 mV

$V_{GS}, V_{SG}$	798 mV	1022 mV
$V_{THN}, V_{THP}$	629 mV	927 mV
$KP_N, KP_P$	111 $\mu\text{A}/\text{V}^2$	50.2 $\mu\text{A}/\text{V}^2$
$C'_{ox} = \epsilon_o \epsilon_r / t_{ox}$	2.493 fF/ $\mu\text{m}^2$	2.493 fF/ $\mu\text{m}^2$
$C_{gsn}, C_{sgp}$	30.5579 fF	162.644 fF
$C_{gdn}, C_{dgp}$	2.1736 fF	15.4834 fF
$g_{mn}, g_{mp}$	80 $\mu\text{A}/\text{V}$	80 $\mu\text{A}/\text{V}$
$r_{on}, r_{op}$	2.954 M $\Omega$	3.554 M $\Omega$
$g_{mn} r_{on}, g_{mp} r_{op}$	234.885 V/V	289.70 V/V
$\lambda_n, \lambda_p$	0.07 $\text{V}^{-1}$	0.06 $\text{V}^{-1}$

จากวงจรมายในรูปที่ 4-20 สามารถหาอัตราขยายเชิงความถี่ได้คือ

$$A(s) = \frac{A_0(2 + s / 2\pi f_{p2})}{(1 + s / 2\pi f_{p1})(1 + s / 2\pi f_{p2})} \quad (4-63)$$

โดยอัตราขยายไฟตรง :  $A_0 = -g_{mp} (r_{on} // r_{op}) = 129.05 \approx 42.2 \text{ dB}$  (4-64)

ความถี่มูลหลัก :  $f_1 = \frac{1}{2\pi(r_{on} // r_{op})C_L} = 43.0828 \text{ MHz}$  (4-65)

โดย  $C_L$  คือโหลดที่เข้ากับวงจรมายขาเข้าหรือตัวเก็บประจุขาเข้าของวงจรตัดสัญญาณ สัญญาณ ที่มีขนาดทรานซิสเตอร์ดังตารางที่ 4-5 ในหัวข้อ 4.3.2

และความถี่หักมุมที่สอง :  $f_2 = \frac{g_{mn}}{C_{mirror}} \approx 1.31 \text{ GHz}$  (4-66)

โดย  $C_{mirror}$  คือค่าตัวเก็บประจุที่ขาเกตของวงจรสะท้อนกระแสในรูปที่ 4-20

เนื่องจากวงจรมายใช้การขยายโดยไม่มีการป้อนกลับ ดังนั้นความเร็วการทำงานของวงจรมายขาเข้าจึงขึ้นกับความถี่มูลหลักในสมการที่ (4-65) หรือขึ้นกับตัวเก็บประจุโหลด ซึ่งถูกออกแบบให้มีขนาดเล็กทำให้ความถี่มูลหลักมีค่าความถี่มากกว่าความถี่สัญญาณนาฬิกาที่ใช้ในวงจร ทำให้วงจรมายเข้านี้สามารถทำงานได้ในข้อกำหนดของวงจรทั้งหมด

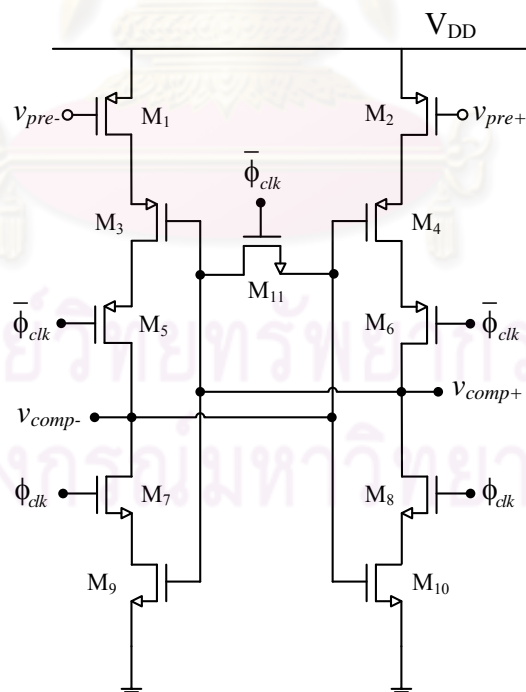
#### 4.3.2. การออกแบบวงจรตัดสินใจระดับสัญญาณ (Design of Decision Circuit)

วงจรตัดสินใจระดับสัญญาณในงานวิจัยนี้ ทำการดัดแปลงจากวงจรเปรียบเทียบใน [7] ซึ่งวงจรจะทำการตัดสินใจระดับสัญญาณที่ได้จากวงจรขยายขาเข้า และมีโครงสร้างดังรูปที่ 4-22 โดยทรานซิสเตอร์  $M_1$  และ  $M_2$  ทำงานในโหมดความต้านทาน (Triode Mode) ที่มีค่าทรานส์คอนดักแตนซ์ (Transconductance) ตามสมการ (4-67) และ (4-68) ขณะทำการตัดสินใจสัญญาณ

$$G_1 = \frac{1}{R_1} = \mu_p C_{ox} \left( \frac{W_1}{L_1} \right) [V_{DD} - v_{pre-} + V_{THP}] \quad (4-67)$$

$$G_2 = \frac{1}{R_2} = \mu_p C_{ox} \left( \frac{W_2}{L_2} \right) [V_{DD} - v_{pre+} + V_{THP}] \quad (4-68)$$

จากสมการทั้งสอง แสดงถึงกระแสของแต่ละกิ่งวงจรเปลี่ยนแปลงตามสัญญาณขาเข้าของวงจร ส่งผลให้วงจรผกผัน (Inverter Circuit) ในแต่ละกิ่งในรูปที่ 4-20 มีแรงดันขาออกไม่เท่ากัน และเนื่องจากวงจรผกผันในแต่ละกิ่งนั้นมีการต่อการป้อนกลับแบบบวกซึ่งกันและกัน แรงดันขาออกของวงจรด้านหนึ่งจะถูกผลักดันขึ้นไปยังแรงดันแหล่งจ่าย ( $V_{DD}$ ) ในทางตรงกันข้ามอีกด้านหนึ่งจะถูกดึงลงสู่แรงดันดิน (0V) ส่งผลให้เกิดสัญญาณดิจิทัลในแต่ละข้างขาออกวงจรตัดสินใจระดับสัญญาณ



รูปที่ 4-22 วงจรตัดสินใจระดับสัญญาณ (Decision Circuit)



จากรูปที่ 4-22 วงจรตัดสินใจระดับสัญญาณทำงานในช่วงสัญญาณนาฬิกาหลัก ( $\phi_{clk}$ ) มีค่าสูง ( $V_{dd}$ ) เนื่องจากมีสวิตช์ ของมอสเฟต  $M_5 - M_8$  ทำงานเพียงแค่ช่วงเวลาดังกล่าว

ช่วงสัญญาณนาฬิกาหลักมีค่าต่ำ (0V) วงจรจะทำการตั้งค่าใหม่ (Reset) แรงดันขาออกทั้งสองให้มีค่าเท่ากันโดยใช้มอสเฟต  $M_{11}$  ทำให้แรงดันขาออกเชื่อมถึงกัน เพื่อให้วงจรป้อนกลับแบบบวกทำงานได้อย่างรวดเร็ว

การออกแบบวงจรตัดสินใจสัญญาณกำหนดให้ขนาดทรานซิสเตอร์ของวงจรตัดสินใจระดับสัญญาณมีค่าดังตารางที่ 4-5

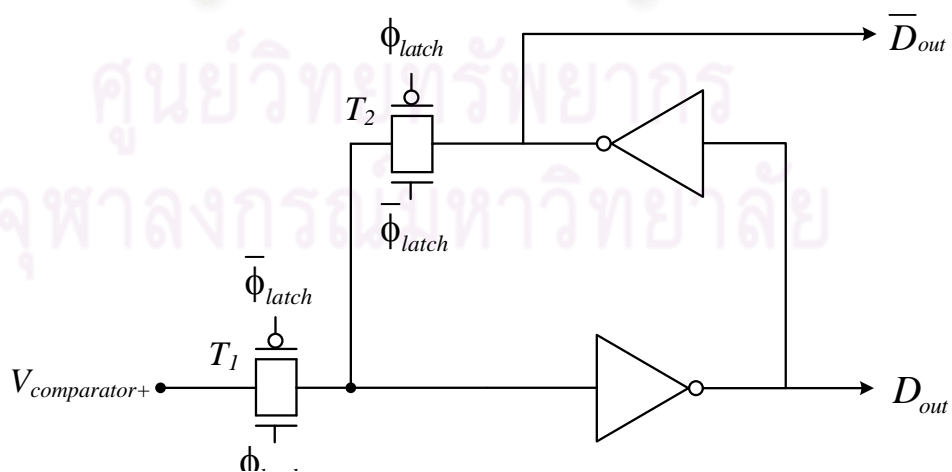
ตารางที่ 4-5 ขนาดของทรานซิสเตอร์ในวงจรตัดสินใจระดับสัญญาณ

Transistors	$M_1 - M_2$	$M_3 - M_6$	$M_7 - M_{10}$
W/L	5/1	10/1	5/1

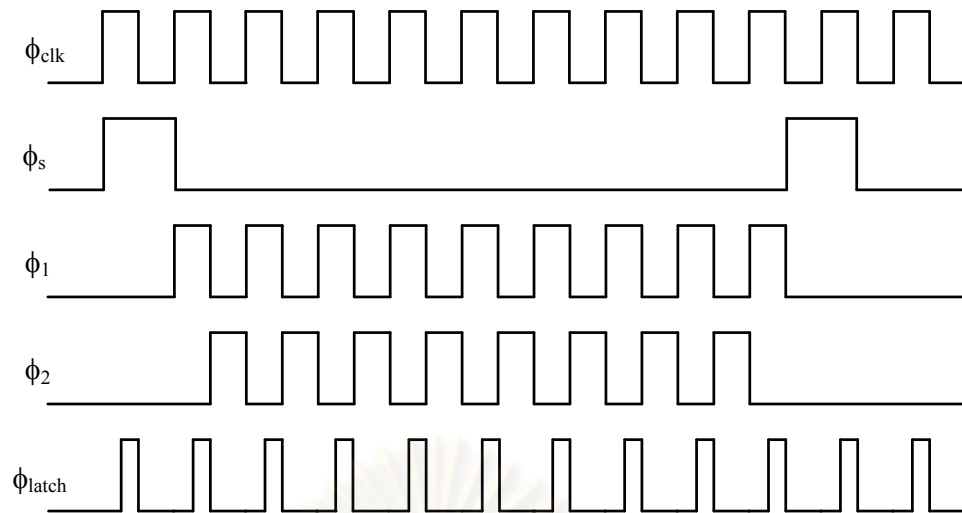
ความผิดพลาดของวงจรตัดสินใจนั้นเกิดจากการความไม่เท่ากันของแรงดันผลรวม (Common Mode Voltage) ซึ่งทำให้ค่าความต้านทานของทรานซิสเตอร์  $M_1$  และ  $M_2$  มีค่าผิดเพี้ยน เป็นผลให้เกิดการเปรียบเทียบผลต่างที่ไม่ถูกต้อง แต่ปัญหานี้ลดลงเมื่อใช้วงจรขยายขาเข้าในการทำงานให้ระดับแรงดันร่วมขาเข้าของวงจรตัดสินใจมีค่าใกล้เคียงกัน

#### 4.4. การออกแบบวงจรแลตซ์พลวัต (Design of Dynamic Latch Circuit)

วงจรแลตซ์พลวัตในงานวิจัยนี้มีโครงสร้างดังรูปที่ 4-23 โดยให้มีการทำงานตามสัญญาณการเปิด/ปิดวงจรแลตซ์ ( $\phi_{latch}$ ) ดังรูปที่ 4-24



รูปที่ 4-23 วงจรแลตซ์พลวัต (Dynamic Latch)



รูปที่ 4-24 รูปแสดงสัญญาณการเปิด/ปิดวงจรแลตช์ ( $\phi_{latch}$ )

โดยขาเข้าของวงจรมีต่อกับวงจรตัดสินใจสัญญาณในวงจรเปรียบเทียบ และเพื่อให้สามารถขับวงจรผกผันที่ทำการป้อนกลับแบบบวกได้ ในงานวิจัยนี้จึงทำการลดขนาดทรานซิสเตอร์ของวงจรผกผันที่ใช้ให้ต่ำกว่าวงจรตัดสินใจและกำหนดขนาดตัวส่งผ่าน (Transmission Gate) ดังตารางที่ 4-6

ตารางที่ 4-6 ขนาดของทรานซิสเตอร์ในวงจรผกผันในวงจรแลตช์พลวัต

Inverter	NMOS	PMOS	Trasmission Gate	NMOS	PMOS
W/L	3/1	6/1	W/L	2/1	4/1

เนื่องจากขนาดของวงจรผกผันมีขนาดเล็กกว่าวงจรตัดสินใจดังนั้นความเร็วในการทำงานย่อมมีค่าสูงกว่า สัญญาณที่ได้จากวงจรแลตช์พลวัตจะถูกนำไปใช้ในวงจรลอจิกควบคุมเพื่อควบคุมการเปิด/ปิดสวิตช์เพิ่มลดประจุต่อไป

#### 4.5. การออกแบบวงจรลอจิกควบคุม (Design of Control Logic Circuit)

วงจรลอจิกทำหน้าที่รับสัญญาณขาออกดิจิทัล (Digital Output) ของวงจรแปลงผันผ่านวงจรลอจิกแบบต่างๆเพื่อนำไปควบคุมสวิตช์การเพิ่มประจุ หรือ ลดประจุในวงจรสะสมประจุ โดยในงานวิจัยนี้ใช้วงจรเหล่านี้ในค่าอุดมคติในการจำลอง และมีโครงสร้างลักษณะการทำงานดังที่กล่าวไว้ในบทที่ 3

#### 4.6. สรุปท้ายบท

ในบทนี้กล่าวถึงการออกแบบวงจรแปลงผันแอนะล็อกเป็นดิจิทัล โดยหาค่าคุณลักษณะที่ ต้องการของวงจร และพารามิเตอร์ของทรานซิสเตอร์ที่ใช้ในการออกแบบ โดยลำดับไปด้วยการ ออกแบบสวิตช์วงจรแบ่งครึ่งประจุ การออกแบบสวิตช์วงจรสะสมประจุ วงจรที่ใช้ในการสะสม ประจุ วงจรเปรียบเทียบ และวงจรแลตซ์พลวัต โดยพิจารณาความเร็วและความผิดพลาดในการ ทำงานเป็นหลักในการออกแบบ เพื่อให้วงจรสามารถทำงานได้ตามคุณลักษณะที่กำหนดเพื่อนำไป วิเคราะห์หาค่าพลังงานและ การจำลองสภาวะชั่วคราวของระบบในบทถัดไป



ศูนย์วิทยทรัพยากร  
จุฬาลงกรณ์มหาวิทยาลัย

## บทที่ 5

### พลังงาน ผลการจำลองสถานะชั่วคราวของทั้งระบบ ความไม่เป็นเชิงเส้นผลต่าง และความไม่เป็นเชิงเส้นผลรวมของวงจร (Power Consumption Overall Transient Simulation Differential Nonlinearity and Integral Nonlinearity of Proposed ADC)

#### 5.1. พลังงานในวงจรแปลงผันแอนะล็อกเป็นดิจิทัล (Power Consumption of ADC)

พลังงานเป็นปัจจัยสำคัญในการออกแบบวงจรรวม โดยในหัวข้อนี้จะคำนวณการใช้พลังงานของวงจรทั้งหมดของวงจรแปลงผันในหนึ่งวัฏจักรการแปลงผัน

ในหนึ่งวัฏจักรการแปลงผัน มีการชักรั่วอย่างแรงดันอ้างอิงเพียงครั้งเดียว และสามารถคำนวณจากสมการพลังงานในการอัดประจุแก่ตัวเก็บประจุ โดยในงานวิจัยนี้มีค่าความจุเท่ากับ 1 pF ดังนั้นพลังงานที่ใช้คือ

$$E_{\text{sampling}} = 2 \times \frac{1}{2} C (V_{\text{ref}+} - V_{\text{cm}})^2 = 0.25 \text{ pJ} \quad (5-1)$$

การแบ่งครึ่งประจุในงานวิจัยนี้เกิดจากการแบ่งประจุในตัวเก็บประจุสองตัวที่มีค่าความจุเท่ากัน โดยไม่ได้ทำการอัดประจุใหม่แก่ตัวเก็บประจุแต่อย่างใด ดังนั้นจึงไม่มีการใช้พลังงานในการแบ่งครึ่งประจุ

การสะสมประจุเกิดจากการทำงานของวงจรออปแอมป์ โดยในงานวิจัยนี้ วงจรออปแอมป์ใช้กำลังงานที่จุดทำงานโดยสรุปในตารางที่ 5-1

ตารางที่ 5-1 กระแสและกำลังงานในวงจรออปแอมป์ทั้งหมด

	Bias Circuit	Telescopic	Class A (CS)	CMFB	Total
Total Current	25 uA	10 uA	40 uA	10 uA	85 uA
Power @ $V_{\text{dd}}=3.3\text{V}$	82.5 uW	33 uW	132 uW	33	280.5 uW

เนื่องจากวงจรแปลงผันใช้สัญญาณ 10 คาบในหนึ่งวัฏจักรการแปลงผัน ซึ่งคาบแรกใช้ในการชักรั่วอย่าง คาบถัดมาคือช่วงหาบิตสัญญาณลักษณะ (Signed Bit) ของวงจรที่แสดงว่าผลต่าง

สัญญาณขาเข้าเป็นบวกหรือลบ และ 8 คาบที่เหลือคือบิตสัญญาณขาออกที่แปลงผันได้ ดังนั้น จากตารางที่ 5-1 วงจรอปแอมป์ใช้พลังงานในหนึ่งวัฏจักรคือ

$$E_{op-amp} = P_{opamp} T_{1-cycle} = (280.5 \mu W)(10 \times 800 ns) = 2.244 nJ \quad (5-2)$$

วงจรเปรียบเทียบประกอบด้วยวงจรรขยายขาเข้าและวงจรตัดสินใจระดับสัญญาณ โดยวงจรรขยายขาเข้ามีกำลังงานที่จุดทำงาน คือ

$$P_{pre-amp} = 20 \mu A \times 3.3V = 66 \mu W \quad (5-3)$$

ดังนั้นพลังงานทั้งหมดในการทำงานของวงจรรขยายขาเข้าในหนึ่งวัฏจักรคือ

$$E_{pre-amp} = (66 \mu W)(10 \times 800 ns) = 0.528 nJ \quad (5-3)$$

วงจรตัดสินใจระดับสัญญาณใช้วงจรผกผัน (Inverter Circuit) ในการทำงาน ดังนั้นพลังงานในการขับเคลื่อนของวงจรตัดสินใจสัญญาณคือการอัดประจุแก่ตัวเก็บประจุขาออกให้มีค่าแรงดันจาก 0 โวลต์ เป็นแรงดัน  $V_{DD}$  ที่ด้านขาออกข้างหนึ่งของวงจรเสมอ โดยคำนวณในกรณีการใช้พลังงานมากที่สุดในการอัดประจุในหนึ่งวัฏจักร ดังนั้นพลังงานที่ใช้ในของวงจรตัดสินใจสัญญาณคือ

$$E_{decision} = 10 \times C_L V_{DD}^2 = 10 \times (22.437 fF)(3.3^2) \approx 2.44 pJ \quad (5-4)$$

โดย  $C_L$  คือ โหลดตัวเก็บประจุของวงจรตัดสินใจระดับสัญญาณหรือ ตัวเก็บประจุขาเข้าของวงจรแลตช์พลวัต

วงจรแลตช์พลวัตมีการทำงานของวงจรผกผันสองตัวที่ต่อกันแบบวงซึ่งกันและกัน และพลังงานเกิดขึ้นเมื่อทำการจำค่าสัญญาณใหม่ โดยการขับวงจรผกผันอีกตัวเพื่อใช้ในการจำระดับสัญญาณ ดังนั้นสามารถคำนวณพลังงานที่ใช้ในการจำระดับสัญญาณใหม่คือ

$$E_{Latch} = 10 \times C_L V_{DD}^2 = 10 \times (22.437 fF)(3.3^2) \approx 2.44 pJ \quad (5-5)$$

จากสมการ (5-1), (5-2), (5-4) และ (5-5) สามารถสรุปพลังงานที่ใช้ในหนึ่งวัฏจักรของวงจรแปลงผัน ดังตารางที่ 5-2

ตารางที่ 5-2 พลังงานที่ใช้ในวงจรแปลงผันแอนะล็อกเป็นดิจิทัลหนึ่งวัฏจักร

	Sampling Circuit	Op-amp Circuit	Preamplifier Circuit	Decision Circuit	Dynamic Latch	Total
Energy Consumption	0.5pJ	2.244nJ	0.528nJ	2.44pJ	2.44pJ	2.77713nJ

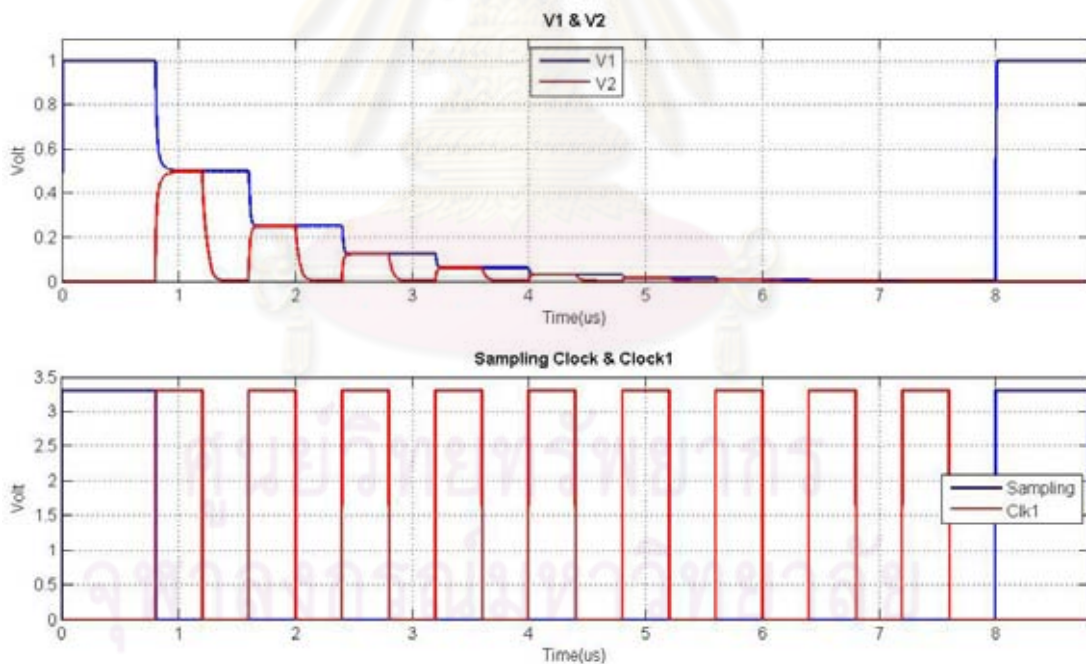
จากตารางที่ 5-2 ดังนั้นในหนึ่งวัฏจักรการแปลงผัน วงจรใช้กำลังงานทั้งหมดคือ

$$P_{total} = \frac{E_{total}}{10T_{clk}} \approx 347.14 \mu W \quad (5-6)$$

โดยพลังงานที่ใช้ส่วนใหญ่ในวงจรมาจากการวงจรออปแอมป์หลักในการสะสมประจุ และสร้างแรงดันขาออกวงจรแปลงผันดิจิทัลเป็นวงจรแอนะล็อก และมาจากวงจรมายาเข้าเข้าที่มี การใช้พลังงานเป็นอันดับสอง เมื่อเทียบกับวงจรที่เหลือวงจรทั้งสองนี้กินพลังงานมากกว่าวงจร ส่วนอื่นอย่างเห็นได้ชัด

## 5.2. ผลการจำลองสถานะชั่วคราวของทั้งระบบ (Overall Transient Simulations)

ในหัวข้อนี้จะแสดงผลการจำลองสถานะชั่วคราวของวงจรแปลงผันแอนะล็อกเป็นดิจิทัลใน ที่มีโครงสร้างตามการออกแบบวงจรในบทที่ 4 โดยเปลี่ยนระดับแรงดันขาเข้า ( $V_{in}$ ) ให้มีค่าผลต่าง แรงดันเท่ากับ 200, 400, 600, 800 มิลลิโวลต์ตามลำดับ และแสดงการทำงานสามวัฏจักร ต่อเนื่องกันของวงจร โดยในอันดับแรกจะแสดงผลของสัญญาณ ที่จุดต่างๆของวงจร เมื่อแรงดันขา เข้ามีค่า 200 มิลลิโวลต์ในหนึ่งวัฏจักรดังต่อไปนี้



รูปที่ 5-1 รูปบน: กราฟผลต่างแรงดันบนคู่ตัวเก็บประจุ  $C_{11}-C_{12}$  ( $V_1$ ) และ  $C_{21}-C_{22}$  ( $V_2$ )

รูปล่าง: กราฟสัญญาณนาฬิกาที่ 1 ( $\phi_1$ ) และสัญญาณการซักรั่วอย่าง ( $\phi_s$ )

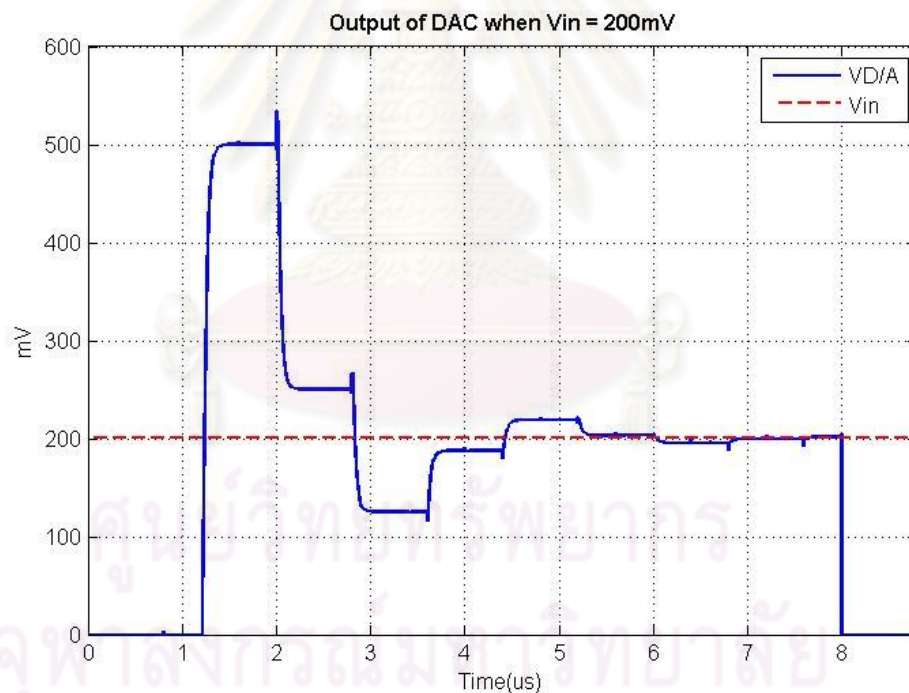
จากรูปที่ 5-1 แสดงผลตอบสนองของสถานะชั่วคราวของวงจรหนึ่งวัฏจักร ซึ่งใช้สัญญาณ นาฬิกาหลัก 10 คาบ หรือเท่ากับ 8 ไมโครวินาที ก่อนจะทำการซักรั่วอย่างใหม่



การทำงานของวงจรเริ่มต้นเมื่อสัญญาณนาฬิกาการซักรั่วอย่าง ( $\phi_s$ ) มีค่าสูง แรงดันอ้างอิงจะถูกรั่วอย่างเข้ามาเก็บไว้ในตัวเก็บประจุ  $C_{11}$  และ  $C_{12}$  ทำให้ผลต่างแรงดันของตัวเก็บประจุทั้งสองมีค่าเท่ากับ 1 โวลต์ เมื่อสัญญาณนาฬิกาที่ 1 ( $\phi_1$ ) มีค่าสูง ประจุถูกแบ่งครึ่งในคูตัวเก็บประจุ และจากกราฟ รูปที่ 5-1 รูปบน แรงดันมีค่าลดลงในลักษณะเอ็กโพเนนเชียล เนื่องจากความไม่เป็นอุดมคติของทรานซิสเตอร์ในการทำงานเป็นสวิตช์ที่มีความต้านทานช่องนำกระแสอยู่

ผลการจำลองสภาวะชั่วคราวของผลต่างแรงดันขาออกวงจรแปลงผันดิจิทัลเป็นแอนะล็อก ( $V_{D/A}$ ) แสดงไว้ดังรูปที่ 5-2 เมื่อวงจรมีแรงดันขาเข้า ( $V_{in}$ ) เท่ากับ 200 มิลลิโวลต์ แรงดัน  $V_{D/A}$  จะเปลี่ยนแปลงลู่เข้าตามสัญญาณขาเข้าในการเปรียบเทียบแต่ละครั้งเนื่องจากควบคุมการเพิ่ม/ลดประจุตามการทำงานของวงจรถัดที่กล่าวไว้ในบทที่ 3

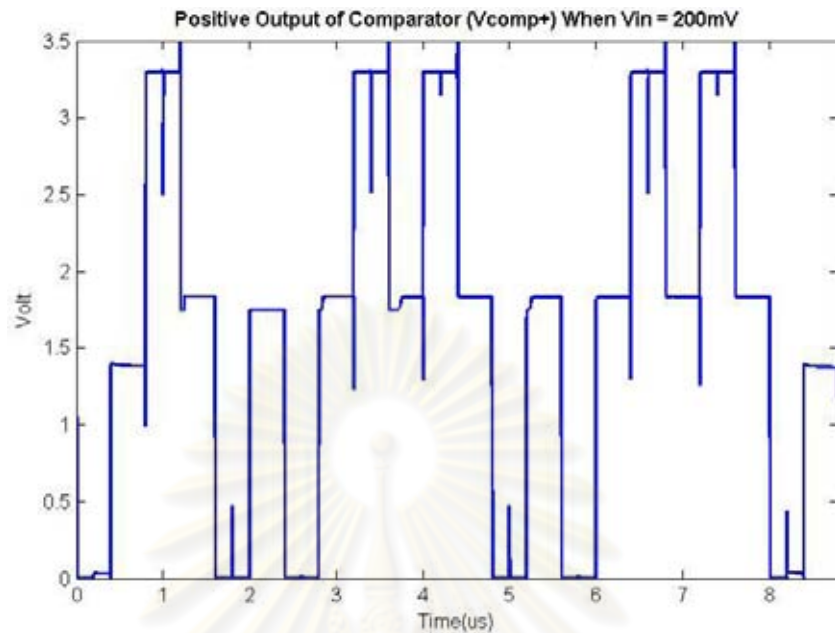
จุดมุลมใน รูปที่ 5-2 มีผลมาจากวงจรออปแอมป์มีจุดศูนย์ (Zero) ในระบบการทำงาน ดังนั้นขณะเริ่มทำการสะสมประจุ วงจรจึงไม่สามารถทำงานในการสะสมประจุได้ถูกต้อง ส่งผลให้แรงดัน  $V_{D/A}$  เปลี่ยนแปลงตามประจุที่ฉีดเข้าตัวเก็บประจุป้อนกลับ  $C_{31}$ - $C_{32}$  ช่วงหนึ่งก่อนที่วงจรออปแอมป์จะกลับมาทำงานได้อีกครั้ง



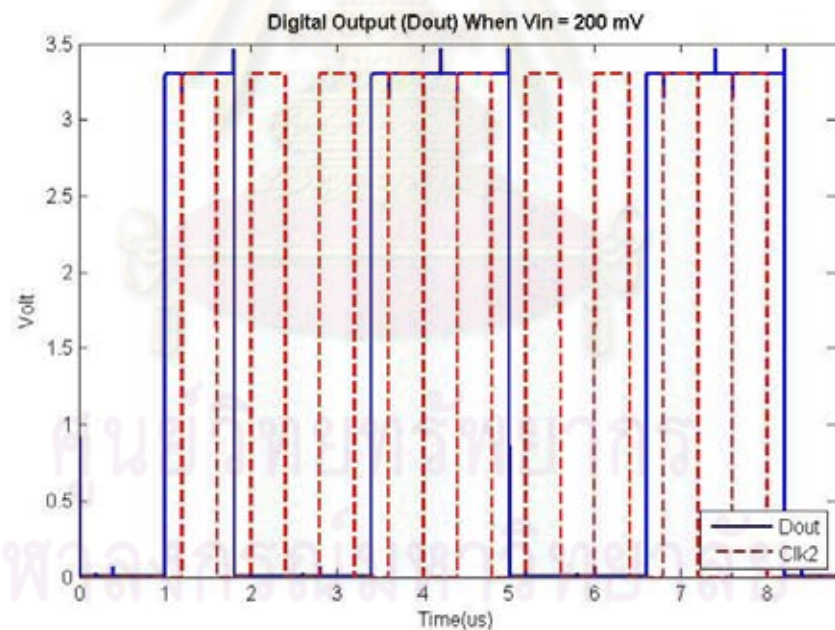
รูปที่ 5-2 ผลต่างแรงดันขาออกวงจรแปลงผันดิจิทัลเป็นแอนะล็อก ( $V_{D/A}$ ) และผลต่างแรงดันสัญญาณขาเข้าของวงจรแปลงผันแอนะล็อกเป็นดิจิทัล ( $V_{in}$ ) มีค่า 200 มิลลิโวลต์

จากรูปที่ 5-3 แรงดันขาออกด้านบวกของวงจรเปรียบเทียบ ( $V_{comp+}$ ) ทำงานตามสัญญาณนาฬิกาหลัก ( $\phi_{clk}$ ) ซึ่งตรงกับสัญญาณนาฬิกาที่ 1 ( $\phi_1$ ) โดยแรงดัน  $V_{comp+}$  มีค่าไม่คงที่และค่าลดลงขณะทำงานเกิดเป็นยอดแหลมตามรูป เนื่องจากในขณะนั้นมีการต่อขาแรงดันเข้ากับ

วงจรมกผันในวงจรแลตซ์พลวัตผ่านตัวส่งผ่าน (Transmission Gate) ซึ่งมีการสะท้อนกลับแรงดัน เนื่องจากการเปลี่ยนแปลงแรงดันขาออกวงจรมกผันเดิมจาก 0 โวลต์ เป็นแรงดัน  $V_{DD}$



รูปที่ 5-3 แรงดันขาออกด้านบวกวงจรมกผันเปรียบเทียบ ( $V_{comp+}$ ) เมื่อแรงดันขาเข้าเท่ากับ 200มิลลิโวลต์



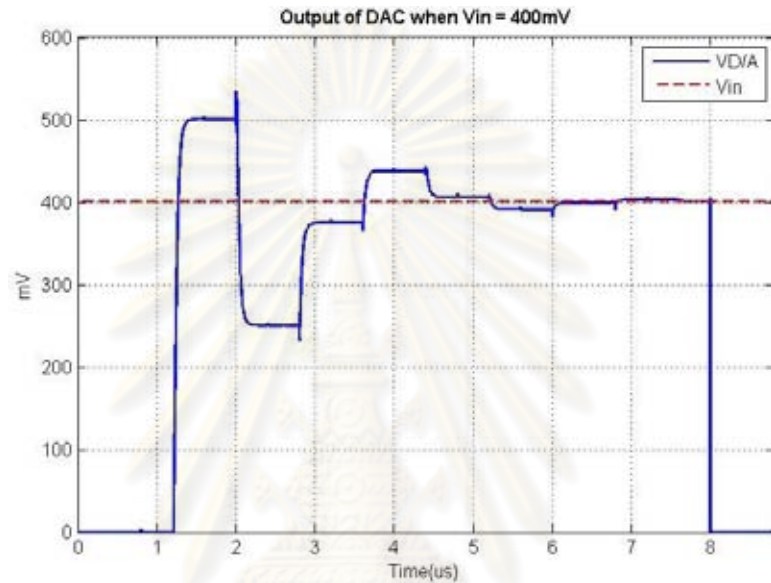
รูปที่ 5-4 สัญญาณดิจิทัลขาออก ( $D_{out}$ ) ซ้อนกับสัญญาณนาฬิกาที่ 2 ( $clk2$ ) เมื่อแรงดันขาเข้าเท่ากับ 200มิลลิโวลต์

จากรูปที่ 5-4 สัญญาณดิจิทัลขาออกจากวงจรมกผันแลตซ์พลวัตสามารถอ่านค่าได้โดยเทียบกับสัญญาณนาฬิกาที่ 2 ( $\phi_2$ ) ดังนั้นจากรูปที่ 5-4 สัญญาณดิจิทัลขาออก 9 บิตจึงมีค่าเท่ากับ

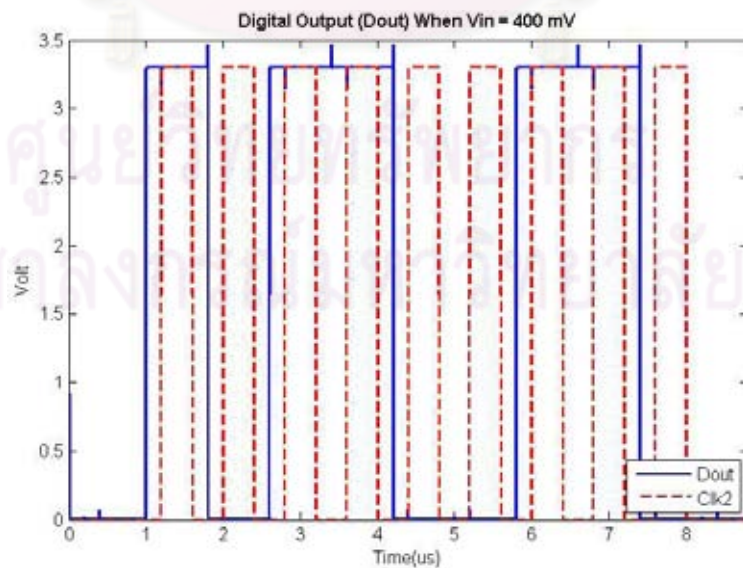
100110011 เนื่องจากบิตแรกมีค่าเป็น 1 บ่งบอกว่าสัญญาณขาเข้าเป็นบวก ดังนั้นเมื่อทำการแปลงค่าเลขฐานสองกลับไปเป็นสัญญาณแอนะล็อกได้คือ

$$\text{Analog Voltage} = (00110011_2 = 51_{10}) \times 3.90625\text{mV} = 0.19921875\text{ V} \quad (5-7)$$

ยอดแหลมของกราฟแรงดันในรูปที่ 5-4 เกิดจากวงจรการเปิดตัวส่งผ่าน  $T_2$  ในรูปที่ 4-23 เพื่อให้วงจรแลตซ์ทำการจดจำสัญญาณดิจิทัลขาออกไว้จนกว่าจะถึงการตัดสินใจระดับสัญญาณในบิตถัดไป



รูปที่ 5-5 ผลต่างแรงดันขาออกวงจรแปลงผันดิจิทัลเป็นแอนะล็อก ( $V_{D/A}$ ) และผลต่างแรงดันสัญญาณขาเข้าของวงจรแปลงผันแอนะล็อกเป็นดิจิทัล ( $V_{in}$ ) มีค่า 400 มิลลิโวลต์

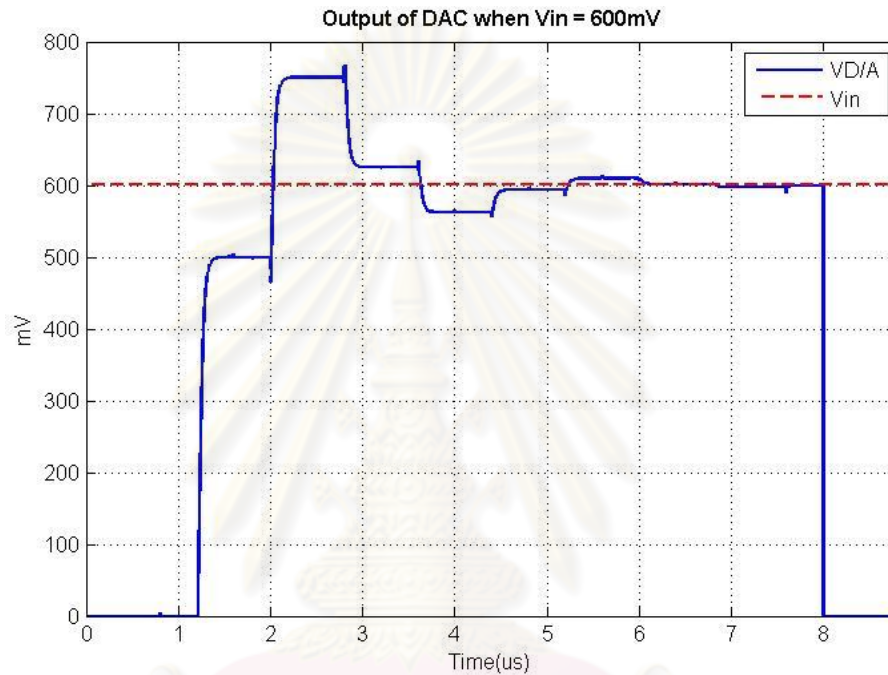


รูปที่ 5-6 สัญญาณดิจิทัลขาออก ( $D_{out}$ ) ซ้อนกับสัญญาณนาฬิกาที่ 2 ( $clk2$ ) เมื่อแรงดันขาเข้าเท่ากับ 400 มิลลิโวลต์

ผลการจำลองสภาวะชั่วคราวของแรงดัน  $V_1$  และ  $V_2$  เมื่อแรงดันขาเข้าเท่ากับ 400 มิลลิโวลต์ ให้ผลเหมือนกันเมื่อแรงดันขาเข้าเท่ากับ 200 มิลลิโวลต์จึงไม่นำมาแสดงอีกต่อไป

ผลการจำลองสภาวะชั่วคราวของแรงดัน  $V_{D/A}$  เมื่อแรงดันขาเข้ามีค่าเท่ากับ 400 มิลลิโวลต์มีแสดงดังรูปที่ 5-5 และ สัญญาณดิจิทัลขาออกมีแสดงดังรูปที่ 5-6 โดยมีค่า 9 บิต ดิจิทัลเท่ากับ 101100110

$$\text{Analog Voltage} = (01100110_2 = 102_{10}) \times 3.90625\text{mV} = 0.3984375\text{ V} \quad (5-8)$$



รูปที่ 5-7 กราฟผลต่างแรงดันขาออกวงจรแปลงผันดิจิทัลเป็นแอนะล็อก ( $V_{D/A}$ ) และผลต่างแรงดันสัญญาณขาเข้าของวงจรแปลงผันแอนะล็อกเป็นดิจิทัล ( $V_{in}$ ) มีค่า 600 มิลลิโวลต์

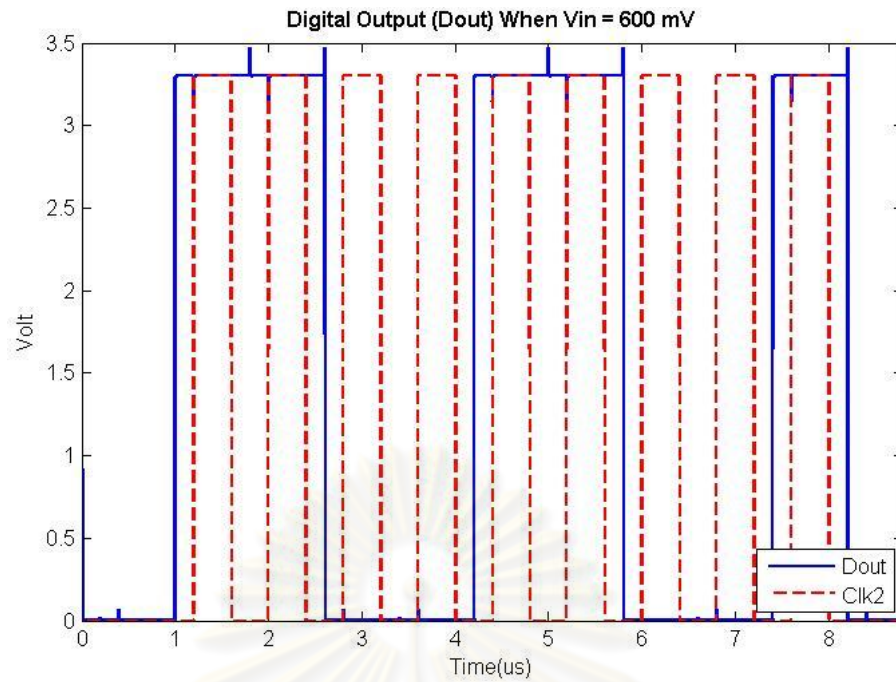
ผลการจำลองสภาวะชั่วคราวของแรงดัน  $V_{D/A}$  เมื่อแรงดันขาเข้ามีค่าเท่ากับ 600 มิลลิโวลต์มีแสดงดังรูปที่ 5-7 และ สัญญาณดิจิทัลขาออกมีแสดงดังรูปที่ 5-8 โดยมีค่า 9 บิต ดิจิทัลเท่ากับ

110011001

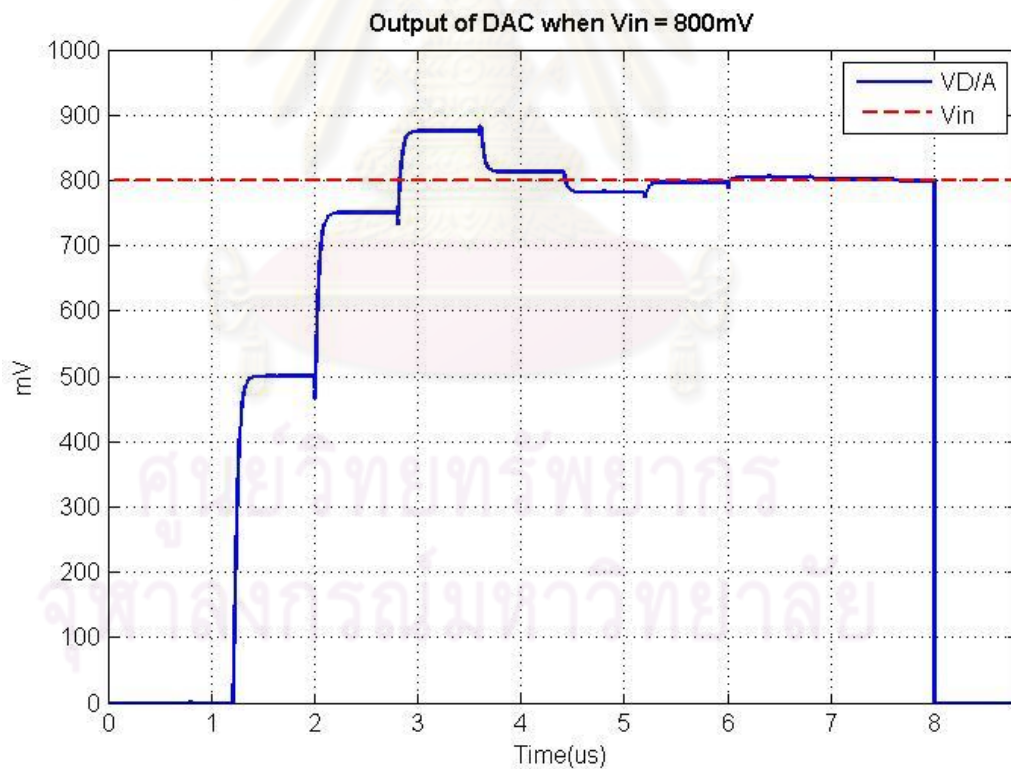
$$\text{Analog Voltage} = (10011001_2 = 153_{10}) \times 3.90625\text{mV} = 0.59765625\text{V} \quad (5-9)$$

ดังเช่นผลการจำลองที่แรงดันขาเข้า 200 และ 400 มิลลิโวลต์ ผลการจำลองมีความไม่เป็นอุดมคติเช่นเดียวกันในการทำงาน

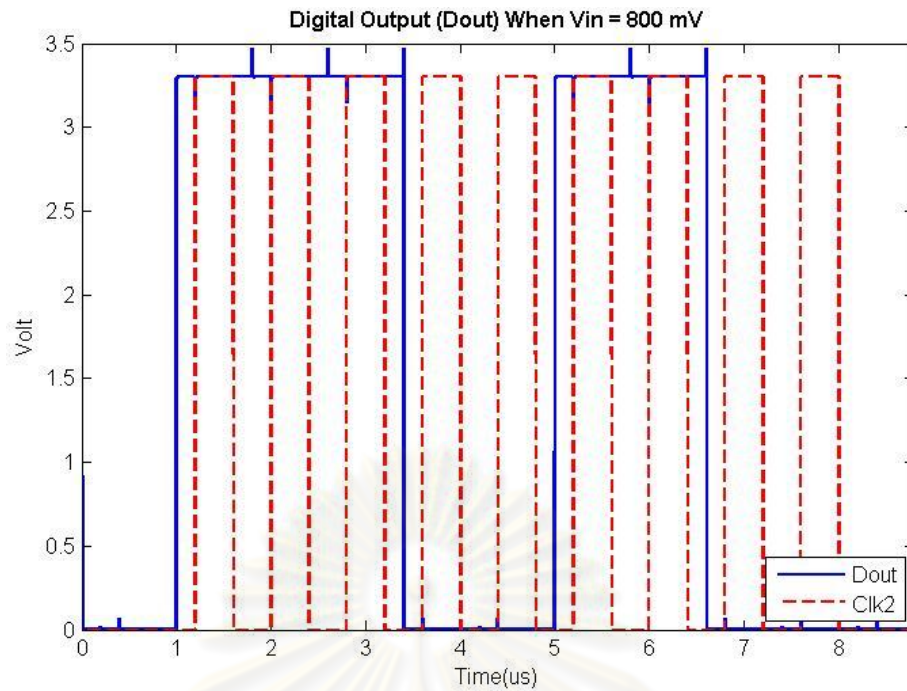




รูปที่ 5-8 สัญญาณดิจิทัลขาออก ( $D_{out}$ ) ซ้อนกับสัญญาณนาฬิกาที่ 2 ( $clk2$ ) เมื่อแรงดันขาเข้า เท่ากับ 600 มิลลิโวลต์



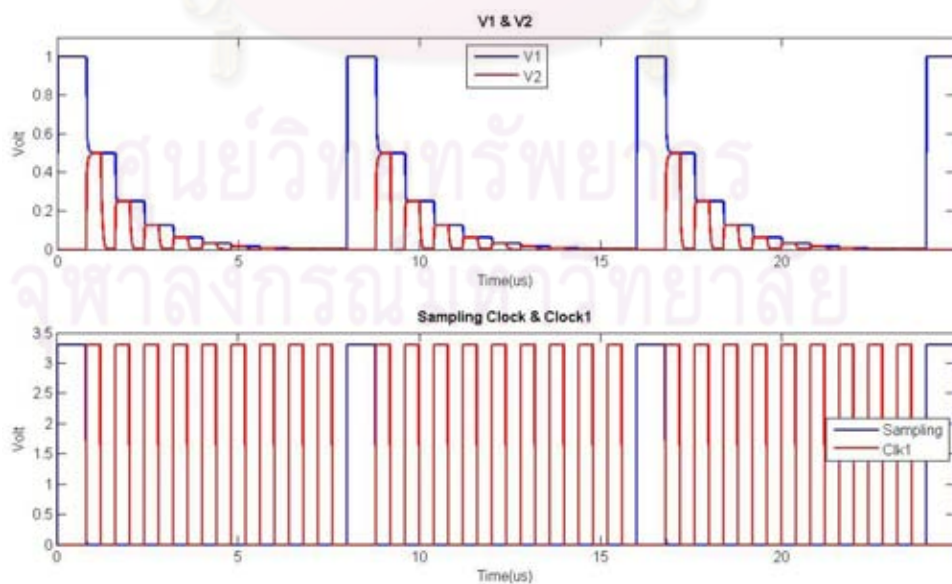
รูปที่ 5-9 กราฟผลต่างแรงดันขาออกวงจรแปลงผันดิจิทัลเป็นแอนะล็อก ( $V_{D/A}$ ) และผลต่างแรงดัน สัญญาณขาเข้าของวงจรแปลงผันแอนะล็อกเป็นดิจิทัล ( $V_{in}$ ) มีค่า 800 มิลลิโวลต์



รูปที่ 5-10 สัญญาณดิจิทัลขาออก ( $D_{out}$ ) ซ้อนกับสัญญาณนาฬิกาที่ 2 ( $clk2$ ) เมื่อแรงดันขาเข้าเท่ากับ 800 มิลลิโวลต์

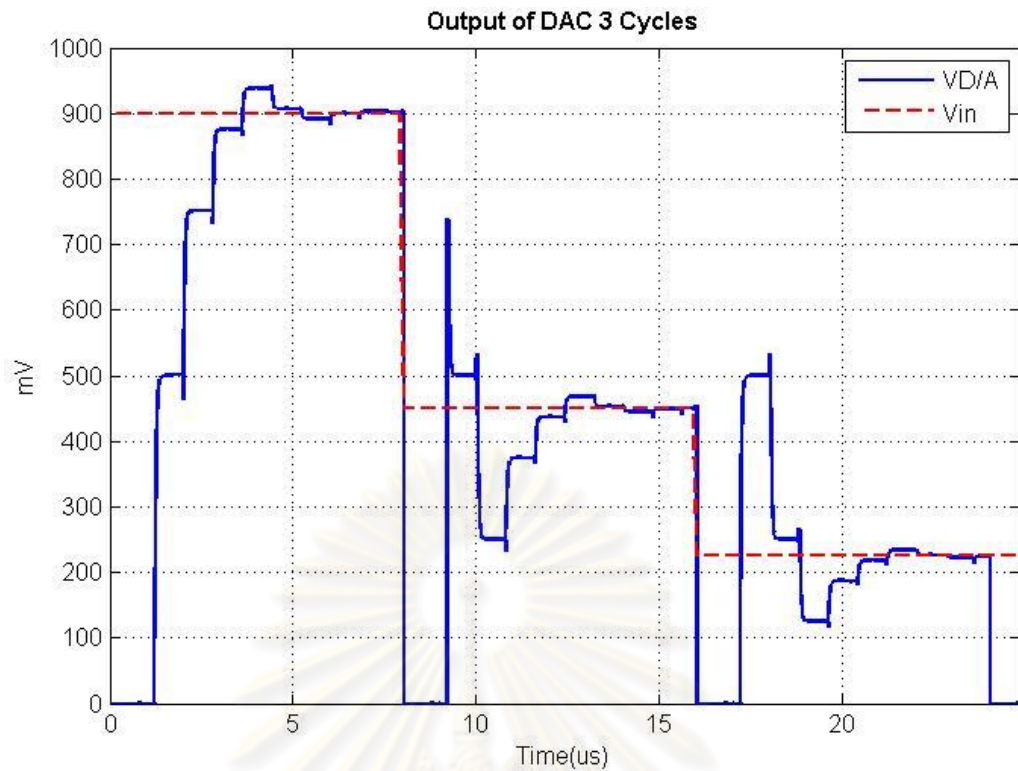
ผลการจำลองสภาวะชั่วคราวของแรงดัน  $V_{D/A}$  เมื่อแรงดันขาเข้ามีค่าเท่ากับ 800 มิลลิโวลต์มีแสดงดังรูปที่ 5-9 และ สัญญาณดิจิทัลขาออกมีแสดงดังรูปที่ 5-10 โดยมีค่า 9 บิต ดิจิทัลเท่ากับ 111001100

$$\text{Analog Voltage} = (11001100_2 = 204_{10}) \times 3.90625mV = 0.796875V \quad (5-10)$$

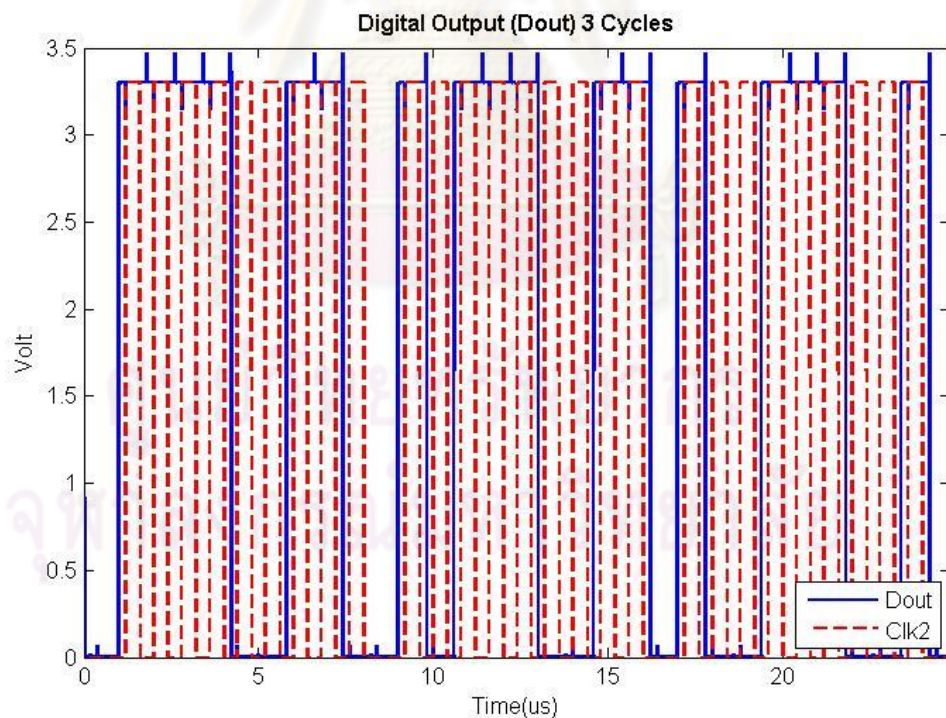


รูปที่ 5-11 รูปบน: กราฟผลต่างแรงดัน  $V_1$  และ  $V_2$  3 วัฏจักรการแปลงผัน, รูปล่าง: กราฟสัญญาณนาฬิกาที่ 1 ( $\phi_1$ ) และสัญญาณการซัดตัวอย่าง ( $\phi_s$ ) 3 วัฏจักรการแปลงผัน





รูปที่ 5-12 กราฟผลต่างแรงดันขาออกวงจรแปลงผันดิจิทัลเป็นแอนะล็อก ( $V_{D/A}$ ) และผลต่างแรงดันสัญญาณขาเข้าของวงจรแปลงผันแอนะล็อกเป็นดิจิทัล ( $V_{in}$ ) ที่มีค่าเปลี่ยนแปลง



รูปที่ 5-13 สัญญาณดิจิทัลขาออก ( $D_{out}$ ) ซ้อนกับสัญญาณนาฬิกาที่ 2 ( $clk2$ ) เมื่อแรงดันขาเข้ามีค่าเปลี่ยนไป 3 วัฏจักร

ผลการจำลองสภาวะชั่วคราวของวงจรแปลงผันทำงาน 3 วัฏจักรได้ถูกแสดงในรูปที่ 5-11 ถึงรูปที่ 5-13 โดยแรงดันขาเข้ามีค่าเปลี่ยนแปลงทุกวัฏจักรดังนี้คือ 900 มิลลิโวลต์, 450 มิลลิโวลต์ และ 225 มิลลิโวลต์ และได้ผลการจำลองแรงดัน  $V_{D/A}$  ดังแสดงในรูปที่ 5-12 แรงดัน  $V_{D/A}$  จะลู่เข้าแรงดัน  $V_{in}$  ของวงจรแปลงผันในทุกวัฏจักร สัญญาณดิจิทัลขาออกมีผลแสดงดังรูปที่ 5-13 สามารถอ่านค่าสัญญาณ 8 บิตได้ดังนี้

$$1^{st} \text{ Cycle: Analog Voltage} = (11100110_2 = 230_{10}) \times 3.90625mV = 0.8984375V \quad (5-11)$$

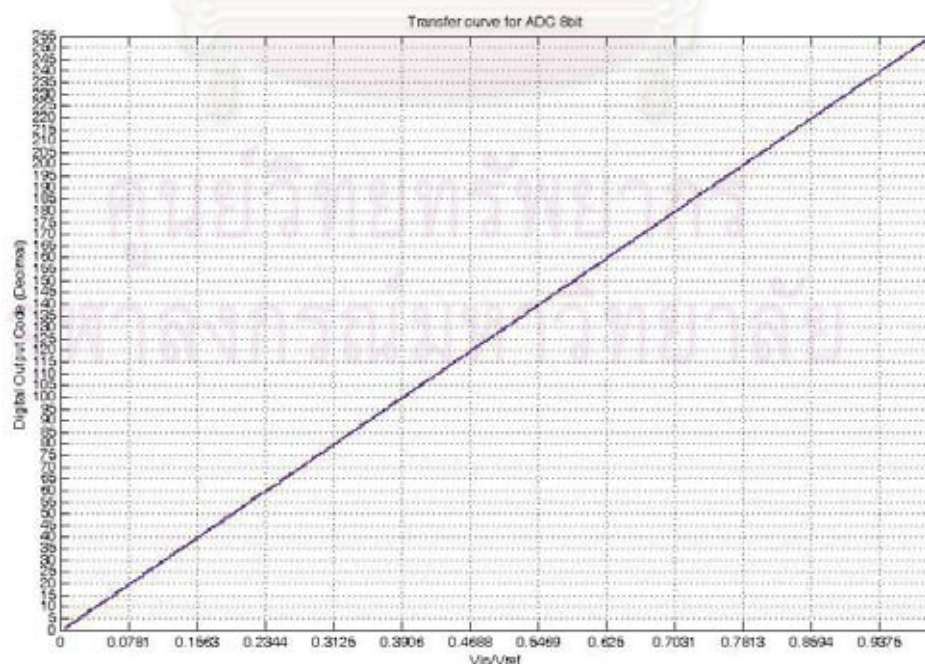
$$2^{nd} \text{ Cycle: Analog Voltage} = (01110011_2 = 115_{10}) \times 3.90625mV = 0.44921875V \quad (5-12)$$

$$3^{rd} \text{ Cycle: Analog Voltage} = (00111001_2 = 57_{10}) \times 3.90625mV = 0.22265625V \quad (5-13)$$

จากการจำลองแสดงให้เห็นถึงการแปลงผันที่ใกล้เคียงกับแรงดันขาเข้าของวงจร และวงจรสามารถทำงานได้ปกติในสามวัฏจักร

### 5.3. ผลความไม่เชิงเส้นผลต่างและความไม่เชิงเส้นผลรวมของวงจรแปลงผัน 8 บิต (Differential Nonlinearity and Integral Nonlinearity of 8 bits Proposed ADC)

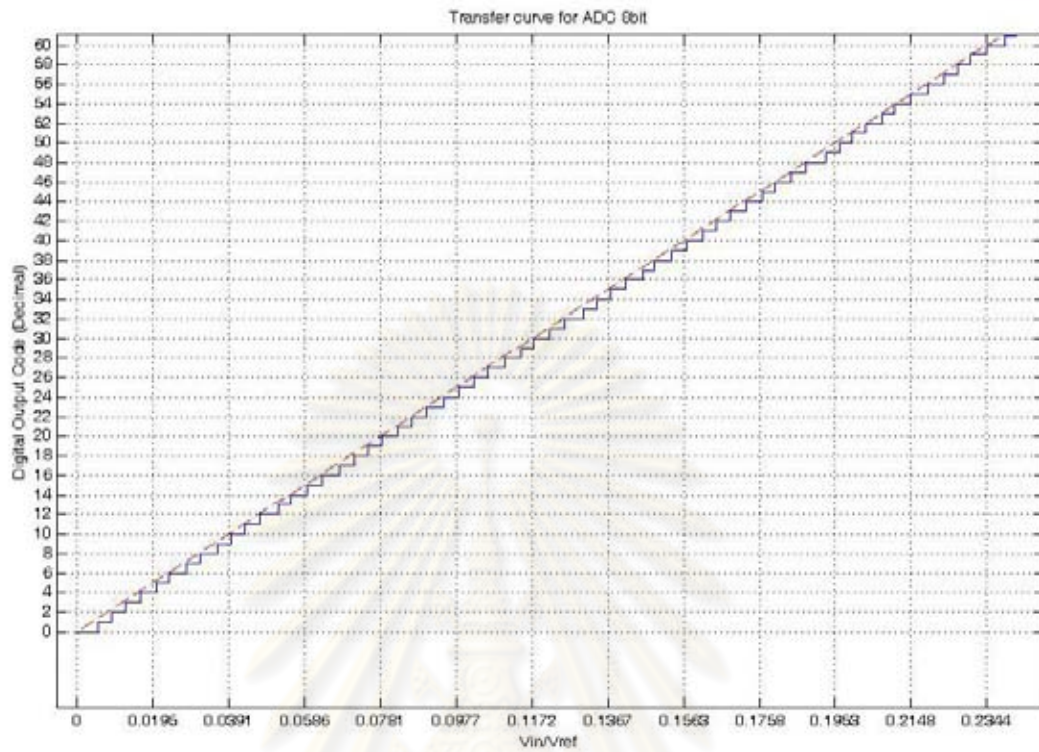
จากการจำลองสภาวะชั่วคราวของวงจรแปลงผันเมื่อกวาดแรงดันขาเข้าจาก 0 โวลต์ ถึง 1 โวลต์ ทีละ 0.1 บิตความสำคัญน้อยที่สุด (0.1 LSB) ทำให้สามารถหากราฟการถ่ายโอน (Transfer Curve) ของการแปลงผันสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล 8 บิต ได้ดังรูปที่ 5-14



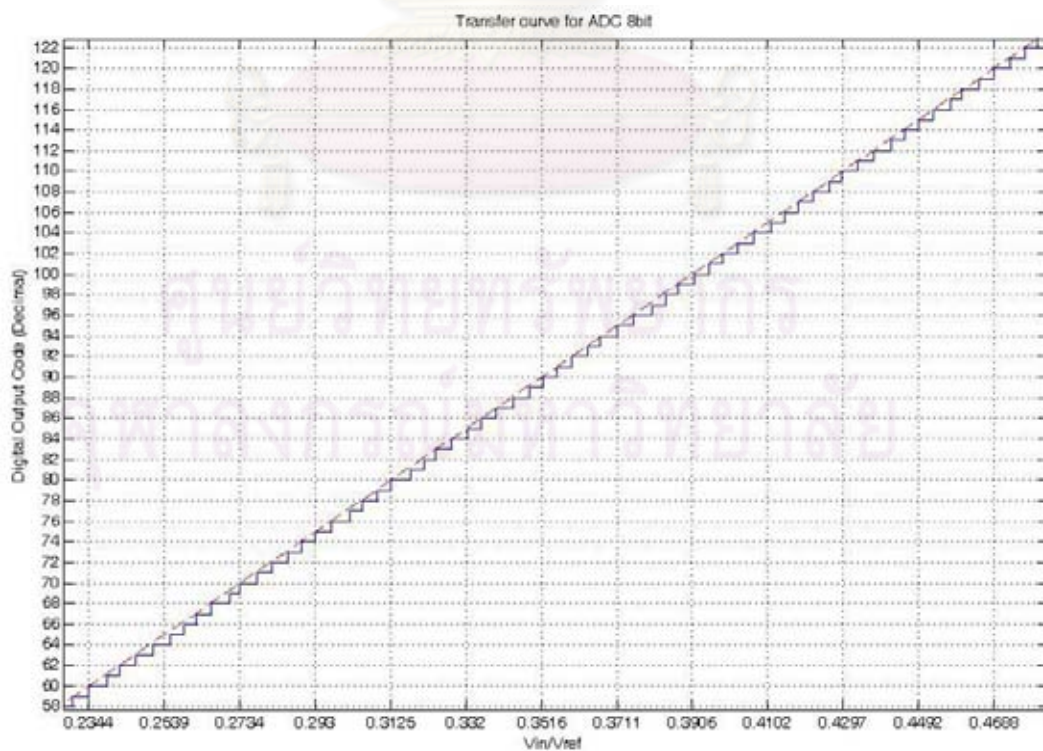
รูปที่ 5-14 กราฟการถ่ายโอนของวงจรแปลงผัน 8 บิต



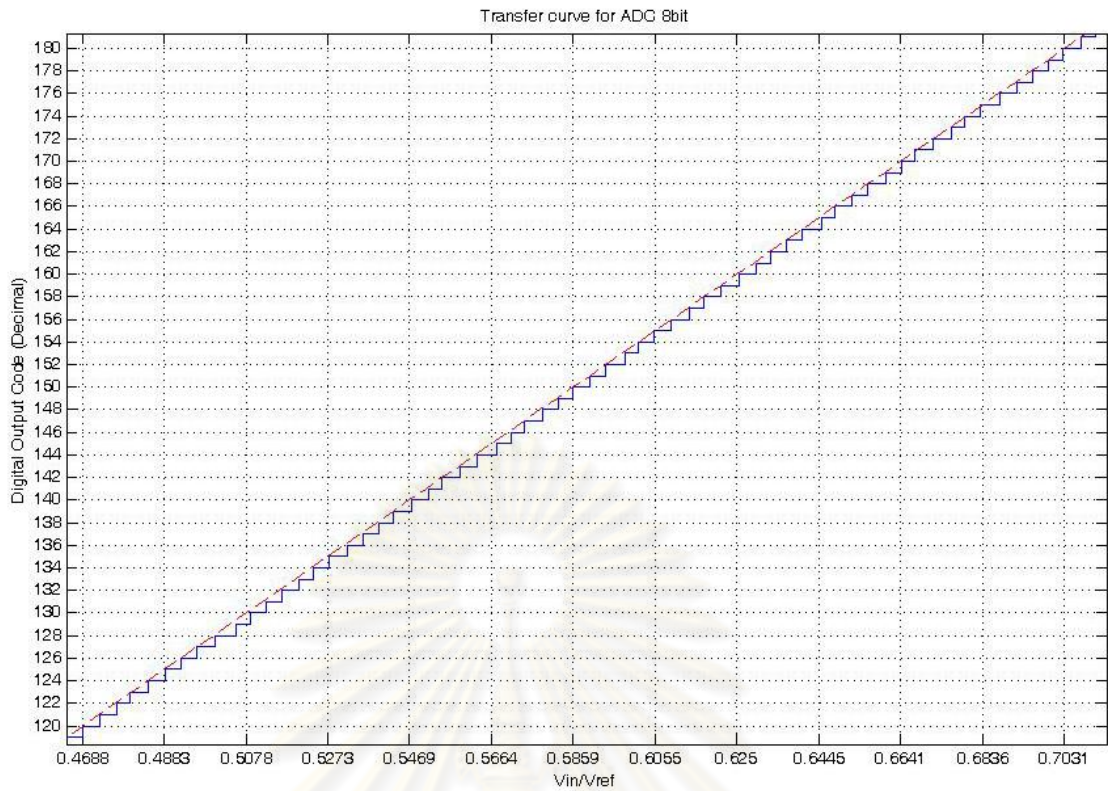
โดยกราฟในรูปที่ 5-14 สามารถขยายได้ดังในรูปที่ 5-15 ถึง รูปที่ 5-18 โดยฟังก์ชันการถ่ายโอนอยู่ในรูปของขั้นบันได (สีน้ำเงิน) และกราฟการแปลงผันอุดมคติ (เส้นประสีแดง)



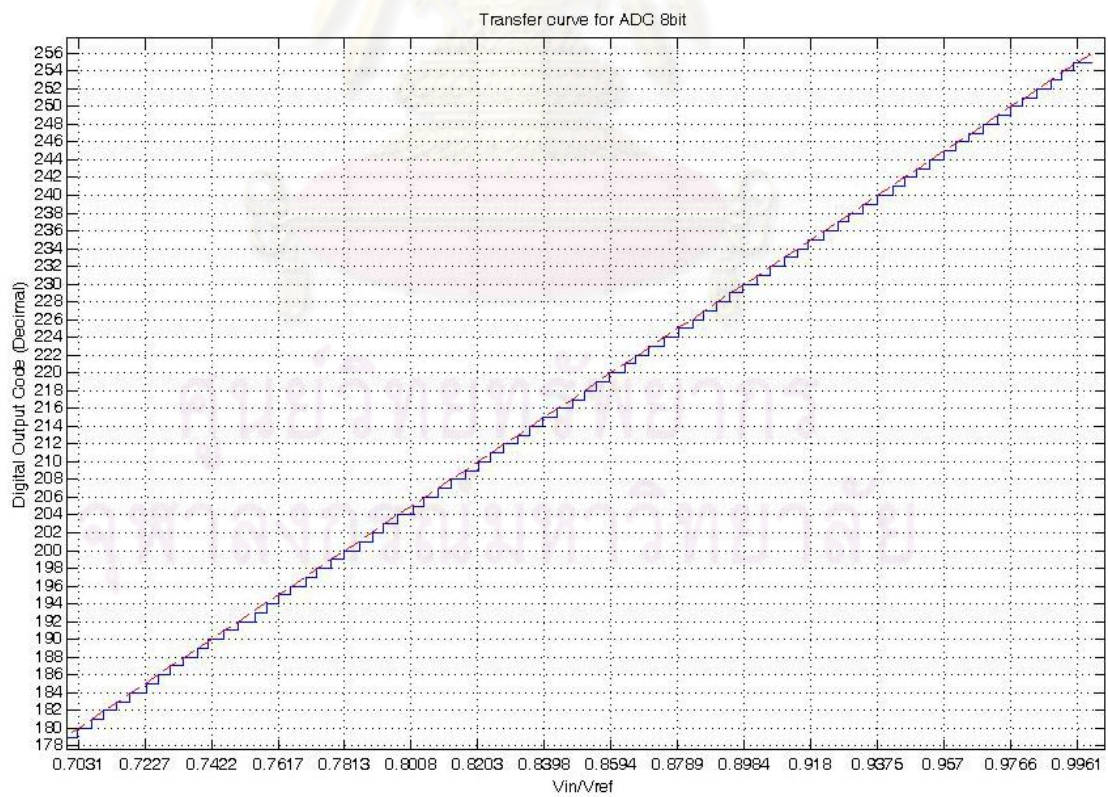
รูปที่ 5-15 กราฟการถ่ายโอนของวงจรแปลงผัน 8 บิตในช่วงบิต 0 ถึงบิต 60



รูปที่ 5-16 กราฟการถ่ายโอนของวงจรแปลงผัน 8 บิตในช่วงบิต 60 ถึงบิต 120



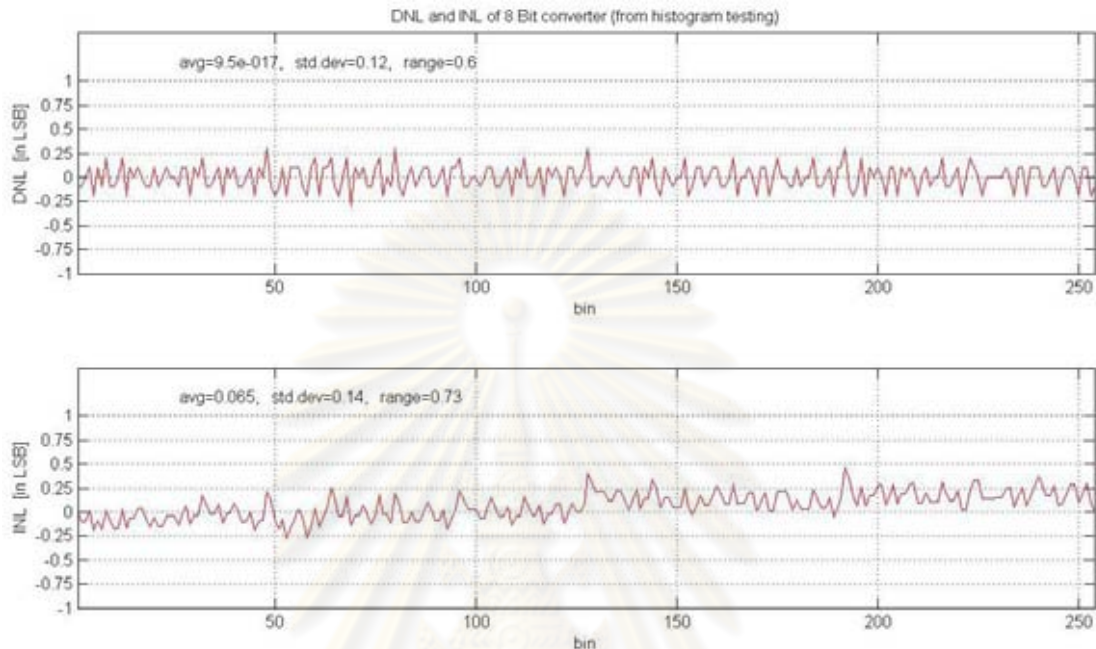
รูปที่ 5-17 กราฟการถ่ายโอนของวงจรแปลงผัน 8 บิตในช่วงบิต 120 ถึงบิต 180



รูปที่ 5-18 กราฟการถ่ายโอนของวงจรแปลงผัน 8 บิตในช่วงบิต 180 ถึงบิต 255



จาก รูปที่ 5-15 ถึง รูปที่ 5-18 เกิดการตัดสินบิตผิดพลาดในบางชั้นของกราฟการถ่ายโอน นำมาวาดกราฟความไม่เป็นเชิงเส้นผลต่างและความไม่เป็นเชิงเส้นผลรวม มีค่าดังรูปที่ 5-19 ความไม่เป็นเชิงเส้นผลต่างและผลรวมมีค่าไม่เกิน  $\pm 0.5 \text{ LSB}$  เพื่อรับประกันว่าวงจรจะไม่มีการหายของโค้ด (Missing Code) และให้ความละเอียดการแปลงผัน 8 บิตได้จริง



รูปที่ 5-19 ความไม่เป็นเชิงเส้นผลต่างและความไม่เป็นเชิงเส้นผลรวม

#### 5.4. สรุปท้ายบท

ไบบเทนี้กล่าวถึงพลังงานที่ใช้ของวงจรแปลงผันสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก โดยพลังงานของวงจรแปลงผันในงานวิจัยนี้ขึ้นอยู่กับวงจรออปแอมป์ ในการสะสมประจุ ดังนั้น การลดพลังงานของวงจรออปแอมป์ทำให้วงจรกินกำลังงานที่ต่ำ

อีกทั้งในบทนี้ได้แสดงผลการจำลองสถานะชั่วคราวของวงจรแปลงผันสัญญาณแอนะล็อก เป็นสัญญาณดิจิทัลต้นแบบที่ใช้หลักการแบ่งครึ่งประจุและสะสมประจุซึ่งแสดงค่าความไม่แน่นอนคติในการทำงานของสวิตช์ วงจรออปแอมป์สะสมประจุ วงจรเปรียบเทียบ และวงจรแลตช์พลวัต โดยเปลี่ยนแรงดันขาเข้าค่าต่างๆในการทำงานและให้สัญญาณขาออกตาม 8 บิตรวมถึงผลการหาความไม่เป็นเชิงเส้นผลต่างและผลรวมของวงจรจากการกวาดแรงดันขาเข้าผลต่างเพื่อแสดงให้เห็นถึงการทำงานของวงจรสามารถให้ความละเอียด 8 บิตจริง

## บทที่ 6

### ข้อสรุปและข้อเสนอแนะ

#### 6.1. ข้อสรุป

งานวิจัยนี้ได้ออกแบบวงจรแปลงผันสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลแบบการประมาณแบบสี่บิตโดยใช้เทคนิคการแบ่งครึ่งประจุและการสะสมประจุ โดยใช้โครงสร้างสวิตช์และตัวเก็บประจุ รวมถึงวงจรออปแอมป์ ที่อัตราขยายไฟตรงสูงในการทำเทคนิคทั้งสอง การเปรียบเทียบของสัญญาณใช้วงจรเปรียบเทียบที่ประกอบด้วยวงจรออปแอมป์ขาเข้าและวงจรตัดสินใจระดับสัญญาณ ส่งออกไปยังวงจรแลตช์ฟลิวทเพื่อจดจำและปรับระดับสัญญาณดิจิทัลขาออก ป้อนกลับไปยังวงจรล็อกจิกควบคุมเพื่อควบคุมการเพิ่มหรือลดประจุในวงจรสะสมประจุ การหาขนาดทรานซิสเตอร์ของวงจรรวมเน้นความเร็วและความผิดพลาดในวงจรเป็นหลักในการออกแบบ โดยใช้เทคโนโลยีมอสเฟต 0.5  $\mu\text{m}$  ในการออกแบบสวิตช์ และใช้ตัวเก็บประจุ 1 pF จำนวน 6 ตัวในการสร้างแรงดันเปรียบเทียบใหม่ ต่อเข้ากับวงจรออปแอมป์สองระยะที่ใช้ในการสะสมประจุ ในวงจรเปรียบเทียบใช้วงจรขยายขาเข้าซึ่งมีโครงสร้างเป็นวงจรออปแอมป์หนึ่งระยะที่ความเร็วสูงกว่าความเร็วของระบบ และตัดสินใจระดับสัญญาณผ่านวงจรตัดสินใจระดับสัญญาณที่ใช้การต่อวงจรผกผันป้อนกลับแบบบวกเพื่อสร้างสัญญาณดิจิทัลขาออก วงจรสามารถให้ความละเอียด 8 บิต เมื่อใช้ความเร็วสัญญาณนาฬิกา 1.25 MHz ทำให้มีอัตราการชกตัวอย่าง 0.15625 Msample/s โดยวงจรแปลงผันแอนะล็อกเป็นดิจิทัลกินพลังงาน 347.14  $\mu\text{Watt}$  โดยประมาณในหนึ่งวัฏจักรที่ใช้แรงดันแหล่งจ่าย 3.3 โวลต์

#### 6.2. ข้อเสนอแนะ

1. ปัญหาในการแกว่งของสัญญาณจำเป็นต้องให้สัญญาณแกว่งรอบแรงดันผลรวมและสัญญาณขาเข้าของวงจรจำเป็นต้องการระดับแรงดันผลต่างสมบูรณ์ที่มีระดับเดียวกับวงจรแปลงผันเพื่อให้สามารถเปรียบเทียบได้ถูกต้องจึงจำเป็นต้องออกแบบวงจรเปลี่ยนระดับแรงดันผลรวมของแรงดันขาเข้าในวงจรเพิ่มเติม



## รายการอ้างอิง

- [1] Johns, D. and Martin, K. Analog Integrated Circuit Design. John Wiley & Sons, USA, 1997
- [2] Kugelstadt, T. The operation of SAR ADC based on Charge Redistribution.  
[Online] Available from: <http://focus.ti.com.cn/cn/cn/lit/an/sly176/slyt176.pdf>  
[2009, March]
- [3] Jacob Baker, R. CMOS Circuit Design, Layout and Simulation, John Wiley & Sons, USA, 2008
- [4] Razavi, B. Design of Analog CMOS Integrated Circuits. McGrawHill: New York, USA, 2001
- [5] Gray, P. R., Hurst, P. J., Lewis S. L., and Meyer, R. G. Analysis and Design of Analog Integrated Circuits. John Wiley & Sons, International, 2010
- [6] Patheera Uthaichana, Ekachai Leelarasmee. Low Power CMOS Dynamic Latch Comparators. TENCON Conference, Vol.2, P. 605, 2003
- [7] Samid, L., Volz, P., Manoli, Y., A dynamic analysis of latched CMOS Comparator. ISCAS Proceeding of the 2004 International Symposium, Vol.1, P. I, 2004
- [8] MOSIS INC. MOSFET SCN 0.5um. [Online]  
Available from: <http://www.mosis.com/cgi-bin/cgiwrap/umosis/swp/params/ami-c5/ami-c5/t6bj-params.txt> [2009, March]

## ประวัติผู้เขียนวิทยานิพนธ์

นายวาริท ลิ้มวิบูลย์ เกิดวันที่ ๓ กรกฎาคม พุทธศักราช ๒๕๓๑ ที่จังหวัด กรุงเทพมหานคร สำเร็จการศึกษาระดับปริญญาวิทยาศาสตรบัณฑิตเกียรตินิยมอันดับสอง สาขาวิชาวิศวกรรมไฟฟ้า จากคณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย ในปีการศึกษา ๒๕๕๑ และสมัครเข้าศึกษาต่อในหลักสูตรวิทยาศาสตรมหาบัณฑิต สาขาภาควิชาวิศวกรรมไฟฟ้า แขนงวิศวกรรมไฟฟ้าอิเล็กทรอนิกส์ รอนิกส์เชิงเลข ที่คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย ในปีการศึกษา ๒๕๕๒ และได้รับการตีพิมพ์บทความชื่อ A successive Approximation ADC based on Charge Sharing and Charge Accumulation techniques ในวารสารชื่อ ICoSoc ๒๐๑๐ Proceeding ฉบับที่ ๑ ปีพุทธศักราช ๒๕๕๓ หน้า ๑-๔



ศูนย์วิทยพัชการ  
จุฬาลงกรณ์มหาวิทยาลัย