บทที่ 2

แนวคิดและทฤษฎี

2.1 หลักการถ่ายภาพด้วยรังสี

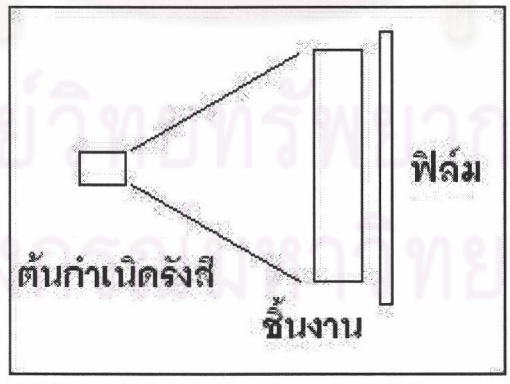
การถ่ายภาพด้วยรังสีอาศัยความสามารถในการทะลุทะลวงผ่านวัสดุของรังสีเพื่อตรวจสอบและตรวจหารอยบกพร่องหรือสิ่งผิดปกติในชิ้นงาน รังสีที่ทะลุผ่านชิ้นงานไปได้จะทำปฏิกิริยากับฟิล์ม ความดำที่ปรากฏให้เห็นบนฟิล์มภายหลังการล้างฟิล์มจะมากหรือน้อยขึ้นอยู่กับปริมาณรังสีที่ทะลุผ่านชิ้นงานไปทำปฏิกิริยากับฟิล์ม ความเข้มรังสีที่ทะลุผ่านวัสดุ (I_x) มีความสัมพันธ์กับความเข้มรังสีที่ตกกระทบวัสดุ (I_0) ดังนี้

$$I_x = I_0 \exp(-\mu x) \qquad (2.1)$$

μ คือ สัมประสิทธิ์การลดทอนของวัสดุซึ่งขึ้นอยู่กับชนิดของวัสดุและพลังงานของรังสี

x คือ ความหนาของวัสดุ

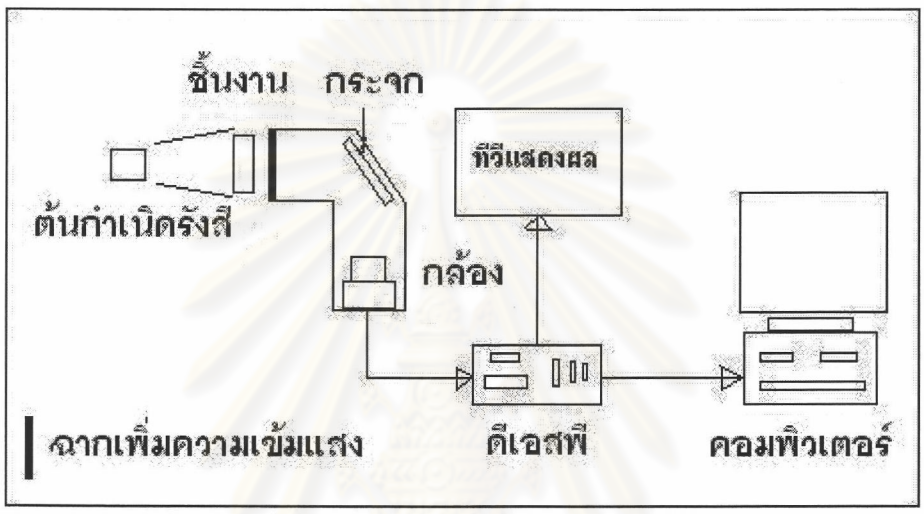
การถ่ายภาพด้วยรังสีดั้งเดิมประกอบด้วยต้นกำเนิดรังสี ชิ้นงานที่ต้องการถ่ายภาพและฟิล์มเป็นส่วนแสดงผล มีการจัดอุปกรณ์ในการถ่ายภาพดังรูป 2.1



รูปที่ 2.1 แสดงหลักการถ่ายภาพด้วยรังสีโดยใช้ฟิล์มรับภาพ

การถ่ายภาพด้วยรังสีแบบดั้งเดิมจะใช้ฟิล์มเป็นส่วนแสดงผล หลังการถ่ายภาพจะต้องนำฟิล์มที่ได้ผ่านกระบวนการล้างฟิล์มซึ่งยุ่งยาก ค่าใช้จ่ายสูงและใช้เวลานาน นอกจากนี้การถ่าย

ภาพด้วยรังสียังมีข้อจำกัดในด้านเทคนิคการปฏิบัติคือเจ้าหน้าที่ต้องมีความรู้ความชำนาญในการถ่ายภาพด้วยรังสี ดังนั้นจึงได้มีการนำกล้องถ่ายภาพขาว - ดำชนิดซีซีดี (B/W CCD Camera) เพื่อเก็บข้อมูลภาพที่ได้จากการถ่ายภาพแทนการใช้ฟิล์มเพราะสามารถเห็นภาพของชิ้นงานได้ทันทีหลังการถ่ายภาพ หากภาพที่ได้ไม่ชัดเจนหรือมีความผิดพลาดอื่นเกิดขึ้นก็สามารถถ่ายภาพได้ใหม่โดยไม่ต้องรอการล้างฟิล์ม การจัดอุปกรณ์ในการถ่ายภาพโดยใช้กล้องซีซีดีเป็นอุปกรณ์รับภาพดังรูป 2.2



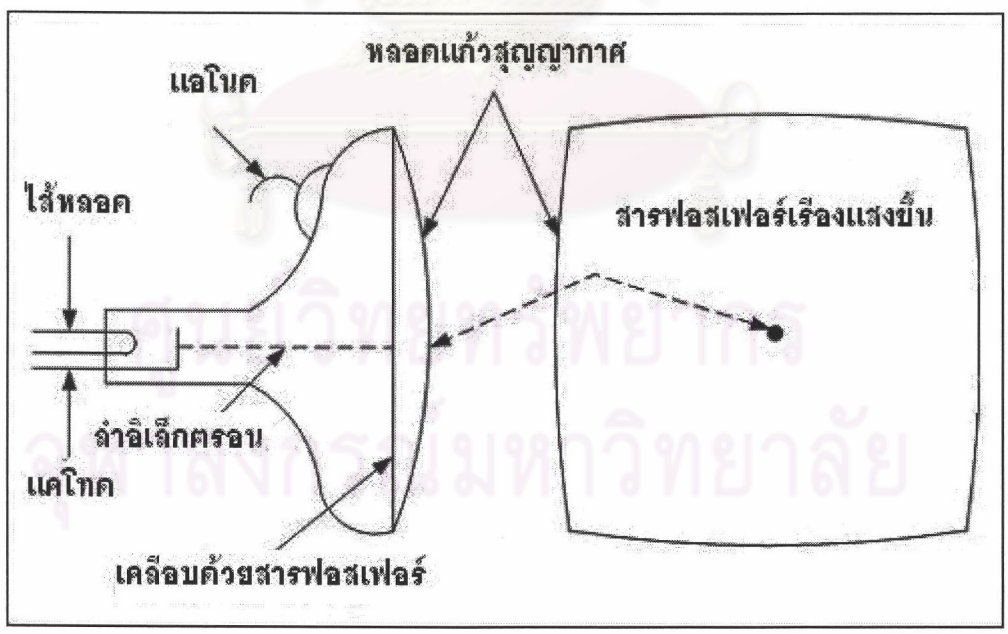
รูปที่ 2.2 แสดงการถ่ายภาพด้วยรังสีโดยใช้กล้องซีซีดีรับภาพ

การถ่ายภาพด้วยรังสีจะต้องมีอุปกรณ์แปลงความเข้มรังสีเป็นความเข้มแสงเรียกว่าฉากเรืองรังสี (Fluorescent screens) เป็นฉากที่ทำด้วยผลึกของสารประกอบบางชนิดเช่น สังกะสีซัลไฟด์ (Zinc Sulfide) , แคลเซียมทังสะเตต (Calcium Tungstate) เป็นต้น เมื่อฉากนี้ถูกรังสีจะเปล่งแสงออกมาโดยขนาดของผลึกสารเรืองรังสีมีผลต่อความคมชัดของภาพ ฉากที่มีผลึกหยาบจะมีประสิทธิภาพในการเปลี่ยนรังสีเป็นแสงได้สูงแต่ภาพที่ได้ก็จะมีความละเอียดและความคมชัดไม่ดี การถ่ายภาพด้วยรังสีโดยใช้กล้องซีซีดีรับภาพจากฉากเรืองรังสีจะสามารถเห็นภาพได้ทันทีหรือเรียกว่าระบบเรียลไทม์ (Real Time Imaging) ซึ่งใช้หลักการเดียวกับระบบโทรทัศน์วงจรปิด

2.2 ทฤษฎีการสร้างภาพ

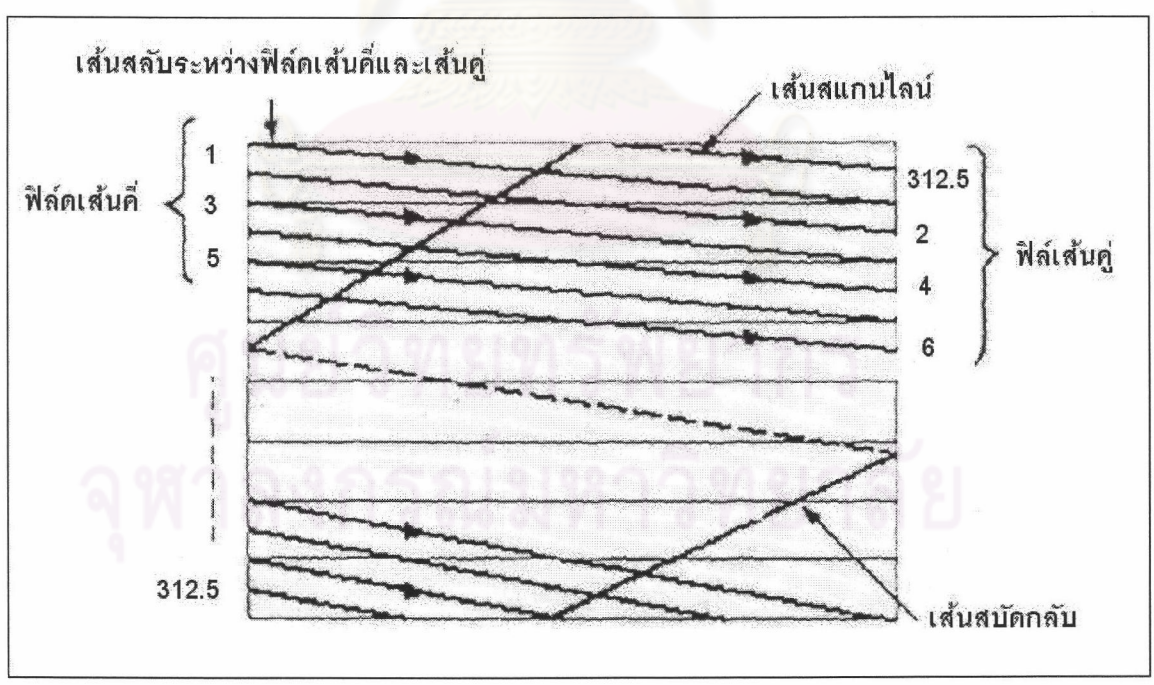
2.2.1 ภาพที่ปรากฏบนจอโทรทัศน์

การทำงานเบื้องต้นของหลอดภาพชนิดรังสีแคโทด (CRT : Cathode Ray Tube) การสแกนภาพบนหน้าจอภาพประกอบด้วย เส้นภาพเล็กๆ เรียงกันอยู่ในแนวนอนมากมาย ซึ่งเรียกว่า เส้นสแกน (Raster) และเส้นสแกนแต่ละเส้นจะประกอบไปด้วยจุดภาพต่างๆ ที่มีทั้งจุดมืดสว่างตามระดับความเปรียบต่างสัญญาณภาพเรียกว่า องค์ประกอบของภาพ (Picture Element) ดังนั้น ภาพที่ปรากฏบนจอโทรทัศน์จึงประกอบขึ้นด้วยองค์ประกอบของภาพจำนวนมาก ที่มีระดับความสว่างแตกต่างกันรวมอยู่จนเกิดเป็นภาพได้ เมื่อพิจารณาโครงสร้างของหลอดภาพดังรูปที่ 2.3 ซึ่งเป็นโครงสร้างอย่างง่ายของจอภาพโทรทัศน์มีการทำงานเหมือนกับหลอดสุญญากาศทั่วๆ ไป กล่าวคือเมื่อแคโทดได้รับความร้อนจากการเผาของไส้หลอดจะทำให้แคโทดปล่อยอิเล็กตรอนออกมา อิเล็กตรอนที่ถูกปล่อยออกมาจากปืนอิเล็กตรอนจะโฟกัสและถูกดึงให้เข้าไปกระทบกับสารเรืองแสงเรียกว่า สารฟอสเฟอร์ (Phospher) ที่ฉากด้านหน้าจอหลอดภาพโดยแอโนด ซึ่งที่แอโนดมีแรงดันไฟฟ้าสูงมีศักย์เป็นบวกต่ออยู่ (10kV– 25 kV) การกระทบของอิเล็กตรอนกับสารฟอสเฟอร์จะทำให้เกิดจุดสว่างเรืองแสงขึ้น



รูปที่ 2.3 โครงสร้างพื้นฐานของหลอดภาพโทรทัศน์

ถ้าหากอิเล็กตรอนดังกล่าวเคลื่อนที่ส่ายไปมาในแนวนอนก็จะทำให้เกิดเส้นภาพขึ้น ในขณะเดียวกันถ้าหากให้ลำอิเล็กตรอนเคลื่อนที่ส่ายไปมาในแนวตั้งเป็นบรรทัดด้วยก็จะทำให้เกิดเป็นภาพขึ้นทั้งกรอบได้ การบังคับให้ลำอิเล็กตรอนสแกนในทิศทางตามแนวนอนหรือแนวตั้งอาศัยสนามแม่เหล็กเป็นตัวควบคุมโดยในหลอดภาพโทรทัศน์จะใช้ขดลวดสนามแม่เหล็กเรียกว่า โยค (Yoke) เป็นตัวควบคุมโดยการป้อนกระแสไฟฟ้ารูปฟันเลื่อย (Sawthooth signal) เข้าไป สำหรับระบบ โทรทัศน์ในประเทศไทยนั้นการสแกนภาพทางแนวนอน (Horizontal) ใช้มาตรฐานระบบโทรทัศน์ของ ยุโรปมีความถี่เท่ากับ 15,625 Hz หรือ 64 us และในทางแนวตั้ง (Vertical) มีค่าเท่ากับ 50 Hz การสแกนภาพทางแนวนอนจะใช้เส้นสแกนจำนวน 625 เส้นเรียกว่า 1 ภาพ หรือ 1 เฟรม ใน 1 เฟรมจะแบ่งการสแกนเป็น 2 ส่วนเรียกว่าฟิลด์ (Field) ใน 1 ฟิลด์ จะมีจำนวนเส้นสแกนเท่ากับ 312.5 เส้น โดยแบ่งเป็นฟิลด์เส้นคู่ (Even) และเส้นคี่ (Odd) ดังนั้นใน 1 ภาพ หรือ 1 เฟรมก็จะมี 2 ฟิลด์ การสแกนภาพนั้นจะกระทำที่ฟิลด์เส้นคี่ก่อน โดยเริ่มจากด้านบนซ้ายสุดของจอภาพจนกระทั่งสิ้นสุดฟิลด์เส้นคี่ แล้วลำอิเล็กตรอนจะสะบัดกลับ (Retrace) มาด้านบนของจอภาพใหม่และจะทำการสแกนภาพในฟิลด์เส้นคู่จนหมด การสแกนระหว่างฟิลด์เส้นคี่และฟิลด์เส้นคู่นี้จะสแกน โดยวางเส้นภาพสลับกันวิธีการนี้เรียกว่า การสแกนสอดแทรก (Intelace Scanning)



รูปที่ 2.4 การสแกนของลำอิเล็กตรอนบนจอภาพแบบสแกนสอดแทรก

จากหลักการที่กล่าวมาจะเห็นว่าการสแกนภาพ 1 ภาพนั้นคือการสแกนภาพนิ่ง 1 ภาพ ถ้านำภาพนิ่งที่แตกต่างจากภาพเดิมเล็กน้อยมาแสดงอย่างต่อเนื่องกันไป ด้วยอัตราความเร็วในการแสดงภาพเท่ากับ 25 ภาพต่อวินาที ก็จะทำให้ตาของคนเราสามารถเห็นเป็นภาพเคลื่อนไหวได้อย่างนุ่มนวลทั้งนี้เนื่องจากคุณสมบัติของตาที่สามารถจดจำภาพได้ชั่วขณะหนึ่ง

ระบบของการสแกนภาพมี 5 แบบคือ NTSC, EIA, PAL, CCIR และ SECAM ซึ่งกล้องซีซีดี (CCD) ที่ใช้เป็นระบบ CCIR มีค่าพารามิเตอร์ของการสแกนภาพแสดงดังตารางที่ 2.1

ตารางที่ 2.1 แสดงค่าพารามิเตอร์ของระบบต่างๆ ที่มีใช้ในปัจจุบัน [8]

Scanning	NTSC	EIA	PAL	CCIR	SECAM
Lines/Frame	525	525	625	625	625
Frame/Second	30	30	25	25	25
Interlace ratio	2:1	2:1	2:1	2:1	2:1
Aspect ratio	4:3	4:3	4:3	4:3	4:3
Color subcar (Hz)	3579545	3579545	4433619	4433619	4406250

2.2.1.1 **สัญญาณซิงค์ในแนวนอน** (Horizontal Sync)

เป็นสัญญาณที่ช่วยให้วงจรควบคุมการหักเหในแนวนอนของเครื่องส่งและเครื่องรับมีความถี่ตรงกันและเข้าจังหวะกันตลอดเวลาเพื่อให้เกิดการส่งและรับภาพที่สัมพันธ์กัน โดยในแนวนอนมีความถี่ 15,625 Hz สัญญาณนี้จะเป็นพัลซ์รูปสี่เหลี่ยมและถูกส่งรวมมากับสัญญาณภาพเพื่อประกอบเป็นสัญญาณรวม (Composite Video) สำหรับเครื่องรับเกิดขึ้นในระหว่างช่วงเวลาของการแบล็งค์ สัญญาณซิงค์แนวนอนจะเกิดขึ้นในช่วงสุดท้ายของการสแกนเส้นตามแนวนอนหนึ่งเส้น เป็นการเริ่มต้นการลากกลับตามแนวนอนแล้วสแกนเส้นต่อไป

2.2.1.2 **สัญญาณซิงค์ในแนวตั้ง** (Vertical Sync)

เป็นสัญญาณที่ช่วยให้วงจรควบคุมการหักเหในแนวตั้งของเครื่องส่งและเครื่องรับมีความถี่ตรงกันและเข้าจังหวะกันเพื่อให้เกิดการส่งและรับภาพที่สัมพันธ์กันในแนวตั้งมีความถี่ 50 Hz สัญญาณนี้จะเป็นพัลส์รูปสี่เหลี่ยมและจะถูกส่งรวมมากับสัญญาณภาพเพื่อประกอบเป็นสัญญาณรวมสำหรับเครื่องรับซึ่งเกิดขึ้นในระหว่างช่วงเวลาของการแบล็งค์ สัญญาณซิงค์แนวตั้ง

จะเกิดขึ้นในช่วงสุดท้ายที่ภาพสแกนถึงตำแหน่งล่างสุดของจอภาพ แล้วจึงไปสแกนที่จุดเริ่มต้นของภาพใหม่แต่เป็นฟิลด์ที่ตรงข้ามกับการสแกนครั้งแรก ในหนึ่งภาพจะได้สัญญาณซิงค์แนวตั้ง 2 พัลส์ เนื่องจากมีการสแกน 2 ครั้ง หรือ 2 ฟิลด์

2.2.1.3 **สัญญาณแบล็งค์ในแนวนอน** (Horizontal Blanking)

เป็นสัญญาณที่ใช้เพื่อลบการสแกนสะบัดกลับในแนวนอนเพื่อมิให้สังเกตเห็นได้ทางจอภาพ สัญญาณในแนวนอนมีความถี่ 15,625 Hz หรือ 64 us จะเกิดการแบล็งค์ในส่วนลากกลับจากขวามาซ้ายเป็นช่วงเวลา 20% ของช่วงเวลาสแกนเส้นภาพหรือเท่ากับ 12.8 us

2.2.1.4 **สัญญาณแบล็งค์ในแนวตั้ง** (Vertical Blanking)

เป็นสัญญาณที่ใช้เพื่อลบการสแกนสะบัดกลับในแนวตั้ง เพื่อมิให้สังเกตเห็นได้ทางจอภาพ สัญญาณในแนวตั้งมีความถี่ 50 Hz หรือ 20 ms จะเกิดการแบล็งค์ลากกลับจากล่างขึ้นบนเป็นช่วงเวลา 8% ของช่วงเวลาสแกน 1 ฟิลด์หรือเท่ากับ 1.6 ms

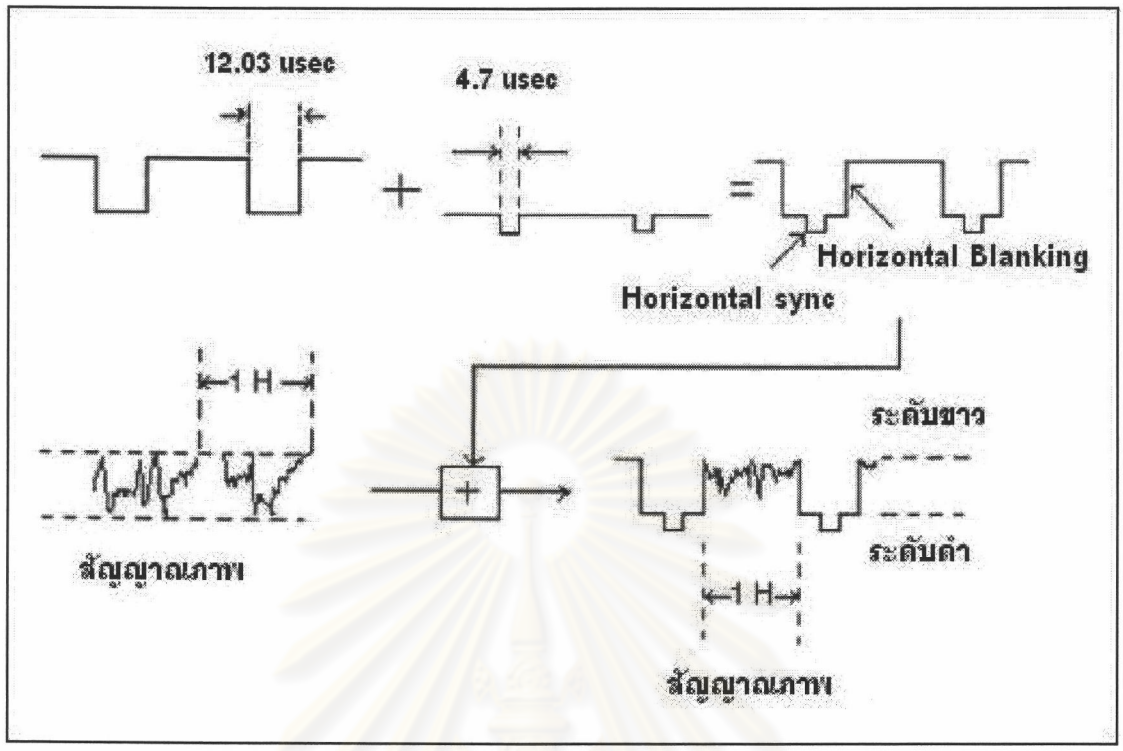
2.2.1.5 **สัญญาณอีควอไลท์ซิง** (Equalizing Pulse)

เป็นสัญญาณที่ใช้เพื่อช่วยให้สัญญาณซิงค์ในแนวตั้งยังคงรูปร่างเดิม หลังจากแยกออกสัญญาณซิงค์ในแนวนอนแล้ว ช่วยทำให้การสแกนแบบสอดแทรกเป็นไปโดยเรียบร้อยและยังช่วยให้สัญญาณซิงค์ในแนวนอนไม่ขาดหายไปในช่วงเวลาของสัญญาณซิงค์ทางแนวตั้งอีก สัญญาณนี้จะช่วยลดความผิดพลาดที่เกิดขึ้นเนื่องจากการสะบัดกลับผิดตำแหน่ง

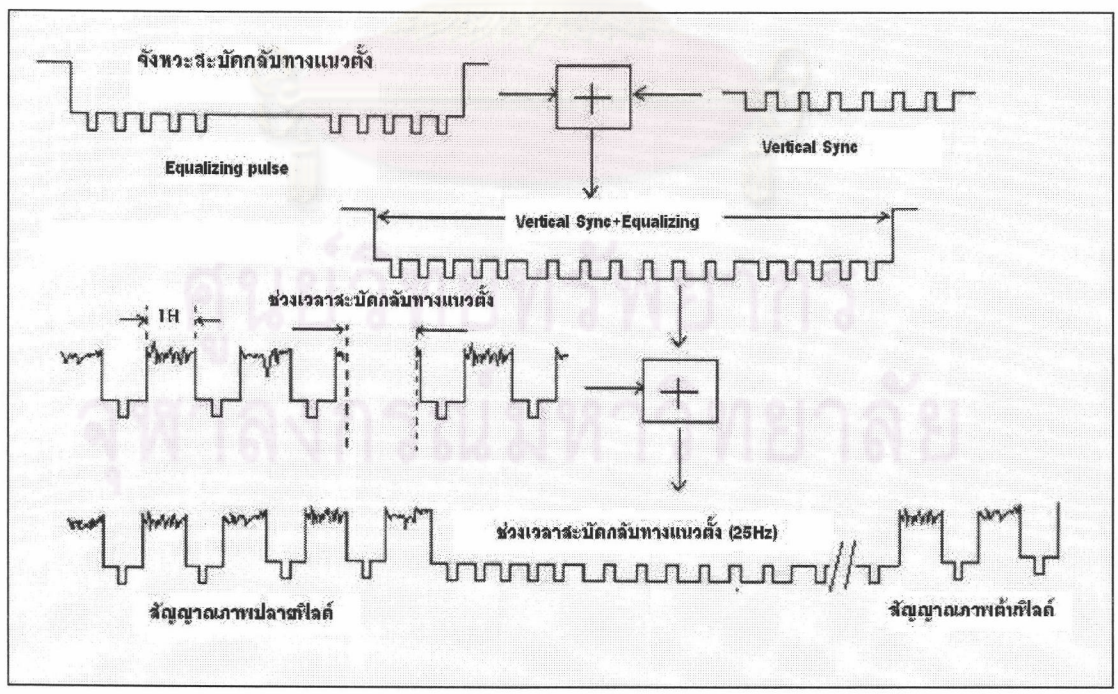
2.2.1.6 **สัญญาณภาพรวม** (Composite Video Signal)

สัญญาณภาพรวมประกอบด้วยสัญญาณข้อมูลภาพ สัญญาณแบล็งค์และสัญญาณซิงค์ทั้งแนวนอนและแนวตั้ง สัญญาณภาพคือสัญญาณความสว่างหรือระดับความเข้มแสงของแต่ละจุดบนจอภาพขึ้นอยู่กับระดับแรงดันของสัญญาณบรรจุอยู่ระหว่างสัญญาณแบล็งค์ โดยสัญญาณแบล็งค์ในช่วงสุดท้ายก่อนส่งสัญญาณซิงค์จะมีช่วงเวลาสั้นๆ เรียกว่า ขอบหน้า (Front Porch) และขอบหลังก่อนส่งสัญญาณซิงค์ก็จะมีช่วงเวลาสั้นๆ เรียกว่า ขอบหลัง (Back Porch) ซึ่งเป็นระดับความเข้มสีดำเพื่อเตรียมรับสัญญาณต่อไปและป้องกันไม่ให้ขอบภาพมีการบิดเบี้ยวเป็นริ้ว การเติมสัญญาณซิงค์ในแนวนอนและแนวตั้งแสดงในรูปที่ 2.5 และ 2.6 ตามลำดับ

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 2.5 การเติมสัญญาณซิงค์ในแนวนอนเหนือระดับสัญญาณแบล็งค์ในแนวนอนของสัญญาณภาพแต่ละเส้นและตำแหน่งรับสัญญาณภาพ



รูปที่ 2.6 การเติมสัญญาณซิงค์ในแนวนอนและแบล็งค์ในแนวตั้งในสัญญาณแต่ละฟิลด์

จากที่กล่าวมานั้นเป็นการแสดงภาพในระบบสัญญาณอนาลอกสำหรับการแสดงภาพในระบบสัญญาณดิจิทัลของโทรทัศน์นั้น ความสว่างของจุดภาพ หรือองค์ประกอบภาพจะมีลักษณะเป็นสัญญาณเชิงตัวเลขซึ่งแทนเฉดสีเทาที่สอดคล้องกับระดับสัญญาณอนาลอกดั้งเดิม

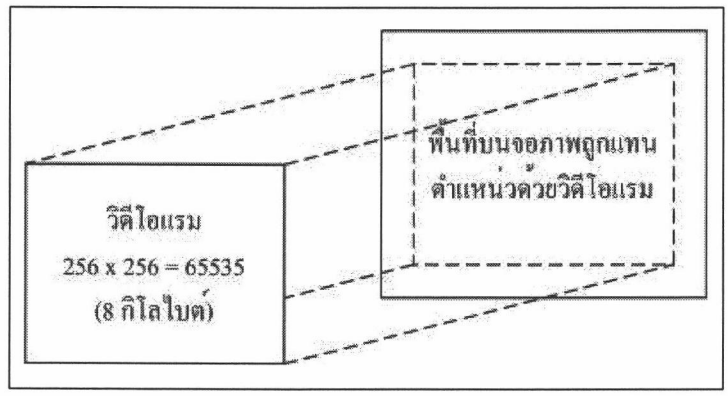
ปัจจัยที่เป็นองค์ประกอบคุณภาพของภาพได้แก่ ความสว่าง (Brightness) ความเปรียบต่าง (Contrast) และความคมชัด (Sharpness) เป็นต้น โดยปกติสัญญาณภาพมักจะพบปัญหาด้านสิ่งรบกวนที่ปนมากับสัญญาณภาพทำให้ภาพขาดความชัดเจน การขจัดสิ่งรบกวนจึงเป็นวิธีการพื้นฐานในการปรับปรุงคุณภาพของภาพ

2.2.2 หลักการสร้างภาพทางดิจิทัล

การสร้างภาพในระบบดิจิทัลประกอบด้วยส่วนสำคัญ 2 ส่วนคือหน่วยความจำและตัวแปลงสัญญาณอนาลอกเป็นสัญญาณเชิงเลข โดยหน่วยความจำจะจัดให้ตำแหน่งขององค์ประกอบภาพในแต่ละตำแหน่งมีการกำหนดให้สามารถเก็บข้อมูลและแสดงภาพทางแนวนอนได้ 256 เส้นและในแต่ละเส้นภาพจะมีรายละเอียดของจุดภาพเท่ากับ 256 จุดเรียกว่าวิดีโอแรม (Video RAM) ดังนั้นหน่วยความจำที่ใช้จะมีค่าเท่ากับ 256 x 256 เท่ากับ 65,536 บิต หรือ 8 กิโลไบต์ (ให้องค์ประกอบภาพ 1 ตำแหน่ง เท่ากับหน่วยความจำ 1 บิต) หลักการสร้างภาพของวิดีโอแรมดังรูปที่ 2.7

จากวิธีการใช้วิดีโอแรมนี้ทำให้สามารถอ้างถึงตำแหน่งขององค์ประกอบภาพได้ทุกตำแหน่ง ณ จุดใดก็ได้ โดยอาศัยการอ้างตำแหน่งของหน่วยความจำในตำแหน่งนั้น ภาพดิจิทัลจะแทนด้วยเมตริกซ์ใน 2 มิติ คือตำแหน่งบนเส้นภาพและระดับความสว่างของสัญญาณภาพที่บันทึกไว้ในลักษณะระดับสัญญาณสีเทาจากการแปลงผันสัญญาณอนาลอกเป็นสัญญาณเชิงเลข โดยแต่ละหน่วยในเมตริกซ์จะเรียกว่า พิกเซล (Pixel) กระบวนการแสดงภาพเป็นการแสดงค่าข้อมูลของเมตริกซ์ในแต่ละตำแหน่งบนเส้นภาพโดยแต่ละพิกเซลจะมีค่าเฉพาะตัวแสดงถึงระดับสีเทาโดยปกติภาพขาว - ดำจะมีค่าของพิกเซลอยู่ระหว่าง 0 ถึง 255 เพื่อแสดงความเปรียบต่างสัญญาณภาพ

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

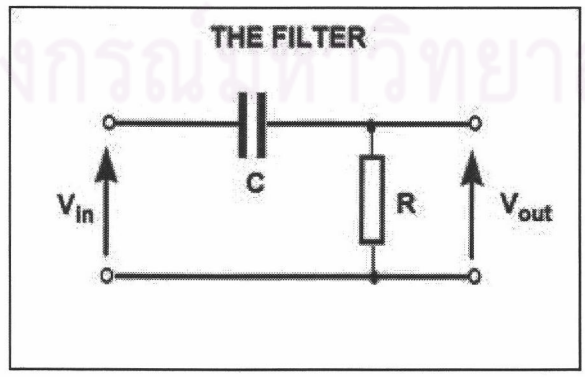


รูปที่ 2.7 หลักการกำหนดพื้นที่ของวีดีโอแรมในการสร้างภาพในระบบดิจิทัล

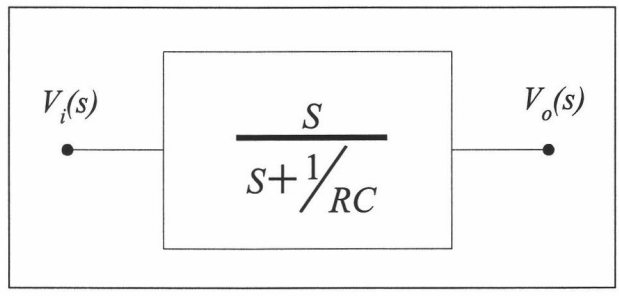
2.3 ระบบประมวลผลสัญญาณแบบดิจิทัล

ปัจจุบันระบบประมวลผลสัญญาณแบบดิจิทัลได้ถูกนำมาประยุกต์ใช้งานกันอย่างกว้างขวางทั้งนี้เนื่องจากการประมวลผลสัญญาณในลักษณะดิจิทัลจะให้ความเที่ยงตรงแม่นยำกว่าการประมวลผลสัญญาณในลักษณะอนาลอก และนอกจากนี้การประมวลผลสัญญาณในลักษณะดิจิทัลยังสามารถนำไปประยุกต์ใช้กับงานที่มีการคำนวณยุ่งยากซับซ้อนได้เป็นอย่างดี ในขณะที่การประมวลผลสัญญาณอนาลอกทำไม่ได้ [1]

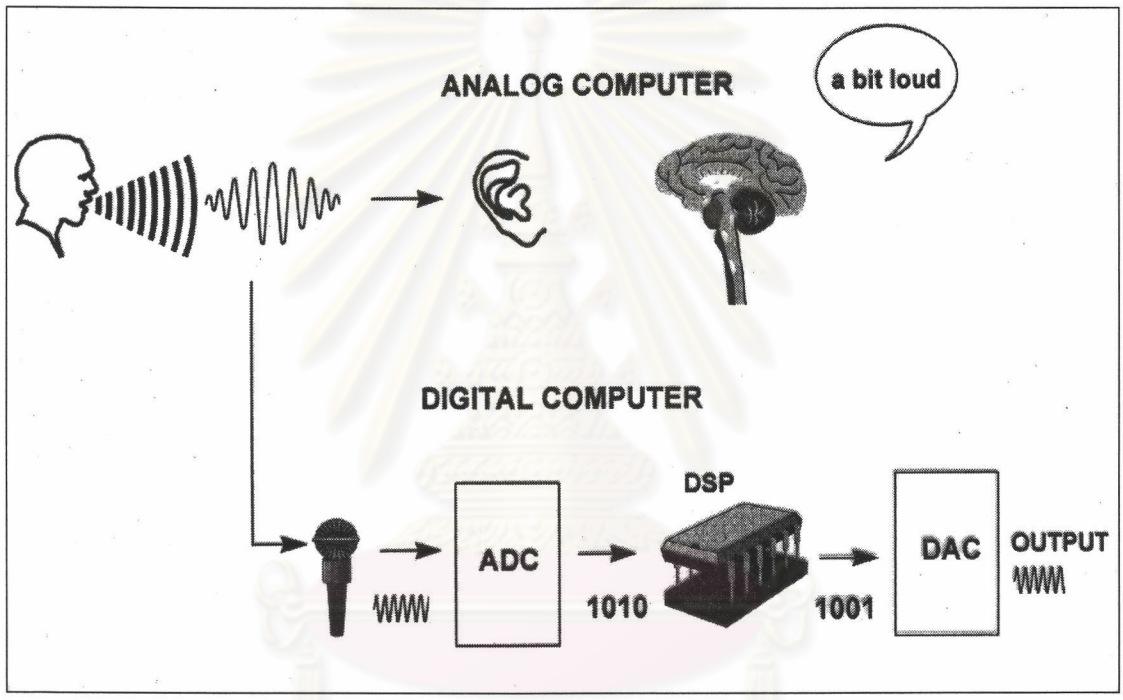
ระบบประมวลผลสัญญาณแบบอนาลอกเป็นระบบที่ใช้อุปกรณ์อิเล็กทรอนิกส์ เช่น R, C, Transistor, Op-amp เป็นส่วนประกอบ ดังเช่นการประมวลสัญญาณด้วยการกรองความถี่สูง (High Pass Filter) สามารถเขียนวงจรพื้นฐานได้ดังรูปที่ 2.8 และความสัมพันธ์ระหว่างอินพุต (Input) และ เอาท์พุต (Output) สามารถเขียนเป็นฟังก์ชันถ่ายโอน (Transfer Function) ในโดเมนความถี่ (s - domain) [2] ได้ดังรูปที่ 2.9 ตัวอย่างของระบบประมวลผลสัญญาณแบบอนาลอกได้แก่ วงจรขยายสัญญาณ (Amplifier) วงจรกรองความถี่แบบอนาลอก (Analog Filter) เป็นต้น



รูปที่ 2.8 ระบบประมวลผลสัญญาณอนาลอก



รูปที่ 2.9 ความสัมพันธ์ระหว่างอินพุต(Input) และเอาท์พุต(Output) ของระบบอนาลอก



รูปที่ 2.10 แสดงภาพเปรียบเทียบระบบประมวลผลสัญญาณแบบอนาลอกกับระบบประมวลผลสัญญาณดิจิทัล

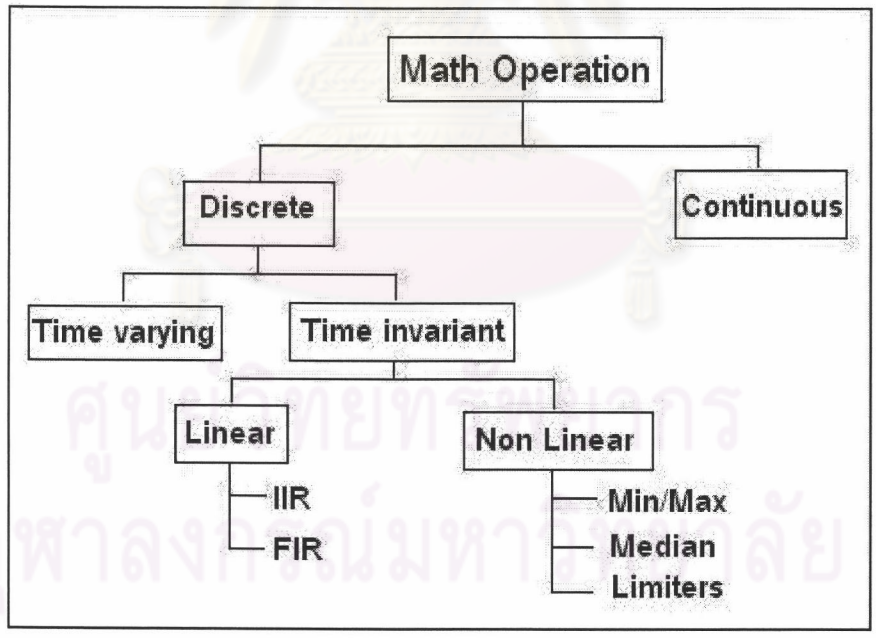
ในรูปที่ 2.10 แสดงภาพเปรียบเทียบกระบวนวิธีประมวลผลสัญญาณในรูปแบบอนาลอกกับระบบประมวลสัญญาณในระบบเชิงเลขหรือแบบดิจิทัล ซึ่งต้องอาศัยกระบวนการแปลงผันสัญญาณทางเข้าให้อยู่ในระบบเชิงเลขและสัญญาณทางออกจะถูกแปลงกลับในรูปสัญญาณอนาลอก ความแตกต่างระหว่างระบบประมวลผลสัญญาณแบบอนาลอกและระบบประมวลผลสัญญาณแบบดิจิทัล [3] มีข้อแตกต่างกันดังนี้

ระบบประมวลผลสัญญาณแบบอนาลอก

1. ความเที่ยงตรงขึ้นกับคุณภาพของอุปกรณ์ที่ใช้
2. โครงสร้างในลักษณะฮาร์ดแวร์ทำให้แก้ไขเปลี่ยนแปลงการทำงานของระบบได้ยาก
3. สภาวะแวดล้อมมีผลต่อการทำงานของระบบ เช่น อุณหภูมิและสิ่งรบกวน เป็นต้น
4. ไม่สามารถประยุกต์ใช้กับงานที่มีการคำนวณซับซ้อนได้

ระบบประมวลผลสัญญาณแบบดิจิทัล

1. มีความเที่ยงตรงสูงมาก และมีประสิทธิภาพการทำงานสูงมาก
2. โครงสร้างในลักษณะซอฟท์แวร์สามารถแก้ไขเปลี่ยนแปลงการทำงานของระบบได้ง่าย
3. สภาวะแวดล้อมมีผลต่อการทำงานน้อย
4. สามารถทำงานที่มีการคำนวณซับซ้อนได้ดี
5. สามารถทำงานที่ระบบประมวลผลสัญญาณอนาลอกทำไม่ได้



รูปที่ 2.11 แผนผังอัลกอริทึมของระบบประมวลผลสัญญาณแบบดิจิทัล

จากแผนผังในรูป 2.11 กระบวนวิธีของระบบประมวลผลสัญญาณแบบดิจิทัลแบ่งออกเป็นหลายรูปแบบ แต่ละรูปแบบให้คุณสมบัติต่างกัน ในการเลือกอัลกอริทึมเพื่อนำมาใช้ปรับปรุงคุณภาพของสัญญาณภาพมักจะใช้ตัวกรองดิจิทัล ซึ่งตัวกรองดิจิทัลแบ่งออกเป็น 2 กลุ่มคือ

1. อิมพัลส์เรสพอนส์จำนวนจำกัด (Finite – Impulse Response :FIR)

2. อิมพัลส์เรสพอนส์ไม่จำกัดจำนวน (Infinite - Impulse Response :IIR)

2.3.1 ดิจิทัลฟิลเตอร์แบบเอฟไออาร์

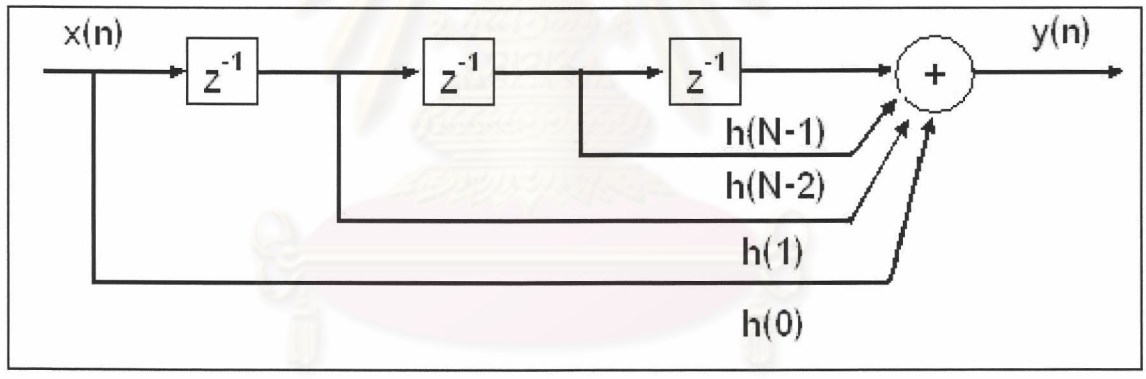
สมการของดิจิทัลฟิลเตอร์แบบเอฟไออาร์คือ

$$y(n) = \sum_{k=0}^{N-1} h(k)x(n-k) \qquad (2.2)$$

โดยที่ x(n - k) คือ อินพุตของระบบ

h(k) คือ สัมประสิทธิ์ h(0), h(1),…,h(N-1) จำนวน N ตัว

y(n) คือ เอาท์พุตของระบบ



รูปที่ 2.12 แสดงการทำงานของเอฟไออาร์ฟิลเตอร์

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

ในขั้นตอนการประมาณค่า (Approximation Stage) เป็นการเลือกโครงสร้างอย่างเหมาะสมของฟิลเตอร์และคำนวณค่าสัมประสิทธิ์ h(k) สำหรับการวิเคราะห์ผลนั้นจะพิจารณาถึงความถูกต้องของจำนวนบิตที่ใช้ในการคำนวณ ขั้นตอนสุดท้าย (Final Stage) ในการดำเนินการฟิลเตอร์ก็คือ ซอฟแวร์หรือฮาร์ดแวร์ที่สามารถทำได้จริงโดยเลือกโครงสร้างของฟิลเตอร์ ในการคำนวณค่าเอาต์พุตจะต้องมีการคูณ บวก ลบและดีเลย์ที่ยุ่งยาก ดังนั้นในการดำเนินการฟิลเตอร์จึงต้องมีองค์ประกอบพื้นฐานดังนี้คือ

1 หน่วยความจำ (RAM) เพื่อบันทึกค่าของอินพุตปัจจุบัน

2 หน่วยความจำ (ROM) เพื่อบันทึกค่าสัมประสิทธิ์ h(k)

3 ซอฟแวร์และฮาร์ดแวร์มัลติพลายเออร์ (Software and Hardware Multipilier)

4 ตัวบวกหรือเอแอลยู (Adders and Arithmetic logic Unit :ALU)

ในการดำเนินการฟิลเตอร์จะแบ่งออกเป็น 2 ส่วนคือซอฟแวร์และฮาร์ดแวร์ซึ่งแต่ละส่วนจะมีการสังเคราะห์ขึ้นในดีเอสพีเพราะในปัจจุบันจะนำโปรแกรมขึ้นมาใช้แทน การดำเนินการโดยใช้อุปกรณ์ดีเอสพีและฮาร์ดแวร์แบบพิเศษรวมทั้งไมโครโพรเซสเซอร์ (Microprocessor) จะใช้ภาษาแอสแซมบลีหรือภาษาชั้นสูง เช่นภาษาซีหรือฟอร์แทรนทำให้อุปกรณ์เหล่านี้มีเสถียรภาพมากขึ้น

2.3.2 ดิจิทัลฟิลเตอร์แบบไอไออาร์

กำหนดให้การคำนวณแบบตรงลำดับที่ 2 (Second – Order Direct Form) มีสมการดังนี้

$$y(n) = \sum_{k=0}^{2} ax(n-k) - \sum_{k=0}^{2} by(n-k) \qquad (2.3)$$

จากสมการในการดำเนินการฟิลเตอร์จึงต้องมีองค์ประกอบพื้นฐานดังนี้คือ

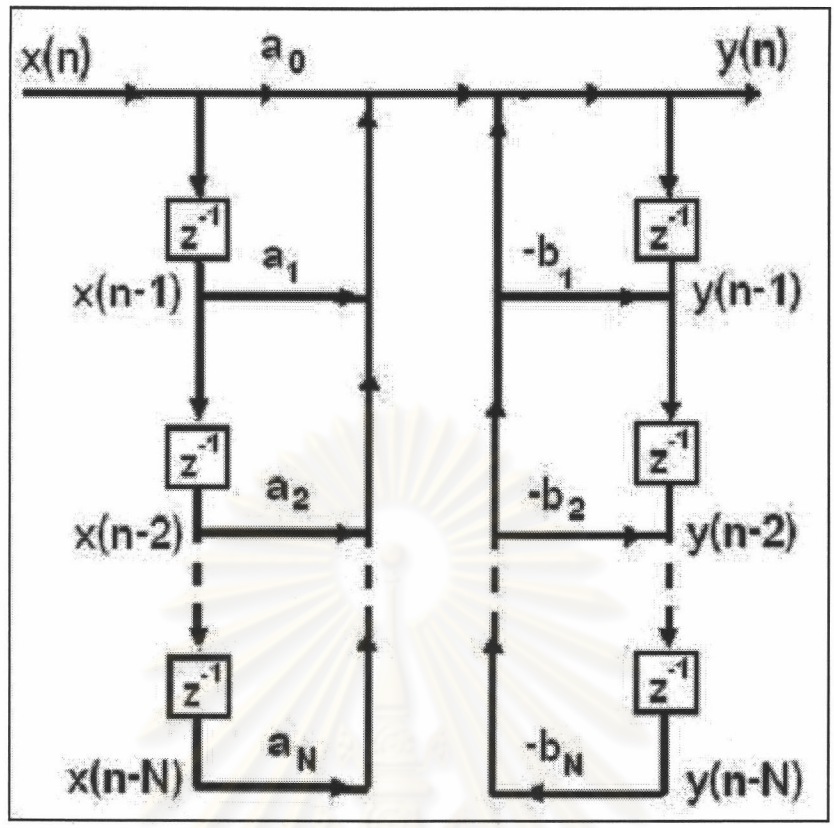
1 หน่วยความจำ (RAM) เพื่อบันทึกค่าของอินพุตปัจจุบัน

2 หน่วยความจำ (ROM) เพื่อบันทึกค่าสัมประสิทธิ์ h(k)

3 ซอฟแวร์และฮาร์ดแวร์มัลติพลายเออร์ (Software and Hardware Multipilier)

4 ตัวบวกหรือเอแอลยู (Adders and Arithmetic logic Unit :ALU)

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 2.13 แสดงการทำงานของเอฟไอาร์ฟิลเตอร์

ในกรณีของเรียลไทม์ดีเอสพี (Real – Time DSP) การทำฟิลเตอร์ให้มีประสิทธิภาพจะทำกับดีเอสพีโพรเซสเวอร์เช่น TMS320C31 การออกแบบจะมีการอินเตอร์เฟสกับดิจิทัลฮาร์ดแวร์โดยเอดีซีซึ่งขึ้นอยู่กับชนิดของข้อมูล นอกจากนี้ยังประกอบด้วยองค์ประกอบพื้นฐานดังกล่าวข้างต้น

2.3.3 ความแตกต่างระหว่างเอฟไอาร์และไอไอาร์ [3]

1. เอฟไอาร์จะมีคุณสมบัติลิเนียร์เฟสเรสพอนส์ (Linear Phase Response)

   คุณสมบัติลิเนียร์เฟสเรสพอนส์ (Linear Phase Response) ของเอฟไอาร์เป็นซีโรเฟส (Zero Phase) จะไม่เกิดการผิดเพี้ยนของเฟส (Phase Distortion) ไม่ทำให้เกิดรอยขีดหรือเส้นขึ้นบนภาพและไม่ลดทอนความคมชัดของภาพ
2. เอฟไอาร์จะเป็นนอน-รีเคอร์ซีพ (Non - Recursive) เอาท์พุตที่ได้เกิดจากสัญญาณอินพุตปัจจุบันจึงมีความเที่ยงตรงมากกว่าไอไอาร์ ไอไอาร์จะเป็นรีเคอร์ซีพ (Recursive) เป็นการส่งผลบวกของเอาท์พุตในอดีตกลับไปบวกกับอินพุตก่อนหน้าและอินพุตปัจจุบันทำให้การออกแบบนั้นซับซ้อนและค่าที่ได้นั้นไม่แน่นอน

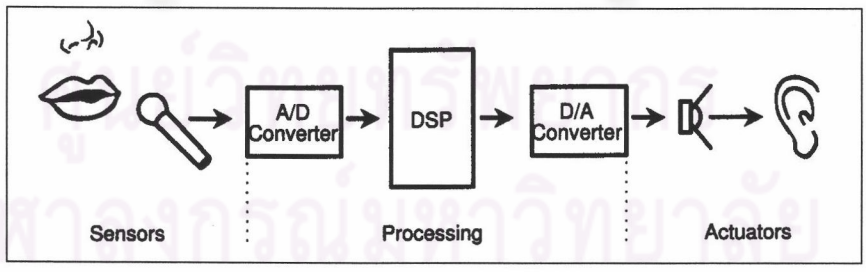
ในงานดิจิทัลอิมเมจโพรเซสซิง (Digital Image Processing) ต้องการตัวกรองดิจิทัลที่มีคุณสมบัติซีโรเฟสเรสพอนส์ (Zero Phase Response) และเป็นเชิงเส้น (Linear) เนื่องจากเป็นคุณสมบัติที่เหมาะสมกับภาพ ซึ่งเป็นคุณสมบัติที่มีอยู่ในเอฟไอาร์ฟิลเตอร์และคุณสมบัติการมีจำนวนอิมพัลส์เรสพอนส์เป็นจำนวนจำกัดจะทำให้การออกแบบทำได้สะดวกขึ้น

2.4 การสุ่มตัวอย่าง

2.4.1 สัญญาณเวลาไม่ต่อเนื่อง

การวิเคราะห์และออกแบบเกี่ยวกับระบบประมวลผลสัญญาณแบบดิจิทัลเพื่อนำไปประยุกต์ใช้ในการประมวลสัญญาณข้อมูลจะเป็นกระบวนการของสัญญาณไม่ต่อเนื่อง (Discrete Signal) แต่เนื่องจากสัญญาณข้อมูลที่จะนำมาประยุกต์ใช้งานเกือบทั้งหมดเป็นสัญญาณอนาลอก ซึ่งมีลักษณะเป็นสัญญาณต่อเนื่อง ดังนั้นจึงจำเป็นต้องนำเอาระบบแบ่งช่วงเวลามาใช้แทนระบบต่อเนื่องทางเวลาเพื่อให้ระบบสามารถทำงานประมวลสัญญาณในระบบเชิงเลขหรือระบบดิจิทัลได้ ขั้นตอนของกระบวนการนี้เรียกว่าการแปลงสัญญาณอนาลอกเป็นดิจิทัล (Analog to Digital Conversion) โดยใช้อุปกรณ์ที่เรียกว่า เอดีซี (A/D Converter : ADC)

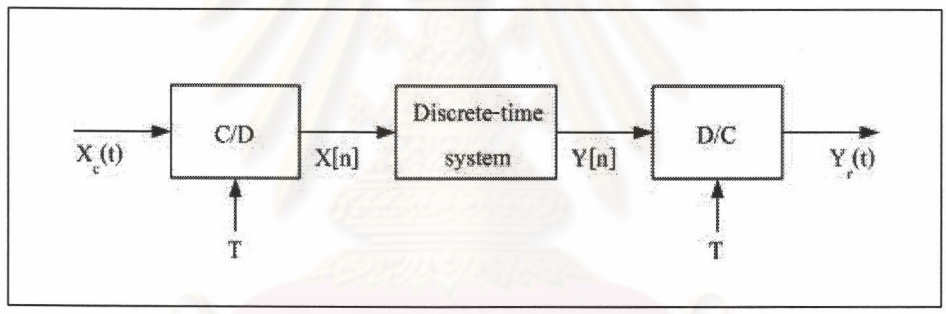
หลักการของระบบประมวลผลสัญญาณแบบดิจิทัลประกอบด้วยตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล (Analog to Digital Converter ADC) ตัวประมวลผล (Processor) ตัวแปลงสัญญาณดิจิทัลเป็นอนาลอก (Digital to Analog Converter DAC) ระบบประมวลผลสัญญาณดิจิทัลแสดงดังรูปที่ 2.14



รูปที่ 2.14 ระบบประมวลผลสัญญาณแบบดิจิทัล [3]

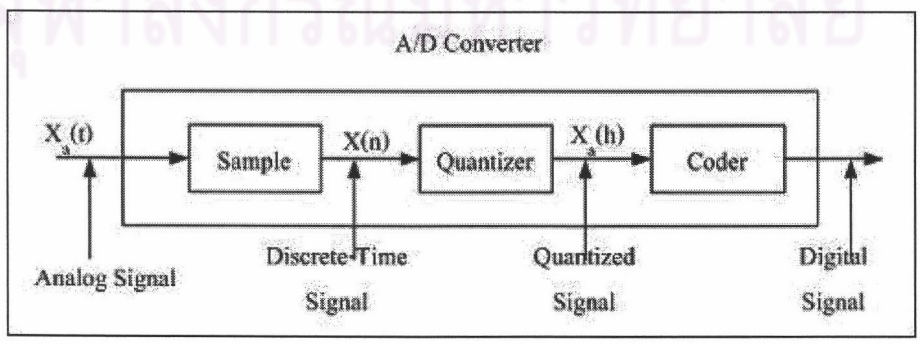
จากรูปที่ 2.14 จะเห็นได้ว่าสัญญาณอนาลอกจะถูกแปลงเป็นสัญญาณดิจิทัลด้วยเอดีซี (ADC) จากนั้นสัญญาณดิจิทัลจะถูกคำนวณโดยตัวประมวลผล และผลที่ได้จากการประมวลผลตามฟังก์ชันที่กำหนดขึ้นจะถูกส่งให้ดีเอซี (DAC) เพื่อแปลงกลับให้เป็นสัญญาณอนาลอกต่อไป

โดยทั่วไปสัญญาณไฟฟ้าที่เกิดขึ้นจากตัวตรวจจับ(Sensor) ส่วนใหญ่มักจะเป็นสัญญาณอนาลอก ตัวอย่าง เช่นสัญญาณภาพที่ได้จากกล้องวีดีโอ สัญญาณไฟฟ้าที่ได้จากตัวตรวจจับอุณหภูมิ สัญญาณที่ได้จากเครื่องมือแพทย์ ได้แก่สัญญาณคลื่นไฟฟ้าหัวใจ (Electrocardiogram: ECG) สัญญาณไฟฟ้าจากกล้ามเนื้อ (Electromyography : EMG) หรือสัญญาณที่ได้จากตัวตรวจจับอื่นๆ เป็นต้น สัญญาณที่ได้กล่าวมาแล้วนี้เป็นสัญญาณอนาลอกหรือสัญญาณที่มีความต่อเนื่องทางเวลา (Continuous Time Signal) ทั้งสิ้น ดังนั้นถ้าจะทำการวิเคราะห์สัญญาณเหล่านี้ด้วยระบบประมวลผลสัญญาณดิจิทัลจำเป็นต้องแปลงสัญญาณอนาลอกหรือสัญญาณที่ต่อเนื่องทางเวลา [$X_c(t)$] ให้เป็นสัญญาณดิจิทัลหรือสัญญาณที่ไม่ต่อเนื่องทางเวลา (Discrete Time Signal) โดยใช้วงจรแปลงอนาลอกเป็นดิจิทัล (Analog to Digital Converter) จากนั้นข้อมูลจะถูกส่งเข้าไปยังระบบประมวลผลสัญญาณแบบไม่ต่อเนื่อง (Discrete Time System) เพื่อทำการคำนวณตามฟังก์ชันทางคณิตศาสตร์และผลที่ได้จากการคำนวณจะถูกแปลงกลับให้เป็นสัญญาณอนาลอกหรือสัญญาณที่ต่อเนื่อง [$y_r(t)$] โดยวงจรแปลงดิจิทัลเป็นอนาลอกดังแผนภาพที่ 2.15



รูปที่ 2.15 ระบบประมวลผลสัญญาณแบบดิจิทัล

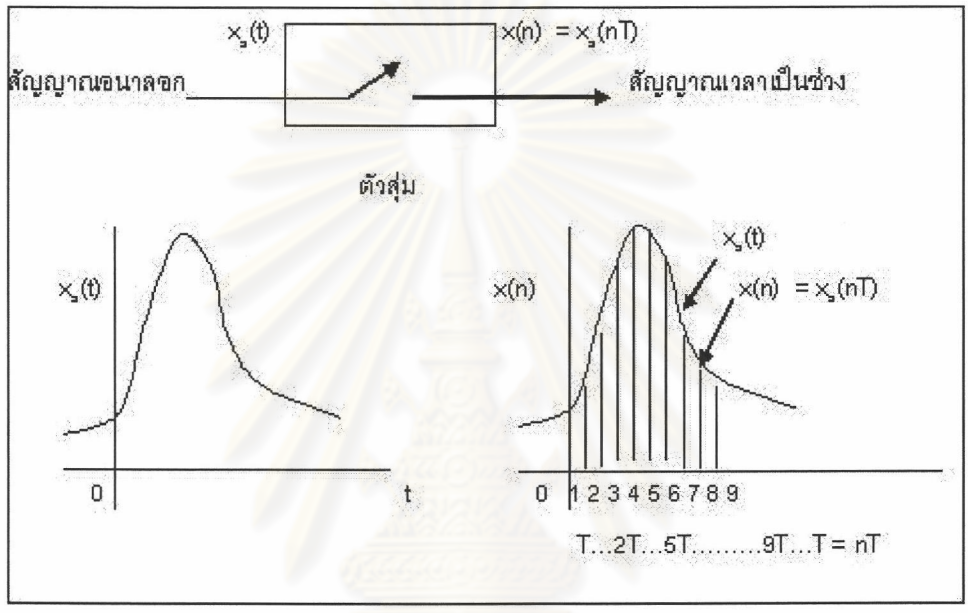
ในทางปฏิบัติการแปลงสัญญาณอนาลอกเป็นดิจิทัลทั่วไปประกอบด้วยกระบวนการที่สำคัญ 3 ขั้นตอนได้แก่ การสุ่มตัวอย่างสัญญาณ การควันไทซ์และการเข้ารหัสดังรูปที่ 2.16



รูปที่ 2.16 ส่วนประกอบพื้นฐานของการแปลงสัญญาณอนาลอกเป็นดิจิทัล

1. การสุ่มตัวอย่าง (Sampling) เป็นการแปลงสัญญาณเวลาต่อเนื่อง (Continuous - Time Signal) ให้เป็นสัญญาณที่ไม่ต่อเนื่องทางเวลา (Discrete - Time Signal) โดยการชักสัญญาณตัวอย่าง (Sampling) ของสัญญาณเวลาเป็นช่วงซึ่งมีอัตราสุ่มสัญญาณคงที่ในลักษณะซ้ำคาบเวลา

ถ้า Xa(t) เป็นอินพุตสู่เอาท์พุต จะเป็น Xa(nT) ≡ X(n) เมื่อ T คือคาบการสุ่มตัวอย่าง (Sampling Period) ดังรูปที่ 2.17



รูปที่ 2.17 การสุ่มสัญญาณอนาลอกในลักษณะซ้ำคาบ

2. การควันไทซ์ (Quantization) เป็นการเปลี่ยนสัญญาณสุ่ม (Sample Signal) เป็นสัญญาณเวลาเป็นช่วงซึ่งค่าของแต่ละตัวอย่างของสัญญาณจะถูกแทนโดยค่าที่เลือกจากเซท (Set) ของค่าที่เป็นไปได้ที่จำกัดความแตกต่างระหว่างตัวอย่างที่ยังไม่ถูกควันไทซ์ [X(n)] กับเอาต์พุตที่ถูกควันไทซ์แล้ว [Xa(n)] ความแตกต่างของค่าสัญญาณตัวอย่างเรียกว่าความผิดพลาดจากการควันไทซ์ (Quantization Error)

3. การเข้ารหัส (Coding) แต่ละค่าของ Xa(n) จะถูกแทนโดยซีเควนซ์ของเลขฐานสองจำนวน n บิตและจากรูปที่ 2.17 จะเป็นการสุ่มตัวอย่างด้วยวิธีซ้ำคาบ (Periodic) ซึ่งการสุ่มตัวอย่างวิธีนี้ในทางปฏิบัติเป็นวิธีที่นิยมใช้มากที่สุด สำหรับหลักการสุ่มตัวอย่างสามารถอธิบายโดยใช้ความสัมพันธ์ดังนี้

$$X(n) = Xa(nT) \qquad -\infty < n < \infty \qquad (2.4)$$

เมื่อ X(n) เป็นสัญญาณเวลาเป็นช่วงที่ได้จากการสุ่มตัวอย่างสัญญาณอนาลอก Xa(t) ทุกๆ T วินาที ช่วงเวลา T ระหว่างตัวอย่างที่อยู่ติดกันจะเรียกว่าคาบของการสุ่ม (Sampling Period) และส่วนกลับของ T คือ 1/T = Fs เรียกว่า อัตราการสุ่ม (Sampling Frequency) มีหน่วยเป็นเฮิรตซ์ (Hz)

2.4.2 ทฤษฎีการสุ่มตัวอย่าง (Sampling Theorem)

ทฤษฎีการสุ่มตัวอย่างเป็นพื้นฐานอย่างหนึ่งของดิจิทัลซิกแนลโปรเซสซิง (Digital Signal Processing) และงานอื่นๆ ที่ใช้สัญญาณดิจิทัล โดยสัญญาณอนาลอกจะถูกแปลงไปเป็นลำดับของการสุ่มตัวอย่าง (Sequences of Sampling) ที่มีระยะของการสุ่มเท่าๆ กันในการแปลงสัญญาณ จากอนาลอกเป็นสัญญาณดิจิทัลนั้น ความถี่ในการสุ่มต้องมากพอที่จะไม่ทำให้สัญญาณสูญเสีย ข้อมูลที่สำคัญไป

ทฤษฎีการสุ่มตัวอย่างของ Shannon [3] กล่าวไว้ว่า ถ้ามีสัญญาณอนาลอก [x(t)] ที่ค่าการแปลงฟูริเยร์ (Fourier) หรือพาวเวอร์สเปกตรัม (Power Spectrum) ของสัญญาณมีแถบความถี่ที่ใช้งาน(Bandwidth) เท่ากับ f แล้ว เราจะสามารถทำการสุ่มสัญญาณโดยที่ไม่สูญเสียข้อมูลที่สำคัญก็ต่อเมื่อความถี่ในการสุ่ม Fs มีค่ามากกว่าสองเท่าของความถี่ f ดังสมการ

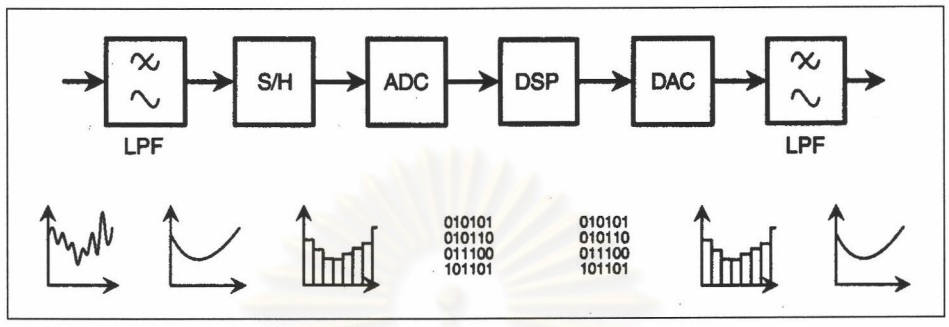
$$Fs \geq 2f \qquad (2.5)$$

หรืออาจกล่าวอย่างง่ายก็คือจะต้องสุ่มตัวอย่างมากกว่า 2 เท่าของตัวอย่างต่อ 1 คาบของสัญญาณที่ปรากฏในสัญญาณนั้น

อัตราการสุ่มที่น้อยที่สุดก่อนที่จะเกิดการผิดเพี้ยนของสัญญาณแบบเอเลียสซิง (Aliasing) คือ Fs = 2f เรียกว่า ความถี่ไนควิส (Nyquist Frequency) หรืออัตราไนควิส (Nyquist Rate) แต่ในทางปฏิบัติเพื่อหลีกเลี่ยงการไม่เป็นเชิงเส้นของการสุ่มจึงมักใช้ความถี่ในการสุ่มที่มีความถี่มากกว่าความถี่ไนควิสขึ้นไปและความถี่ในการสุ่มที่ใช้นั้นขึ้นอยู่กับลักษณะงานไม่มีการกำหนดขอบเขตที่แน่นอน ดังนั้นการสุ่มสัญญาณที่จะได้ผลถูกต้องนั้นจะต้องรู้แถบความถี่ตอบสนองสัญญาณ ในการประมวลผลสัญญาณเราอาจจะใช้โลว์พาสฟิลเตอร์ (Low - Pass Filter) เป็นตัวกำหนดแถบความถี่ตอบสนองของสัญญาณก่อนที่สัญญาณเข้าสู่วงจร (Sampling)

ถ้าหากกำหนดอัตราการสุ่ม Fs น้อยกว่า 2f จะทำให้เกิดปรากฏการณ์เอเลียสซิง (Aliasing) ขึ้นการเกิดการเอเลียสซิงอันเนื่องมาจากมีสัญญาณความถี่สูงที่ไม่ต้องการหลุดปะปนเข้าไปกับสัญญาณหลักที่มีความถี่ต่ำ ซึ่งสามารถแก้ไขโดยใช้วงจรกรองความถี่ต่ำผ่านแบบ

อนาลอกที่เรียกว่าแอนตีเอเลียสซิงฟิลเตอร์ (Antialiasing Filter) ทำการกรองความถี่สัญญาณก่อนที่สัญญาณจะถูกส่งเข้าไปยังวงจรการสุ่มตัวอย่าง แต่ในทางปฏิบัติจะใช้ความถี่การสุ่มตัวอย่างมากกว่า 2 เท่าของความถี่ของสัญญาณที่ต้องการดังรูป



รูปที่ 2.18 แผนภาพของระบบประมวลผลสัญญาณแบบดิจิทัลที่สมบูรณ์

วงจรแอนตีเอเลียสซิงฟิลเตอร์ (Antialiasing Filter) เป็นวงจรกรองแบบอนาลอกซึ่งมีวัตถุประสงค์ 2 ประการ คือ

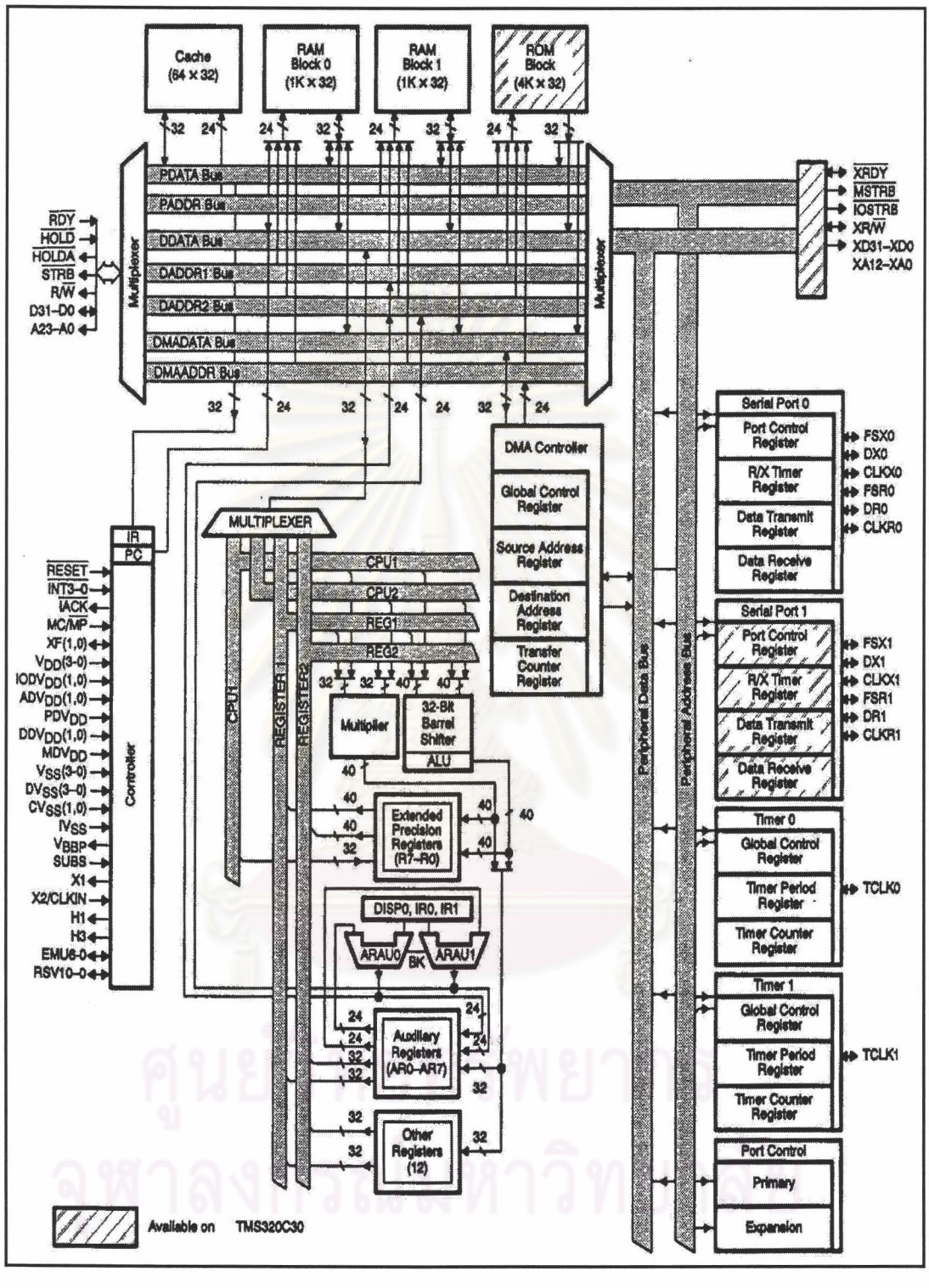
1. เพื่อให้แน่ใจว่าแบนวิดท์ของสัญญาณที่จะถูกสุ่มจำกัดอยู่ที่ช่วงความถี่ที่ต้องการดังนั้นความถี่ใดๆ ของสัญญาณที่สูงกว่า Fs/2 จะถูกลดทอนลงอย่างเพียงพอในลักษณะที่มีปริมาณการผิดเพี้ยนของสัญญาณเนื่องจากการเอเลียสน้อยจนตัดทิ้งได้
2. เพื่อจำกัดสเปกตรัมของสัญญาณรบกวนหรือการรบกวนอื่นๆ ที่เพิ่มเข้ามาปนกับสัญญาณที่ต้องการ

2.5 สถาปัตยกรรมของ TMS320C31 [4]

สถาปัตยกรรมของ TMS320C31 ประกอบด้วยส่วนหลักๆ ดังนี้

1. หน่วยประมวลผลกลาง (CPU)
2. หน่วยความจำ (Memory Organization)
3. ลักษณะบัสภายนอก (External Bus Operation)
4. ลักษณะบัสภายใน (Internal Bus Operation)
5. อุปกรณ์สนันสนุน (Peripherais)
6. ชุดควบคุมการเข้าถึงหน่วยความจำโดยตรง (Direct Memory Access Controller)

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

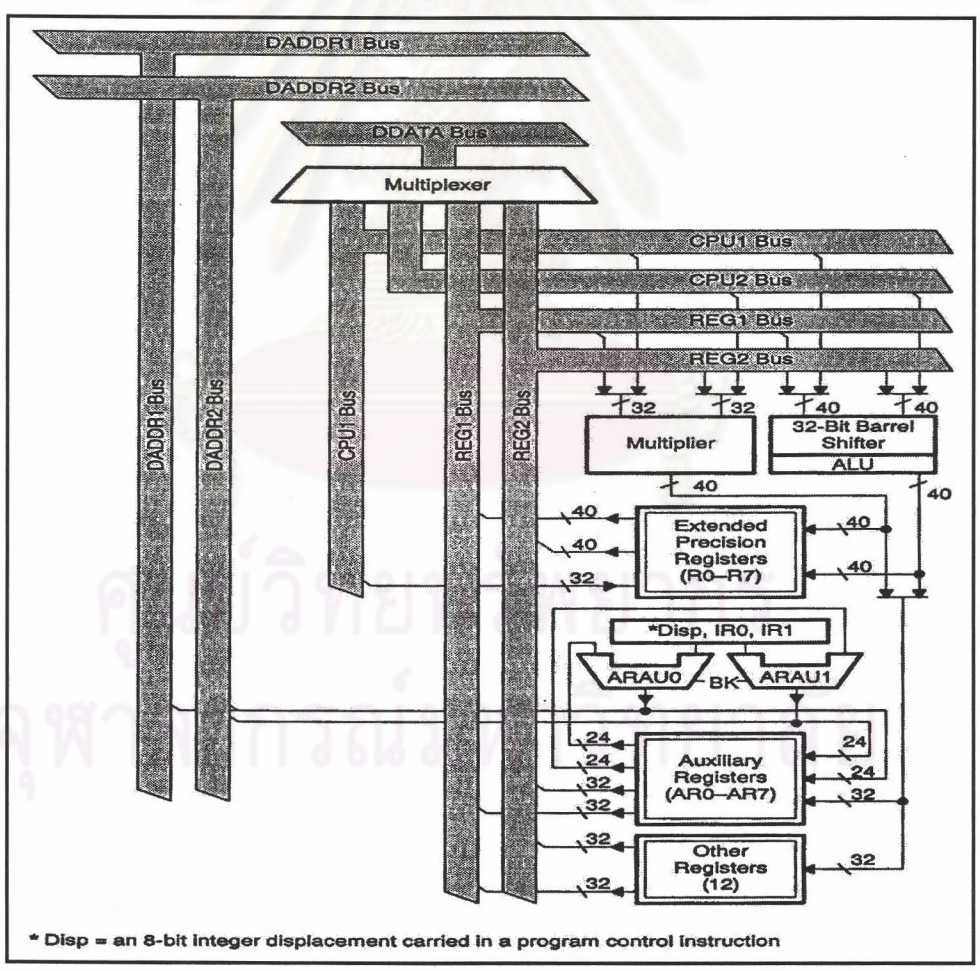


รูปที่ 2.19 แผนภาพของ TMS320C31

2.5.1 หน่วยประมวลผลกลาง (CPU)

สถาปัตยกรรมของ TMS320C31 ถูกสร้างแบบ Harvet Architechture ทำให้หน่วยประมวลผลกลางมีประสิทธิภาพเพิ่มขึ้น สามารถทำงานไปพร้อมๆ กันได้ สำหรับหน่วยประมวลผล กลางจะประกอบด้วยส่วนประกอบย่อยต่างๆ ดังนี้

1. ตัวคูณ (Multiplier)
2. หน่วยคำนวณ (ALU)
3. 32-บิต barrel Shifter
4. บัสภายใน (Internal Bus)
5. รีจิสเตอร์ช่วย (Auxiliary Register)
6. แฟ้มรีจิสเตอร์ของซีพียู (CPU Register File)



รูปที่ 2.20 แสดงหน่วยประมวลผลกลาง (CPU) ของ TMS320C31

2.5.1.1 **ตัวคูณ** (Multiplier)

ตัวคูณจะทำงานภายใน 1 ไซเคิล ซึ่งจัดการเกี่ยวกับตัวเลขจำนวนเต็ม (Integer) ขนาด 24, 32 บิต และตัวเลขแบบจุดทศนิยม (Floation Point) สามารถทำงานแบบขนานไปพร้อมกับการทำงานของ ALU ซึ่งจะมีคำสั่งการทำงานแบบขนาน เมื่อตัวคูณทำการคูณข้อมูลขนาด 32 บิต แบบจุดทศนิยมจะถูกนำมาทำการคำนวนจะได้ผลลัพธ์เป็นขนาด 40 บิต (Extend Precission) หรือถ้าเป็น 24บิต จะได้ผลลัพธ์เป็นขนาด 32 บิต

2.5.1.2 **เอแอลยู** (ALU)

ALU จะทำงานภายใน 1 ไซเคิล บนเลขจำนวนเต็มขนาด 32 บิต และตัวเลขแบบจุดทศนิยมขนาด 40 บิต สามารถแปลงตัวเลขระหว่างเลขจำนวนเต็มกับตัวเลขแบบจุดทศนิยมผลลัพธ์ของ ALU จะเป็น 32 และ 40 บิต เสมอภายใน ALU มีวงจรเลื่อน (barrel shifter) ขนาด 32 บิต ระบบบัสภายใน CPU1 / CPU2 และ REG1 / REG2 ซึ่งสามารถนำโอเปอร์แรน สองชุดจากหน่วยความจำและโอเปอร์แรนสองชุดจากแฟ้มรีจิสเตอร์ ซึ่งการทำเช่นนี้จะเห็นว่าสามารถทำงานแบบขนานระหว่าง ALU ไปพร้อมกับการทำงานของตัวคูณ (Multiplier) ได้ภายใน 1 ไซเคิล

2.5.1.3 **รีจิสเตอร์ช่วย** (Auxiliary Register Arithmetic Units: ARAUs)

หน่วยคำนวณสำหรับรีจิสเตอร์ช่วย (ALU) สองตัวสามารถกำเนิดสัญญาณแอดเดรสสองสัญญาณได้พร้อมกัน ARAU สามารถทำงานได้พร้อมกับตัวคูณและ ALU การอ้างแอดเดรสเป็นแบบ displacement , index register (IR0 , IR1) , circular , bit - reversed

2.5.1.4 **แฟ้มรีจิสเตอร์** (CPU Register File)

TMS320C31 มี 28 รีจิสเตอร์ที่สนันสนุนการทำงานของตัวคูณและ ALU สามารถใช้รีจิสเตอร์เหล่านี้ในลักษณะงานทั่ว ๆ ไปตามต้องการ ซึ่งอย่างไรก็ตามรีจิสเตอร์จะถูกแบ่งเพื่อให้ทำงานเฉพาะอย่าง เช่น รีจิสเตอร์ R0 – R7 (Extended Precision Register) ถูกออกแบบมาเพื่อให้เก็บผลลัพธ์ที่เป็นเลขแบบจุดทศนิยม รีจิสเตอร์ช่วย (Auxiliary AR0 – AR7) ถูกออกแบบมาเพื่อใช้งานทั่ว ๆ ไปการอ้างแอดเดรสเป็นแบบตรง (Direct Addressing Mode) ใช้เก็บที่เป็นตัวเลขจำนวนเต็มขนาด 32 บิต และการทำงานทางตรรกะ (Logical) รีจิสเตอร์ที่เหลือจะทำ

หน้าที่เกี่ยวกับระบบ เช่น การอ้างแอดเดรส การจัดการสแตก (Stack) การจัดการสถานะ (Status) การขัดจังหวะ (Interrupt) การทำงานซ้ำ ๆ เป็นกลุ่ม (Block Repeat)

2.5.1.5 รีจิสเตอร์ต่าง ๆ และความหมาย

ชื่อรีจิสเตอร์	หน้าที่การทำงาน
R0 – R7	Extended – precision register 0 – 7
AR0 – AR7	Auxiliary register 0 – 7
DP	Data – page pointer
IR0	Index register 0
IR1	Index register 1
Bk	Block size
SP	System stack pointer
ST	Status register
IE	CPU / DMA Interrupt enable
IF	CPU Interrupt flags
IOF	I / O flags
RS	Repeat start address
RE	Repeat end address
RC	Repeat counter
PC	Program Counter

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

2.5.1.5.1 **รีจิสเตอร์ขนาดพิเศษ** (Extended – precision register R0 – R7)

เป็นรีจิสเตอร์ขนาด 40 บิต สนันสนุนการทำงานของตัวเลขจำนวนเต็มขนาด 32 บิต และ 40 บิต สำหรับเลขจุดทศ-นิยม คำสั่งใด ๆ จะถือว่าเป็นเลขจุดทศนิยมบิทที่ 0 – 39 ถ้าคำสั่งเป็นการทำงานของเลขจำนวนเต็ม บิทที่ 0 – 31 จะถูกใช้ ส่วนบิทที่ 32 – 39 จะยังคงเหมือนรูปแบบการเก็บข้อมูลเดิม

2.5.1.5.2 **รีจิสเตอร์ช่วย** (Auxiliary register AR0 – AR7)

สามารถที่จะเข้าถึงโดย CPU และสามารถถูกเปลี่ยนแปลงแก้ไขโดย ARAUs ซึ่งเป็นหน่วยความจำสำหรับรีจิสเตอร์ช่วยซึ่งสองตัวมีหน้าที่พื้นฐานของรีจิสเตอร์ช่วยคือการกำเนิดสัญญาณ แอดเดรสขนาด 24 บิต สามารถที่จะใช้งานในลักษณะที่เป็นตัวนับจำนวนรอบ (Loop Counter) และยังคงสามารถเก็บข้อมูลทั่ว ๆ ไป ขนาด 32 บิต ซึ่งสามารถถูกแก้ไขเปลี่ยนแปลงโดยตัวคูณ (Multiplier) และ ALU

2.5.1.5.3 Data Page Pointer (DP)

เป็นรีจิสเตอร์ขนาด 32 บิต บิต 0 – 7 (8 บิต LSB) ของรีจิสเตอร์ DP ถูกใช้โดยโหมดการอ้างแอดเดรสแบบตรงทำหน้าที่เสมือนตัวชี้เพจ (Page) ของข้อมูล 1 เพจมีขนาด 64 กิโลเวิร์ด (64 Kwords) ซึ่งมีทั้งหมด 256 เพจ

2.5.1.5.4 Index Register (IR0 , IR1)

เป็นรีจิสเตอร์ขนาด 32 บิต เป็นตัวเก็บข้อมูลโดย ARAU (Auxiliary Register Arithmetic Unit) เพื่อทำการประมวลแอดเดรสแบบอินเด็กส์ (Index Addressing)

2.5.1.5.5 System Stack Pointer (SP)

เป็นรีจิสเตอร์ขนาด 32 บิต เป็นตัวเก็บค่าของแอดเดรสของสแตค ส่วนบนสุดของคำสั่งพุช (Push) จะมีผลทำให้ SP มีค่าเพิ่มขึ้น 1 และ POP มีผลทำให้ SP มีค่าลดลง 1 นอกจากคำสั่ง Push และ POP แล้วคำสั่ง TRAP , CALLS , RETURN ก็จะมีผลต่อรีจิสเตอร์ SP ด้วย

2.5.1.5.6 Status register (ST)

เป็นตัวเก็บข้อมูลซึ่งแสดงถึงสถานะต่าง ๆ ของ ซีพียู เช่น ผลจากการกระทำคำสั่งต่าง ๆ สถานะของ Status register จะเปลี่ยนแปลงไป เช่น ผลลัพธ์เป็น 0 , เป็นค่าลบ เป็นต้น

2.5.1.5.7 CPU / DMA Interrupt Enable Register (IE)

เป็นรีจิสเตอร์ขนาด 32 บิต บิทที่ 0 – 10 จะเป็นการให้อนุญาตให้ทำการ interrupt ได้หรือไม่ การอนุญาตให้ทำการเข้าถึงหน่วยความจำโดยตรง (DMA) จะอยู่ที่ตำแหน่งบิต 16 – 26

2.5.1.5.8 CPU Interrupt Flag Register (IF)

เป็นรีจิสเตอร์ขนาด 32 บิต บิตที่ 0 – 10 จะบอกสถานะของการอินเตอร์รัพ (Interrupt) และบิตที่ 16 – 26 จะบอกสถานะของการทำดีเอ็มเอ

2.5.1.5.9 I / O Flags Register (IOF)

ใช้ควบคุมการทำงานของขา XF0 และขา XF1 ซึ่งขาเหล่านี้จะถูกติดตั้งให้เป็นอินพุต (Input) และเอาท์พุต (output)

2.5.1.5.10 Program Counter (PC)

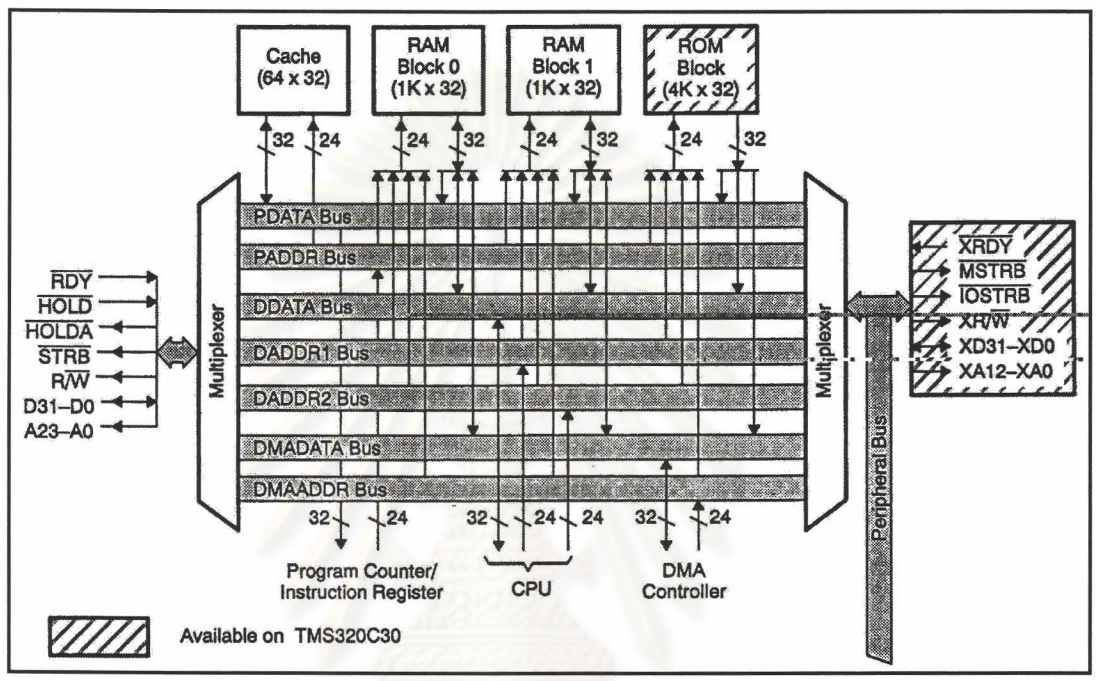
เป็นรีจิสเตอร์ขนาด 32 บิต ใช้เก็บตำแหน่งแอดเดรสของคำสั่งก่อนหน้าคำสั่งปัจจุบัน

2.5.1.5.11 Repeat Counter (RC)

เป็นรีจิสเตอร์ขนาด 32 บิต สำหรับเก็บค่าจำนวนครั้งในการกระทำคำสั่งแบบซ้ำ ๆ กันเป็นกลุ่ม (Block Repeat) ถ้าซีพียูทำงานในโหมดกระทำซ้ำ (Repeat Mode) ซีพียู จะกระทำซ้ำตั้งแต่ตำแหน่งที่ถูกเก็บอยู่ในรีจิสเตอร์ Repeat Start Address (RS) จนถึงตำแหน่งที่ถูกเก็บในรีจิสเตอร์ Repeat End Address (RE)

2.5.2 การจัดหน่วยความจำ (Memory Organization)

ขนาดของหน่วยความจำที่ TMS320C31 สามารถอ้างได้คือ 16 Mbyte 32 บิตเวิร์ดในส่วนของโปรแกรม ข้อมูล พอร์ต อินพุต ก็อยู่ใน 16 Mbyte นี้



รูปที่ 2.21 แสดงการจัดหน่วยความจำของ TMS320C31

2.5.2.1 RAM , ROM และ Cache

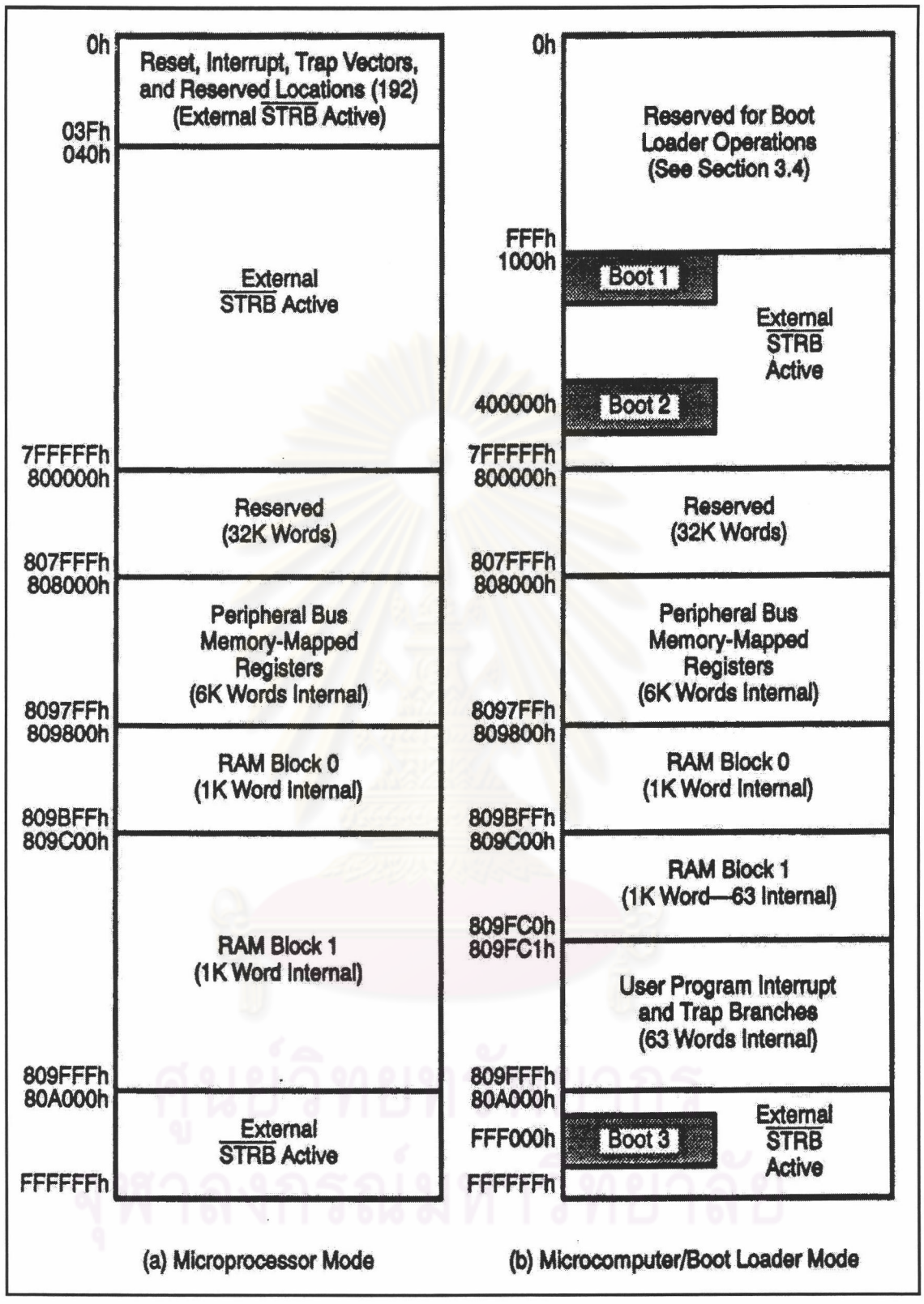
หน่วยความจำที่อยู่ภายใน TMS320C31 RAM บล็อก 0 และ 1 แต่ละบล็อกจะมีขนาด 1 K 32 บิต ROM มีขนาด 4 K 32 บิต ระบบบัสถูกแบ่งออกเป็น โปรแกรมบัส (Program Buses) บัสข้อมูล (Data Buses) บัสดีเอ็มเอ (DMA Buses) เพื่อให้สามารถทำงานแบบขนานได้ เช่น CPU สามารถเข้าถึงข้อมูลที่อยู่ใน RAM Block และสามารถ Fetch โปรแกรมจากหน่วยความจำภายนอกพร้อมกับการนำข้อมูลจาก RAM บล็อกอื่นเข้ามา (DMA) ซึ่งทำงานภายใน 1 cycle หน่วยความจำแคชขนาด 64 x 32 บิต ใช้สำหรับเก็บคำสั่งที่มีการใช้งานบ่อย ๆ

2.5.2.2 การจัดแบ่งหน่วยความจำ (Memory Maps)

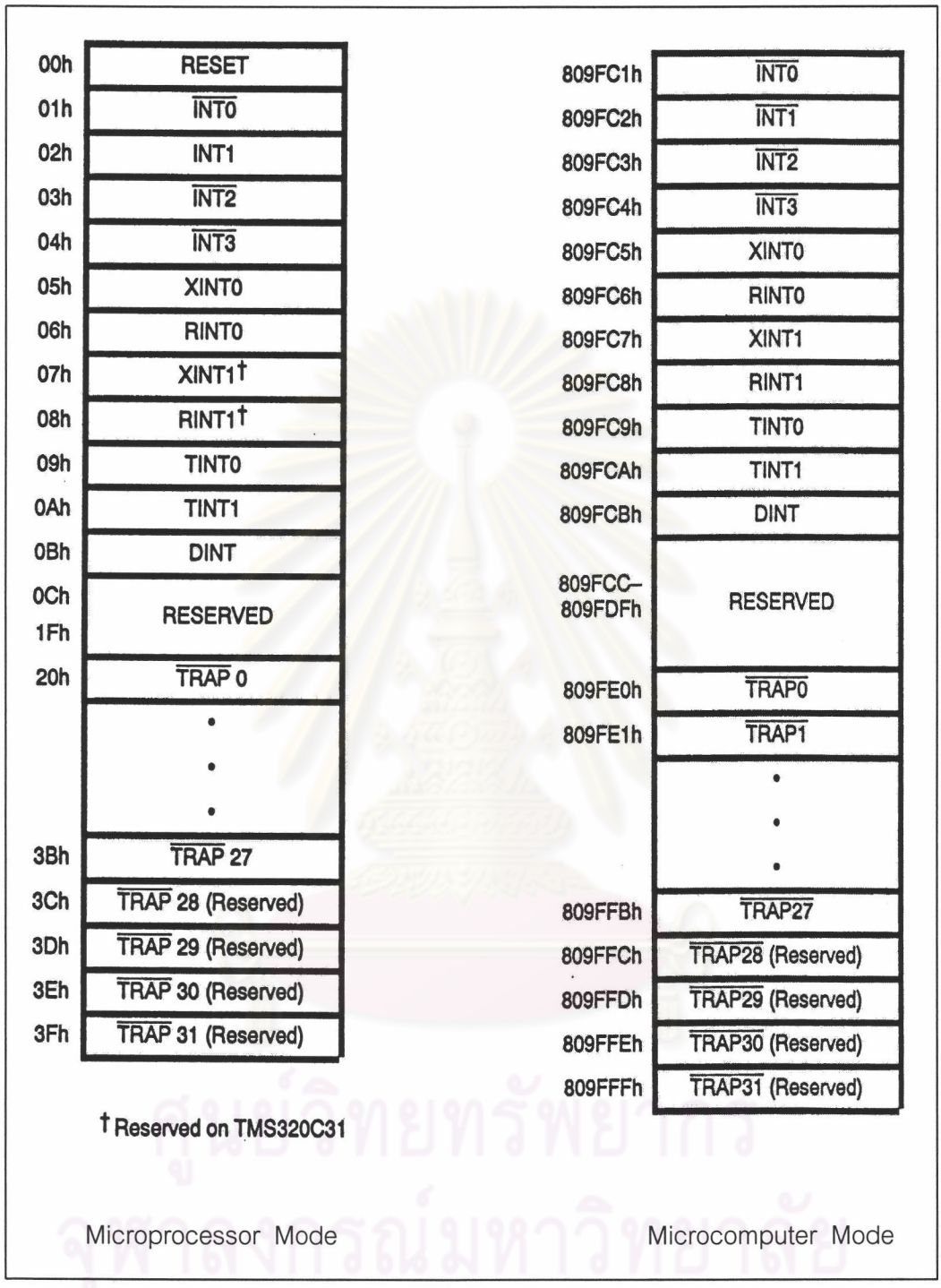
การจัดแบ่งหน่วยความจำจะขึ้นอยู่กับว่าโปรเซสเซอร์ทำงานอยู่ในโหมดใด ไมโครโปรเซสเซอร์โหมด ($MC/\overline{MP}=0$) หรือไมโครคอมพิวเตอร์โหมด ($MC/\overline{MP}=1$) ทั้งสองโหมดจะมีส่วนที่เหมือนกันคือ ที่ตำแหน่งแอดเดรส 80000h ถึง 801FFh ต้องถูกต่อใช้งานโดย Expension Bus เมื่อมีการอ้างอิงหน่วยความจำในส่วนนี้ ขาสัญญาณ MSTRB จะเป็น " 0 " (MSTRB Active) ที่ตำแหน่งแอดเดรส 80200h ถึง 803FFFh ถูกสงวนไว้ตำแหน่งแอดเดรส 80400h ถึง 803FFFh ถูกสงวนไว้ ตำแหน่งแอดเดรส 804000h ถึง 805FFFh จะต้องถูกต่อใช้งานโดย Expansion Bus เมื่อมีการอ้างอิงหน่วยความจำส่วนนี้ของสัญญาณ $\overline{IOSTRB}$ จะเป็น " 0 " ตำแหน่งแอดเดรส 80600h ถึง 807FFFh ถูกสงวนไว้

ในโหมดไมโครคอมพิวเตอร์จะมีหน่วยความจำแบบรอม (ROM) ได้ถูกกำหนดไว้ที่ 000000h ถึง 000FFFh ซึ่งตำแหน่ง 00 – 08h (192 ตำแหน่ง) จะใช้เก็บอินเตอร์รัพท์เวกเตอร์ (Interrupt Vector) แทร็ปเวกเตอร์ (Trap Vector) และพื้นที่สงวนไว้สำหรับระบบ ในการเข้าถึงหน่วยความจำตำแหน่ง 00100h – 7FFFFh จะต้องมีหน่วยความจำภายนอกต่อร่วมอยู่ด้วย ในโหมดไมโครโปรเซสเซอร์จะไม่มีหน่วยความจำแบบรอม (ROM) ดังนั้นจึงต้องมีหน่วยความจำภายนอก (External RAM) ต่อร่วมอยู่ด้วย

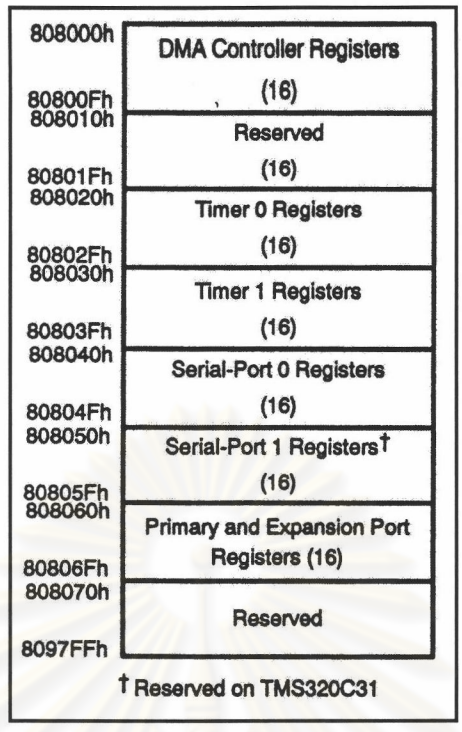
ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 2.22 แสดงการจัดแบ่งหน่วยความจำของ TMS320C31



รูปที่ 2.23 แสดงการจัดหน่วยความในโหมดไมโครโปรเซสเซอร์ในช่วง 00h – 3Fh และการจัดหน่วยความจำในโหมดไมโครคอมพิวเตอร์ในช่วง 809FC1h – 809FFFh



รูปที่ 2.24 แสดงการจัดหน่วยความจำของอุปกรณ์สนับสนุน

2.5.3 **ลักษณะบัสภายใน** (Internal Bus Operation)

สิ่งที่สำคัญมากที่ทำให้ TMS320C31 มีประสิทธิภาพสูงเป็นเพราะบัสภายในมีลักษณะความสัมพันธ์ที่ขนานกัน บัสเหล่านี้ประกอบด้วยบัสโปรแกรม (PADDR และPDATA) บัสข้อมูล(DADDR1, DADDR2 และ DDATA) และบัสดีเอ็มเอ (DMAADDR และ DMADATA) สำหรับการเข้าถึงข้อมูลและดีเอ็มเอสามารถทำได้ในลักษณะโปรแกรมพาราเลล (Parallel Program)

สำหรับการติดต่อกับ PC นั้นควบคุมโดยโปรแกรมบัสแอดเดรส 24 บิต(PADDR) รีจิสเตอร์คำสั่ง (IR) เป็นตัวควบคุมโปรแกรมบัสข้อมูล 32 บิต (PDATA) บัสเหล่านี้สามารถทำให้เกิดคำสั่งเวิร์ดเดี่ยวในทุกๆรอบการทำงาน

บัสแอดเดรสข้อมูล 24 บิต (DADDR1 และ DADDR2) และบัสข้อมูล 32 บิต สามารถเข้าถึงหน่วยความจำข้อมูล 2 ค่าในทุกๆรอบการทำงานบัส DDATA นำข้อมูลไปที่ CPU บัส CPU1 และCPU2 สามารถนำหน่วยความจำของข้อมูล 2 ค่าไปคำนวณที่มัลติไพลเออร์ (ALU) และไปที่รีจิสเตอร์ในทุกๆ รอบการทำงาน

ชุดควบคุมดีเอ็มเอจะมีบัสแอดเดรส 24 บิต (DMADATA) และ บัสข้อมูล 32 บิต (DMADATA) บัสเหล่านี้ยินยอมให้ดีเอ็มเอเข้าถึงหน่วยความจำในลักษณะพาราเลลพร้อมกับการเข้าถึงหน่วยความจำที่เกิดขึ้นจากบัสข้อมูลและบัสโปรแกรม

2.5.4 **ลักษณะบัสภายนอก** (External Bus Operation)

TMSS320C31 มีการติดต่อภายนอกโดยใช้บัสไพรมาลี่ (Primary Buse) โดยบัสไพรมารีจะประกอบด้วย บัสแอดเดรส 24 บิต บัสข้อมูล 32 บิต และสัญญาณควบคุม 1 ชุด ($R/\overline{W}, \overline{STRB}, \overline{RDY}$)

2.5.4.1 **อินเทอร์รัพพ์ภายนอก**

TMS320C31 มีการสนับสนุนอินเทอร์รัพพ์จากภายนอก 4 ชุด ($\overline{INT3}$-$\overline{INT0}$) และสามารถใช้สัญญาณ $\overline{RESET}$ จากภายนอกได้ สิ่งเหล่านี้สามารถใช้อินเทอร์รัพพ์อย่างใดอย่างหนึ่งได้ระหว่าง ดีเอ็มเอหรือซีพียู เมื่อซีพียูตอบสนองการอินเทอร์รัพพ์ ขา $\overline{IACK}$ จะส่งสัญญาณการตอบสนองการอินเทอร์รัพพ์ของซีพียูออกสู่ภายนอก

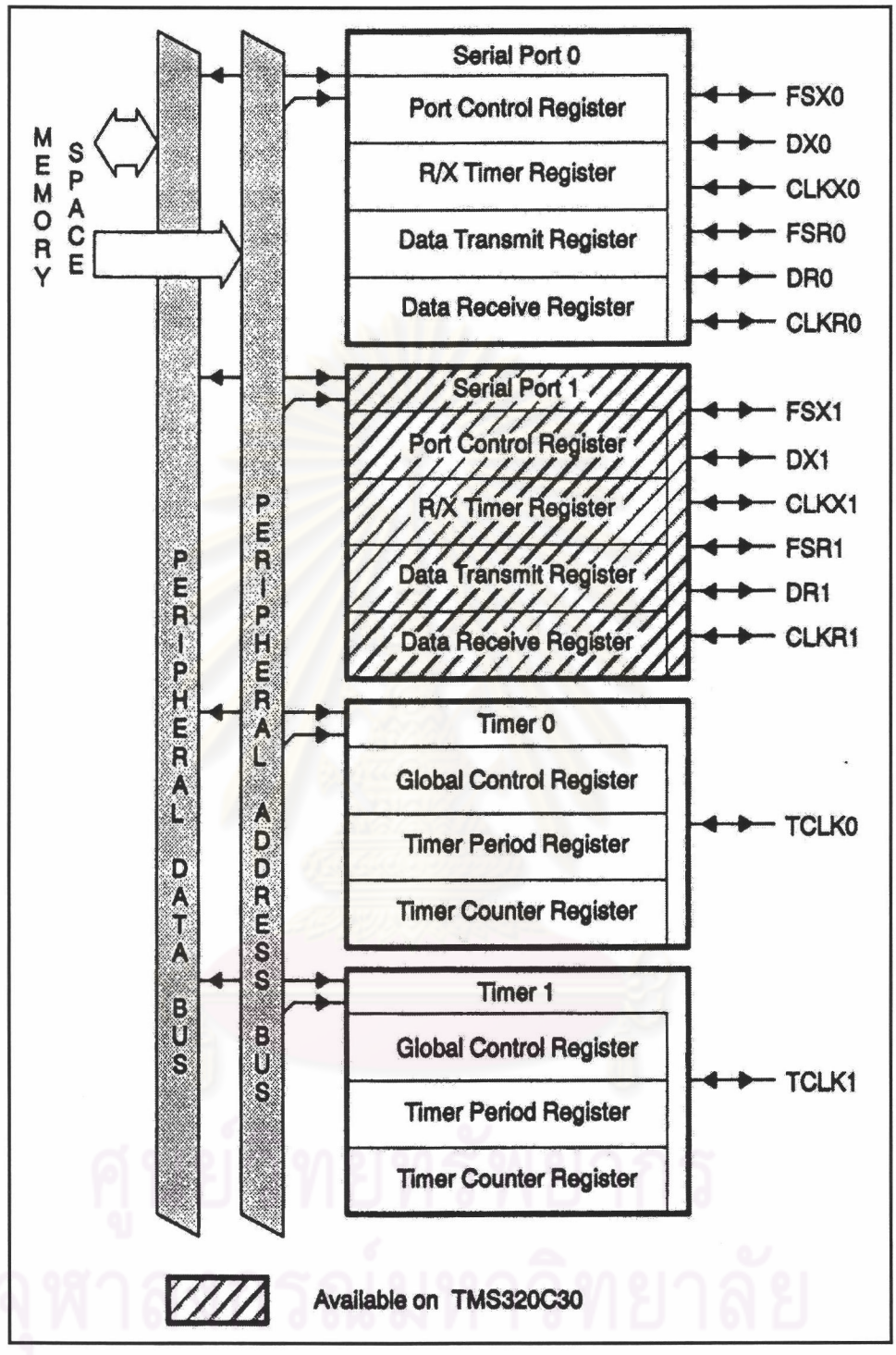
2.5.4.2 **สัญญาณ** Interlocked – Instruction

I/O ภายนอก 2 ตัว XF0 และ XF1 สามารถเป็นอินพุทหรือเอาท์พุทภายใต้การควบคุมด้วยซอฟต์แวร์ ขาเหล่านี้ใช้โดยการทำงานแบบ interlocked ของ TMS320C31 กลุ่มคำสั่งการทำงานแบบ interlocked นั้นสนับสนุนการติดต่อแบบมัลติโปรเซสเซอร์

2.5.5 **อุปกรณ์สนับสนุน**

อุปกรณ์สนับสนุนของ TMSS320C31 ใช้รีจิสเตอร์พิเศษทำหน้าที่ควบคุมการทำงานของบัสอุปกรณ์สนับสนุน บัสอุปกรณ์สนับสนุนนั้นแบ่งออกเป็น บัสข้อมูล 32 บิต และบัสแอดเดรส 24 บิต บัสของอุปกรณ์สนับสนุนนั้นสามารถติดต่อกับอุปกรณ์สนับสนุนได้โดยตรง

อุปกรณ์สนับสนุนของ TMS320C31 ประกอบด้วย 2 ไทเมอร์ และ 1 ซีเรียลพอร์ท



รูปที่ 2.25 แสดง Peripheral Modules ของ TMS320C31

2.5.5.1 **ไทเมอร์**

ลักษณะโดยทั่วไปของไทเมอร์ทั้ง 2 ตัวนั้นเป็นแบบ 32 บิต timer/event นับด้วยสัญญาณโหมด 2 สัญญาณคือ คล็อกกิ้งภายในหรือภายนอก ในแต่ละขาของ I / O สามารถใช้เป็นอินพุต คล็อกที่ไทเมอร์หรือเป็นสัญญาณเอาต์พุตของไทเมอร์ ขานี้จะมีรูปร่างภายนอกเป็นขาของ I/O ได้

2.5.5.2 **ซีเรียลพอร์ท**

ซีเรียลพอร์ทมี 1 ตัวทำงานเป็นอิสระไม่ขึ้นการควบคุมกับรีจิสเตอร์ใดๆ นอกจากซีพียู ซีเรียลพอร์ตสามารถเปลี่ยนแปลงเป็น 8,16, 24 หรือ 32 บิต คล็อกของซีเรียลพอร์ตนั้นสามารถใช้ได้ทั้งจากภายในหรืองภายนอกก็ได้ สำหรับภายในนั้นมีการแบ่งส่วนคล็อก

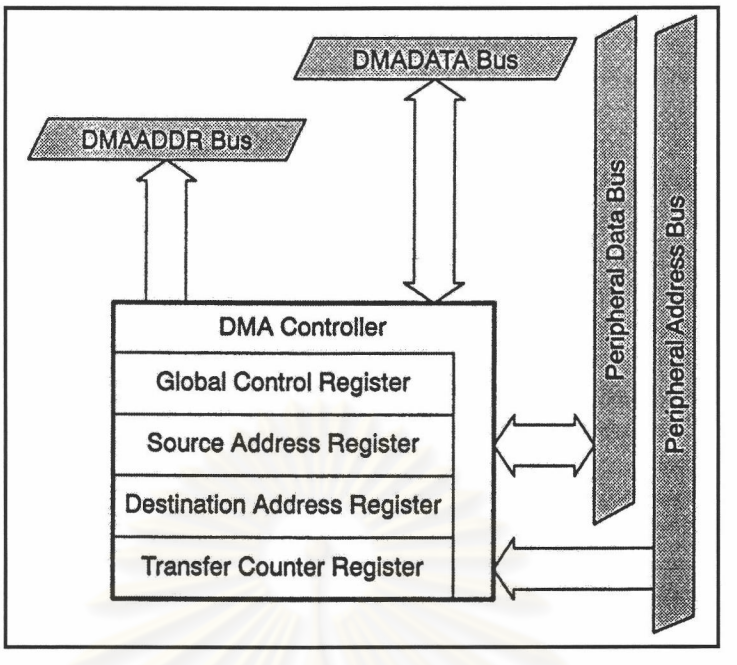
ซีเรียลพอร์ทสามารถเป็นโครงสร้างของไทเมอร์โหมดแฮนด์เช็คพิเศษที่ยินยอมให้ TMS320C31 ติดต่อกับซีเรียลพอร์ทอื่นๆ ที่อยู่ในช่วงเวลาเดียวกัน

2.5.6 **ชุดควบคุมการเข้าถึงหน่วยความจำโดยตรง** (DMA)

ชุดควบคุม ดีเอ็มเอ สามารถที่จะอ่านและเขียนได้ทุกๆที่ในหน่วยความจำรวมทั้งการติดต่อกับภายนอกด้วยการทำงานหรือการควบคุมของซีพียูเพราะฉะนั้น TMS320C31 สามารถติดต่อกับหน่วยความจำภายนอกและอุปกรณ์เสริมภายนอกได้โดยตรง

ชุดควบคุมดีเอ็มเอประกอบด้วยตัวกำเนิดแอดเดรสของตัวมันเองแหล่งกำเนิดและรีจิสเตอร์เป้าหมายและตัวนับโอน การใช้บัสแอดเดรสและบัสข้อมูลของดีเอ็มเอเองจะทำให้การทำงานระหว่าง ซีพียู และชุดควบคุมดีเอ็มเอมีผลกระทบน้อยที่สุด การทำงานของดีเอ็มเอจะใช้บล็อกหรือการโอนเวิร์ดเดียวส่งไปยังหน่วยความจำ

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 2.26 แสดงการควบคุม DMA ของ TMS320C31

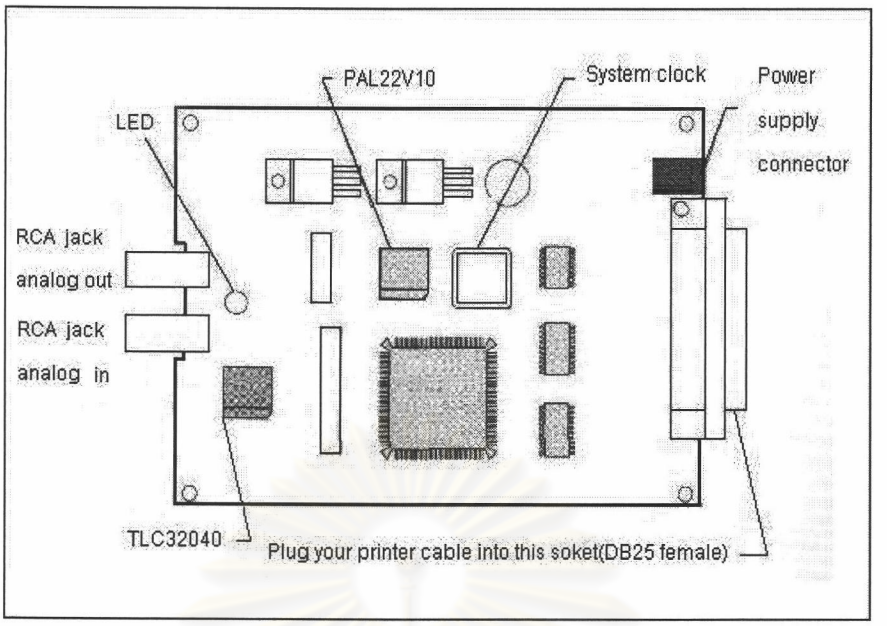
2.6 บอร์ด TMS320C31 DSP STARTER KIT [5]

บอร์ด TMS320C31 DSP STARTER KIT หรือ DSK เป็นบอร์ดพัฒนาโปรแกรมแบบสแตนอโลน (Stand - Alone) สามารถประมวลผลแบบเวลาจริง (Real-time) ได้โดยเราสามารถที่จะใช้งานโดยโปรแกรมผ่านคอมพิวเตอร์ทางพอร์ตขนานและสามารถอินเตอร์เฟสกับบอร์ดดีเอสเคได้

2.6.1 ลักษณะของบอร์ด TMS320C31 DSP STARTER KIT

สถาปัตยกรรมของบอร์ด TMS320C31 DSK มีส่วนประกอบพื้นฐานที่ประกอบด้วย

- ชิปดีเอสพี(DSP TMS320C31)
- ชิปเอดีซีและดีเอซี(ADC-DAC TLC32040)
- อินพุต เอาท์พุตพอร์ต
- พอร์ตขนานของพริ้นเตอร์
- หลอดไฟแบบ 3 สี(LED)ที่ใช้แสดงสถานการณ์ทำงานของบอร์ด

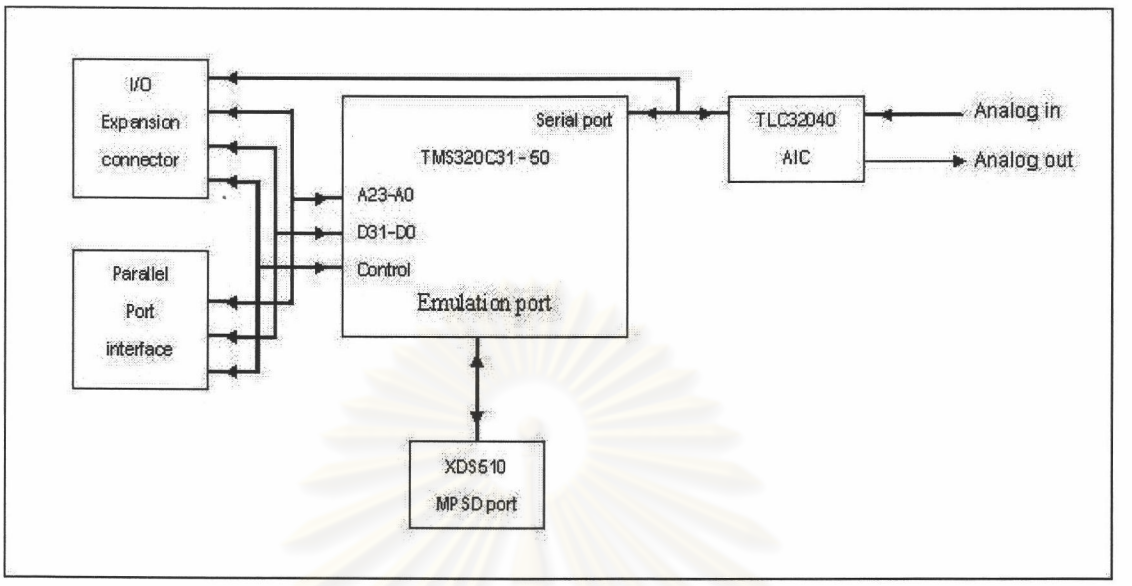


รูปที่ 2.27 สถาปัตยกรรมของบอร์ด TMS320C31 DSP STARTER KIT

จากรูปที่ 2.27 จะเห็นว่าอุปกรณ์บนบอร์ดดีเอสเคจะประกอบด้วย

- เฮดเดอร์ (Header) ขนาด 32 ขาจำนวน 4 แถว สัญญาณทุกเส้นของดีเอสเคที่จะส่งออกไปภายนอกบอร์ดจะต้องผ่านเฮดเดอร์ชุดนี้ซึ่งประกอบด้วย JP2, JP3, JP5, JP6
- จัมเปอร์บล็อกเฮดเดอร์ (Jump Block Header) ขนาด 11 ขา (JP4) จะทำหน้าที่ควบคุมการส่งข้อมูลของพอร์ตอนุกรมของ TLC32040
- โฮสอินเตอร์เฟสลอจิก (Host Interface Logic) จะใช้ PAL22V10Z และ74ACT245 ควบคุมการสื่อสารระหว่างบอร์ดดีเอสเคกับคอมพิวเตอร์
- ออสซิลเลเตอร์บนบอร์ดดรเอสเคจะใช้สัญญาณนาฬิกาขนาด 50 เมกกะเฮิร์ต (MHz) เพื่อป้อนให้กับชิป TMS320C31
- แจ๊คอาซีเอ (RCA Jack) จะทำหน้าที่รับสัญญาณอนาลอกอินพุตและส่งสัญญาณอนาลอกเอาท์พุตของบอร์ดดีเอสเคโดยจะต่ออยู่กับขา I/O ของเอไอซี (AIC)
- TLC32040 AIC จะทำหน้าที่เป็นเอดีซีและดีเอซีของบอร์ดดีเอสเค
- TMS320C31 เป็นตัวประมวลผลขนาด 32 บิตแบบ Floating Point
- โวลต์เตจ รีกูเลเตอร์ (Voltage Regulator) บนบอร์ดดีเอสเคสามารถใช้ไฟ 7- 12 โวลต์ดีซี หรือ 6-9 โวลต์เอซีโดยไฟดีซีและเอซีจะต้องผ่านไอซี รีกูเลเตอร์เบอร์ LM7805 และ LM7905 ซึ่งจะได้ไฟ +5V และ -5V ตามลำดับ
- XDS Emulator port เป็นเฮดเดอร์ขนาด 12 ขา (JP1) ใช้เพื่อพัฒนาโปรแกรม XDS Debugger ในอนาคต

จากที่กล่าวมาข้างต้นสามารถแสดงเป็นแผนภาพได้ดังรูปที่ 2.28



รูปที่ 2.28 แผนภาพของบอร์ด TMS320C31 DSP Starter Kit

2.6.2 คุณลักษณะของบอร์ด TMS320C31 DSP STARTER KIT

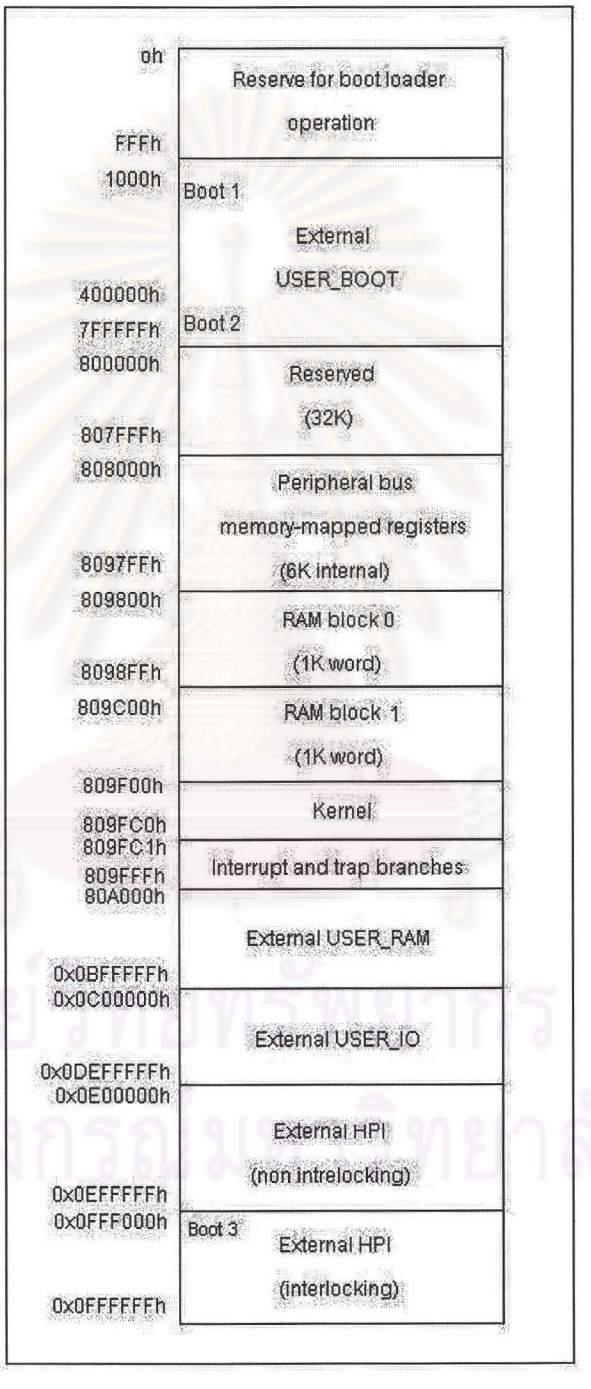
- ใช้ชิป TMS320C31 เป็นตัวประมวลผลขนาด 32 บิตแบบ Floating point
- ใช้เวลาในการประมวลผลคำสั่ง 40 นาโนเซคเคิล (ns) ต่อ 1 คำสั่งหรือ 50 MFLOP และ 25 MIPS

  MFLOP : Million Floating - Point Instruction per Second

  MIPS :Million Instruction per Second
- บอร์ดดีเอสเคสามารถสื่อสารกับคอมพิวเตอร์ได้โดยใช้พอร์ตขนานของพรินเตอร์
- ใช้ชิป TLC32040 AIC ขนาด 14 บิต อัตราการสุ่มสัญญาณอนาลอกอินพุตและเอาต์พุตทำให้สามารถนำไปต่อกับไมโครโฟนและลำโพงได้

2.6.3 การจัดหน่วยความจำบนบอร์ด TMS320C31 DSP STARTER KIT

บอร์ด TMS320C31 DSK ได้จัดแบ่งหน่วยความจำให้อยู่ในโหมดไมโครคอมพิวเตอร์/บูทโหลดเดอร์ (Microcomputer / Boot Loader) แสดงดังรูปที่ 2.29



รูปที่ 2.29 การจัดแบ่งหน่วยความจำในโหมดไมโครคอมพิวเตอร์/บูตโหลดเดอร์ (Microcomputer / Boot Loader) ของบอร์ด TMS320C31 DSP STARTER KIT