

## รายการอ้างอิง

1. J. Michael Jacob. Industrial Control Electronics Application and Design. USA: Prentice-Hall, 1988
2. Ed Ramsden. Temperature Measurement. [Online]. Available from: <http://www.sensorsmag.com/articles/0900/17/main.shtml> (2000).
3. Klaus Finkenzeller. RFID Handbook. 2<sup>nd</sup> edition. England: John Wiley & Sons, 2003.
4. Anton Bakker. and Johan H. Huijsing. Micropower CMOS Temperature Sensor with Digital Output. IEEE Journal of Solid-State Circuits. 31, 7 (July, 1996): 933-937.
5. Mike Tuthill. A Switched-Current, Switched-Capacitor Temperature Sensor in 0.6- $\mu\text{m}$  CMOS. Fourth Annual IEEE International ASIC Conference and Exhibit (1991) : P3-2/1-4.
6. Michiel Pertjjs., Andrea Niederkorn., Xuma, Bill Mckillop., Jarmusz Anton Bakker. and Johan H. Huijsing. A CMOS Temperature Sensor with a 3 $\sigma$  Inaccuracy of  $\pm 0.5$   $^{\circ}\text{C}$  from  $-50^{\circ}\text{C}$  to  $120^{\circ}\text{C}$ . IEEE International Solid-State Circuits Conference. (2003): Paper 11.5.
7. National Semiconductor Corporation. LM92 Data Sheet. [Online]. Available from: <http://www.national.com> (2004).
8. Maxim Int. Products. DS1626 Data Sheet. [Online]. Available from: <http://www.maxim-ic.com> (2003).
9. Analog Devices, Inc. AD7414 Data Sheet. [Online]. Available from: <http://www.analog.com> (2003).
10. Paul R. Gray. and Robert G. Meyer. Analysis and Design of Analog Integrated Circuits. 3<sup>rd</sup> edition. Canada: John Wiley & Sons, 1992.
11. Gordon, B M. Linear Electronic Analog/Digital Conversion Architectures, Their Origin, Parameters, Limitation, and Applications. IEEE Trans. Circuits and Systems. 25, 7 (July, 1978): 391-418.
12. Gert van der Horn, Johan L. Huijsing. An Intergrated Smart Sensor: Design and Calibration. Netherlands: Kluwer Academic Publishers, 1998.

13. Lye, B.; Syrzycki, M. Current-Mode A/D Converter Architectures for Integrated Sensor Systems. IEEE Proc. Canadian Conference on Electrical and Computer Engineering. 1 (1996): 194-197.
14. Chen, C. C.; Wu, C.Y. Design Techniques for 1.5-V Low-Power CMOS Current-Mode Cyclic Analog-to-Digital Converters. IEEE Trans. Circuits and Systems. 45, 1 (1998): 28-40.
15. Silicon Craft Technology Co. Ltd. Design Specification SIC7960 1056-Bit R/W RFID ASIC. Thailand, 2004.
16. Hasting, A. The Arts of Analog Layout. USA: Prentice-Hall, Inc., 2001.
17. Chatered Semiconductor Manufacturing LTD. Technology and design documentation of a 0.35- $\mu$ m CMOS. USA, 2004.
18. B. S. Song and P. R. Gray, A Precision Curvature-Compensated CMOS Bandgap Reference. IEEE Journal of Solid-State Circuits. sc-18, 6, 1983: 634-643.
19. J.M. Audy. 3<sup>rd</sup> Order Curvature Corrected Bandgap Cell. Proceedings of the 38<sup>th</sup> Midwest Symposium on Circuits and Systems. 1, 1996: 397-400.
20. K.N. Lueng, P.K.T. Mok, and C.Y.Lueng. A 2-V 23- $\mu$ A 5.3-ppm/ $^{\circ}$ C 4<sup>th</sup>-Order Curvature-Compensated CMOS Bandgap Reference. IEEE Journal of Solid-State Circuits. 38, 3 (March, 2003): 561-564.
21. Gabriel A. Rincon-Mora and Phillip E. Allen. A 1.1-V Current-Mode and Piecewise-Linear Curvature-Corrected Bandgap Reference. IEEE Journal of Solid-State Circuits. 33, 10 (July, 1998): 1551-1554.
22. B.E. Boser and B.A. Wooley. The Design of Sigma-Delta Modulation Analog-to-Digital Converters. IEEE Journal of Solid-State Circuit. 23, 6 (December 1988): 1298-1308.
23. David A. Johns and Ken Martin. Analog Integrated Circuit Design. United States of America: John Wiley & Sons, 1997.
24. Michael D. Scott, Bernhard E. Boser and Kristofer S.J. Pister. An Ultra-Low Power ADC for Distributed Sensor Networks. University of California Berkeley.
25. Microchip Technology Inc., PIC16F87X Data Sheet, (2001).
26. John P. Uyemura. CMOS Logic Circuit Design. United States of America: Kluwer Academic Publishers, 1999.

27. I.E. Opris and G.T.A. Kovacs. A Rail to Rail Ping-Pong Opamp. IEEE Journal of Solid-State Circuits. 31, 9 (September, 1996): 1320-1324.
28. C.C. Enz, E.A. Vittoz and F. Krummenacher. A CMOS Chopper Amplifier. IEEE Journal of Solid-State Circuits. 22 (1987): 335-342.



ศูนย์วิทยทรัพยากร  
จุฬาลงกรณ์มหาวิทยาลัย



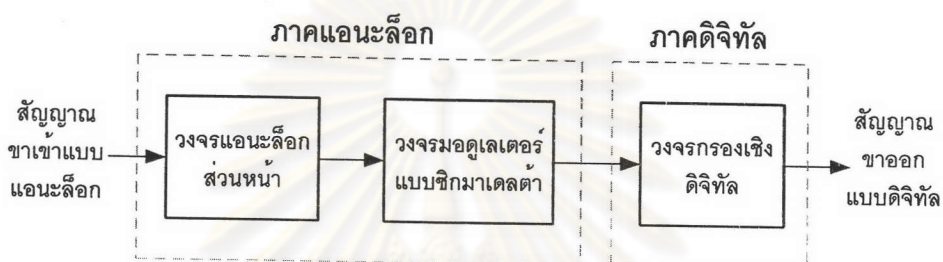
ภาคผนวก

ศูนย์วิทยทรัพยากร  
จุฬาลงกรณ์มหาวิทยาลัย

**ภาคผนวก ก**  
**ตัวแปลงแอนะล็อกเป็นดิจิทัลแบบซิกมาเดลต้า**  
**และการจัดสรรฐานสัญญาณรบกวน**

โครงสร้างของวงจรแปลงแอนะล็อกเป็นดิจิทัลแบบซิกมาเดลต้า

โครงสร้างวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลแบบซิกมาเดลต้าแบ่งออกเป็น 2 ส่วนหลักๆ ดังรูปที่ ก-1

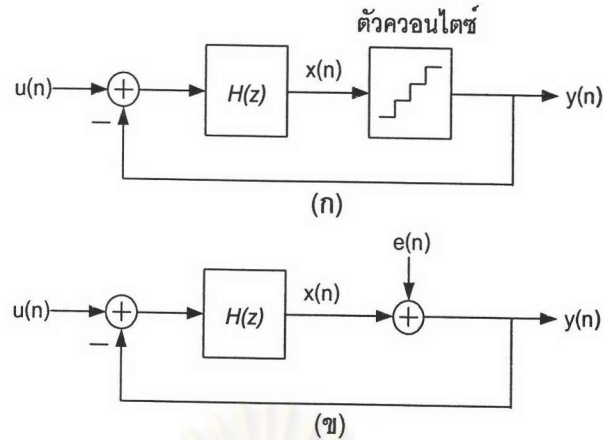


รูปที่ ก-1 โครงสร้างวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลแบบซิกมาเดลต้า

วงจรแอนะล็อกประกอบด้วย 2 ส่วน คือ วงจรแอนะล็อกส่วนหน้า ซึ่งภายในมีวงจรกรองผ่านต่ำ และวงจรซีกตัวอย่าง ส่วนที่ 2 คือวงจรมอดูเลเตอร์แบบซิกมาเดลต้า ซึ่งทำหน้าที่สุ่มสัญญาณเกิน (Oversampling) แล้วจัดรูปร่างของสัญญาณรบกวนให้มีรูปร่างตามต้องการ ซึ่งจะสุ่มสัญญาณดิจิทัลขาออกเพื่อป้อนให้กับส่วนดิจิทัลต่อไป วงจรส่วนดิจิทัลประกอบด้วย วงจรกรองเดซิเมชันซึ่งการตัดเอาสัญญาณรบกวนความถี่สูงที่ถูกจัดรูปออกไป และทำการสุ่มสัญญาณลง (Downsampling) จนเหลือตามความถี่ที่ต้องการ

### การจัดสรรฐานสัญญาณรบกวนควอนไทซ์ด้วยมอดูเลชันแบบซิกมาเดลต้า

การทำการแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล สัญญาณที่ถูกควอนไทซ์จะมีค่าผิดพลาดไป ค่าผิดพลาดดังกล่าวสามารถวิเคราะห์ให้อยู่ในรูปของสัญญาณรบกวนควอนไทซ์ (quantization noise) ซึ่งมีกำลังขนาด  $\frac{\Delta^2}{12}$  เมื่อ  $\Delta$  คือค่าขนาดระดับขั้นของสัญญาณที่ถูกแปลง (step size) กระจายอยู่ในช่วงแบนด์วิดท์ โดยสามารถทำให้กำลังของสัญญาณรบกวนดังกล่าวในช่วงแบนด์วิดท์น้อยลงได้ โดยการสุ่มเกิน (oversampling) พร้อมกับการจัดสรรฐานสัญญาณรบกวน (Noise Shaping) ซึ่งอาศัยหลักการมอดูเลตแบบซิกมาเดลต้า



รูปที่ 3-2 โครงสร้างมอดูเลเตอร์แบบซิกมาเดลต้า

(ก) โครงสร้างแบบอินเตอร์โพลิต (ข) แบบจำลองเชิงเส้น

รูปที่ 3-2 แสดงโครงสร้างของมอดูเลเตอร์แบบซิกมาเดลต้าและแบบจำลองเชิงเส้น ซึ่งจะมีลักษณะเป็นวงรอบปิด ประกอบด้วยฟังก์ชันถ่ายโอน  $H(z)$  ตัวคอนโทรลซึ่งจำลองได้ด้วยแบบจำลองเชิงเส้นที่มีการเพิ่มสัญญาณรบกวนควอนไทซ์  $e(n)$  เข้าสู่ระบบ สัญญาณขาออกจากมอดูเลเตอร์สามารถแสดงออกมาได้ในอาณาจักร  $z$  ( $z$ -domain) คือ

$$Y(z) = S_{TF}(z)U(z) + N_{TF}E(z) = \frac{H(z)}{1+H(z)}U(z) + \frac{1}{1+H(z)}E(z) \quad (3-1)$$

โดย  $S_{TF}(z)$  เป็นฟังก์ชันถ่ายโอน จาก สัญญาณขาเข้า

$N_{TF}(z)$  เป็นฟังก์ชันถ่ายโอน จาก สัญญาณรบกวนควอนไทซ์

จากสมการที่ (3-1) ค่าของฟังก์ชันถ่ายโอน  $H(z)$  จะต้องมีขนาดใหญ่ที่ความถี่ต่ำ ซึ่งจะทำให้ค่าฟังก์ชันถ่ายโอนจากสัญญาณขาเข้า  $S_{TF}(z)$  มีค่าประมาณหนึ่ง ขณะที่จะทำให้ค่าฟังก์ชันถ่ายโอนจากสัญญาณรบกวนควอนไทซ์มีค่าประมาณเป็นศูนย์ ในช่วงความถี่ต่ำดังกล่าว

### การจัดพื้นฐานสัญญาณรบกวนควอนไทซ์อันดับหนึ่ง

จากสมการที่ (3-1) ค่าฟังก์ชันถ่ายโอนจากสัญญาณรบกวนควอนไทซ์ควรมีค่าน้อยที่ความถี่ต่ำ หากแทนค่า  $H(z)$  ด้วยอินทิเกรเตอร์เชิงเวลาแบบเต็มหน่วย (Discrete-Time Integrator) ซึ่งมีค่าเป็น

$$H(z) = \frac{1}{z-1} \quad (3-2)$$

การวิเคราะห์ลักษณะของการจัดสรรฐานสามารถทำได้ใน 2 รูปแบบ คือ

### การวิเคราะห์เชิงเวลา

ในการวิเคราะห์เชิงเวลา ถ้าการป้อนกลับของตัวมอดูเลเตอร์ทำให้ระบบมีเสถียรภาพ จะส่งผลให้ค่าสัญญาณหลังจากถูกอินทิเกรต  $x(n)$  มีค่าจำกัด ค่าเฉลี่ยของสัญญาณขาเข้าตัวอินทิเกรตเตอร์จะต้องมีค่าเป็นศูนย์ ( $\overline{u(n)} - \overline{y(n)} = 0$ ) เนื่องจากตัวอินทิเกรตเตอร์มีค่าอัตราขยายไปตรงเป็นอนันต์ ซึ่งอาจจะระบุได้ว่า ค่าเฉลี่ยของสัญญาณขาเข้ามอดูเลเตอร์  $u(n)$  จะมีค่าเท่ากับค่าเฉลี่ยของสัญญาณขาออกมอดูเลเตอร์  $y(n)$  ซึ่งค่าเฉลี่ยก็อาจจะระบุเป็น ระดับสัญญาณไปตรง (DC) นั่นเอง

### การวิเคราะห์เชิงความถี่

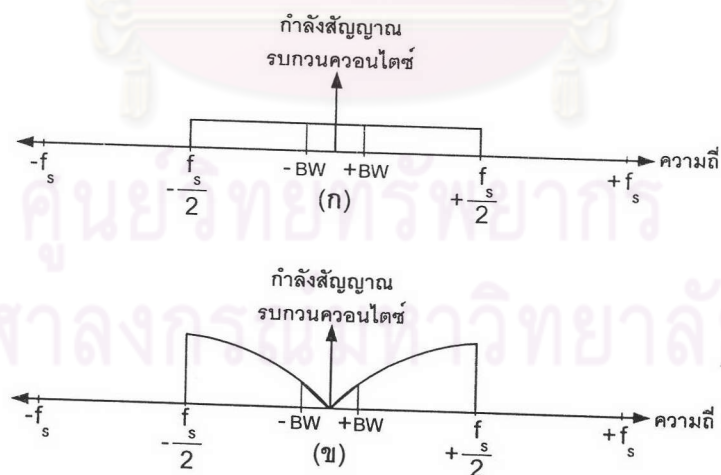
ในการวิเคราะห์เชิงความถี่ เมื่อทำการแทนค่า  $H(z)$  ลงในสมการที่ (12) จะได้

$$S_{TF} = Y(z)/U(z) = z^{-1} \quad (ก-3)$$

$$N_{TF} = Y(z)/E(z) = (1 - z^{-1}) \quad (ก-4)$$

แทนค่า  $z = e^{j\omega T} = e^{j2\pi f / f_s}$  จะได้  $|N_{TRF}| = 2 \sin(\pi f / f_s) \quad (ก-5)$

จากรูปที่ ก-3 จะพบว่าสัญญาณรบกวนถูกจัดสรรฐานในลักษณะของฟังก์ชันไซน์ ซึ่งทำให้สัญญาณรบกวนควอนไทซ์ในแถบความถี่ที่ต้องการมีค่าน้อยลง



รูปที่ ก-3 สันฐานของสเปกตรัมของสัญญาณรบกวนที่เปลี่ยนไปเนื่องจากการมอดูเลชัน

(ก) ก่อนถูกมอดูเลชัน

(ข) หลังถูกมอดูเลชัน

### วงจรรองเดซิเมชัน

ชุดสัญญาณขาออกจากตัวมอดูเลเตอร์เป็นสัญญาณที่มีผลตอบสนองเชิงความถี่กระจายออกไปในช่วงของความถี่สูง ดังนั้นจำเป็นต้องกรองเอาสัญญาณรบกวนที่ถูกจัดสรรฐานให้อยู่ที่ความถี่สูงออกไป เพื่อให้ได้แต่สัญญาณหลักที่อยู่ในช่วงแบนด์วิดท์ วงจรรองเดซิเมชันจึงมีหน้าที่ในการกรองสัญญาณความถี่สูงออกไป และทำการสุ่มสัญญาณลง (downsampling) จากที่ถูกสุ่มเกินให้มีความถี่เท่ากับความถี่ในควิสิต์ตามต้องการ



ศูนย์วิทยทรัพยากร  
จุฬาลงกรณ์มหาวิทยาลัย



ภาคผนวก ข  
บทความที่ได้รับการพิจารณาตอบรับใน  
การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 27



ศูนย์วิทยทรัพยากร  
จุฬาลงกรณ์มหาวิทยาลัย

## วงจรมอดูเลเตอร์อันดับสองสำหรับตัวแปลงสัญญาณแอนะล็อกเป็นดิจิทัลแบบซิกมาเดลต้า ที่มีความละเอียด 12 บิต

### A 1 Bit Second Order Modulator for 12 Bits Sigma-Delta ADC

โอมรินทร์ สาธุเสน และเอกชัย ลิลาตรีศรี

ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย

ถนนพญาไท เขตปทุมวัน กรุงเทพมหานคร 10330

โทร. 0-2218-6488 โทรสาร 0-2218-6488 E-mail: ohm83ee@yahoo.com, ekachai.l@chula.ac.th

#### บทคัดย่อ

บทความนี้เสนอการออกแบบและจำลองการทำงานของวงจรมอดูเลเตอร์อันดับสองขนาด 1 บิตสำหรับตัวแปลงสัญญาณแอนะล็อกเป็นดิจิทัลแบบซิกมาเดลต้าที่มีความละเอียด 12 บิต เพื่อประยุกต์ใช้ในการซักรับตัวอย่างกระแสและแรงดันทางไฟฟ้าความถี่ 50 Hz แล้วนำไปคำนวณหาพลังงานทางไฟฟ้า โครงสร้างของตัวมอดูเลเตอร์เป็นแบบวงจรสวิตช์-ตัวเก็บประจุ (switch-capacitor) ซึ่งทำเป็นแบบผลต่าง (fully differential) วงจรที่ได้ออกแบบให้ค่า อัตราส่วนกำลังของสัญญาณต่อสัญญาณรบกวน (SNR) สูงกว่า 72 dB ซึ่งจะทำให้การสุ่มสัญญาณด้วยความถี่ 512 kHz และใช้อัตราการสุ่มเกิน (oversampling ratio) ที่ 128 ทำให้ได้อัตราการแปลงสัญญาณเท่ากับ 4 kHz การออกแบบวงจรมอดูเลเตอร์ใช้เทคโนโลยี 0.5  $\mu\text{m}$  ผังวงจรมีขนาด  $250 \mu\text{m} \times 350 \mu\text{m}$  และกินกำลังงานไฟฟ้าประมาณ 1 mW

คำสำคัญ : มอดูเลเตอร์อันดับสอง, ตัวแปลงสัญญาณแอนะล็อกเป็นดิจิทัลแบบซิกมาเดลต้า, อัตราการสุ่มเกิน, อัตราส่วนกำลังสัญญาณต่อสัญญาณรบกวน

#### Abstract

This paper presents a design of a 1 bit second order modulator for a 12 bits sigma delta ADC intended for digitizing a 50 Hz AC signal. It is designed with fully differential switch-capacitive circuit. The simulation result show that the signal to noise ratio (SNR) of this modulator is more than 74 dB at an oversampling frequency of 512 kHz with oversampling ratio of 128 and 4 kHz conversion rate. The modulator circuit is laid out using a 0.5  $\mu\text{m}$  CMOS technology and the layout area is about  $250 \mu\text{m} \times 350 \mu\text{m}$  which consuming only 1 mW.

Keyword : Second order modulator, Sigma-delta analog to digital converter, Oversampling ratio, Signal to noise ratio

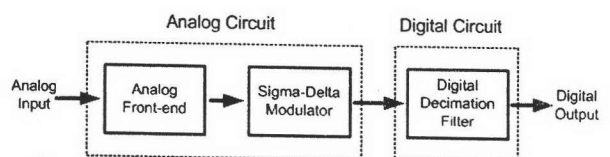
#### 1. บทนำ

ปัจจุบันอุปกรณ์ทางอิเล็กทรอนิกส์สมัยใหม่ส่วนใหญ่จะทำงานในลักษณะของสัญญาณแบบผสม (mixed-signal) เช่น อุปกรณ์วัดพลังงานไฟฟ้าแบบดิจิทัล ซึ่งมีการสุ่มค่าแรงดันและกระแสจากสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล โดยมีความผิดพลาดไม่เกิน 0.5 % ที่ทุกขนาดของสัญญาณ ความละเอียดสำหรับตัวแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลที่เหมาะสมสำหรับการวัดพลังงานไฟฟ้าควรจะสูงกว่า 12 บิต

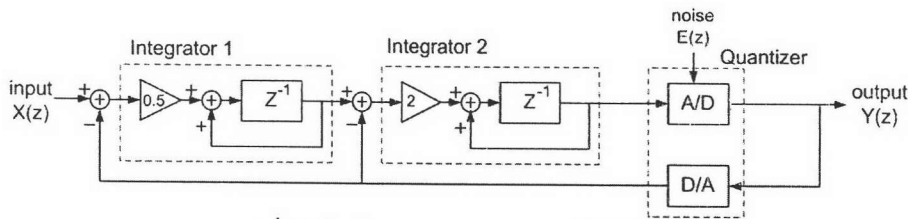
จากข้อกำหนดที่กล่าวมา สถาปัตยกรรมของวงจรมอดูเลเตอร์สัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลแบบซิกมาเดลต้ามีความเหมาะสมในการออกแบบเมื่อเทียบกับสถาปัตยกรรมแบบอื่น เนื่องจากให้ความแม่นยำสูงในการแปลงสูง และไม่ต้องการความแม่นยำของวงจรมอดูเลเตอร์สูงมากนัก โครงสร้างของวงจรมอดูเลเตอร์สัญญาณแอนะล็อกเป็นดิจิทัลแบบซิกมาเดลต้าแบ่งเป็น 2 ส่วนหลัก ดังรูปที่ 1 [1]

วงจรมอดูเลเตอร์ประกอบด้วย 2 ส่วน คือ วงจรมอดูเลเตอร์ส่วนหน้า ซึ่งภายในมีวงจรกรองผ่านต่ำและวงจรมอดูเลเตอร์ ส่วนที่ 2 คือ วงจรมอดูเลเตอร์แบบซิกมาเดลต้า ทำหน้าที่สุ่มสัญญาณเกิน (oversampling) และจัดรูปร่างของสัญญาณรบกวน (noise-shaping) โดยสัญญาณขาออกที่ได้จะเป็นสัญญาณดิจิทัล ซึ่งจะถูกนำไปประมวลผลทางดิจิทัลต่อไป

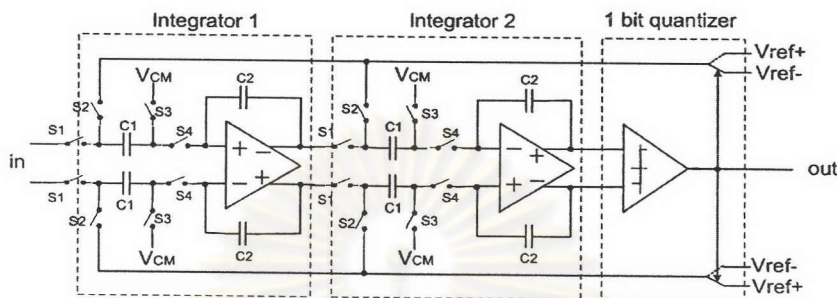
วงจรมอดูเลเตอร์ประกอบด้วย วงจรกรองเชอซิมเมชันซึ่งทำหน้าที่ตัดเอาสัญญาณรบกวนความถี่สูงที่ถูกจัดรูปร่างออกไป และทำการสุ่มสัญญาณลง (downsampling) จนเหลือตามความถี่ที่ต้องการ



รูปที่ 1 ส่วนประกอบของวงจรมอดูเลเตอร์สัญญาณแอนะล็อกเป็นดิจิทัลแบบซิกมาเดลต้า



รูปที่ 2 บล็อกไดอะแกรมของมอดูเลเตอร์อันดับสอง



รูปที่ 3 วงจรมอดูเลเตอร์อันดับสองขนาด 1 บิต

ในการแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล สัญญาณที่ถูกแปลงจะมีค่าผิดพลาดไปจากสัญญาณขาเข้า ค่าผิดพลาดดังกล่าวสามารถวิเคราะห์ให้ได้อยู่ในรูปของสัญญาณรบกวนควอนไทซ์ (quantization noise) ซึ่งมีลักษณะคล้ายสัญญาณรบกวนขาว (white noise) กระจายอยู่ในช่วงแถบความถี่ (bandwidth) โดยความละเอียดของวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัล มีความสัมพันธ์กับอัตราส่วนกำลังของสัญญาณต่อกำลังของสัญญาณรบกวน (Signal to Noise Ratio, SNR) ดังสมการที่ (1)

$$SNR_{max} (dB) \approx 6.02N \tag{1}$$

เมื่อ N คือจำนวนบิตขาออกของวงจรแปลงแอนะล็อกเป็นดิจิทัล

การสุ่มเกินพร้อมกับการจัดรูปร่างสัญญาณรบกวนสามารถทำให้สัญญาณรบกวนควอนไทซ์ในช่วงแถบความถี่มีกำลังลดน้อยลงได้ซึ่งข้อเสียหลักการมอดูเลเตอร์แบบซิกมาเดลต้า โดยรูปที่ 2 แสดงบล็อกไดอะแกรมของมอดูเลเตอร์แบบซิกมาเดลต้าอันดับสองขนาด 1 บิต ซึ่งทำหน้าที่สุ่มเกินและจัดรูปร่างสัญญาณรบกวนโดยมีข้อดีคือ มีเสถียรภาพสูงและต้องการความแม่นยำของตัวเก็บประจุน้อยกว่า เมื่อเทียบกับโครงสร้างอันดับสาม และต้องการอัตราสุ่มเกินที่ต่ำกว่าเมื่อเทียบกับอันดับหนึ่ง โดยที่ตัวคอนไดเซอร์ภายในมอดูเลเตอร์สามารถมองเป็นแหล่งเพิ่มสัญญาณรบกวนควอนไทซ์ให้กับระบบ ซึ่งสัญญาณขาออกสามารถแสดง ในอาณาจักรของ z ได้คือ

$$Y(z) = S_{TF}(z)X(z) + N_{TF}E(z) \tag{2}$$

โดยที่  $S_{TF} = z^{-2}$  และ  $N_{TF} = (1 - z^{-1})^2$

แทนค่า  $z = e^{j\omega T} = e^{j2\pi f / f_s}$  เมื่อ  $f_s$  แทนอัตราการสุ่ม จะได้

$$|N_{TRF}| = (2 \sin(\pi f / f_s))^2 \tag{3}$$

ซึ่งเมื่อคำนวณอัตราส่วนของกำลังของสัญญาณต่อกำลังของสัญญาณรบกวนในช่วงแถบความถี่ ( $f_{BW}$ )

$$SNR_{max} (dB) \approx 6.02N + 1.76 - 12.9 + 50 \log(OSR) \tag{4}$$

เมื่อ OSR คืออัตราการสุ่มเกินมีค่าเป็น  $f_s / (2f_{BW})$

N คือจำนวนบิตขาออกของวงจรมอดูเลเตอร์

จากสมการที่ (1) จะพบว่าถ้าต้องการออกแบบวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลความละเอียด 12 บิต ค่าอัตราส่วนกำลังของสัญญาณต่อกำลังของสัญญาณรบกวนสูงสุดมีค่าประมาณ 72 dB เมื่อนำมาแทนค่าในสมการที่ (4) ค่าอัตราการสุ่มเกินที่เหมาะสมของวงจรมอดูเลเตอร์อันดับสองขนาด 1 บิตคือ 128 โดยเมื่อสุ่มสัญญาณที่มีความถี่ 512 kHz จะได้อัตราการแปลงสัญญาณ 4 kHz ซึ่งเพียงพอสำหรับการประยุกต์กับการวัดสัญญาณความถี่ 50 Hz ที่ใช้ในอุปกรณ์วัดพลังงานไฟฟ้า

## 2. การหาค่าพารามิเตอร์ของวงจรด้วย Matlab

โครงสร้างของวงจรมอดูเลเตอร์อันดับสองขนาด 1 บิต แสดงดังรูปที่ 3 ประกอบด้วยออปแอมป์ ซึ่งทำหน้าที่เป็นอินทิเกรเตอร์ตัวเปรียบเทียบระดับสัญญาณ (comparator) โดยวงจรดังกล่าวจะมีผลของความไม่เป็นอุดมคติของวงจร ได้แก่ ผลของอัตราขยายไฟตรง แถบความถี่และอัตราสลับของออปแอมป์ ที่มีค่าไม่เป็นอนันต์ส่งผลให้ค่าของผลตอบสนองคงตัว (steady state response) มีค่าผิดพลาดทำให้ค่าฟังก์ชันถ่ายโอนของตัวอินทิเกรเตอร์มีค่าเปลี่ยนไปส่งผลการรบกวนเข้าสู่สัญญาณ

ค่าออฟเซตของตัวเปรียบเทียบระดับสัญญาณ จะทำให้ค่าของสัญญาณดิจิทัลที่ขาออกของตัวมอดูเลเตอร์มีความผิดพลาดไปได้ แต่เนื่องจากข้อดีของมอดูเลเตอร์อันดับสองซึ่งมีการป้อนกลับความผิดพลาดทำให้สามารถทนต่อค่าออฟเซตได้สูง

การจำลองการทำงานของวงจรทำโดยป้อนสัญญาณขาเข้าเป็นสัญญาณไซน์ความถี่ 250 Hz ขนาด -3 dB เทียบกับขนาดของแรงดันอ้างอิง ( $V_{ref}$ ) จากนั้นนำไปคำนวณหาค่า SNR ของสัญญาณด้วยวิธี Sinusoidal Minimum Error Method [2] โดยกำหนดให้ค่า SNR ที่ได้ต้องมากกว่า 80 dB การใช้สัญญาณความถี่ 250 Hz จะได้ค่า SNR ใกล้เคียงกับสัญญาณความถี่ 50 Hz แต่ใช้เวลาในการจำลองสั้นกว่า ค่าพารามิเตอร์ที่เหมาะสมของวงจรมอดูเลเตอร์สามารถสรุปได้ดังตารางที่ 1

ตารางที่ 1 ค่าพารามิเตอร์ที่เหมาะสมของวงจรมอดูเลเตอร์

พารามิเตอร์	ค่าที่เหมาะสม
อัตราขยายไฟตรงของออปแอมป์	มากกว่า 200
แถบความถี่ของออปแอมป์	มากกว่า 5 MHz
อัตราส่วของออปแอมป์	มากกว่า 5V/ $\mu$ s
ออฟเซตของคอมพาราเตอร์	น้อยกว่า 0.8 V

### 3. การออกแบบโครงสร้างของวงจรมอดูเลเตอร์

#### 3.1 โครงสร้างและการทำงานของวงจรมอดูเลเตอร์

โครงสร้างของตัวมอดูเลเตอร์ดังรูปที่ 3 เป็นแบบวงจรแบบสวิตช์ตัวเก็บประจุ (switch capacitor circuit) โดยใช้วงจรแบบผลต่าง (fully differential circuit) เนื่องจากสามารถเพิ่มช่วงการแกว่งของสัญญาณขาออกได้มากกว่าวงจรมอดูเลเตอร์ด้านเดียว (single-ended circuit) 2 เท่า ทำให้ค่า SNR เพิ่มขึ้นอีก 3 dB นอกจากนี้ยังช่วยลดผลของการบิดเบี้ยวจากสัญญาณนาฬิกา และเพิ่มอัตราทนต่อการเปลี่ยนแปลงของแรงดันไฟเลี้ยง

การทำงานของระบบจะถูกควบคุมโดยสัญญาณนาฬิกาที่ไม่มีการเหลื่อมกัน (non-overlapping clock) และสามารถแบ่งการทำงานออกได้เป็น 2 ช่วงคือ ช่วงแรก S1 และ S3 จะชาร์จค่าแรงดันลงตัวเก็บประจุ C1 ส่วนช่วงที่สอง เป็นช่วงที่สวิตช์ S2 และ S4 ทำการอินทิเกรตสัญญาณ โดยประจุที่ถูกเก็บไว้ในตัวเก็บประจุ C1 จะถูกถ่ายโอนไปยังตัวเก็บประจุ C2 ทำให้แรงดันขาออกของอินทิเกรเตอร์เกิดการเปลี่ยนแปลง และทำการเปรียบเทียบโดยวงจรเปรียบเทียบระดับสัญญาณ ค่าของอัตราส่วน  $C_1/C_2$  เป็นค่าของอัตราขยาย โดยอินทิเกรเตอร์ตัวที่ 1 ค่า  $C_1/C_2 = 0.5$  ส่วนอินทิเกรเตอร์ตัวที่ 2  $C_1/C_2 = 2$  ซึ่งตรงกับค่าอัตราขยายของอินทิเกรเตอร์แต่ละตัวตามรูปที่ 2

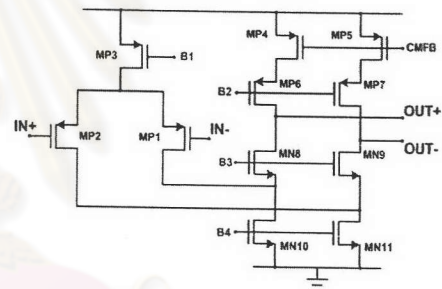
การทำงานของตัวเปรียบเทียบระดับสัญญาณแบบพลวัตจะทำการเปรียบเทียบระดับสัญญาณในช่วงที่ 1 เพื่อหลีกเลี่ยงความผิดพลาดอันเนื่องมาจากระดับสัญญาณขาออกจากอินทิเกรเตอร์ตัวที่ 2 ยังไม่เข้าสู่สภาวะอยู่ตัวเนื่องจากผลความไม่เป็นอุดมคติของออปแอมป์ ซึ่งสัญญาณขาออกจากวงจรเปรียบเทียบระดับสัญญาณ จะถูกนำไปควบคุมการทำงานของสวิตช์ ซึ่งทำหน้าที่เป็นวงจรแปลงดิจิทัลเป็นแอนะล็อกขนาด 1 บิต เพื่อใช้ในการป้อนกลับแรงดันอ้างอิงไปยังแรงดันขาเข้าต่อไป

นัลล็อกขนาด 1 บิต เพื่อใช้ในการป้อนกลับแรงดันอ้างอิงไปยังแรงดันขาเข้าต่อไป

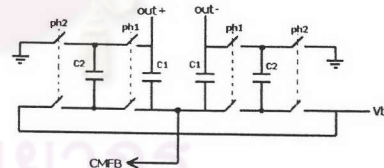
#### 3.2 ออปแอมป์

เนื่องจากจากการจำลองหาพารามิเตอร์ที่เหมาะสมของวงจร ออปแอมป์ไม่ต้องมีค่าอัตราขยายไฟตรง ค่าของแถบความถี่และค่าอัตราการส่วสูงมากนัก โครงสร้างที่เหมาะสมคือโครงสร้างวงจรรขยายชั้นเดียวแบบคาสโคด (folded-cascode amplifier) โดยออกแบบเป็นแบบวงจรผลต่างร่วม (fully differential) เนื่องจากโครงสร้างไม่ซับซ้อน กินกำลังไฟฟ้าไม่สูงมากนัก และมีเสถียรภาพที่ดี ซึ่งวงจรที่ออกแบบมีคุณสมบัติตามตารางที่ 1 โดยมีโครงสร้างดังรูปที่ 4

โดยวงจรแบบผลต่างต้องมีส่วนของวงจรป้อนกลับโหมดร่วม (common mode feedback) เพื่อให้ทำงานได้ โดยโครงสร้างเป็นแบบที่ใช้ตัวสวิตช์ควบคู่กับตัวเก็บประจุ (switch capacitor CMFB) เนื่องจากตัวโครงสร้างหลักของมอดูเลเตอร์มีการใช้สัญญาณนาฬิกาอยู่แล้ว โดยโครงสร้างที่ใช้มีลักษณะดังรูปที่ 5 [1]



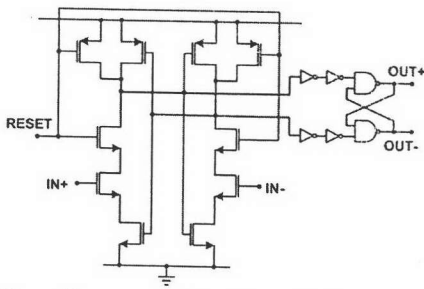
รูปที่ 4 โครงสร้างของออปแอมป์



รูปที่ 5 วงจรป้อนกลับโหมดร่วมของออปแอมป์

#### 3.3 ตัวเปรียบเทียบระดับสัญญาณ

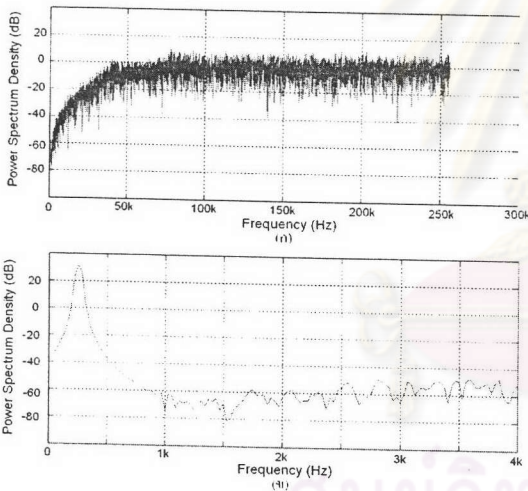
ตัวเปรียบเทียบระดับสัญญาณนี้ ทำหน้าที่เป็นตัวควอนไทซ์ขนาด 1 บิต และจากการจำลองการทำงานพบว่าวงจรมอดูเลเตอร์สามารถทนต่อค่าออฟเซตของตัวเปรียบเทียบระดับสัญญาณ ได้สูง วงจรเปรียบเทียบระดับสัญญาณแบบพลวัต (dynamic latch comparator) จึงมีความเหมาะสม ซึ่งมีข้อดีคือ ประหยัดกำลังงาน โดยทำงานตามสัญญาณนาฬิกา โดยไม่ทำการเปรียบเทียบระดับสัญญาณในช่วงสัญญาณนาฬิกาเฟสที่ 1 ส่วนในเฟสที่ 2 ให้ทำการตั้งค่าใหม่ (reset) ตัวเอง จากนั้นจึงนำสัญญาณขาออกจากตัวเปรียบเทียบระดับสัญญาณไปผ่านวงจรคงค่า (latch) ก่อนจะนำไปป้อนกลับยังตัวสวิตช์ต่อไปโดยโครงสร้างที่ใช้มีลักษณะดังรูปที่ 6 [4]



รูปที่ 6 โครงสร้างของวงจรเปรียบเทียบระดับสัญญาณแบบพลวัต

4. ผลการจำลองการทำงานและผังวงจร

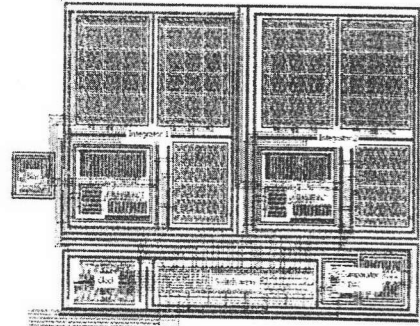
รูปที่ 7 แสดงผลการวิเคราะห์สเปกตรัมของสัญญาณขาออกจากมอดูเลเตอร์ ซึ่งสัญญาณขาเข้าเป็นสัญญาณความถี่ 250 Hz โดยการจำลองการทำงานผ่านโปรแกรม Spice แล้วนำสัญญาณขาออกจากมอดูเลเตอร์มาวิเคราะห์โดยใช้ Matlab ซึ่งจากรูปจะพบว่าสัญญาณรบกวนจะถูกลดทอนลงที่ความถี่ต่ำ และสูงขึ้นที่ความถี่สูง โดยสามารถคำนวณ SNR ของสัญญาณได้ 82.3 dB ซึ่งเพียงพอต่อความต้องการของวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลความละเอียด 12 บิต



รูปที่ 7 ผลการวิเคราะห์สเปกตรัมของสัญญาณขาออกจากมอดูเลเตอร์

- (ก) ช่วงความถี่ 0 ถึง 256 kHz
- (ข) ช่วงความถี่ 0 ถึง 4 kHz

ผังวงจรรวมของมอดูเลเตอร์อันดับ 2 แสดงดังรูปที่ 8 ซึ่งออกแบบโดยใช้เทคโนโลยี 0.5  $\mu\text{m}$  โดยทำการแยกวงจรส่วนดิจิทัลและแอนะล็อกออกจากกัน เพื่อป้องกันผลของสัญญาณนาฬิกาซึ่งอาจรบกวนต่อวงจรแอนะล็อกได้ โดยส่วนของวงจรดิจิทัลได้แก่ สวิตช์และวงจรสร้างสัญญาณนาฬิกา ถูกวางไว้ด้านล่างของผังวงจร ผังวงจรที่ได้มีขนาดประมาณ  $250 \mu\text{m} \times 350 \mu\text{m}$



รูปที่ 8 ผังวงจรของมอดูเลเตอร์อันดับสอง

5. สรุป

โครงการนี้ได้นำเสนอโมดูลเอเตอร์อันดับสองสำหรับวงจรแปลงวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลแบบซิกมาเดลตาขนาด 12 บิต ซึ่งจากอัตราการแปลงสัญญาณ 4 kHz และให้ค่า  $\text{SNR}_{\text{max}}$  สูงกว่า 72 dB วงจรที่ออกแบบนี้มีโครงสร้างไม่ซับซ้อน และไม่ต้องการความแม่นยำของตัวอุปกรณ์มากนัก ซึ่งสามารถนำไปประยุกต์ใช้ในการสุ่มค่ากระแสและแรงดันไฟฟ้าเพื่อคำนวณหาค่าพลังงานไฟฟ้าได้

6. เอกสารอ้างอิง

- [1] David A. Johns and Ken Martin. Analog Integrated Circuit Design. USA: John Wiley & Sons. 1997
- [2] B.E.Boser and B.A. Wooley. "The design of sigma-delta modulation analog-to-digital converters", *IEEE J. of solid state Circ.* vol. 23, pp.1298-1308, DEC 1988.
- [3] Louis A. William, and Bruce A. Wooley. "A Third- Order Sigma-Delta Modulator with Extended Dynamic Range", *IEEE J. of solid state Circuit*, vol. 29, pp. 193-202, MAR 1994
- [4] P. Amaral, J. Goes, N. Paulino and A. Steiger-Garcia. "An Improved low-Voltage Low-Power CMOS Comparator to be used in High-Speed Pipeline ADCs." in *Proc. IEEE ISCAS 2002*



โอมรินทร์ สาธุเสน สำเร็จการศึกษา วิศวกรรมศาสตรบัณฑิต จากจุฬาลงกรณ์มหาวิทยาลัย เมื่อปี พ.ศ. 2546 ปัจจุบันกำลังศึกษาต่อในระดับปริญญาโท สาขา วิศวกรรมไฟฟ้า ที่สถาบันเดียวกัน งานวิจัยที่สนใจได้แก่ การออกแบบวงจรรวมเชิงแอนะล็อก



เอกชัย ลีลาศรมี ปัจจุบันเป็นอาจารย์ประจำภาควิชา วิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย

## ประวัติผู้เขียนวิทยานิพนธ์

นายโอมรินทร์ สารุเสน เกิดเมื่อวันที่ 3 สิงหาคม พ.ศ.2525 ที่จังหวัดกรุงเทพมหานคร สำเร็จ การศึกษาปริญญาวิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า จากคณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัยในปีการศึกษา 2545 และเข้าศึกษาต่อในหลักสูตรวิศวกรรมศาสตร มหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า แขนงวิชาการออกแบบและประยุกต์วงจรรวม ที่คณะ วิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย ในปีการศึกษา 2546



ศูนย์วิทยทรัพยากร  
จุฬาลงกรณ์มหาวิทยาลัย