บทที่ 3

การพัฒนาวงจรแปลงความสูงของพัลส์แบบคาบเวลาแปลงผันคงที่

เครื่องวิเคราะห์แบบหลายช่องดั้งเดิมนิยมใช้วงจรแปลงความสูงของพัลส์ให้เป็นสัญญาณเชิงตัวเลขแบบวิลคินสันเนื่องจากมีความเป็นเชิงเส้นในการแปลงสัญญาณสูง แต่คาบเวลาในการแปลงผันสัญญาณขึ้นกับความสูงของพัลส์หรือระดับสัญญาณมีผลให้เวลาที่ทำให้เกิดการสูญเสียอัตรานับรังสี (dead time) แปรเปลี่ยนตามระดับพลังงานและความเข้มรังสี การที่จะรักษาเวลาที่ทำให้เกิดการสูญเสียขึ้นกับอัตรานับรังสีเพียงอย่างเดียวนั้นทำได้โดยออกแบบวงจรแปลงความสูงของพัลส์ให้มีคาบเวลาแปลงผันสัญญาณคงที่ ซึ่งมีแนวทางทำได้ 2 เทคนิคคือ

ก. การใช้วงจรรวม(Integrated Circuit , IC) ที่ออกแบบไว้เป็นวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณตัวเลขชนิดซัคเซสซีฟแอพพรอกซิเมชัน (Successive Approximation ADC) มาปรับวงจรเป็นวงจรแปลงความสูงของพัลส์แบบคาบเวลาแปลงผันคงที่

ข. การใช้วงจรรวมที่ออกแบบไว้เป็นวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณเชิงตัวเลขชนิดแฟลช (Flash ADC) มาปรับเป็นวงจรแปลงความสูงของพัลส์แบบคาบเวลาแปลงผันคงที่

3.1 ข้อมูลพื้นฐานในการออกแบบ

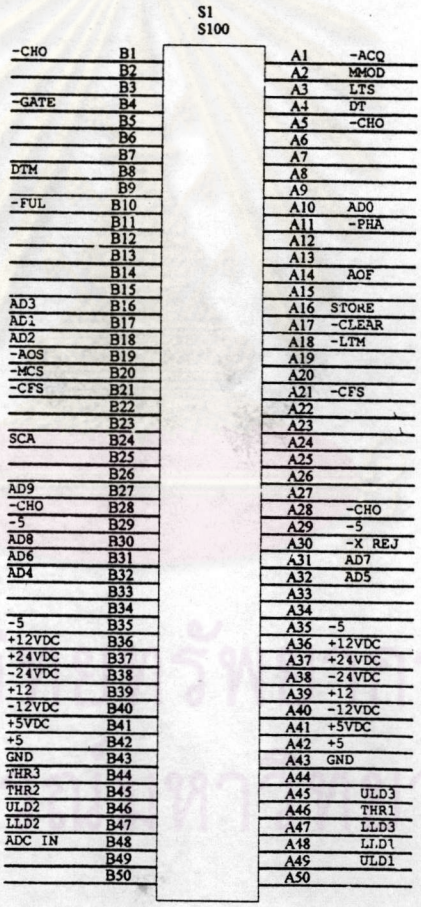
ได้เลือกการทำงานของเครื่องวิเคราะห์หลายช่องของ Tracor Northern รุ่น 1706 ซึ่งใช้แผ่นวงจรแปลงความสูงของพัลส์แบบวิลคินสันที่มีฐานความถี่ 50 MHz มีความละเอียดในการแปลงสัญญาณ 10 บิต เป็นระบบอ้างอิงการทำงานของแผ่นวงจรแปลงความสูงของพัลส์แบบคาบเวลาแปลงผันคงที่ ซึ่งจะพัฒนาขึ้นบนลักษณะเฉพาะดังนี้

3.1.1 ปรับการทำงานของวงจรแปลงอนาลอกเป็นสัญญาณตัวเลขทั้งแบบซัคเซสซีฟแอพพรอกซิเมชันและแบบแฟลช ให้ทำงานกับสัญญาณควบคุมบนแผ่นวงจรแปลงสัญญาณความสูงของพัลส์แบบวิลคินสันเดิมในเครื่องวิเคราะห์หลายช่องของ Tracor Northern รุ่น 1706

3.1.2 จัดให้วงจรสามารถรับสัญญาณพัลส์ขนาดความสูง 0 ถึง 10 โวลต์ และความละเอียดของสัญญาณเชิงตัวเลขในความละเอียดมีความละเอียด 10 บิต ไม่มี digital zero offset และ มี conversion gain คงที่ ที่ 1024 ช่องวิเคราะห์(channel)

3.1.3 จัดให้ขนาดสัญญาณทางออกของมิเตอร์วัดเปอร์เซนต์เวลาในการสูญเสียอัตรานับรังสี (% deadtime) มีขนาด 0 - 100 มิลลิโวลต์ เทียบเท่ากับ 0 - 100 เปอร์เซนต์

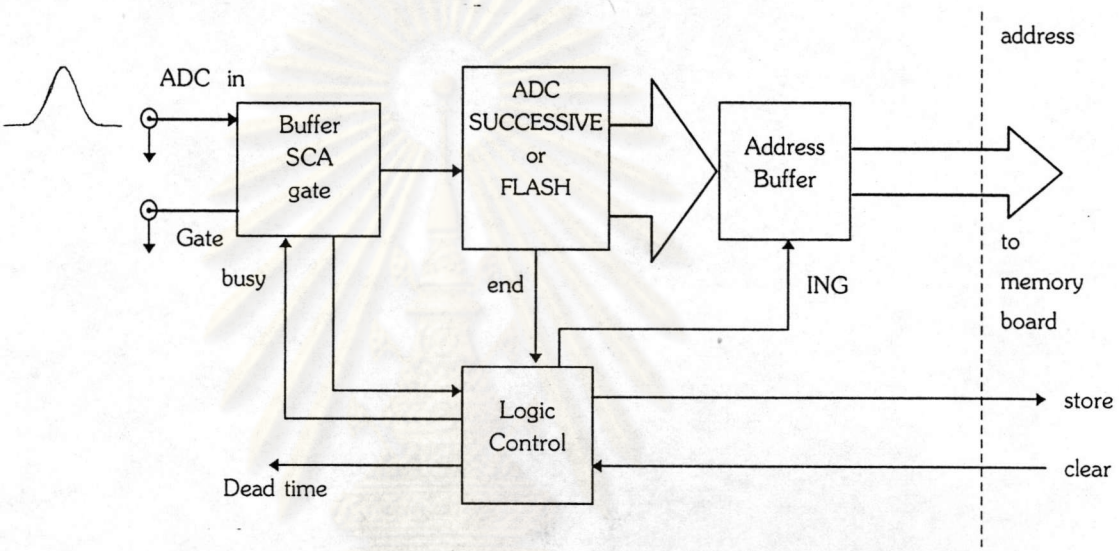
3.1.4 จัดขั้วสัญญาณที่ขอบแผ่นวงจรตามมาตรฐานสลอต (slot) ของเครื่องวิเคราะห์หลายช่องรุ่น 1706 ซึ่งสัญญาณหลักในการติดต่อกับระบบภายในเครื่องวิเคราะห์หลายช่องแสดงในรูปที่ 3.1 และนิยามของสัญญาณในภาคผนวก ค .



รูปที่ 3.1 โครงสร้างมาตรฐานสัญญาณบัสบนหัวต่อ slot ของแผ่นวงจรแปลงสัญญาณพัลส์ [8]

3.2 การออกแบบแผ่นวงจรแปลงสัญญาณความสูงของพัลส์

จากข้อมูลลักษณะเฉพาะในข้อ 3.1 สามารถออกแบบโครงสร้างของวงจรแปลงสัญญาณความสูงของพัลส์ขนาดความสูง 0-10 โวลต์ ให้เป็นสัญญาณเชิงตัวเลขขนาด 10 บิต ดังในแผนภาพการทำงานรูปที่ 3.2 ประกอบด้วยวงจรสำคัญ 3 ส่วน คือ



รูปที่ 3.2 แผนภาพการทำงานของวงจรแปลงสัญญาณความสูงพัลส์แบบคาบเวลาคงที่

3.2.1 วงจรจัดการสัญญาณส่วนหน้า ทำหน้าที่จัดการสัญญาณส่งให้วงจรแปลงสัญญาณได้แก่วงจรต่อไปนี้

ก. วงจรขยายบัฟเฟอร์ (buffer)

ข. วงจรดิสคริมิเนเตอร์ 2 ระดับ (SCA)

ค. วงจรกำเนิดสัญญาณปรับแก้เวลา (livetime correction)

3.2.2 วงจรแปลงสัญญาณความสูงของพัลส์ ทำหน้าที่แปลงสัญญาณความสูงของพัลส์ที่คัดเลือกจากวงจรจัดการส่วนหน้าเป็นสัญญาณเชิงตัวเลข ได้แก่วงจรต่อไปนี้

ก. วงจรตรวจค่าสูงสุดของพัลส์และยืดสัญญาณพัลส์ (peak detector and pulse stretcher)

ข. วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณเชิงตัวเลข (ADC)

3.2.3 วงจรควบคุมสัญญาณลอจิก ทำหน้าที่ควบคุมขั้นตอนการทำงานของวงจร จัดการสัญญาณและวงจรแปลงสัญญาณให้สอดคล้องกัน พร้อมทั้งติดต่อกับวงจรภายนอก ได้แก่ วงจรต่อไปนี้

ก. วงจรกำเนิดสัญญาณรีเซทฟลิปฟลอป

ข. วงจรกำเนิดสัญญาณติดต่อกับหน่วยความจำ (store)

ค. วงจรกำเนิดสัญญาณสูญเสียเวลา (dead time)

ง. วงจร address buffer

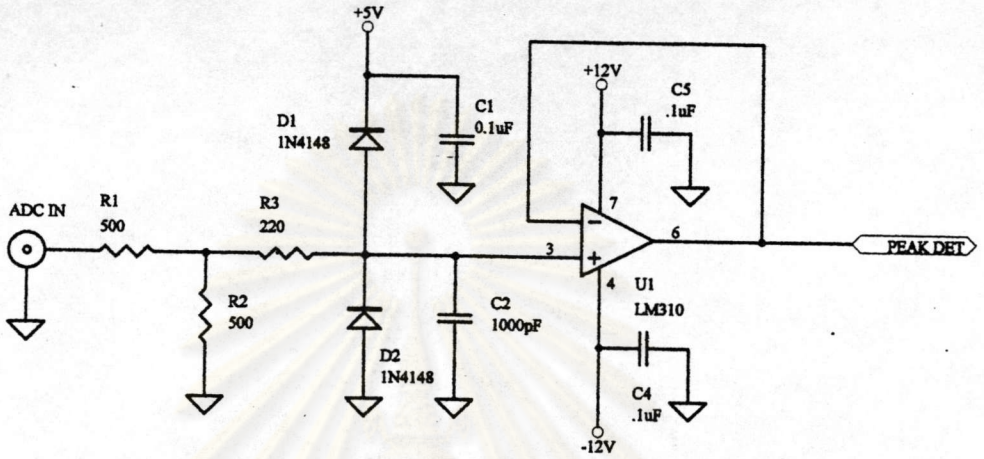
การทำงานเริ่มจากสัญญาณพัลส์ทางเข้าที่ผ่านวงจรขยายบัฟเฟอร์ได้รับการตรวจสอบขนาดความสูงและสิ่งรบกวนจากวงจรตัดสัญญาณรบกวนและวงจรดิสคริมิเนเตอร์ (LLD , ULD) วงจรควบคุมสัญญาณลอจิกจะรับสถานะของการตรวจสอบจากวงจรจัดการสัญญาณ ถ้าสัญญาณไม่ผ่านการตรวจสอบจะยกเลิกการแปลงสัญญาณพัลส์นั้น ในกรณีที่สัญญาณผ่านการตรวจสอบสัญญาณพัลส์จะส่งเข้าสู่วงจรแปลงสัญญาณพัลส์ซึ่งเริ่มจากยอดสัญญาณพัลส์จะถูกยืดเวลาด้วยวงจรยืดสัญญาณพัลส์เพื่อให้วงจรตรวจสอบค่าสูงสุดของพัลส์ได้ทันและกระตุ้นให้วงจรแปลงสัญญาณ ADC เริ่มแปลงค่าสัญญาณอนาลอก เมื่อสิ้นสุดการทำงานสัญญาณเชิงตัวเลขจะไปรออยู่ที่วงจรแอดเดรสบัฟเฟอร์และสัญญาณสิ้นสุดการแปลงข้อมูลจะถูกส่งไปยังวงจรควบคุมสัญญาณลอจิกเพื่อกำเนิดสัญญาณส่งข้อมูลไปหน่วยความจำ (store) พร้อมทั้งเปิดเกตของแอด เดรสบัฟเฟอร์ (ING) ส่วนสัญญาณแสดงการสูญเสียเวลาส่วนหนึ่งจะนำไปใช้ในการชดเชยเวลาและอีกส่วนหนึ่งไปแสดงค่าเปอร์เซนต์เวลาในการสูญเสียอัตรานับรังสี เมื่อสิ้นสุดการเก็บข้อมูลแผ่นวงจรหน่วยความจำจะส่งสัญญาณเริ่มต้นวงรอบใหม่ (clear) มายังแผ่นวงจรแปลงสัญญาณความสูงของพัลส์ทำงานใหม่

3.3 การออกแบบวงจรจัดการสัญญาณส่วนหน้า

3.3.1 วงจรขยายบัฟเฟอร์

วงจรขยายบัฟเฟอร์ใช้ไอซีเบอร์ LM 310 ซึ่งจัดวงจรแบบ voltage follower หรือ unity gain ส่วนหน้าของวงจรประกอบด้วยวงจรลดทอนสัญญาณทางเข้า (2:1) ด้วย R_1 และ R_2 ทำให้สัญญาณทางเข้า 0-10 โวลต์ ลดลงเหลือ 0-5 โวลต์ ส่งผ่านวงจรคลิปเปอร์ประกอบด้วย R_3, D_1 และ

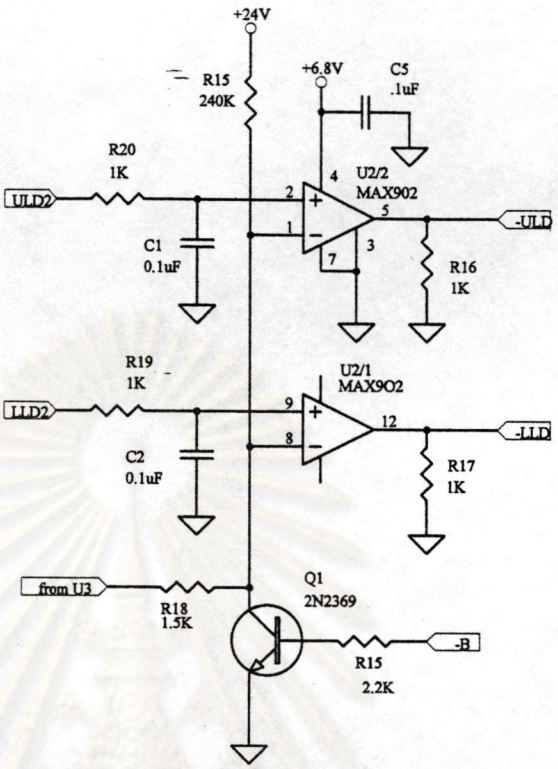
D_2 ทำหน้าที่ป้องกันสัญญาณเกินกว่า 5 โวลต์ สัญญาณทางออกสามารถขับวงจรอิมพิแดนซ์ต่ำได้ต่อไป ดังแสดงวงจรในรูปที่ 3.3



รูปที่ 3.3 วงจรขยายบัฟเฟอร์

3.3.2 การออกแบบวงจรดิสคริมิเนเตอร์ 2 ระดับ

วงจรดิสคริมิเนเตอร์ 2 ระดับ เลือกใช้ไอซีเบอร์ MAX 902 จัดเป็นวงจรเปรียบเทียบระดับศักดาไฟฟ้าในลักษณะการทำงานของอุปกรณ์วิเคราะห์ช่องเดี่ยว (SCA) ทำหน้าที่เลือกขนาดความสูงของสัญญาณหรือช่วงพลังงานที่ต้องการวิเคราะห์ โดยกำเนิดสัญญาณ LLD และ ULD ส่งให้วงจรควบคุมสัญญาณลอจิกเพื่อทำการยกเลิกหรือเลือกสัญญาณเข้าวงจรแปลงสัญญาณมีรูปแบบของวงจรดังในรูปที่ 3.4 สำหรับทรานซิสเตอร์ Q1 เป็นวงจรเกตเชิงเส้นทำหน้าที่ปิดเปิดสัญญาณเข้าวงจรดิสคริมิเนเตอร์เมื่อเกตทางเข้าของวงจรจัดการส่วนหน้าถูกใช้งาน

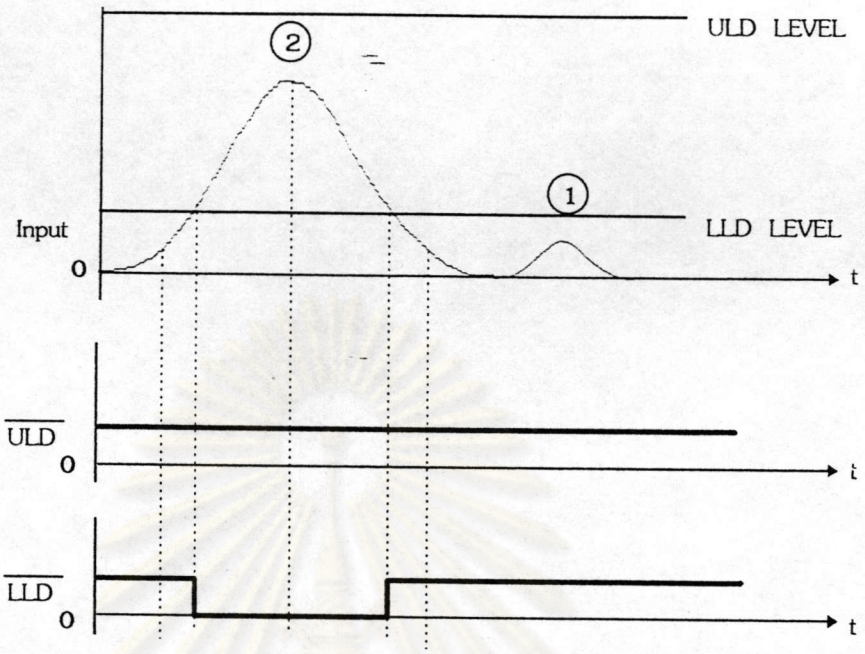


รูปที่ 3.4 วงจรดิสคริมิเนเตอร์ 2 ระดับ

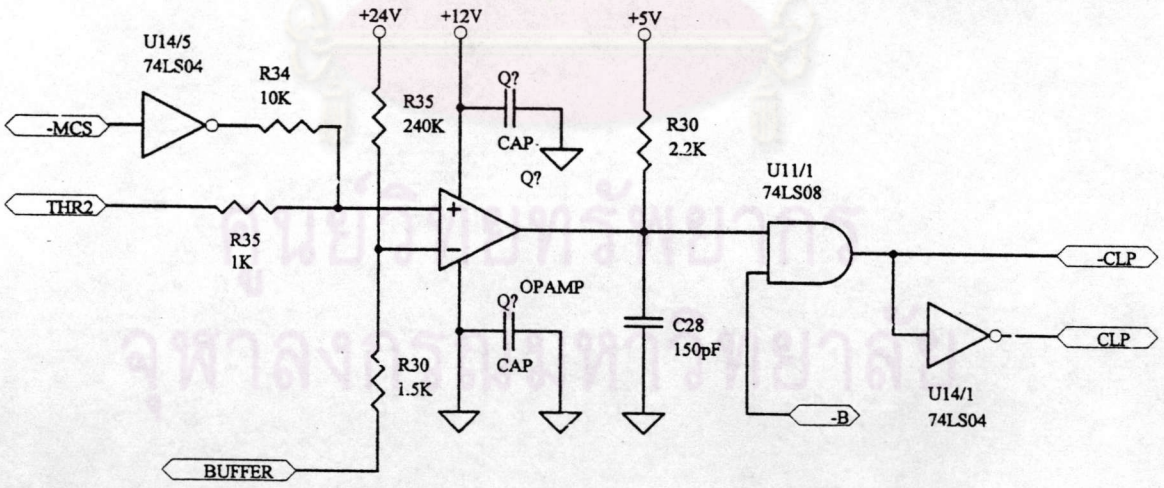
การทำงานของวงจรดิสคริมิเนเตอร์จะเป็นไปตามแผนภาพเวลาในรูปที่ 3.5 ในกรณีที่สัญญาณพัลส์ต่ำกว่าระดับอ้างอิง LLD สัญญาณทางออกทั้ง LLD และ ULD จะมีสถานะลอจิก 1 ถ้าสัญญาณพัลส์ทางเข้าสูงกว่าระดับอ้างอิง LLD สัญญาณทางออกของ U2(1) จะเปลี่ยนสถานะ และถ้าสัญญาณพัลส์สูงกว่า ULD ทั้งสัญญาณทางออกของ U2(2) และ U2(1) จะเปลี่ยนสถานะ ทั้งคู่ สัญญาณทั้งสองจะส่งไปสร้างสัญญาณ B ร่วมกับสัญญาณจากวงจรตรวจค่าสูงสุดของพัลส์ PD เพื่อสร้างสัญญาณควบคุมลอจิก

3.3.3 การออกแบบวงจรกำเนิดสัญญาณปรับแก้เวลา

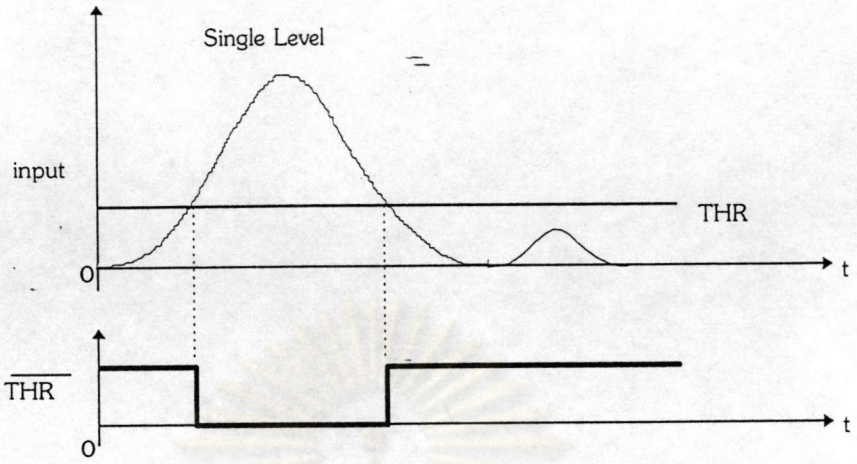
วงจรดิสคริมิเนเตอร์สำหรับกำหนดระดับการทำงานของวงจรแปลงสัญญาณต่ำสุด (threshold) เลือกใช้ไอซีเบอร์ LM 306 จัดวงจรปรับเทียบระดับศักดาไฟฟ้า โดยศักดาอ้างอิงปรับละเอียดด้วยความต้านทานปรับค่าได้แบบหลายรอบดังวงจรในรูปที่ 3.6 เมื่อสัญญาณจากวงจรขยายบัฟเฟอร์ U3 สูงเกินระดับอ้างอิงสัญญาณ THR2 ซึ่งเป็นระดับลอจิก 1 จะเปลี่ยนเป็น 0 และสัญญาณ - THR ที่ขา 7 ของ U2 จะส่งไปที่ขา 1 ของไอซี 11 AND กับสัญญาณ - B สร้างสัญญาณ - CLP เพื่อกำเนิดเป็นสัญญาณสูญเสียเวลานับรังสีต่อไป



รูปที่ 3.5 แผนภาพเวลาของวงจรดิสคริมิเนเตอร์ 2 ระดับ



รูปที่ 3.6 วงจรกำเนิดสัญญาณปรับแก้เวลา

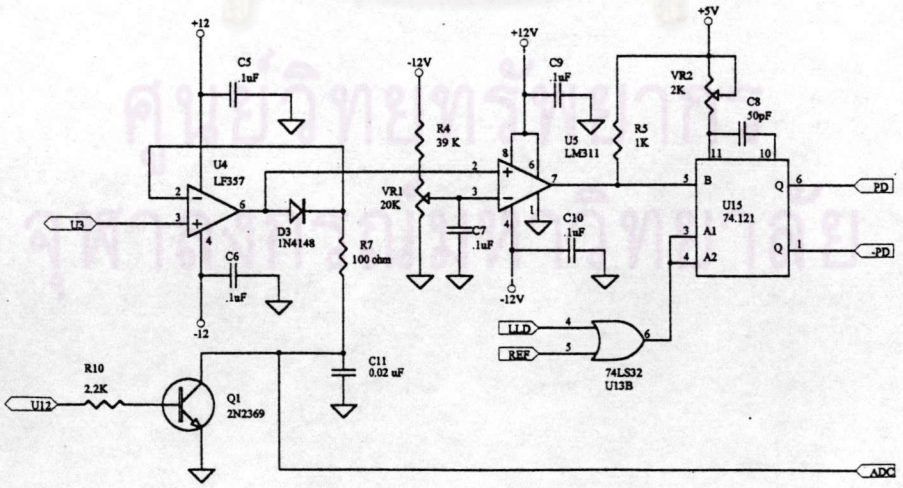


รูปที่ 3.7 แผนภาพเวลาของวงจรเทรสโฮลดิสคริมิเนเตอร์

3.4 การออกแบบวงจรแปลงสัญญาณความสูงของพัลส์

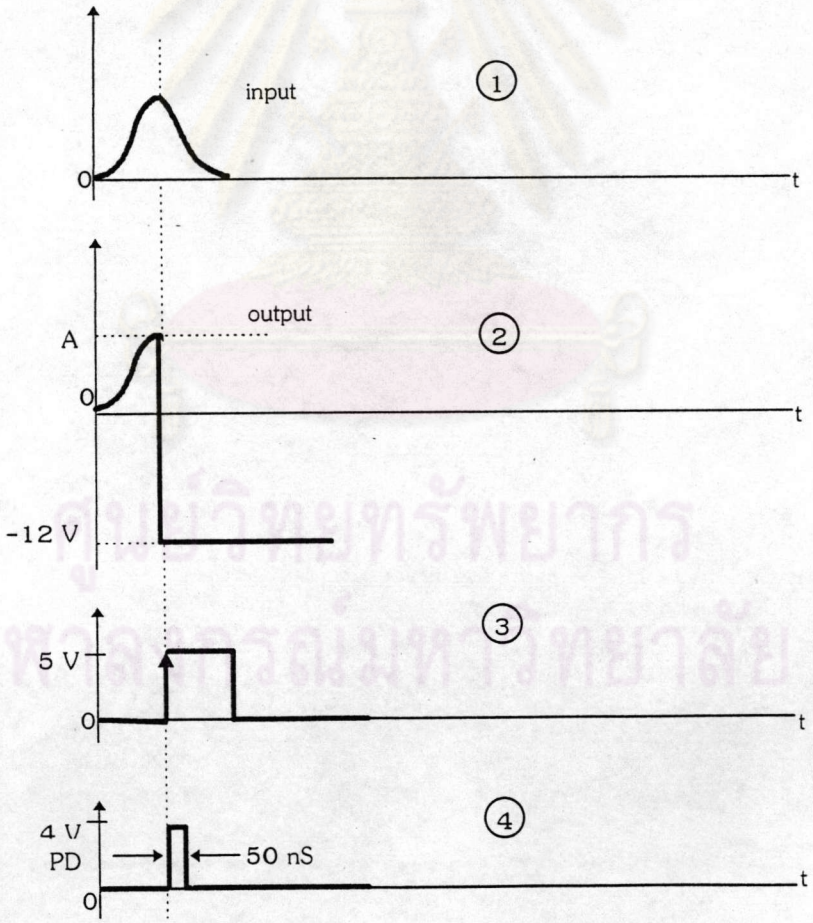
3.4.1 การออกแบบวงจรตรวจค่าสูงสุดของพัลส์และยืดสัญญาณพัลส์

วงจรนี้เลือกใช้ไอซีออปแอมป์เบอร์ LM 357 ซึ่งเป็นออฟแอมป์ชนิดทางเข้าของสัญญาณดิฟเฟอเรนเชียลเป็น JFET มีอิมพิแดนซ์ทางเข้าสูง จัดเป็นวงจรตรวจค่าสูงสุด (peak detector) และวงจรยืดสัญญาณพัลส์รวมในวงจรเดียวกัน ดังแสดงวงจรในรูปที่ 3.8 ประกอบด้วย U4 , D3 , C11



รูปที่ 3.8 วงจรตรวจค่าสูงสุดของพัลส์และยืดสัญญาณพัลส์

การทำงานเริ่มที่สัญญาณพัลส์จากวงจรขยายบัฟเฟอร์ป้อนเข้าทางขา (+) ของออปแอมป์ มีผลให้ไดโอด D3 รับไบอัสทางตรง วงจรออฟแอมป์จึงมีรูปแบบของการป้อนกลับแบบ Voltage follower กระแสจากสัญญาณทางออกจะประจุที่ตัวเก็บประจุ C11 โดยมีศักดาไฟฟ้าตกคร่อม C11 เท่ากับสัญญาณทางเข้าเมื่อถึงค่าสูงสุดของสัญญาณพัลส์ (peak) ตัวเก็บประจุจะรักษาระดับศักดาที่ค่าสูงสุดที่เป็นการยืดเวลาขณะที่สัญญาณพัลส์ทางเข้าเปลี่ยนความชันเป็นลบเป็นผลให้ไดโอดได้รับไบอัสกลับทาง ภาวะนี้ออปแอมป์จะมีรูปแบบเป็นวงจรขยายเปิดวงจรหรือวงจรเปรียบเทียบศักดาไฟฟ้าระหว่างระดับศักดาค่าสูงสุดที่ประจุบน C11 กับสัญญาณทางเข้าที่ให้สัญญาณทางออกของออปแอมป์เปลี่ยนสถานะเป็น -12 โวลต์ ตามแหล่งจ่ายทันที ดังแผนภาพเวลาในรูปที่ 3.9 สัญญาณขาลงที่จุดยอดนี้จะนำไปควบคุมวงจรกระตุ้นสัญญาณ สัญญาณสร้างขอบขาขึ้นของสัญญาณเพื่อกระตุ้นวงจรโมโนสเตเบิลกำเนิดสัญญาณ PD ซึ่งมีขนาดความกว้างพัลส์ 50 นาโนวินาที โดยเกตด้วยสัญญาณ LLD และ RFF (reset flip flop)

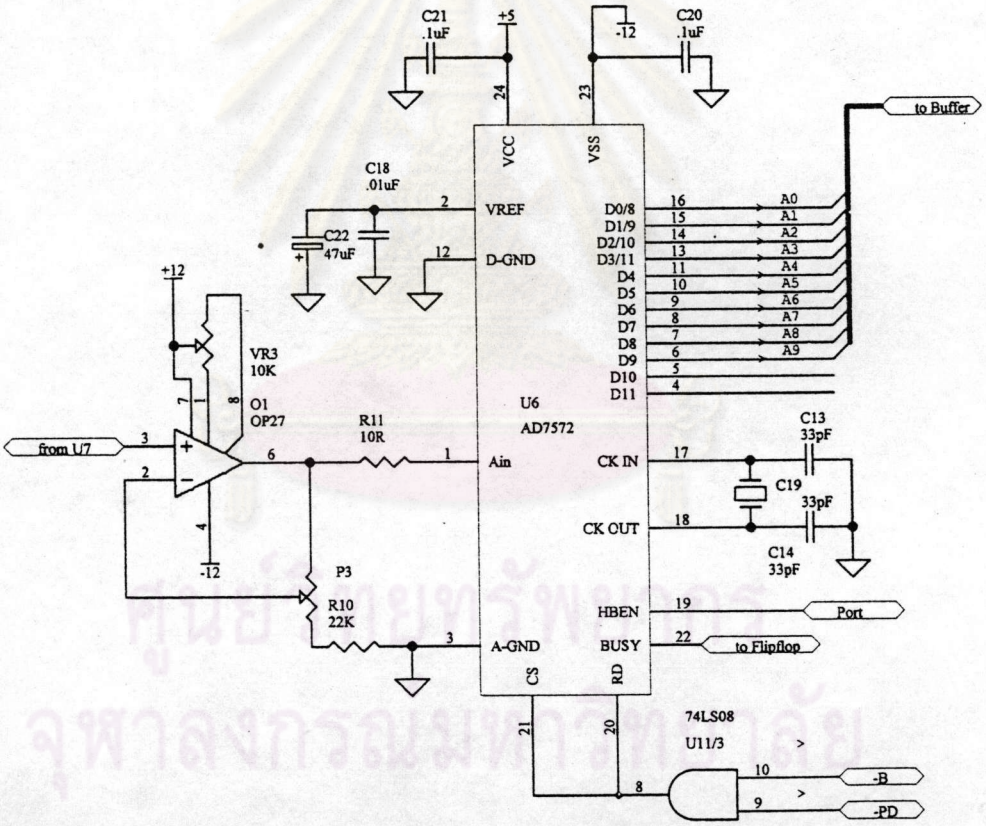


รูปที่ 3.9 แผนภาพเวลาของวงจรตรวจค่าสูงสุด

3.4.2 การออกแบบวงจรแปลงสัญญาณแบบซัคเซสซีพแอพพรอกซิเมชัน

วงจรแปลงสัญญาณอนาลอกแบบซัคเซสซีพแอพพรอกซิเมชันจะทำหน้าที่แปลงสัญญาณอนาลอกที่ได้รับการยืดเวลาไว้บน C11 ของวงจรยืดสัญญาณพัลส์ โดยสัญญาณ PD เป็นกำลังเริ่มต้นแปลงสัญญาณ สัญญาณเชิงตัวเลขขนาด 10 บิต ที่แปลงได้จะถูกส่งไปรอที่วงจรแอดเดรสบัฟเฟอร์และสัญญาณสิ้นสุด การแปลงสัญญาณอนาลอกจะส่งไปยังวงจรควบคุมสัญญาณลอจิกเพื่อกำเนิดสัญญาณเปิดเกตแอดเดรสบัฟเฟอร์และสัญญาณสั่งหน่วยความจำให้เก็บข้อมูลวิเคราะห์ความสูงของพัลส์ (store)

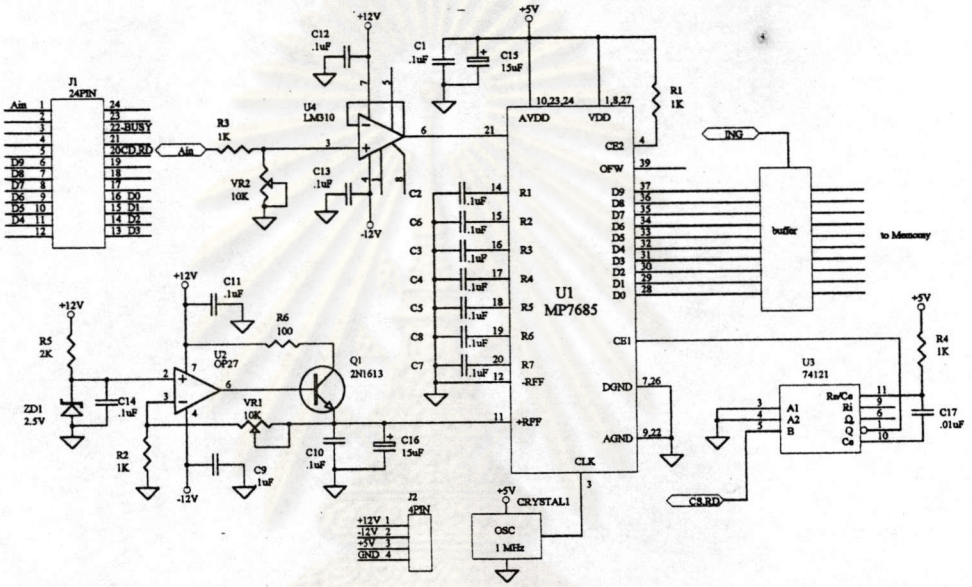
วงจรแปลงสัญญาณอนาลอกนี้เลือกใช้ไอซีเบอร์ PM7572 เวลาแปลงผันสัญญาณเท่ากับ 5 ไมโครวินาที ดังรายละเอียดในภาคผนวก ก. วงจรที่ออกแบบขึ้นแสดงในรูปที่ 3.10



รูปที่ 3.10 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณเชิงตัวเลข
แบบซัคเซสซีพแอพพรอกซิเมชัน

3.4.3 การออกแบบวงจรแปลงสัญญาณแบบแฟลช

วงจรแปลงสัญญาณอนาลอกวงจรนี้เป็นอีกรูปแบบหนึ่งในการแปลงสัญญาณอนาลอกแบบค่าเวลาแปลงผันคงที่ออกแบบขึ้นเพื่อเปรียบเทียบการทำงาน ในการแปลงความสูงของสัญญาณพัลส์เปรียบเทียบกันสำหรับวงจรแปลงสัญญาณนี้เลือกใช้ไอซีเบอร์ MP 7685 ดังรายละเอียดในภาคผนวก ข. และในวงจรรูปที่ 3.11



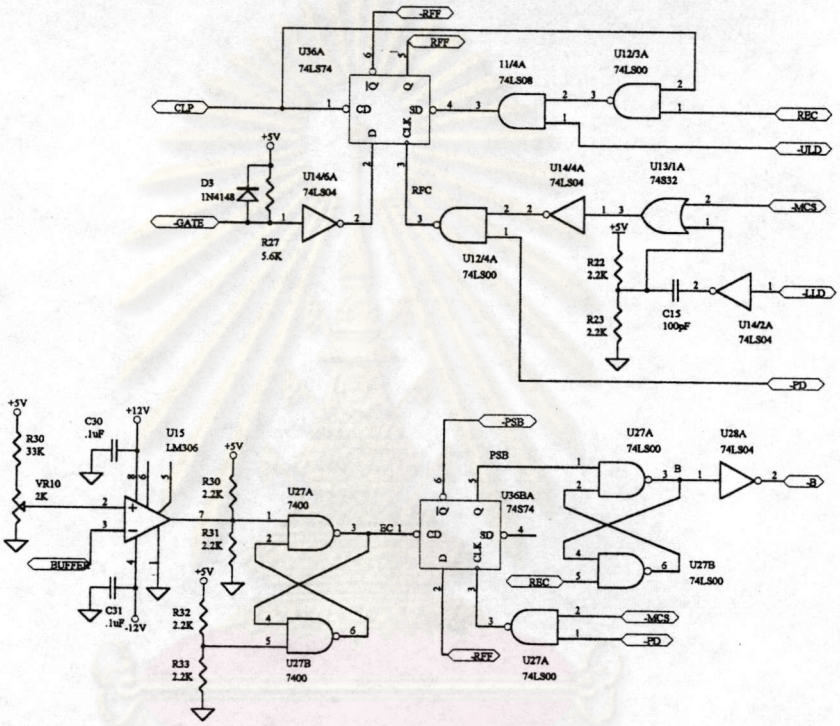
รูปที่ 3.11 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณเชิงตัวเลขแบบแฟลช [7]

3.5 วงจรควบคุมสัญญาณลอจิก

3.5.1 การออกแบบวงจรกำเนิดสัญญาณรีเซทฟลิปฟลอป

จากวงจรในรูปที่ 3.12 ไอซี D ฟลิปฟลอป U36BA รับสัญญาณ PD จากวงจรตรวจค่าสูงสุดด้านขาลง กระตุ้นขา CLK ให้สร้างสัญญาณ PSB (pulse stretcher busy) และถูกรีเซทด้วยสัญญาณสิ้นสุดการแปลงสัญญาณ สัญญาณ PSB นี้จะใช้กระตุ้น RS ฟลิปฟลอป U27 ให้สร้างสัญญาณ B (busy) โดยจะรับการรีเซทด้วยสัญญาณ CLEAR สัญญาณ B นี้เป็นสัญญาณหลักในการ AND กับสัญญาณ THR เพื่อสร้างสัญญาณ CLP ในการปรับแก้เวลาที่สูญเสียอัตรานับรังสี และ AND กับวงจรเกตที่ทางเข้าสัญญาณปิดเกตเชิงเส้น และสัญญาณ CLP จะเป็นสัญญาณ

กระตุ้นฟลิปฟลอป U36BA ให้กำเนิดสัญญาณรีเซทฟลิปฟลอป (REF) ในการคายประจุใน C11 เพื่อรอการเริ่มต้นวงรอบทำงานใหม่ ดังแผนภาพเวลาในรูปที่ 3.13



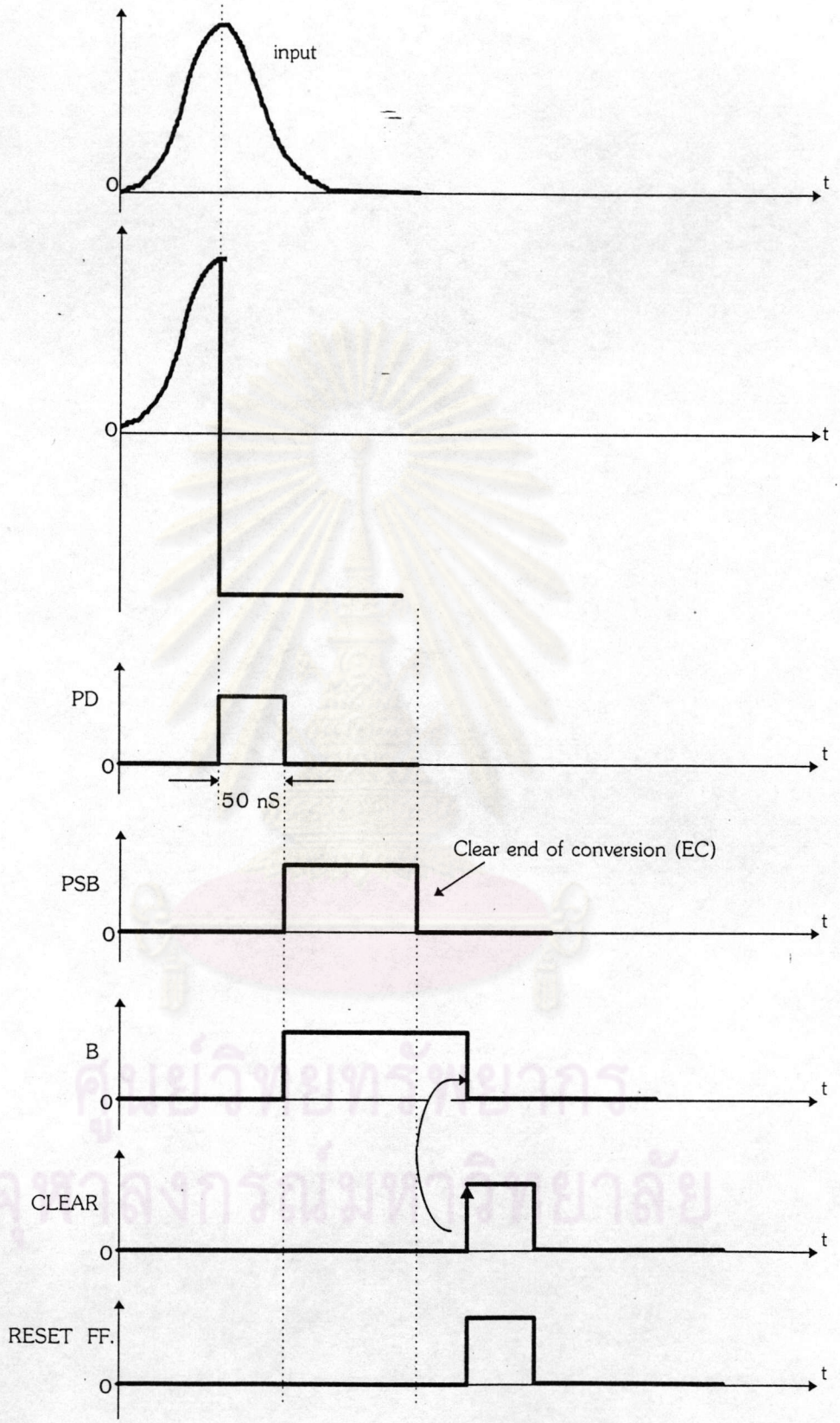
รูปที่ 3.12 วงจรกำเนิดสัญญาณรีเซทฟลิปฟลอป

3.5.2 การออกแบบวงจรกำเนิดสัญญาณติดต่อกับหน่วยความจำ

สัญญาณหลักในการติดต่อกับหน่วยความจำและระบบทำงานในเครื่องวิเคราะห์ ได้แก่ สัญญาณ store และ clear โดยสัญญาณ store เป็นสัญญาณที่ติดต่อกับหน่วยความจำให้รับรหัสเชิงตัวเลขของตำแหน่งแอดเดรสที่แปลงได้ไปใช้ในการเก็บข้อมูล จึงแบ่งเป็น 2 ลักษณะคือ การเก็บข้อมูลเวลาที่แอดเดรส 0 และการเก็บข้อมูลวิเคราะห์ความสูงของพัลส์ที่แอดเดรสมากกว่า 0 ขึ้นไปถึงแอดเดรสสูงสุด

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

i 17121206

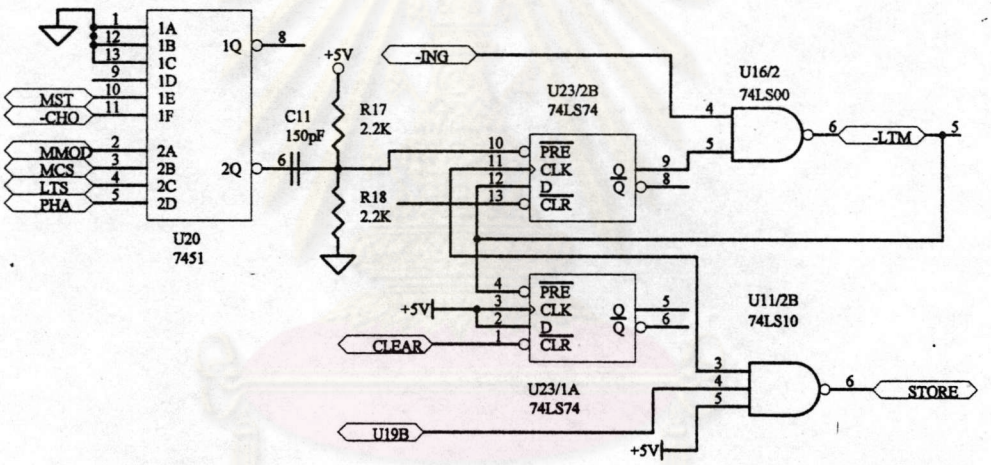


รูปที่ 3.13 แผนภาพเวลาวงจรกำเนิดสัญญาณรีเซทฟลิปฟลอป

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

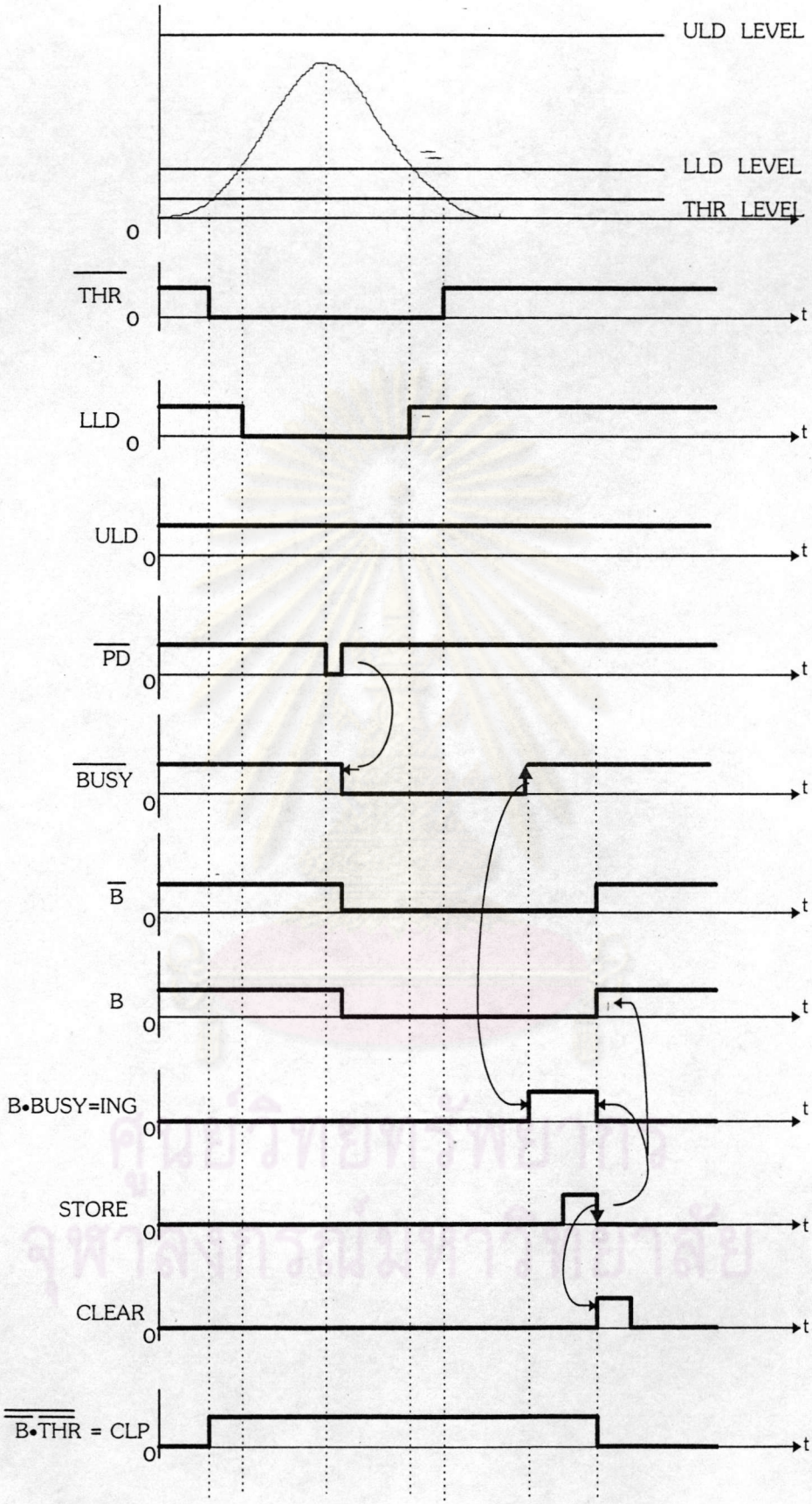
ก. ทุกๆ 1 วินาที วงจรแปลงผันจะได้รับสัญญาณ LTS เข้ามาเซทฟลิปฟลอป U36BA ให้สร้างสัญญาณ LTM ในวงจร และเซทฟลิบฟลอป U36BA ให้สร้างสัญญาณ store เพียงอย่างเดียว ไม่สร้างสัญญาณ ING เนื่องจากสัญญาณ ING เกิดจากสัญญาณ B AND กับสัญญาณ PSB แต่ขณะที่เกิด LTM นั้นสัญญาณ RJ จะรีเซทการทำงานของวงจรแปลงผันสัญญาณ หน่วยความจำจึงได้รับรหัสเชิงตัวเลขที่ตำแหน่งแอดเดรส 0 และบันทึกเวลาทุก 1 วินาที

ข. ในกรณีของการแปลงสัญญาณความสูงของพัลส์สัญญาณ store จะเกิดขึ้นในช่วงเวลาของสัญญาณ ING ซึ่งเปิดเกตบัฟเฟอร์ของรหัสแอดเดรสส่งไปยังหน่วยความจำและบันทึกจำนวนนับรังสี



รูปที่ 3.14 วงจรกำเนิดสัญญาณติดต่อกับหน่วยความจำ

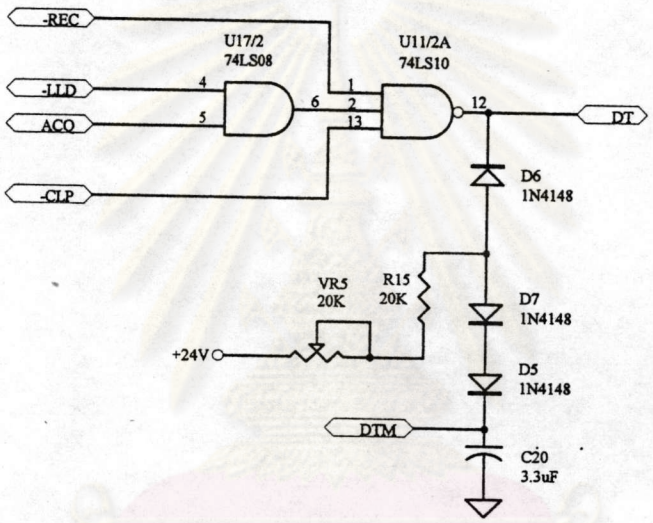
เมื่อสิ้นสุดการบวกหรือลบข้อมูลในหน่วยความจำ วงจรแปลงผันสัญญาณจะได้รับสัญญาณ clear มารีเซทสัญญาณ busy เพื่อเริ่มวงรอบการวิเคราะห์ความสูงของพัลส์ใหม่ แผนภาพเวลาของวงจรกำเนิดสัญญาณติดต่อกับหน่วยความจำแสดงในรูปที่ 3.15



รูปที่ 3.15 แผนภาพเวลาวงจรกำเนิดสัญญาณ ING และ CLR

3.5.3 วงจรกำเนิดสัญญาณสูญเสียเวลา

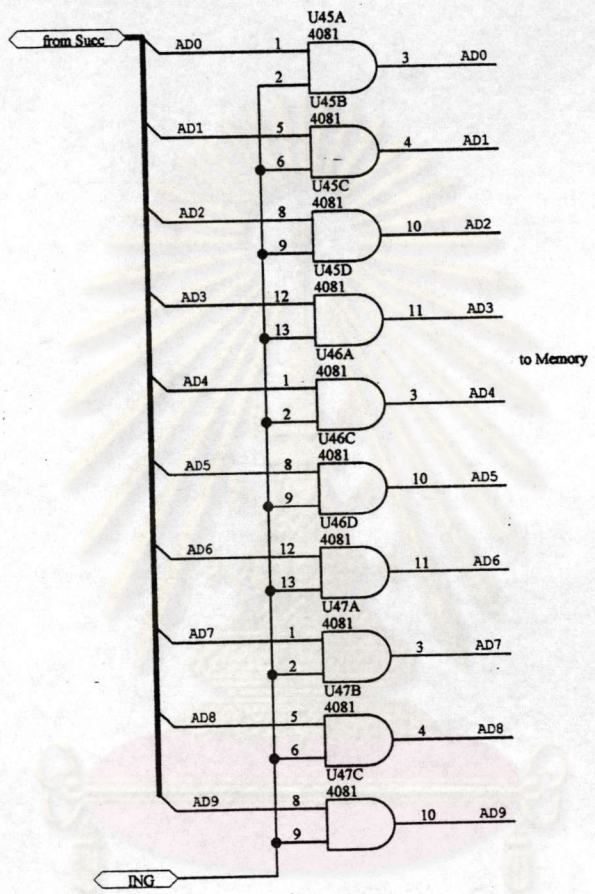
ระหว่างกระบวนการแปลงผันสัญญาณภายในแผนวงจรแปลงสัญญาณพัลส์นี้จะไม่มีการรับสัญญาณทางเข้าจากวงจรขยายสัญญาณอีกจนกว่าจะสิ้นสุดการเก็บข้อมูล ช่วงเวลานี้คือช่วงเวลาสูญเสียจำนวนนับรังสี (dead time) เริ่มจากเมื่อสัญญาณเกินระดับดิสคริมิเนเตอร์ LLD สัญญาณนี้จะ AND กับ REC สร้างเป็นสัญญาณ DT เพื่อปรับแก้เวลาในวงจรตั้งเวลานับรังสี**และ**สัญญาณ DT นี้ ยังนำมาแปลงเป็นสัญญาณเชิงระดับในลักษณะของการแสดงเปอร์เซนต์เวลาในการสูญเสียอัตรานับรังสี แสดงผลบนมิเตอร์ด้วยวงจร RC



รูปที่ 3.16 วงจรกำเนิดสัญญาณสูญเสียเวลา

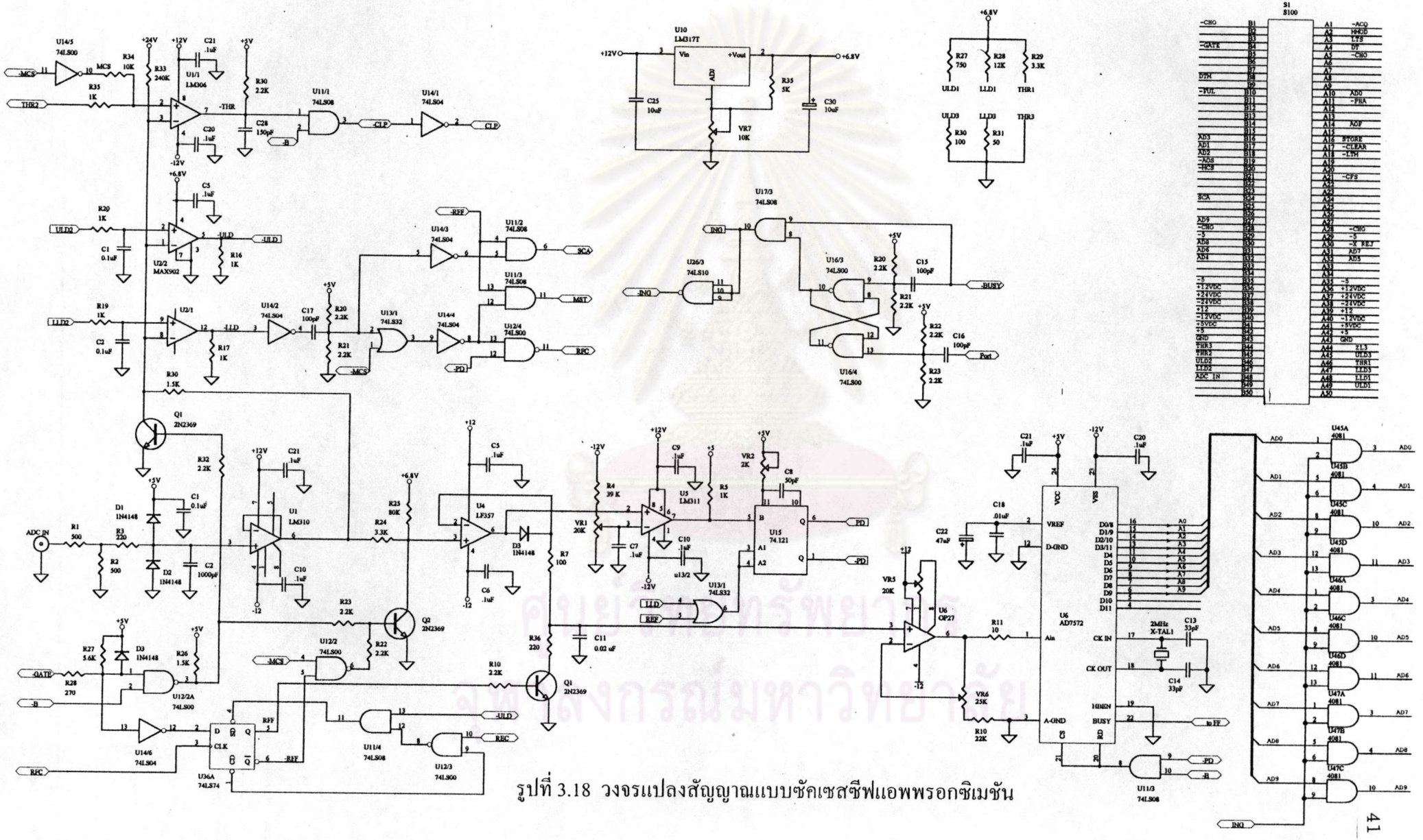
3.5.4 วงจรแอดเดรสบัฟเฟอร์ (Address Buffer)

เป็นวงจรขับสัญญาณขนาด 10 บิต ทำหน้าที่รับสัญญาณเชิงตัวเลขจากวงจรแปลงสัญญาณซัคเซสซีฟแอพพรอกซิเมชัน และขับสัญญาณทั้ง 10 บิต ไปเก็บยังแอดเดรสต่างๆ ของ**หน่วยความจำ** การเก็บข้อมูลแต่ละครั้งจะถูกควบคุมโดยสัญญาณ ING ข้อมูลที่เก็บใน**หน่วยความจำ** จะถูกนำไปสร้างเป็นฮีสโตรแกรมแสดงสเปกตรัมของรังสี การทำงานของวงจรดังแสดงในรูปที่ 3.17



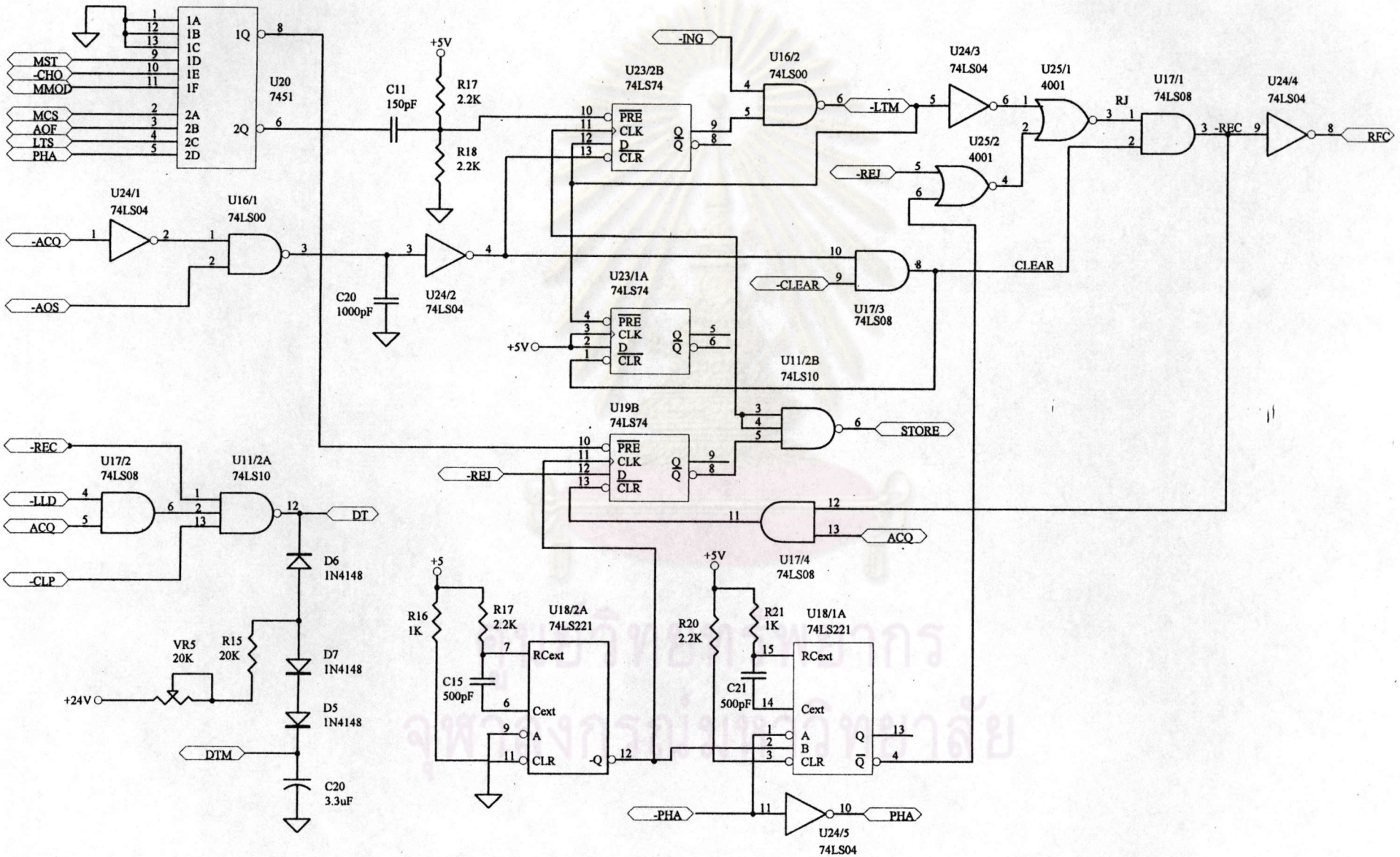
รูปที่ 3.17 วงจรแอดเดรสบัฟเฟอร์

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

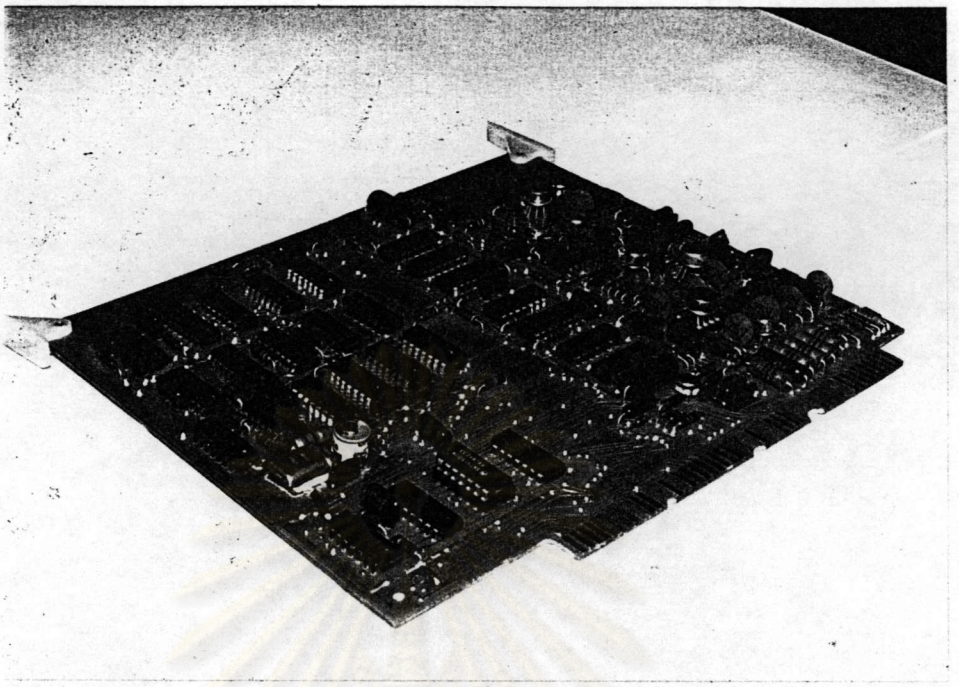


รูปที่ 3.18 วงจรแปลงสัญญาณแบบซัคเซสซีฟแอพพรอกซิเมชัน

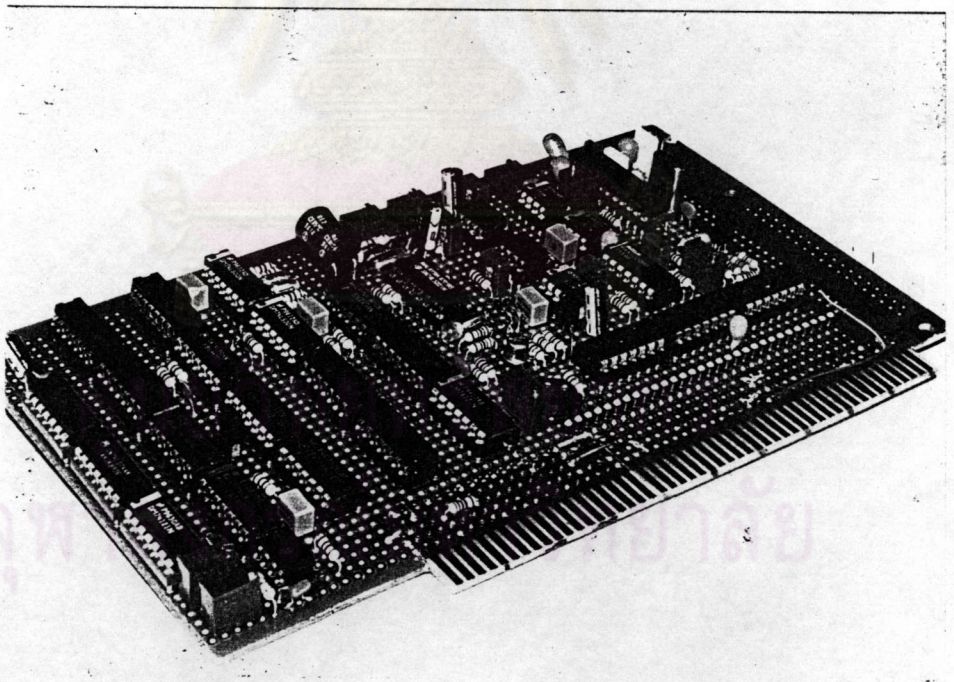
ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 3.19 วงจรควบคุมสัญญาณลอจิก



รูปที่ 3.20 ภาพถ่ายวงจรแปลงสัญญาณแบบวิลคินสัน



รูปที่ 3.21 ภาพถ่ายวงจรแปลงสัญญาณแบบซัคเซสซีฟแอพพรอกซิเมชัน