หอสมุดกลาง สถาบันวิทยบริการ จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 6

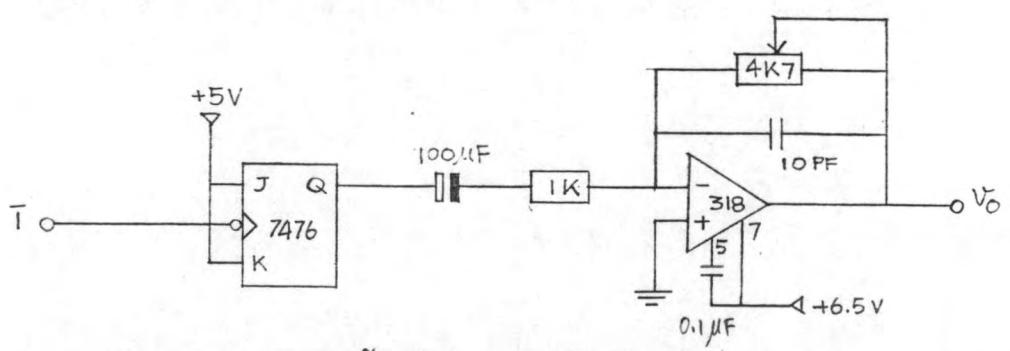
การทดสอบทั้งระบบ

การทดสอบที่กล่าวมาแล้วในบทที่ 5 เป็นการทดสอบเฉพาะหน่วยย่อยว่าทำงานได้หรือไม่ได้ดีเพียงใด ในบทนี้จะเป็นการทดสอบการทำงานร่วมกันของส่วนย่อยทั้งระบบว่าทำงานได้ตามที่เราต้องการหรือไม่ สมรรถนะของทั้งระบบเป็นอย่างไร การทดสอบในบทนี้ใช้แผงวงจรควบคุมที่ได้สร้างขึ้นสำหรับใช้งานกับระบบ จึงเป็นการทดสอบภายใต้เงื่อนไขของการทำงานโดยแท้จริง สามารถทดสอบการทำงานบางอย่างที่ไม่สามารถทำได้ถ้าไม่มีแผงวงจรควบคุม หรือวงจรภายนอกที่ทำงานได้คล้าย ๆวงจรควบคุม

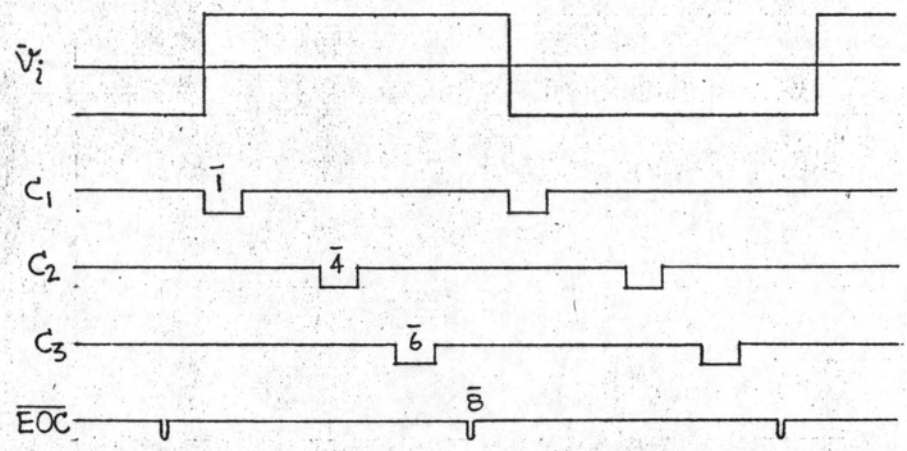
6.1 การทดสอบ ADC โดยใช้สัญญาณควบคุมจากแผงวงจรควบคุม

การทดสอบ ADC ในตอน 5.2 เป็นการทดสอบโดยที่ยังไม่มีแผงวงจรควบคุม ในการทดสอบต่อไปนี้ใช้สัญญาณควบคุมจากแผงวงจรควบคุม แม้กระทั่งสัญญาณอนาลอกขาเข้าที่จะใช้ทดสอบก็สร้างจากพัลส์ในวงจรควบคุม เพราะต้องการให้สัญญาณอนาลอกนี้ Synchronous กับสัญญาณควบคุม คือความถี่เท่าหรือเป็นจำนวนเท่าลงตัวกับสัญญาณควบคุมและมีความแตกต่างของเฟสคงที่ เพื่อดูผลที่ได้จากออสซิโลสโคป

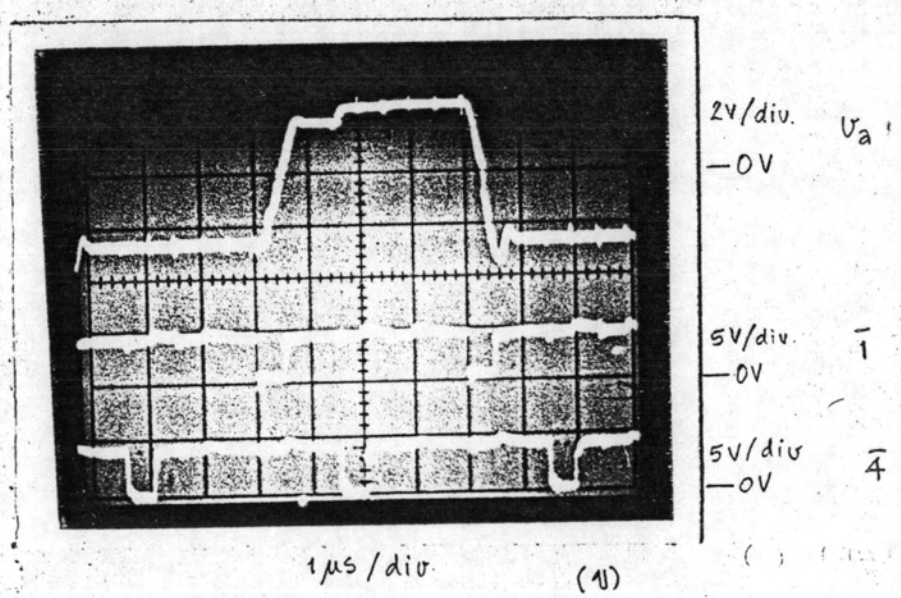
วงจรสร้างสัญญาณอนาลอกขาเข้าแสดงในรูป 6.1-1 เป็นวงจรที่ประกอบขึ้นนอกระบบเพื่อใช้ในการทดสอบเท่านั้น จาก timing pulse $\overline{1}$ ในแผงวงจรควบคุมนำมาผ่านวงจรหารสองที่สร้างจาก JK flip-flop สัญญาณที่ได้เป็นรูปสี่เหลี่ยมที่มีเฉพาะซีกบวก เมื่อผ่านตัวเก็บประจุ 100 μF จะกลายเป็นสัญญาณที่มีทั้งซีกบวกและซีกลบ จากนั้นจะผ่านเข้าวงจรขยายซึ่งปรับอัตราขยายได้ เพื่อให้ได้สัญญาณอนาลอกขนาดที่ต้องการ



รูป 6.1-1 วงจรสร้างสัญญาณอนาลอกสำหรับทดสอบ ADC



(ก)



(ข)

รูป 6.1-2 (ก) สัญญาณต่าง ๆ สำหรับทดสอบ ADC (ข) ภาพถ่ายสัญญาณออกของ DAC เทียบกับสัญญาณควบคุม C_1 และ C_2

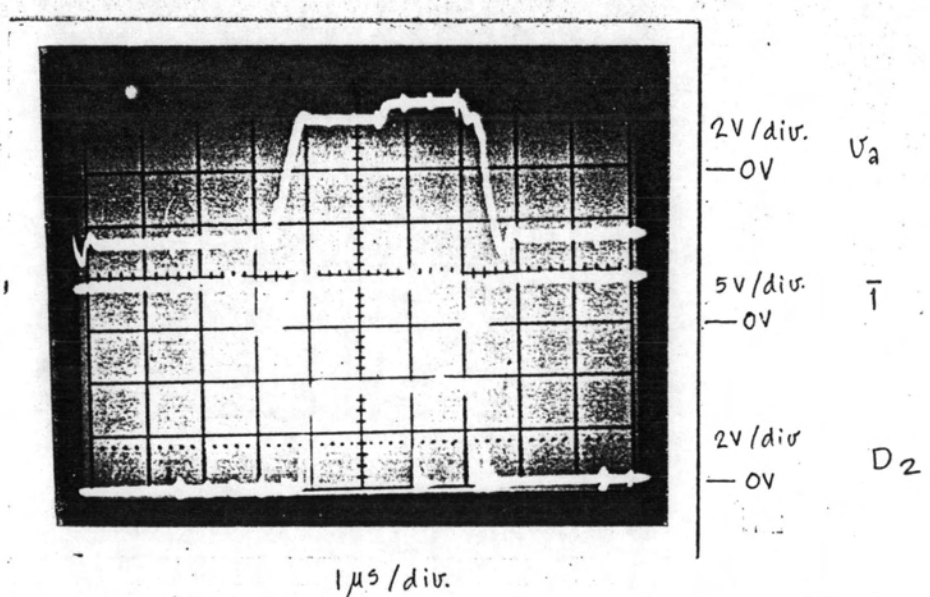
โดยการตั้งให้สัญญาณอนาลอกจากวงจรดังกล่าวให้มีการเปลี่ยนแปลงค่าเกินกว่า $\pm$ 2.56V เล็กน้อยแล้วต่อกับขาเข้าของ ADC และตั้งสัญญาณควบคุมต่าง ๆ ตามในรูป 6.1-2 (ก). ตั้งให้ระบบค้างอยู่ที่สภาวะ Write โดยปลดสัญญาณ $\overline{CAR1}$ และ $\overline{CAR2}$ ที่ขาเข้าของแผงวงจรควบคุมออกแล้วกดสวิทช์ Reset Standby และ Start ตามลำดับ การปลดสัญญาณทั้งสองนี้ทำให้ Y = "0" (ดูรูป 5.5-4) เสมอทำให้ระบบไม่เปลี่ยนเป็นสภาวะ Read คงค้างอยู่ที่สภาวะ Write

สัญญาณออกของ DAC แสดงในรูป 6.1-2 (ข) ซึ่งแสดงลักษณะการทำงานแบบ Successive approximation ของ ADC การทดสอบครั้งนี้ทำการวัดค่าเวลาอยู่ตัวของ ADC 6 บิทแรก (t_1) และเวลาอยู่ตัวของ ADC 2 บิทหลัง (t_2) ได้ค่าประมาณ 700ns และ 450ns เหมือนการทดสอบในตอน 5.2-5

6.2 การทดสอบผลรวมของ ADC และ S/H

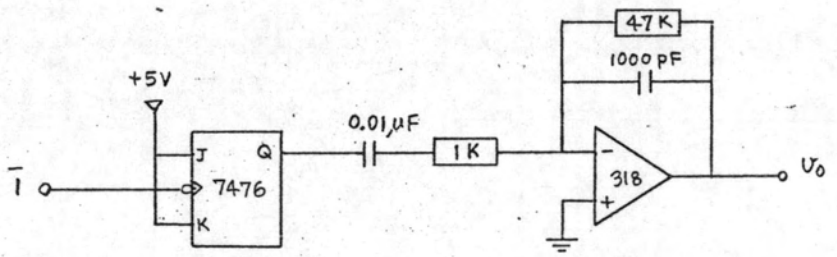
การตั้งเวลาสำหรับสัญญาณควบคุมต่าง ๆ ในแผงวงจรควบคุมเราตั้งให้ ADC เริ่มทำงานพร้อมกับการสุ่มค่าของวงจร S/H เพื่อว่าเวลาในช่วง Hold สำหรับให้ ADC ทำงานจะลดลง ในการทดสอบตอนนี้ก็เพื่อดูผลรวมของ ADC และ S/H โดยใช้วงจรสร้างสัญญาณอนาลอกในตอนก่อนป้อนสัญญาณเข้าที่ขาเข้าของ S/H วงจรที่เหลือต่อเหมือนขณะใช้งานจริง สัญญาณควบคุม C_1, C_2 และ C_3 ตั้งไว้ที่ $\overline{1}$, $\overline{6}$ และ $\overline{7}$ ตามลำดับ ผลการทดสอบแสดงในรูป 6.2-1 จะเห็นได้ว่าสัญญาณออกของ DAC และของ ADC 6 บิทแรก จะอยู่ตัวในเวลาใกล้เคียงกันคือประมาณ 1.5 μs ซึ่งเท่ากับ Acquisition time ของ S/H

การทดสอบโดยใช้สัญญาณรูปสี่เหลี่ยมข้างต้นนี้มีข้อเสียคือสัญญาณอนาลอกไม่มีการเปลี่ยนแปลงในช่วง Sample เป็นผลให้ ADC อยู่ตัวเร็วมาก ค่า t_1 ที่วัดได้ข้างต้นนี้แสดงให้เห็นว่า

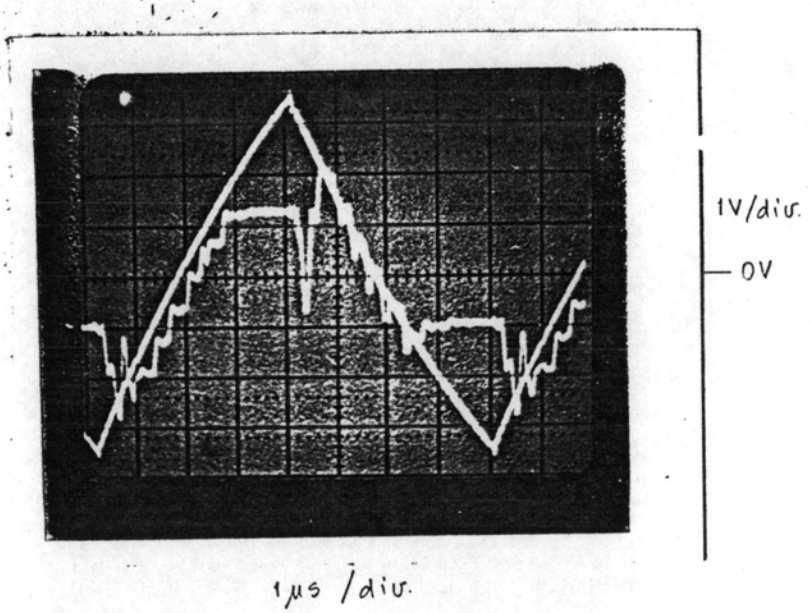


รูป 6.2-1 ภาพถ่ายแสดงการทดสอบผลรวมของ S/H และ ADC โดยใช้สัญญาณรูปคลื่นสี่เหลี่ยม

ADC 6 บิทแรกอยู่ตัวภายในช่วง Sample สัญญาณอนาลอกที่ใช้งานจริงจะมีการเปลี่ยนแปลงตลอดเวลา จึงเป็นไปไม่ได้ที่ ADC จะอยู่ตัวภายในช่วง Sample เพื่อทดสอบผลของการเปลี่ยนแปลงของสัญญาณ เราจะใช้สัญญาณรูปสามเหลี่ยมโดยเปลี่ยนวงจรสร้างสัญญาณอนาลอกให้เป็น integrator ดังในรูป 6.2-2 รูป 6.2-3 แสดงภาพถ่ายสัญญาณออกของ DAC เทียบกับสัญญาณเข้ารูปสามเหลี่ยม จะเห็นว่าสัญญาณออกพยายามเปลี่ยนตามสัญญาณเข้าตลอดเวลา แต่เกิด ringing มากเป็นช่วง ๆ ซึ่งเข้าใจว่าเป็นผลของการเปลี่ยนค่าของบิทที่มีนัยสำคัญสูง ๆ ที่สัญญาณขาเข้าดิจิตอลของ DAC



รูป 6.2-2 วงจรสร้างสัญญาณอนาลอกรูปสามเหลี่ยม



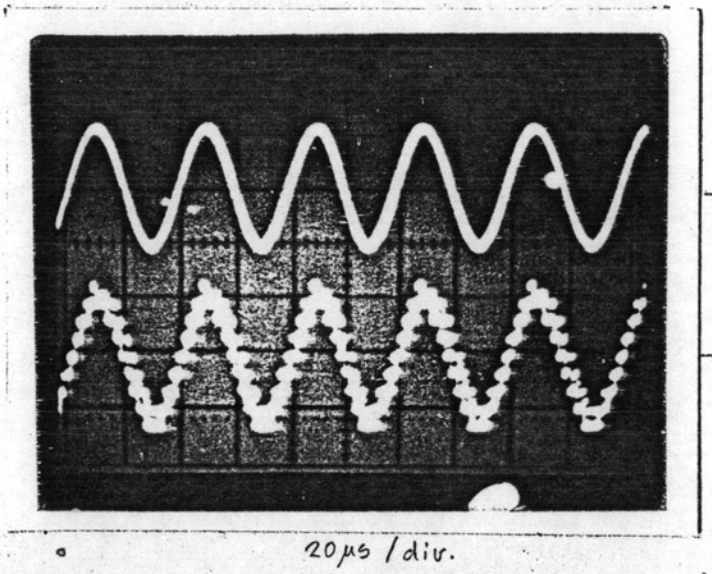
รูป 6.2-3 ภาพสัญญาณออกของ DAC เปรียบเทียบกับสัญญาณเข้ารูปคลื่นสามเหลี่ยม

6.3 การทดสอบทั้งระบบ

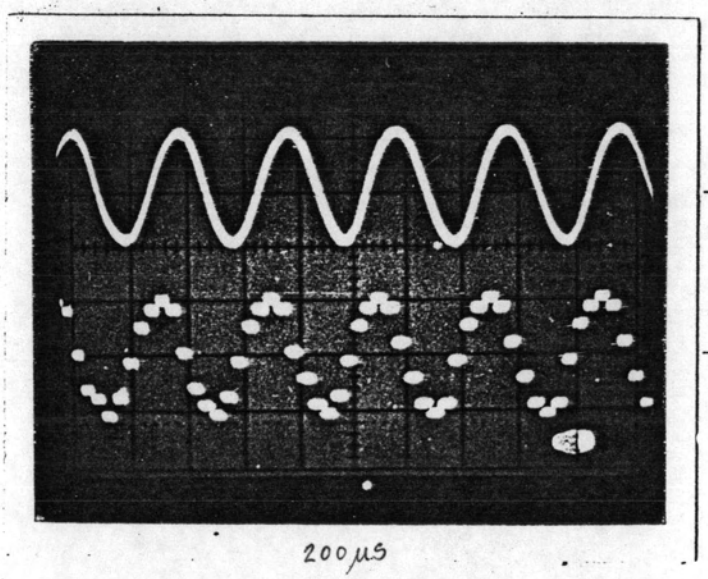
การทดสอบในตอนนี้ต่อระบบให้อยู่ในลักษณะใช้งานทุกประการ ทดสอบโดยป้อนสัญญาณที่ภาคเข้าของระบบก็อวงจร S/H ผ่าน ADC ไปบันทึกไว้ใน RAM จนกระทั่งระบบเปลี่ยนสภาวะมาเป็นการอ่านค่าจาก RAM ผ่าน DAC และวงจรกรองมาเป็นสัญญาณออกที่เราจะศึกษาดู ในระบบของเรามีสัญญาณออก 2 แบบ คือสัญญาณออกสำหรับออสซิลโลสโคป และสัญญาณออกสำหรับ X-Y Recorder ในที่นี้เราจะศึกษาเฉพาะสัญญาณออกสำหรับออสซิลโลสโคปเท่านั้น ผลสรุปที่ได้จะใช้ได้กับสัญญาณออกสำหรับ X-Y Recorder เพราะสัญญาณออกทั้งสองต่างกันแค่ความถี่ในการอ่านต่างกันเท่านั้น

รูป 6.3-1 เปรียบเทียบระหว่างสัญญาณเข้าเป็นคลื่นซายน์ความถี่ 25 KHz ซึ่งเป็นความถี่ใช้งานสูงสุด กับสัญญาณออกของ DAC ในสภาวะ Write ซึ่งได้จากการสุ่มที่ความถี่สูงสุด เนื่องจากสัญญาณเข้าไม่ Synchronous กับความถี่สุ่ม ทำให้สัญญาณอันหลังนี้พร่า ก็อไม่เป็นภาพนิ่ง รูป 6.3-2 แสดงสัญญาณออกของสัญญาณเข้าอันนี้ทั้งก่อนและหลังผ่านวงจรกรอง จะเห็นได้ว่าสัญญาณออกที่ผ่านวงจรกรองเพี้ยนไปจากสัญญาณซายน์ไปบ้าง รูป 6.3-3 เป็นภาพเดียวกับในรูป 6.3-2 แต่ปรับแกนนอนของออสซิโลสโคป (Time /division) ให้อยู่ช่วง Uncalibrated เพื่อแสดงให้เห็นภาพที่อ่านจาก RAM ครบสองรอบ ส่วนที่สัญญาณไม่สม่ำเสมอคือส่วนต่อระหว่างรอบของการอ่าน

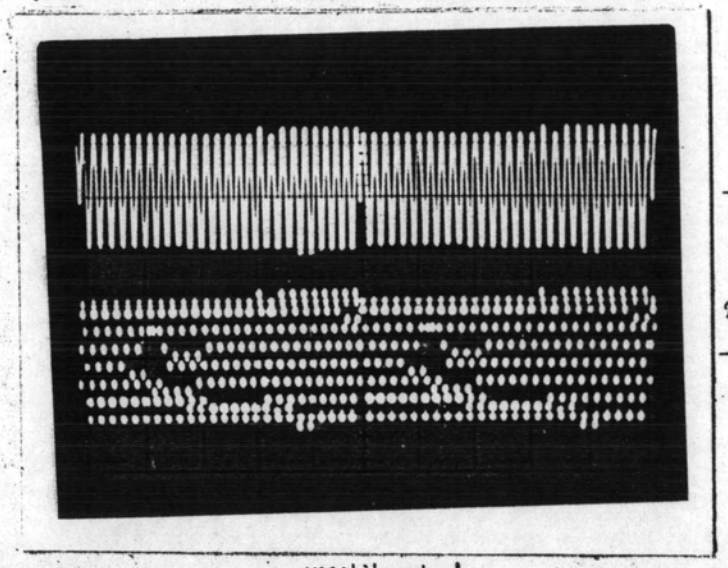
รูป 6.3-4, 6.3-5 และ 6.3-6 แสดงสัญญาณออกทั้งของ DAC และของวงจรกรองสำหรับสัญญาณเข้ารูปคลื่นซายน์ความถี่ 10 KHz ที่ความถี่สุ่มสูงสุดคือ 250 KHz, 125 KHz และ 50 KHz ตามลำดับ จากการเปรียบเทียบรูป 6.3-2 และ 6.3-4 ซึ่งใช้ความถี่สุ่มเท่ากัน จะเห็นได้ว่ารูปคลื่นซายน์จะเพี้ยนมากขึ้น เมื่อสัญญาณเข้ามีความถี่ต่ำลง และเมื่อเปรียบเทียบรูป 6.3-4, 6.3-5 และ 6.3-6 ซึ่งสัญญาณเข้ามีความถี่เท่ากันแต่ความถี่สุ่มต่างกัน ปรากฏว่ายิ่งใช้ความถี่สุ่มสูง สัญญาณออกก็ยิ่งเพี้ยนมากขึ้น ดูเหมือนผลที่ได้จะค้านกับทฤษฎีการกรองฮาร์โมนิกความถี่สูงที่ว่าความถี่สุ่มยิ่งห่างจากความถี่สัญญาณเข้าเพียงใด การกรองให้เหลือเฉพาะความถี่มูลฐานจะยิ่งได้ผลดีขึ้นเพียงนั้น



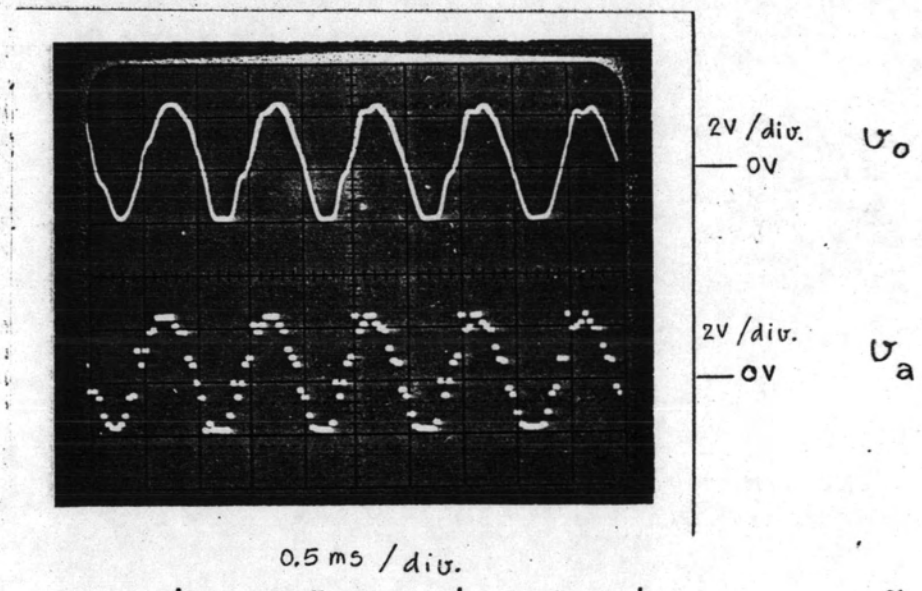
รูป 6.3-1 แสดงสัญญาณเข้ารูปคลื่นซายน์ความถี่ 25 KHz ความถี่สุ่ม 250 KHz (ความถี่สุ่มสูงสุด)



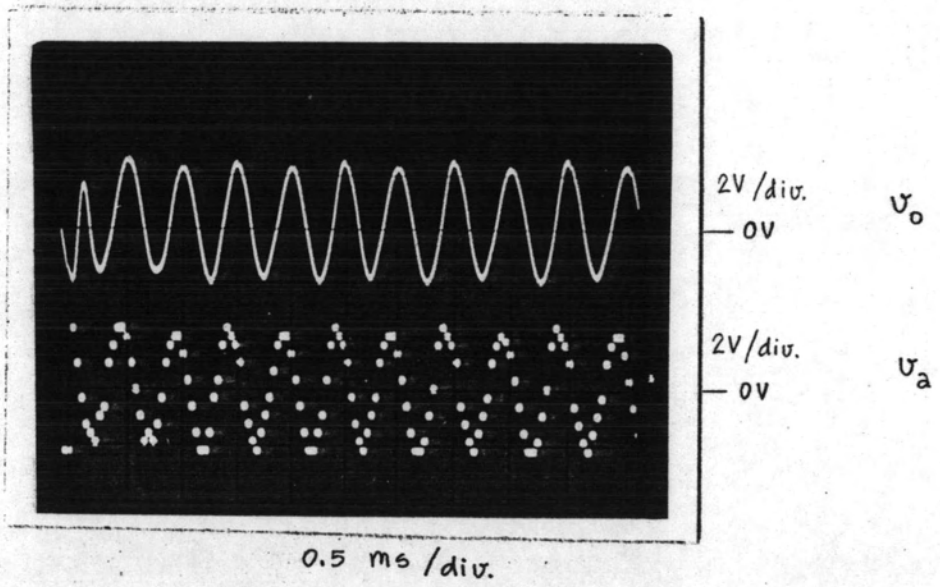
รูป 6.3-2 แสดงสัญญาณออกเปรียบเทียบกับสัญญาณออกของ DAC เมื่อสัญญาณเข้ารูปซายน์ความถี่ 25 KHz ความถี่สุ่ม 250 KHz



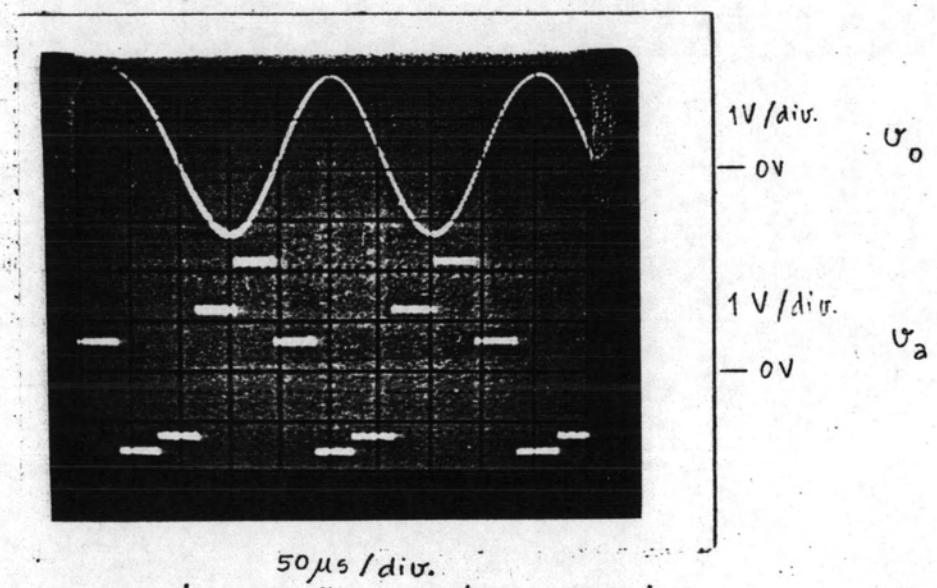
รูป 6.3-3 รูปเดี่ยวกับรูป 6.3-2 แต่ปรับสเกลแกนนอนให้อยู่ที่ Uncalibrate เพื่อแสดงสัญญาณออกให้ครบ 2 รอบของการอ่าน จุดที่สัญญาณไม่สม่ำเสมอคือจุดแบ่งระหว่างรอบ



รูป 6.3-4 สัญญาณออกเมื่อสัญญาณเข้าเป็นรูปคลื่นซายน์ความถี่ 10 KHz โดยใช้ความถี่สุ่ม 250 KHz



รูป 6.3-5 สัญญาณออกเมื่อสัญญาณเข้าเป็นรูปคลื่นซายน์ความถี่ 10 KHz โดยใช้ความถี่สุ่ม 125 KHz

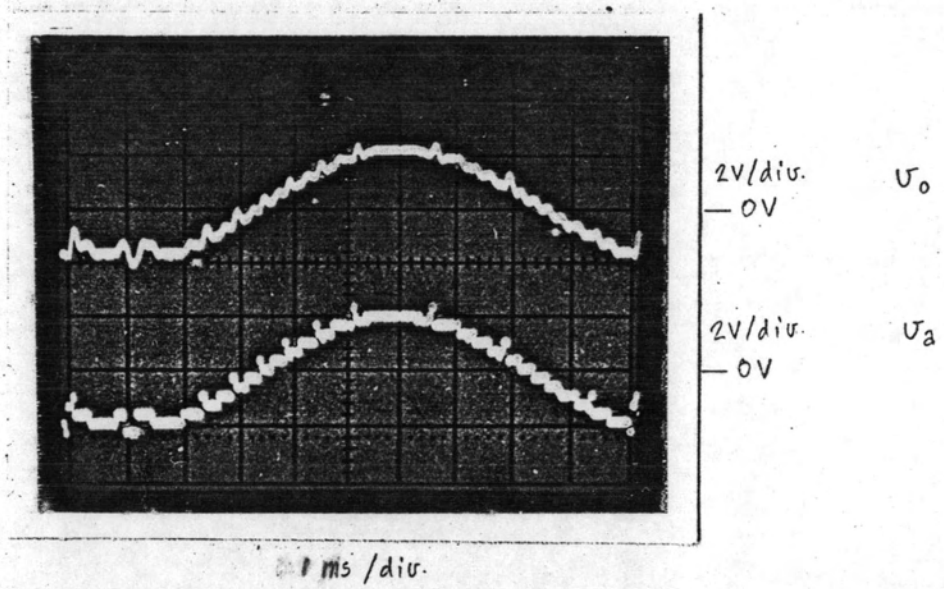


รูป 6.3-6 สัญญาณออกเมื่อสัญญาณเข้าเป็นรูปคลื่นซายน์ความถี่ 10 KHz โดยใช้ความถี่สุ่ม 50 KHz

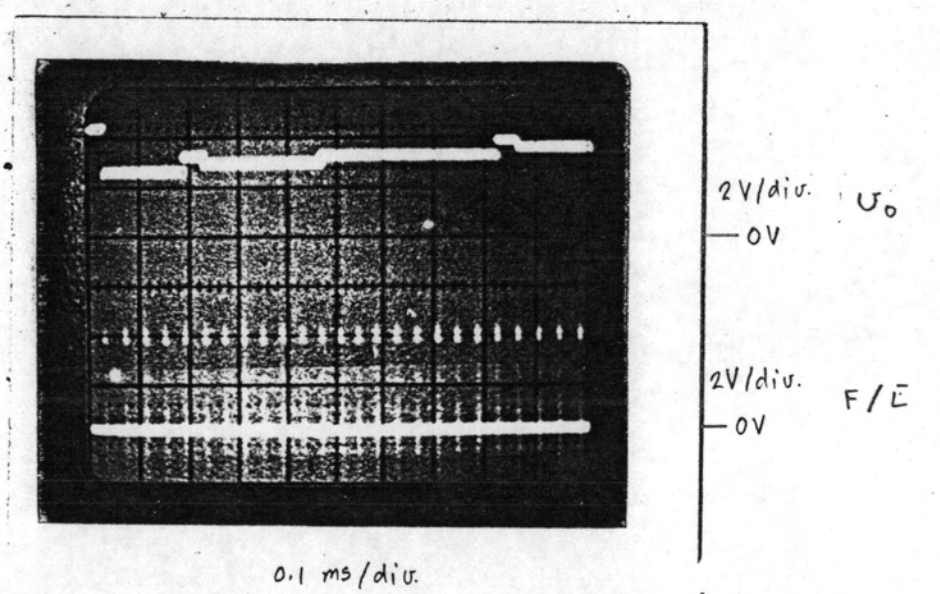
ความเพี้ยนที่เกิดขึ้นเมื่อสังเกตจากสัญญาณออกของ DAC (v_a) ก่อนเข้าวงจรกรอง จะเห็นได้ว่าเกิดจากค่าที่ไม่สม่ำเสมอของสัญญาณบางช่วง คือมีค่าสูงเกินไปหรือต่ำเกินไปที่บางจุด นั่นคือเป็นข้อผิดพลาดก่อนวงจรกรอง ซึ่งอาจมาจาก DAC, RAMหรือ ADC จากการทดสอบแต่ละส่วนย่อย DAC มีข้อผิดพลาดไม่เกิน $\pm$ 1/2 LSB ส่วน RAM และวงจรที่เกี่ยวข้อง เช่น วงจร Latch และวงจร Tri state buffer ในแผงวงจรจำก็ได้ทดสอบไปแล้ว และสามารถทดสอบอีกโดยให้สัญญาณเข้าอนาลอก (v_i) เป็นแรงดันไฟตรง +2.56V และ -2.56V แล้วให้เครื่องทำงานบันทึกค่าแล้วอ่านค่าออกมา ดูสัญญาณออกดิจิตอลจาก RAM จะต้องได้ "1" หมด และ "0" หมดตามลำดับ สำหรับ ADC จากการทดสอบพบว่ามีช่วงไม่แน่นอนเกิดขึ้นกว้างมาก จึงสรุปได้ว่าความเพี้ยนเกิดจากความผิดพลาดของ ADC

เหตุที่ความเพี้ยนลดลงเมื่อความถี่สุ่มลดลงอาจจะเป็นเพราะการลดความถี่สุ่มทำให้จำนวนข้อมูลใน 1 คาบของสัญญาณอนาลอกลดลง แม้ข้อมูลที่แต่ละจุดจะมีความผิดพลาดมาก แต่ก็ไม่มีจุดข้างเคียงเปรียบเทียบเป็นที่น่าสังเกตว่าในรูป 6.3-6 แม้ความเพี้ยนของสัญญาณจะมีค่าน้อย แต่ขนาดของสัญญาณก็ลดลงไปมากเมื่อเทียบกับรูป 6.3-4 ทั้งนี้เป็นผลของการลัดทอนเนื่องจากวงจรกรองแบบผ่านต่ำนั่นเอง

รูป 6.3-7 แสดงสัญญาณออกเมื่อสัญญาณเข้าเป็นรูปคลื่นซายน์ความถี่ 1 KHz โดยใช้ความถี่สุ่มสูงสุด สัญญาณออกมีลักษณะเป็นขั้นบันไดซึ่งเนื่องมาจากความผิดพลาดของ ADC ซึ่งจะดูได้จากรูปขยายให้เห็นรายละเอียดสัญญาณออกอนาลอกของ DAC เปรียบเทียบกับสัญญาณ F/$\overline{L}$ ซึ่งเป็นสัญญาณควบคุม Address ของ RAM ในรูป 6.3-8 จะเห็นได้ว่าข้อมูลที่จุดใกล้เคียงกันมีค่าเท่ากันติดต่อกันหลายจุด ซึ่งถ้าการแปลงสัญญาณทำได้ถูกต้องแล้วค่าของสัญญาณออกควรจะมีค่าต่างกันเล็กน้อยระหว่างค่าแต่ละจุด นั่นคือสัญญาณออกของ DAC ควรจะเป็นรูปขั้นบันไดละเอียดเท่าจำนวนจุดของข้อมูล การที่สัญญาณออกของ DAC คงที่เป็นช่วง ๆ ดังนี้ ก็เหมือนกับประกอบด้วย Step ย่อย ๆ ที่มีเวลานานกว่าเวลาอยู่ตัวของวงจรกรอง สัญญาณออกจากวงจรกรองจึงเห็นเป็น Step response เป็นส่วน ๆ ตามในรูป 6.3-7 นอกจากจะเห็นว่าสัญญาณออกของ DAC คงที่เป็นช่วง ๆ แล้ว ยังเห็นได้ว่าข้อมูลบางจุดมีค่าผิดไปจากบริเวณใกล้เคียงมากจนผิดสังเกต ซึ่งเป็นผลของความผิดพลาดของ ADC ขณะบันทึก



รูป 6.3-7 สัญญาณออกเมื่อสัญญาณเข้าเป็นรูปคลื่นซายน์ความถี่ 1 KHz โดยใช้ความถี่สุ่มสูงสุด (250 KHz)

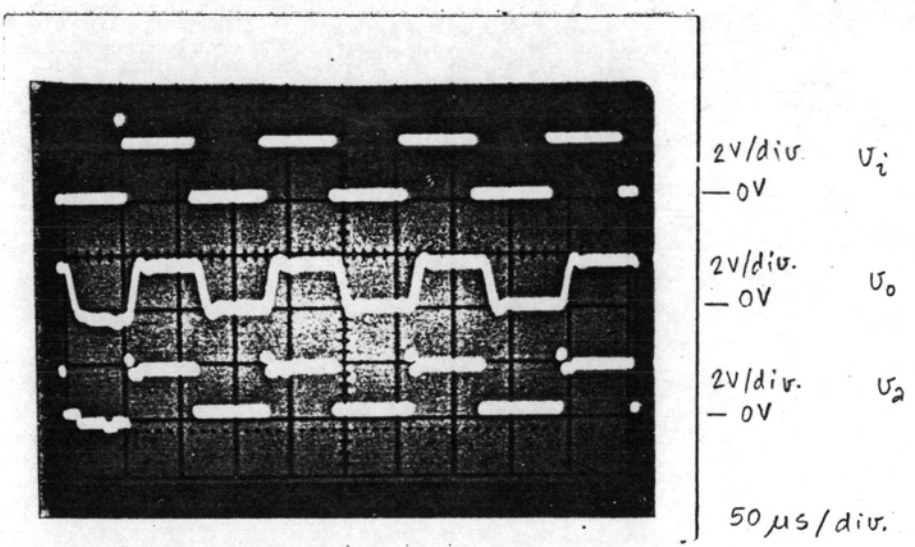


รูป 6.3-8 สัญญาณออกของ DAC เปรียบเทียบกับสัญญาณ F/$\overline{L}$ ซึ่งเป็นสัญญาณที่ควบคุม Address ของ RAM ในการอ่านค่า โดยมีเงื่อนไขเหมือนในรูป 6.3-7 แต่ขยายสเกลให้ดูชัดเจนขึ้น

รูป 6.3-9 เป็นภาพจากการทดสอบโดยใช้ความถี่สุ่มเท่ากับความถี่อ่านคือ 25 KHz สัญญาณเข้าเป็นรูปคลื่นสี่เหลี่ยม จะเห็นได้ว่าสัญญาณออกที่ผ่านวงจรกรองใกล้เคียงกับสัญญาณเข้าพอสมควร ส่วนสัญญาณออกจาก DAC จะเห็นความผิดพลาดในบางตอน

เท่าที่ทดสอบมาการเริ่มทำงานของการบันทึกทำโดยใช้สวิทช์ start ได้ทดลองใช้ Automatic triggering ปรากฏว่าเกิดการ Trigger ขึ้นเองโดยที่ไม่มีสัญญาณเข้าแม้จะต่อสัญญาณเข้าลงดินก็ตาม อาจเป็นเพราะสัญญาณกวนเข้ามาแรงพอ แต่แม้จะลดอัตราขยายของวงจร Active full wave rectifier แล้วก็ยังไม่หาย เข้าใจว่าเป็นการกวนเข้ามาในลักษณะของ ground loop ซึ่งถ้าเป็นจริงการแก้ปัญหานี้จะเสียเวลามาก อย่างน้อยก็ต้องมีการออกแบบแผ่นวงจรพิมพ์กันใหม่ เนื่องจากเวลาไม่อำนวยให้จะปล่อยให้ปัญหานี้ผ่านไปก่อน โดยใช้ Manual triggering เพียงอย่างเดียว

การทดสอบเท่าที่กระทำมาดูเฉพาะสัญญาณออกสำหรับออสซิลโลสโคป เพราะถือว่าเป็นเครื่องมือมาตรฐานที่สำคัญ ส่วน X-Y Recorder เป็นเครื่องมือที่มีใช้กันน้อยมากเมื่อเทียบกับออสซิลโลสโคป จึงไม่มีผลการทดสอบแสดง ณ ที่นี้ แต่อาจจะสาธิตโดยใช้ออสซิลโลสโคปที่ Scan rate ต่ำ ๆ ซึ่งก็ไม่เหมือน X-Y Recorder เพราะผลตอบสนองเร็วกว่า และภาพที่เห็นไม่ติดค้างเนื่องจากการใช้ Scan rate ต่ำ



รูป 6.3-9 สัญญาณออกสำหรับสัญญาณเข้ารูปคลื่นสี่เหลี่ยมความถี่ 8 KHz รูปคลื่นบนสุดคือสัญญาณเข้าซึ่งความถี่จะเท่ากับสัญญาณออกแต่เฟสอาจจะไม่ตรงกัน