บทที่ ๕

การออกแบบและทดสอบวงจรดิจิตอล

๕.๑ หลักการออกแบบวงจรดิจิตอล

๕.๑.๑ ข้อพิจารณาในการออกแบบวงจร

ในการออกแบบวงจรดิจิตอลใด ๆ จะต้องคำนึงถึงขอบเขตการเปลี่ยนค่าของอุปกรณ์ แรงดัน กระแสและความเร็ว ที่วงจรจะสามารถให้ระดับโลจิคที่ถูกต้องได้ในขณะใช้งาน สำหรับในวงจรทรานซิสเตอร์การเปลี่ยนแปลงดังกล่าวจะมีผลต่อสภาพ "ON" และ "OFF" ดังนั้นในการเลือกค่าอุปกรณ์ที่ใช้ประกอบวงจรจะต้องอยู่ในขอบเขตที่ทรานซิสเตอร์จะรักษาสถานะ "ON" หรือ "OFF" ไว้ได้ตามลักษณะของโลจิคที่กำหนด ซึ่งการหาขอบเขตของการเลือกค่าอุปกรณ์ในวงจรกระทำได้โดยวิธีที่เรียกว่า worst-case design กล่าวคือจะต้องหาความสัมพันธ์ของค่าต่าง ๆ ในวงจรที่ค่าของอุปกรณ์แรงดัน กระแสหรือความเร็ว เปลี่ยนแปลงไปถึงที่สุด แล้ววงจรยังคงรักษาสถานะของโลจิคได้ตามที่ต้องการ จากนั้นจึงนำผลที่ได้มาวิเคราะห์เพื่อเลือกอุปกรณ์ใช้ประกอบวงจรให้ทำงานได้อย่างมีเสถียรภาพที่ดีที่สุด ซึ่งสิ่งที่ต้องพิจารณาในการออกแบบก็คือ

ก) Voltage Supply (V_{CC} และ V_{BB}) การเปลี่ยนแปลงทางสูงของ V_{CC} และ V_{BB} จะต้องไม่เกิน Break down voltage ของทรานซิสเตอร์ ในทางต่ำ V_{CC} จะต้องไม่ต่ำกว่า forword junction voltage ของทรานซิสเตอร์และไดโอด และ V_{BB} ต้องมากกว่า base to emitter cutoff voltage

ข) คุณสมบัติของทรานซิสเตอร์และไดโอด ในทรานซิสเตอร์จะต้องคำนึงถึงการเปลี่ยนแปลงของ forward current gain (h_{FE}), saturation junction voltage (V_{BES} และ V_{CES}), base to emitter cutoff voltage (V_{BEO}) และ collector to base leakage current (I_{CBO}) ที่มีต่ออุณหภูมิที่ใช้งาน

สำหรับไดโอดจะต้องพิจารณาถึงการเปลี่ยนแปลงของ forward voltage (V_F) และ leakage current (I_R)

ค) Resistor Tolerance ต้องพิจารณาการเปลี่ยนแปลงของความต้านทานที่จะใช้ในการออกแบบว่ามีค่าสูงสุดและต่ำสุดแค่ไหน โดยถือความผิดพลาดที่บอกบนตัวรีซีสเตอร์

ง) Transfer Characteristics หมายถึงขอบเขตของระดับแรงดันทาง input และ output ของวงจรที่ใช้แทนระดับ logical 0 และ 1 ได้แก่การเปลี่ยนแปลงของระดับ high level และ low level ทาง input (V_{IH} และ V_{IL}) หรือทาง output (V_{OH} และ V_{OL})

จ) Input Characteristics คือ input current ที่ใช้ drive แต่ละ input ของวงจรในขณะที่ได้รับ high level voltage (I_{IH}) หรือ low level voltage (I_{IL})

ฉ) Output Characteristics ได้แก่ output current ที่สามารถจะจ่ายให้แก่ load ในขณะที่ output อยู่ที่ระดับ high (I_{OH}) หรืออยู่ที่ระดับ low (I_{OL})

ช) Supply Current Characteristics ได้แก่ current ที่ใช้ทาง output ของวงจรในขณะที่ยังไม่มี load ที่ high level output (I_{CCH}) และ low level output (I_{CCL})

ซ) Switching Speed พิจารณาจากความเร็วของการเปลี่ยนระดับของ logical output level ของวงจร เวลาที่ใช้โดยเฉลี่ย (t_{pd}) ได้จากการเฉลี่ยของเวลาที่วงจรใช้ในการเปลี่ยนจาก high level เป็น low level (t_{PHL}) และเปลี่ยนจาก low level เป็น high level (t_{PLH}) ซึ่งใช้ในการคำนวณหาความเร็วสูงสุดของระบบ

ฌ) Noise Margin ในทาง d.c สำหรับ low level คือค่าที่ได้จากความแตกต่างระหว่างค่าสูงสุดของ $V_{\square}$ กับ V_{OL} และทาง high level คือความแตกต่างระหว่างค่าต่ำสุดของ V_{IH} และ V_{OH} สำหรับในทาง a.c noise margin จะขึ้นอยู่กับ maximum peak และ duration ของ noise ที่เกิดขึ้นที่มีผลต่อ output logical

level ของวงจร

๕.๒ Worst Case Consideration

๕.๒.๑ ข้อกำหนดในการออกแบบวงจร

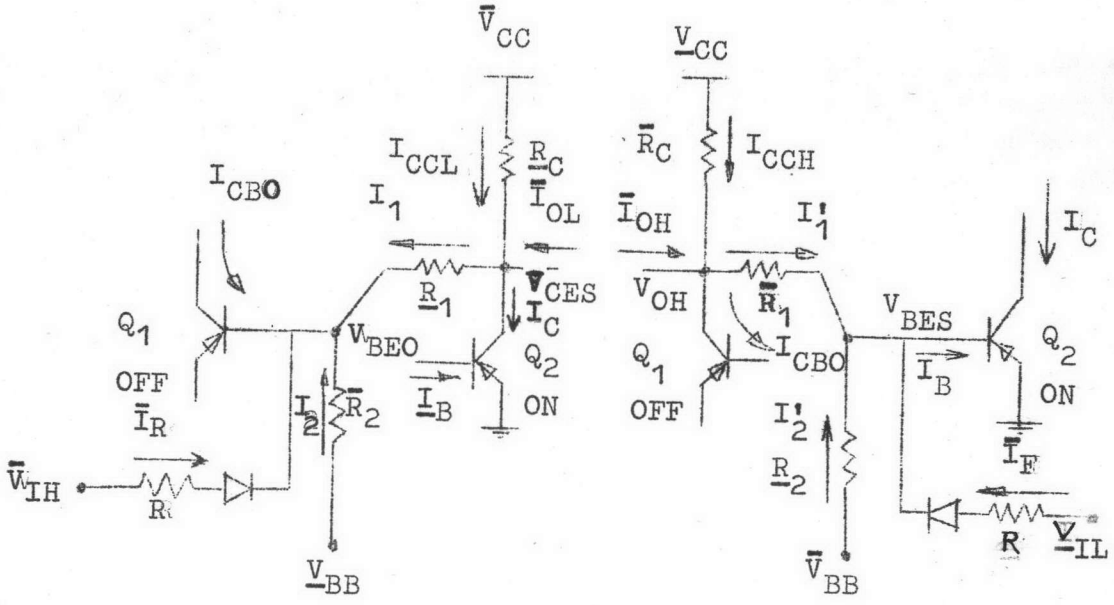
การแสดงค่าสูงสุดและต่ำสุดของค่าที่ใช้ในการพิจารณาออกแบบวงจรจะเขียนเครื่องหมายขีด (-) ไว้บนและใต้สัญญลักษณ์ของค่านั้น ๆ ตามลำดับ เช่น $\overline{V}_{CC}$ หมายถึง maximum collector voltage supply และ $\underline{V}_{CC}$ หมายถึง minimum collector voltage supply เป็นต้น ทิศทางของกระแสจะถือว่ากระแสไหลเข้าวงจรเป็นบวกและไหลออกจากวงจรเป็นลบ และเป็น conventional current

๕.๒.๒ Clocked-RS Flip-Flop

จากวงจรรูปที่ ๕.๑ สามารถเขียน equivalent circuit ของวงจร Flip-Flop เพื่อหา worst case condition ได้ดังรูปที่ ๕.๑

Boundary of R_C

ในการเลือกค่า R_C ของวงจร flip-flop จะต้องพิจารณาสิ่งต่อไปนี้คือ เมื่อทรานซิสเตอร์ "ON" กระแส I_C ที่เกิดจาก I_{CCL} และ $\overline{I}_{OL}$ จะต้องไม่เกิน rated ของทรานซิสเตอร์ และเมื่อทรานซิสเตอร์ "OFF" แรงดันที่ collector output ต้องไม่ต่ำกว่า $\underline{V}_{OH}$ ในขณะที่มี load $\overline{I}_{OH}$ และอีกประการหนึ่ง load line จะต้องไม่ผ่าน breakdown region ที่จุดใดจุดหนึ่งของทรานซิสเตอร์ ซึ่งการเลือกค่า R_C ของวงจรไม่สามารถที่กำหนดขอบเขตที่แน่นอนได้ แต่พอที่จะประมาณได้ดังนี้



ก) "OFF" Bias Circuit ข) "ON" Bias Circuit

รูปที่ ๕.๑ Equivalent Circuit of Flip-Flop Circuit for Design

จากรูปที่ ๕.๑ ข)

$$\underline{V}_{CC} - \bar{R}_C I_{CCH} = \underline{V}_{OH}$$

$$\bar{R}_C = \frac{\underline{V}_{CC} - \underline{V}_{OH}}{I_{CCH}}$$

$$I_{CCH} = I'_1 + I_{CBO} - \bar{I}_{OH}, = r\,(I_{CBO} - \bar{I}_{OH})$$

ซึ่ง r = Safety factor (ใช้ค่าตั้งแต่ 1.1 ถึง 1.5)

$$\therefore \bar{R}_C = \frac{\underline{V}_{CC} - \underline{V}_{OH}}{r(I_{CBO} - \bar{I}_{OH})} \qquad \ldots\ldots\ldots(๕.๑)$$

Boundary of R_1 and R_2

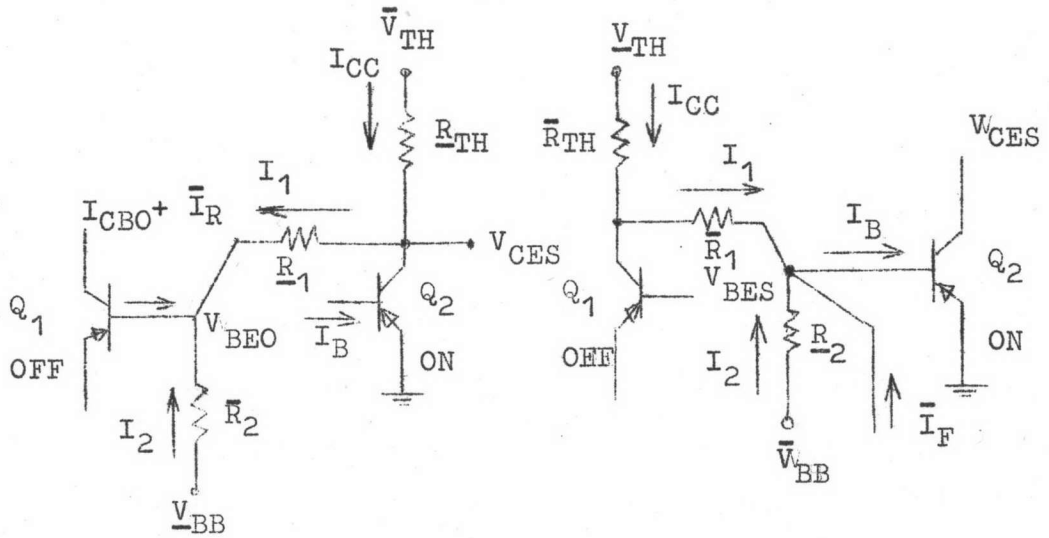
หลังจากเลือก V_{CC}, V_{BB} และ R_C แล้วสามารถหาขอบเขตของ R_1 และ R_2 สำหรับวงจร bias ได้ ซึ่งจากรูปที่ ๕.๑ สามารถ Simplify ได้ดังรูปที่ ๕.๒

โดยที่ $\bar{V}_{TH} = \bar{V}_{CC} + \underline{R}_C\bar{I}_{OL}$

$\underline{R}_{TH} = \underline{R}_C$

และ $\underline{V}_{TH} = \underline{V}_{CC} + \bar{R}_C(\bar{I}_{OH} - I_{CBO})$

$\bar{R}_{TH} = \bar{R}_C$



ก) "OFF" Bias Circuit ข) "ON" Bias Circuit

รูปที่ ๕.๒ Simplifly Circuit สำหรับรูปที่ ๕.๑

จากรูปที่ ๕.๒ ก) "OFF" equation

$$I_1 + I_2 + I_{CBO} + \bar{I}_R = 0$$

$$\therefore \frac{\bar{V}_{CES} - V_{BEO}}{R_1} + \frac{V_{BB} - V_{BEO}}{\bar{R}_2} = -(I_{CBO} + \bar{I}_R)$$

$$\therefore \bar{R}_2 = \frac{(V_{BB} - V_{BEO})}{\frac{-(\bar{V}_{CES} - V_{BEO})}{R_1} - (I_{CBO} + \bar{I}_R)} \qquad \text{.....(๕.๒)}$$

จากรูปที่ ๕.๒ ข) "ON" equation

$$I_1 + I_2 + \bar{I}_F = I_B$$

$$\frac{V_{TH} - \bar{V}_{BES}}{\bar{R}_1 + \bar{R}_{TH}} + \frac{\bar{V}_{BB} - \bar{V}_{BES}}{R_2} + \bar{I}_F = \frac{\bar{I}_C}{h_{FE}}$$

ซึ่ง $\bar{I}_C$ หาได้จากรูปที่ ๕.๒ ก) คือ

$$\bar{I}_C = \bar{I}_{CC} - I_1$$

$$= \frac{\bar{V}_{TH} - V_{CES}}{R_{TH}} - \frac{V_{CES} - V_{BEO}}{\bar{R}_1}$$

$\therefore$ จาก "ON" equation จะได้ว่า

$$\frac{V_{CC} + \bar{R}_C(\bar{I}_{OH} - I_{CBO}) - \bar{V}_{BES}}{\bar{R}_1 + \bar{R}_C} + \frac{\bar{V}_{BB} - \bar{V}_{BES}}{R_2} + \bar{I}_F$$

$$= \frac{1}{h_{FE}} \left[\frac{\bar{V}_{CC} + R_C\bar{I}_{OL} - V_{CES}}{R_C} - \frac{V_{CES} - V_{BEO}}{\bar{R}_1} \right]$$

$$\therefore R_2 = \frac{(\bar{V}_{BB} - \bar{V}_{BES})}{\frac{1}{h_{FE}}\left[\frac{\bar{V}_{CC}+R_C\bar{I}_{OL}-V_{CES}}{R_C} - \frac{V_{CES}-V_{BEO}}{\bar{R}_1} \right] - \left[\frac{V_{CC}+\bar{R}_C(\bar{I}_{OH}-I_{CBO})-\bar{V}_{BES}}{\bar{R}_1 + \bar{R}_C} \right] - \bar{I}_F}$$

.....(๕.๓)

สำหรับ Q_1 "OFF" เมื่อ load แล้ว V_C ต้องไม่ต่ำกว่า $\underline{V}_{OH}$ ดังนั้น

จากรูปที่ ๔.๒ ข)

$$\underline{R}_1 = \frac{\underline{V}_{OH} - \underline{V}_{BES}}{\bar{I}_1}$$

ซึ่ง

$$\bar{I}_1 = I_{CC} = \frac{\underline{V}_{TH} - \underline{V}_{OH}}{\bar{R}_{TH}} = \frac{\underline{V}_{CC} + \bar{R}_C(\bar{I}_{OH} - I_{CBO}) - \underline{V}_{OH}}{\bar{R}_C}$$

$$\therefore \quad \underline{R}_1 = \frac{(\underline{V}_{OH} - \underline{V}_{BES})\,\bar{R}_C}{\underline{V}_{CC} + \bar{R}_C(\bar{I}_{OH} - I_{CBO}) - \underline{V}_{OH}} \qquad \ldots\ldots(๔.๔)$$

Boundary of Triggerring Circuit

สำหรับค่า R และ C ที่ใช้ใน Triggering circuit สามารถเลือกได้โดยใช้สมการต่อไปนี้ [1]

$$\therefore \quad 0.8\,\underline{C}\,\underline{V}_P \geqslant K\left(\left|\bar{I}_B\right| \cdot \bar{t}_r + \bar{Q}_{Sb}\right) \qquad \ldots\ldots\ldots(๔.๕)$$

และ $\quad 3\,\bar{R}\,\bar{C} < \frac{T}{2}$ for $\bar{R} \gg \underline{R}_{TH}$ $\qquad \ldots\ldots\ldots(๔.๖)$

ซึ่ง $\underline{V}_P$ = minimum peak voltage of clock pulse

$\left|\bar{I}_B\right|$ = maximum magnitude of base current for saturation transistor

$\bar{t}_r$ = maximum risetime of clock pulse

$\bar{Q}_{Sb}$ = maximum stored base charge of transistor

---

[1] Texas Instruments, Inc., Staff, Transistor Circuit Design (Tokyo, McGraw - Hill Kogakusha, Ltd. 1963) p. 376

T = minimum period of clock pulse

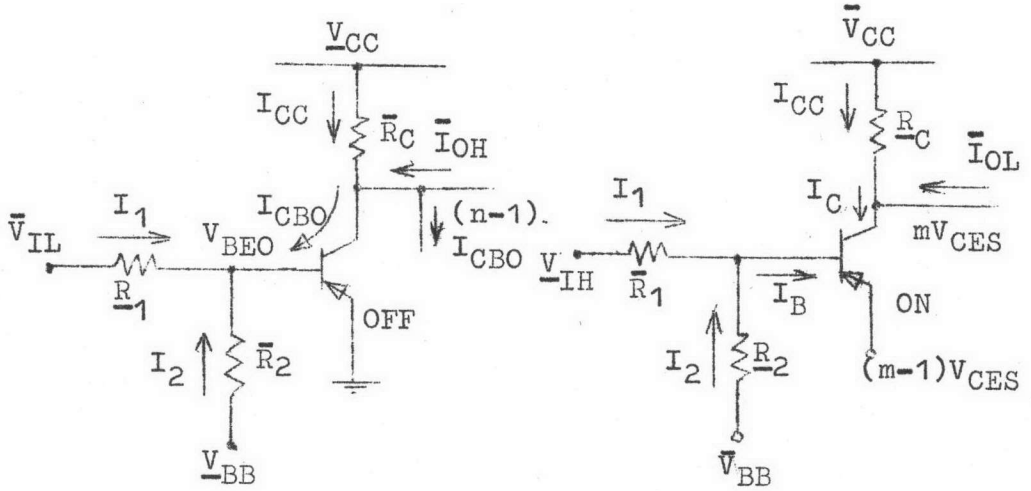
K = safety factor (used 1.5 to 2.0)

๔.๖.๓ Transistor Logic Circuit

ในการหา worst case condition สำหรับวงจร NAND, NOR และ Inverter ของ transistor logic circuit จะมีหลักการเหมือนกันทุกประการจะแตกต่างกันเฉพาะจำนวน fan in ของวงจรเท่านั้น ซึ่งจากรูปที่ ๔.๒ สามารถเขียน equivalent circuit ได้ดังรูปที่ ๔.๓ โดยที่

n เป็นจำนวน fan in ของ NAND gate ซึ่งเป็นหนึ่งสำหรับวงจร NOR และ Inverter

m เป็นจำนวน fan in ของNOR gate ซึ่งเป็นหนึ่งสำหรับวงจร NAND และ Inverter



ก) "OFF" Bias Circuit ข) "ON" Bias Circuit

รูปที่ ๔.๓ Equivalent Circuit of TL Circuits for Design

Boundary of R_C

จากรูปที่ ๔.๓ ก) $\underline{V}_{CC} - \bar{R}_C I_{CC} = \underline{V}_{OH}$

ซึ่ง $I_{CC} = nI_{CBO} - \bar{I}_{OH}$

$$\therefore \bar{R}_C = \frac{\underline{V}_{CC} - \underline{V}_{OH}}{nI_{CBO} - \bar{I}_{OH}} \qquad \text{.....(๔.๗)}$$

Boundary of R_1 and R_2

จากรูปที่ ๔.๓ ก) "OFF" equation

$$I_1 + I_2 + I_{CBO} = 0$$

$$\frac{\bar{V}_{IL} - V_{BEO}}{\underline{R}_1} + \frac{\underline{V}_{BB} - V_{BEO}}{\bar{R}_2} + I_{CBO} = 0$$

$$\therefore \bar{R}_2 = \frac{\underline{V}_{BB} - V_{BEO}}{-\left[\frac{\bar{V}_{IL} - V_{BEO}}{\underline{R}_1}\right] - I_{CBO}} \qquad \text{.....(๔.๘)}$$

จากรูปที่ ๔.๓ ข) "ON" equation

$$I_1 + I_2 = I_B$$

$$= \frac{\bar{I}_C}{\underline{h}_{FE}}$$

$$= \frac{I_{CC} + \bar{I}_{OL}}{\underline{h}_{FE}}$$

$$\therefore \frac{\underline{V}_{IH} - \left[\bar{V}_{BES} + (m-1)\bar{V}_{CES}\right]}{\bar{R}_1} + \frac{\bar{V}_{BB} - \left[\bar{V}_{BES} + (m-1)\bar{V}_{CES}\right]}{\underline{R}_2}$$

$$= \frac{1}{\underline{h}_{FE}}\left[\frac{\bar{V}_{CC} - m\underline{V}_{CES}}{\underline{R}_C} + \bar{I}_{OL}\right]$$

$$\text{หรือ } \underline{R}_2 = \frac{\bar{V}_{BB} - \left[\bar{V}_{BES} + (m-1)\bar{V}_{CES}\right]}{\frac{\underline{V}_{IH} - \left[\bar{V}_{BES} + (m-1)\bar{V}_{CES}\right]}{\bar{R}_1} + \frac{1}{\underline{h}_{FE}}\left[\frac{\bar{V}_{CC} - m\underline{V}_{CES}}{\underline{R}_C} + \bar{I}_{OL}\right]} \quad \ldots\ldots(๔.๙)$$

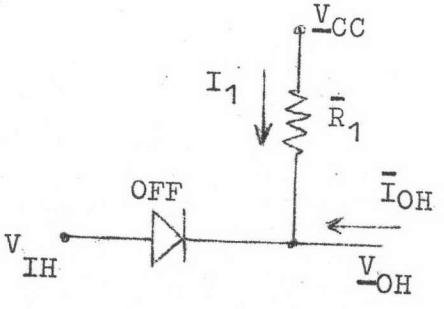
การหาค่าสูงสุดของ I_{IH} ที่ input voltage V_{IH} ที่กำหนด ดังนั้น จะได้ว่า

$$\frac{\underline{V}_{IH} - \left[\underline{V}_{BES} + (m-1)\underline{V}_{CES}\right]}{\underline{R}_1} = \bar{I}_{IH}$$

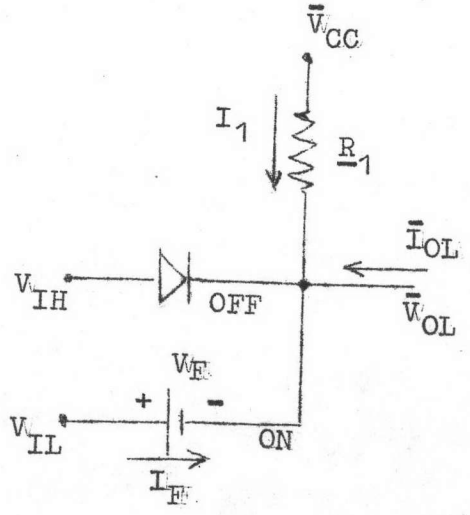
นั่นคือ $$\bar{I}_{IH} = \frac{\underline{V}_{IH} - \left[\underline{V}_{BES} + (m-1)\underline{V}_{CES}\right]}{\underline{R}_1} \quad \ldots\ldots\ldots(๔.๑๐)$$

๔.๒.๔ Diode Logic Circuits

สำหรับวงจร DL circuits มี component ที่จะต้องหาค่าเพียงตัวเดียว ซึ่งจากรูปที่ ๔.๓ ก) และ ๔.๓ ข) สามารถเขียน equivalent circuit หา worst case condition ได้ดังรูปที่ ๔.๔ และ ๔.๕ ตามลำดับ โดยที่ n หมายถึงจำนวน fan in ของวงจร

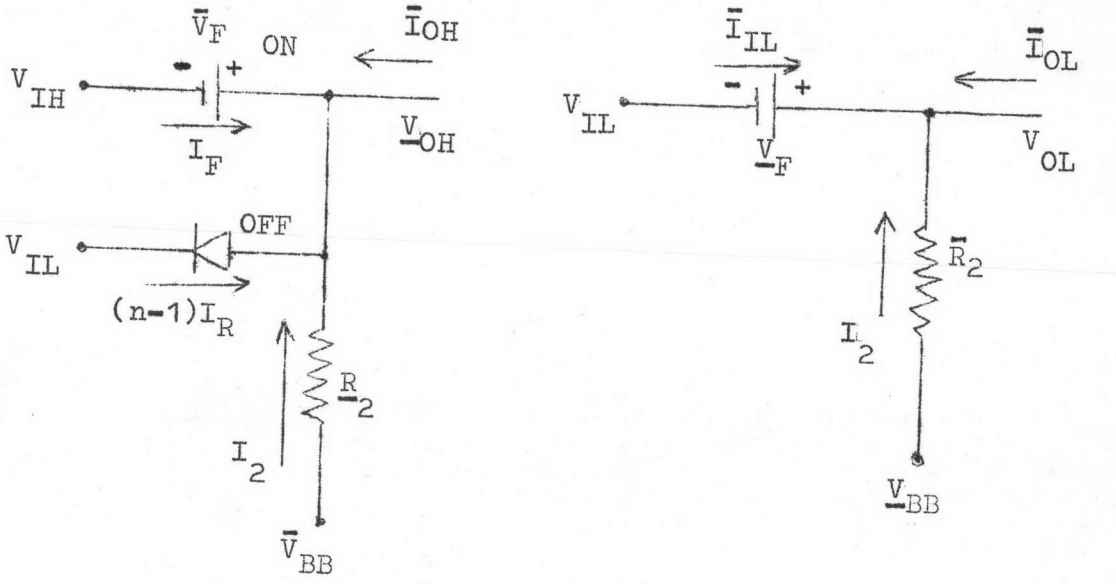


ก) High Output Level



ข) Low Output Level

รูปที่ ๔.๔ Equivalent Circuit of DL OR Circuit for Design



ก) High Output Level ข) Low Output Level

รูปที่ ๔.๕ Equivalent Circuit of DL AND Circuit for Design

เนื่องจาก Diode logic circuit เป็นวงจรประเภท passive logic ซึ่งไม่สามารถ improve noise margin ได้ กระแสและแรงดันทาง input และ outputไม่แยกกันโดยเด็ดขาดเหมือนวงจรทรานซิสเตอร์ และมีปัญหายุ่งยากในการออกแบบมาก ถ้าใช้มากกว่าหนึ่งระดับขึ้นไป ทั้งนี้เพราะระดับแรงดันออก (output voltage)จะมีความแตกต่างกันน้อยลงเรื่อย ๆ จนกระทั่งไม่สามารถใช้แทนระดับ logicได้ ดังนั้นเพื่อตัดปัญหาในการออกแบบ จะใช้วงจร DL Circuit เพียงระดับเดียวเท่านั้น คือทาง input จะถูก drive ด้วยวงจร TL หรือ DTL Circuit ซึ่งมี $\underline{V}_{OH}$ สูงกว่าปกติซึ่งเพียงพอที่ทำให้ $\underline{V}_{OH}$ ของวงจร DL Circuit อยู่ในระดับปกติได้ ซึ่ง

$$\left.\begin{aligned} \underline{V}_{IH} &= \underline{V}_{OH} \\ \bar{V}_{IL} &= \bar{V}_{OL} + \bar{V}_F \end{aligned}\right\} \text{สำหรับวงจร OR gate} \quad \ldots\ldots(๔.๑๑)$$

และ
$$\left.\begin{aligned} \underline{V}_{IH} &= \underline{V}_{OH} - \bar{V}_F \\ \bar{V}_{IL} &= \bar{V}_{OL} - \underline{V}_F \end{aligned}\right\} \text{สำหรับวงจร AND gate} \quad \ldots(๔.๑๒)$$

Boundary of R_1 for OR circuit

จากรูป ๔.๔ ก)
$$\underline{V}_{OH} = \underline{V}_{CC} - I_1\bar{R}_1$$

ซึ่ง
$$I_1 = -\bar{I}_{OH}$$

$\therefore$
$$\underline{V}_{OH} = \underline{V}_{CC} + \bar{I}_{OH}R_1$$

หรือ
$$\bar{R}_1 = \frac{\underline{V}_{OH} - \underline{V}_{CC}}{\bar{I}_{OH}} \quad \ldots\ldots\ldots(๔.๑๓)$$

จากรูป ๔.๔ ข)
$$\bar{I}_{IL} = I_F$$

ซึ่ง
$$I_F = -(\bar{I}_{OL} + I_1)$$

$\therefore$
$$-\bar{I}_{IL} = \frac{\bar{I}_{OL} + \bar{V}_{CC} + \underline{V}_F - \underline{V}_{IL}}{\underline{R}_1}$$

หรือ
$$\underline{R}_1 = -\frac{\bar{V}_{CC} + \underline{V}_F - \underline{V}_{IL}}{\bar{I}_{IL} + \bar{I}_{OL}} \quad \ldots\ldots\ldots(๔.๑๔)$$

Boundary of R_2 for AND circuit

จากรูป ๕.๔ ก)

$$\bar{I}_{IH} = I_F$$

ซึ่ง $$I_F = -\left[(n-1)I_R + \bar{I}_{OH} + I_2\right]$$

$$\therefore -\bar{I}_{IH} = (n-1)I_R + \bar{I}_{OH} + \frac{\bar{V}_{BB} - \underline{V}_{OH}}{\underline{R}_2}$$

หรือ $$\underline{R}_2 = -\frac{\bar{V}_{BB} - \underline{V}_{OH}}{(n-1)I_R + \bar{I}_{IH} + \bar{I}_{OH}} \qquad \text{.....(๕.๑๕)}$$

จากรูป ๕.๔ ข)

$$\underline{V}_{BB} - I_2\bar{R}_2 = \bar{V}_{OL}$$

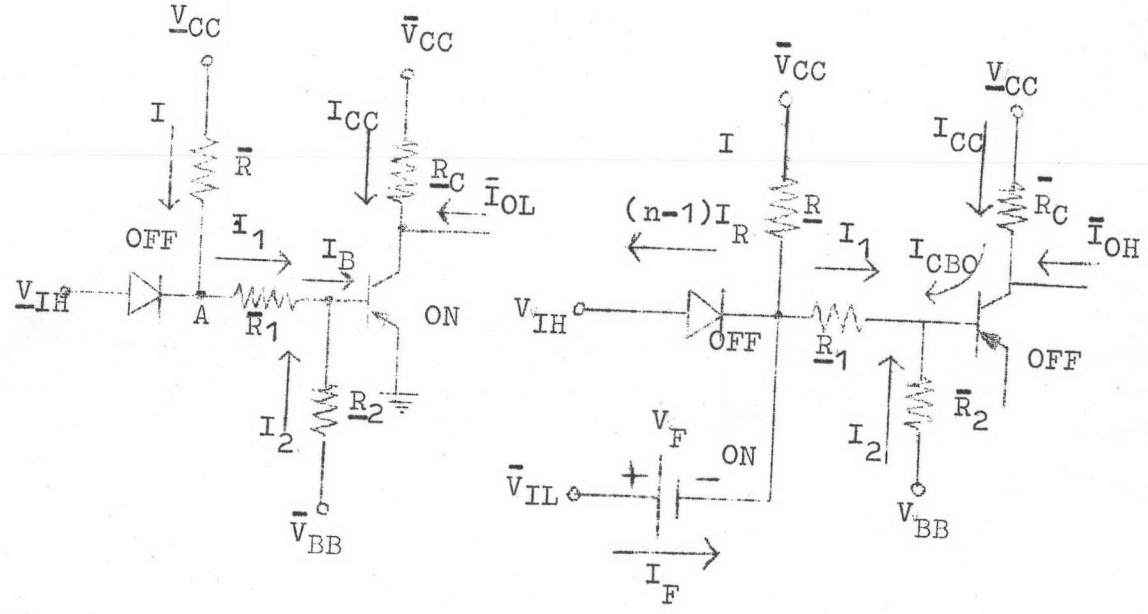
ซึ่ง $$I_2 = -\bar{I}_{OL} - \bar{I}_{IL}$$

$$\therefore \underline{V}_{BB} + (\bar{I}_{OL} + \bar{I}_{IL})\bar{R}_2 = \bar{V}_{OL}$$

หรือ $$\bar{R}_2 = \frac{\bar{V}_{OL} - \underline{V}_{BB}}{\bar{I}_{IL} + \bar{I}_{OL}} \qquad \text{.....(๕.๑๖)}$$

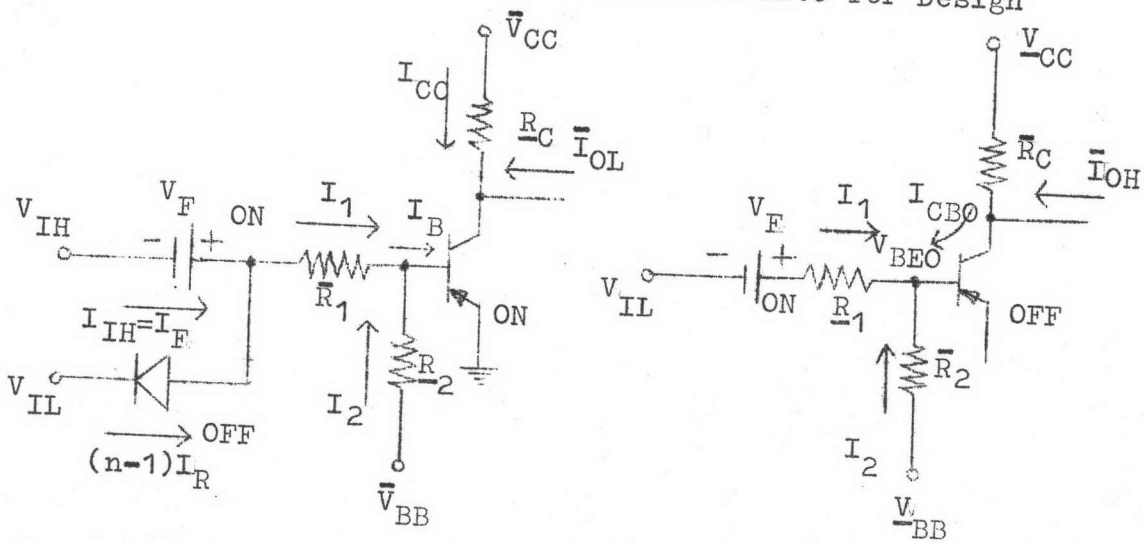
๕.๒.๕ Diode Transistor Logic Circuit

จากวงจรรูปที่ ๕.๔ ก) และ ข) สามารถเขียน equivalent circuit สำหรับหา worst case condition ได้ดังรูปที่ ๕.๖ และ ๕.๗ ตามลำดับ ซึ่ง n หมายถึงจำนวน fan in ของวงจร



ก) "ON" Bias Circuit ข) "OFF" Bias Circuit

รูปที่ ๔.๖ Equivalent Circuit of DTL NOR Gate for Design



ก) "ON" Bias Circuit ข) "OFF" Bias Circuit

รูปที่ ๔.๗ Equivalent Circuit of DTL NAND Gate for Design

Boundary of R and R_C for NOR circuit

ขอบเขตของการเลือกค่า R จะมีลักษณะเช่นเดียวกับวงจร DL OR circuit ซึ่งจากสมการ (๔.๑๓) และสมการ (๔.๑๔) แทน $\underline{V}_{OH} = \underline{V}_{IH}$, $\bar{I}_{OH} = -\bar{I}_1$ และ $\bar{I}_{OL} = 0$ จะได้ว่า

$$\bar{R} = \frac{\underline{V}_{IH} - \underline{V}_{CC}}{\bar{I}_1} \qquad \text{.....(๔.๑๗)}$$

และ $$\underline{R} = -\frac{\bar{V}_{CC} + \bar{V}_F - \underline{V}_{IL}}{\bar{I}_{IL} - (n-1)I_R} \qquad \text{.....(๔.๑๘)}$$

ส่วนค่า R_C จะมีขอบเขตเช่นเดียวกันกับวงจร TL circuit ซึ่งจากสมการ (๔.๗) แทน $m = n = 1$ และ $\bar{I}_{IH} = \bar{I}_1$ จะได้ว่า

$$\bar{R}_C = \frac{\underline{V}_{CC} - \underline{V}_{OH}}{I_{CBO} - \bar{I}_{OH}} \qquad \text{.....(๔.๑๙)}$$

Boundary of R_1 and R_2 for NOR circuit

จากรูป ๔.๑ ก) "ON" equation

$$I_1 + I_2 = I_B$$

$$\therefore \frac{\underline{V}_{CC} - \bar{V}_{CES}}{\bar{R}_1 + \bar{R}} + \frac{\bar{V}_{BB} - \bar{V}_{CES}}{\underline{R}_2} = \frac{I_{CC} + \bar{I}_{OL}}{\underline{h}_{FE}}$$

$$= \frac{1}{\underline{h}_{FE}}\left[\frac{\bar{V}_{CC} - \underline{V}_{CES}}{\underline{R}_C} + \bar{I}_{OL}\right]$$

$$\therefore \underline{R}_2 = \frac{\bar{V}_{BB} - \bar{V}_{CES}}{-\left[\frac{\underline{V}_{CC} - \bar{V}_{CES}}{\bar{R}_1 + \bar{R}}\right] + \frac{1}{\underline{h}_{FE}}\left[\frac{\bar{V}_{CC} - \underline{V}_{CES}}{\underline{R}_C} + \bar{I}_{OL}\right]} \qquad \text{.....(๔.๒๐)}$$

จากรูป ๕.๖ ข) "OFF" equation

$$I_1 + I_2 + I_{CBO} = 0$$

$$\therefore \frac{(\bar{V}_{IL} - \bar{V}_F) - V_{BEO}}{\underline{R}_1} + \frac{\underline{V}_{BB} - V_{BEO}}{\bar{R}_2} + I_{CBO} = 0$$

$$\therefore \bar{R}_2 = \frac{\underline{V}_{BB} - V_{BEO}}{-\left[\frac{\bar{V}_{IL} - \bar{V}_F - V_{BEO}}{\underline{R}_1} + I_{CBO}\right]} \qquad \text{.....(๕.๒๑)}$$

Boundary of R_C for NAND circuit

ขอบเขตของ R_C จะมีลักษณะเช่นเดียวกับวงจร TL circuit ซึ่งจากสมการที่ (๕.๗) แทน $m = n = 1$ จะได้ว่า

$$\bar{R}_C = \frac{\underline{V}_{CC} - \underline{V}_{OH}}{I_{CBO} - \bar{I}_{OH}} \qquad \text{.....(๕.๒๒)}$$

Boundary of R_1 and R_2 for NAND circuit

จากรูปที่ ๕.๗ ก) "ON" equation

$$I_1 + I_2 = I_B$$

$$\therefore \frac{\underline{V}_{IH} + \bar{V}_F - \bar{V}_{BES}}{\bar{R}_1} + \frac{\bar{V}_{BB} - \bar{V}_{CES}}{\underline{R}_2} = \frac{1}{\underline{h}_{FE}}\left[\frac{\bar{V}_{CC} - \underline{V}_{CES}}{\underline{R}_C} + \bar{I}_{OL}\right]$$

$$\therefore \underline{R}_2 = \frac{\bar{V}_{BB} - \bar{V}_{BES}}{-\left[\frac{\underline{V}_{IH} + \bar{V}_F - \bar{V}_{BES}}{\bar{R}_1}\right] + \frac{1}{\underline{h}_{FE}}\left[\frac{\bar{V}_{CC} - \underline{V}_{CES}}{\underline{R}_C} + \bar{I}_{OL}\right]} \qquad \text{.....(๕.๒๓)}$$

กระแสทาง input

$$I_F = \bar{I}_{IH}$$

$$I_1 - (n-1)I_R = \bar{I}_{IH}$$

$$\therefore \frac{\underline{V}_{IH} + \underline{V}_F - \underline{V}_{BES}}{\underline{R}_1} = \bar{I}_{IH} + (n-1)I_R$$

หรือ $$\bar{I}_{IH} = \frac{\underline{V}_{IH} + \underline{V}_F - \underline{V}_{BES}}{\underline{R}_1} - (n-1)I_R \quad \ldots(๕.๒๔)$$

จากรูปที่ ๕.๗ ข) "CUT" equation

$$I_1 + I_2 + I_{CBO} = 0$$

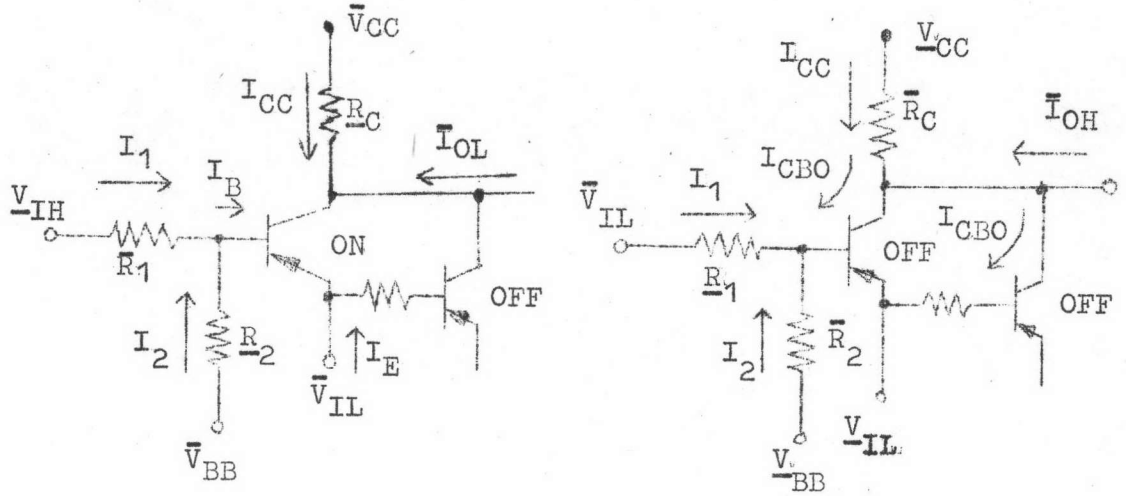
$$\therefore \frac{\bar{V}_{IL} + \underline{V}_F - V_{BEO}}{\underline{R}_1} + \frac{\underline{V}_{BB} - V_{BEO}}{\bar{R}_2} + I_{CBO} = 0$$

หรือ $$\bar{R}_2 = \frac{\underline{V}_{BB} - V_{BEO}}{-\left[\frac{\bar{V}_{IL} + \underline{V}_F - V_{BEO}}{\underline{R}_1} + I_{CBO}\right]} \quad \ldots\ldots\ldots(๕.๒๕)$$

๕.๒.๖ Exclusive - OR Circuit

วงจร Exclusive - OR ดังรูปที่ ๕.๕ จะมีขอบเขตการใช้งานที่จำกัดมาก เช่นเดียวกับ DL circuit ทั้งนี้เพราะมีกระแสทาง input และ output ร่วมกัน ดังนั้น load current จะถูกจำกัดด้วย input current และอีกประการหนึ่งแรงดันที่ใช้แทนระดับ logic ทั้งสองเปลี่ยนแปลงได้ไม่มากนัก เพราะในขณะที่วงจรมี input อยู่ที่ระดับเดียวกัน ถ้าค่าสูงสุดและต่ำสุดแตกต่างกันมากเกินไปจะทำให้ทรานซิสเตอร์ทั้งสองตัวไม่อยู่ในสภาพ "OFF" ผลทำให้แรงดัน output ที่ระดับ high ต่ำลง วงจร Exclusive - OR แบบนี้ไม่เหมาะที่จะใช้ประกอบวงจรโดยตรงเพราะเหตุดังที่กล่าวมา ดังนั้นในการใช้งานจริง ๆ จะต้องมีวงจร inverter driver ต่อเข้ากับ input ทั้งสองของวงจรด้วยเสมอ

จากวงจรรูปที่ ๔.๕ สามารถเขียน Equivalent circuit สำหรับหา worst-case condition ได้ดังรูปที่ ๔.๘ ซึ่งสมมุติให้ $(\bar{V}_{IH} - \underline{V}_{IH}) = (\bar{V}_{IL} - \underline{V}_{IL})$ ซึ่งมีค่าน้อยกว่า $(\underline{V}_{IH} - \bar{V}_{IL})$ มาก



ก) "ON" Bias circuit ข) "OFF" Bias circuit

รูปที่ ๔.๘ Equivalent Circuit of Exculsive-OR Gate for Design

Boundary of R_C

จากรูปที่ ๔.๘ ข)

$$I_{CC}\bar{R}_C = \underline{V}_{CC} - \underline{V}_{OH}$$

$$\therefore \bar{R}_C = \frac{\underline{V}_{CC} - \underline{V}_{OH}}{2I_{CBO} - \bar{I}_{OH}} \qquad \ldots\ldots\ldots (๔.๒๖)$$

การหาค่า $\bar{I}_{IL}$ จากรูป ๔.๘ ก) จะได้ว่า

$$\bar{I}_{IL} = I_E$$

ซึ่ง $$\bar{I}_{IL} = (1 + \frac{1}{\underline{h}_{EE}}) \left[\frac{\bar{V}_{CC} - \underline{V}_{CES} - \underline{V}_{IL}}{\underline{R}_C} + \bar{I}_{OL} \right] \ldots\ldots (๔.๒๗)$$

Boundary of R_1 and R_2

จากรูป ๔.๘ ก) "ON" equation

$$I_1 + I_2 = I_B$$

$$\frac{\underline{V}_{IH} - \bar{V}_{BES} - \bar{V}_{IL}}{\bar{R}_1} + \frac{\bar{V}_{BB} - \bar{V}_{BES} - \bar{V}_{IL}}{\underline{R}_2} = \frac{1}{\underline{h}_{FE}}\left[\frac{\bar{V}_{CC} - \underline{V}_{CES} - \underline{V}_{IL}}{\underline{R}_C} + \bar{I}_{OL}\right]$$

$$\therefore \underline{R}_2 = \frac{\bar{V}_{BB} - \bar{V}_{BES} - \bar{V}_{IL}}{-\left[\frac{\underline{V}_{IH} - \bar{V}_{BES} - \bar{V}_{IL}}{\bar{R}_1}\right] + \frac{1}{\underline{h}_{FE}}\left[\frac{\bar{V}_{CC} + \underline{V}_{CES} - \underline{V}_{IL}}{\underline{R}_C} + \bar{I}_{OL}\right]} \quad \ldots\ldots(๔.๒๘)$$

จากรูป ๔.๘ ข) "OFF" equation

$$I_1 + I_2 + I_{CBO} = 0$$

$$\frac{\bar{V}_{IL} - V_{BEO} - \underline{V}_{IL}}{\underline{R}_1} + \frac{\underline{V}_{BB} - V_{BEO} - \underline{V}_{IL}}{\bar{R}_2} + I_{CBO} = 0$$

$$\therefore \bar{R}_2 = \frac{\underline{V}_{BB} - V_{BEO} - \underline{V}_{IL}}{-\left[\frac{\bar{V}_{IL} - V_{BEO} - \underline{V}_{IL}}{\underline{R}_1} + I_{CBO}\right]} \quad \ldots\ldots\ldots(๔.๒๙)$$

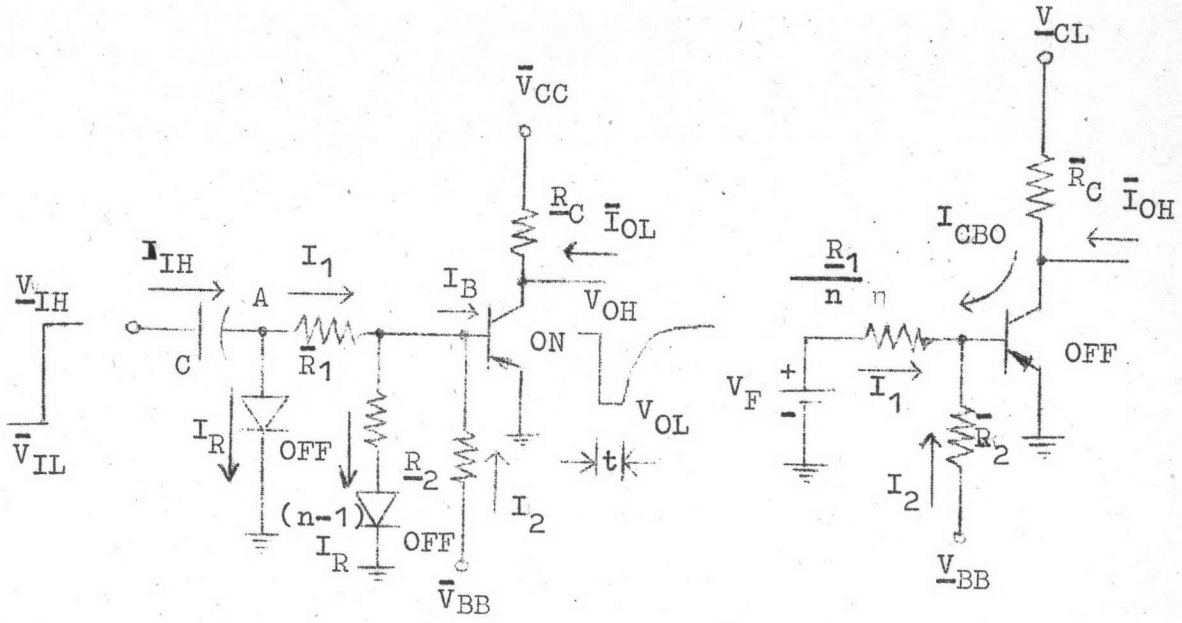
กระแสทาง input ขณะได้รับ V_{IH}

$$\bar{I}_{IH} = \frac{\underline{V}_{IH} - \underline{V}_{BES} - \underline{V}_{IL}}{\underline{R}_1} \quad \ldots\ldots\ldots(๔.๓๐)$$

๔.๒.๗ Pulse - OR Circuit

จากรูปที่ ๔.๖ สามารถเขียน equivalent circuit เพื่อหา worst case condition ได้ดังรูปที่ ๔.๙ โดยที่ n หมายถึงจำนวน fan in ของวงจร และเวลาที่ทรานซิสเตอร์ "ON" (t) ไม่เกิน 0.35 เท่าของค่า time constant ของวงจรทาง

input ซึ่งเป็นจุดที่กระแสและแรงดันที่จุด A ลดลง 0.7 เท่าจากค่าสูงสุด



ก) "ON" Bias circuit ข) "OFF" Bias circuit

รูปที่ ๕.๙ Equivalent Circuit of Pulse-OR Gate for Design

Boundary of R_C

ขอบเขตของ R_C จะมีลักษณะเช่นเดียวกับวงจร TL circuit ซึ่งจากสมการที่ (๕.๗) แทน m = n = 1

$$\bar{R}_C = \frac{\bar{V}_{CC} - \bar{V}_{OH}}{I_{CBO} - \bar{I}_{OH}} \qquad \text{.....(๕.๓๑)}$$

Boundary R_1 and R_2

จากรูปที่ ๔.๙ ก) "ON" equation

$$I_1 + I_2 = (n-1)I_R + I_B$$

$$\frac{0.7(\underline{V}_{IH} - \bar{V}_{IL}) - \bar{V}_{BES}}{\bar{R}_1} + \frac{\bar{V}_{BB} - \bar{V}_{BES}}{\underline{R}_2} = (n+1)I_R + \frac{1}{\underline{h}_{FE}}\left[\frac{\bar{V}_{CC} - \underline{V}_{CES}}{\underline{R}_C} + \bar{I}_{OL}\right]$$

$$\therefore \underline{R}_2 = \frac{\bar{V}_{BB} - \bar{V}_{BES}}{-\left[\frac{0.7(\underline{V}_{IH} - \bar{V}_{IL}) - \bar{V}_{BES}}{\bar{R}_1}\right] + \frac{1}{\underline{h}_{FE}}\left[\frac{\bar{V}_{CC} - \underline{V}_{CES}}{\underline{R}_C} + \bar{I}_{OL}\right] + (n+1)I_R} \quad \ldots\ldots(๔.๓๒)$$

จากรูปที่ ๔.๙ ข) "OFF" equation

$$I_1 + I_2 + I_{CBO} = 0$$

$$\frac{\underline{V}_F - V_{BEO}}{\frac{\underline{R}_1}{n}} + \frac{\underline{V}_{BB} - V_{BEO}}{\bar{R}_2} + I_{CBO} = 0$$

$$\therefore \bar{R}_2 = \frac{\underline{V}_{BB} - V_{BEO}}{-\left[\frac{n(\underline{V}_F - V_{BEO})}{\underline{R}_1} + I_{CBO}\right]} \quad \ldots\ldots\ldots(๔.๓๓)$$

Input current ขณะได้รับแรงดัน V_{IH} ที่กำหนด

$$\bar{I}_{IH} = \frac{\underline{V}_{IH} - \bar{V}_{IL} - \underline{V}_{BES}}{\underline{R}_1} \quad \ldots\ldots\ldots(๔.๓๔)$$

Boundary of C

โดยทำนองเดียวกับวงจร triggering ของ Flip-Flop ซึ่งสามารถประยุกต์จากสมการที่ (๔.๔) และ (๔.๖) ได้ดังนี้

$$0.8\,\underline{C}\,\left|\underline{V}_{IH} - \bar{V}_{IL}\right| \geqslant K\left(\left|\bar{I}_{IH}\right|\bar{t}_r + \bar{Q}_{SB}\right) \quad \text{.....(๕.๓๕)}$$

และ $$3\,\bar{R}_1\,\bar{C} < \frac{\bar{T}}{2} \quad \text{.....(๕.๓๖)}$$

โดยที่ถือว่า $\bar{R}_S \ll \underline{R}_1$ และ $\bar{R}_1 \ll \underline{R}_2 \,//\, R_r$ ซึ่ง R_S หมายถึง source resistance ที่ input V_{IL} และ R_r หมายถึง reverse resistance ของไดโอด

๕.๒.๘ Display Circuit

Worst case condition ของวงจร display circuit ดังรูปที่ ๔.๗ สามารถหาได้โดยใช้ equivalent circuit ดังรูปที่ ๕.๑๐

Boundary of R

การเลือกค่า R จะขึ้นอยู่กับกระแสที่ใช้จุดหลอดไฟให้สว่างซึ่งจะต้องอยู่ในขอบเขตดังนี้คือ

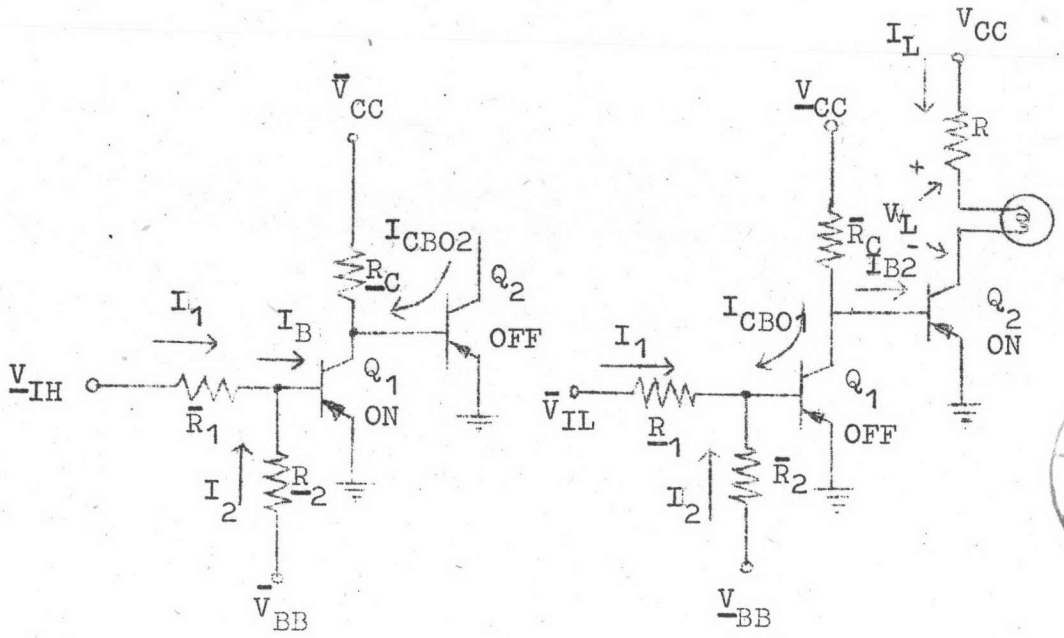
$$\bar{R} = \frac{\underline{V}_{CC} - V_L - \bar{V}_{CES2}}{\underline{I}_L} \quad \text{.....(๕.๓๗)}$$

$$\underline{R} = \frac{\bar{V}_{CC} - V_L - \underline{V}_{CES2}}{\bar{I}_L} \quad \text{.....(๕.๓๘)}$$

Boundary of R_C

R_C จะมีขอบเขตดังนี้

$$\bar{R}_C = \frac{\underline{V}_{CC} - \bar{V}_{BES2}}{\frac{1}{\underline{h}_{FE2}}\left[\frac{\bar{V}_{CC} - V_L - \underline{V}_{CES2}}{\underline{R}}\right] + I_{CBO1}} \quad \text{.....(๕.๓๙)}$$



ก) Lamp "OFF" Circuit ข) Lamp "ON" Circuit

รูปที่ ๕.๑๐ Equivalent Circuit of Display Circuit for Design Boundary of R_1 and R_2

ความสัมพันธ์ R_1 และ R_2 จะมีลักษณะเดียวกันกับวงจร TL circuits ซึ่งจากสมการที่ (๕.๘), (๕.๙) และ (๕.๑๐) แทน $m = n = 1$, $I_{CBO} = I_{CBO1}$ และ $\bar{I}_{OL} = I_{CBO2}$ จะได้ว่า

$$\bar{R}_2 = \frac{V_{BB} - V_{BEO}}{-\left[\frac{\bar{V}_{IL} - V_{BEO}}{R_1}\right] - I_{CBO1}} \qquad \text{.....(๕.๔๐)}$$

$$\underline{R}_2 = \frac{\bar{V}_{BB} - \bar{V}_{BES1}}{-\frac{\underline{V}_{IH} - \bar{V}_{BES1}}{\bar{R}_1} + \frac{1}{\underline{h}_{FE1}}\left[\frac{\bar{V}_{CC} - \underline{V}_{CES1}}{\underline{R}_C} + I_{CBO2}\right]} \quad \text{.....(๕.๔๑)}$$

$$\text{ซึ่ง } \bar{I}_{IH} = \frac{\underline{V}_{IH} - \underline{V}_{BES1}}{\underline{R}_1} \quad \text{.....(๕.๔๒)}$$

๕.๒.๙ Clock Generator Circuit

สำหรับวงจร clock ดังรูปที่ ๔.๘ ในส่วนที่เป็นวงจร flip-flop จะมีหลักการออกแบบเช่นเดียวกับหัวข้อที่ ๕.๒.๑ สำหรับในส่วนที่เป็น Astable circuit การเลือก collector resistor R_C จะมีหลักการพิจารณาเช่นเดียวกับวงจร flip-flopและค่า R จะเลือกโดยที่ทรานซิสเตอร์ "ON" ได้โดยที่ [2]

$$R_A < \underline{h}_{FE} R_C \quad \text{.....(๕.๔๓)}$$

และโดยการกำหนดคาบ (period) ของสัญญาณออกที่ต้องการ (T) สามารถหาค่า C โดยประมาณได้ดังนี้ [3]

$$C_A \approx \frac{T}{1.38R} \quad \text{.....(๕.๔๔)}$$

ส่วน R และ C ซึ่งใช้สำหรับ trig วงจร flip flop สามารถประมาณได้ดังนี้ [4]

$$C > \frac{Q_{sb}}{V_{CC}} \quad \text{.....(๕.๔๕)}$$

---

[2] Jacob Millman and Herbert Taub, Pulse, Digital and Switching Waveforms (Tokyo, McGraw-Hill Kogakusha, Ltd., 1965) p. 441

[3] J. Millman and H. Taub, Ibid., p. 440

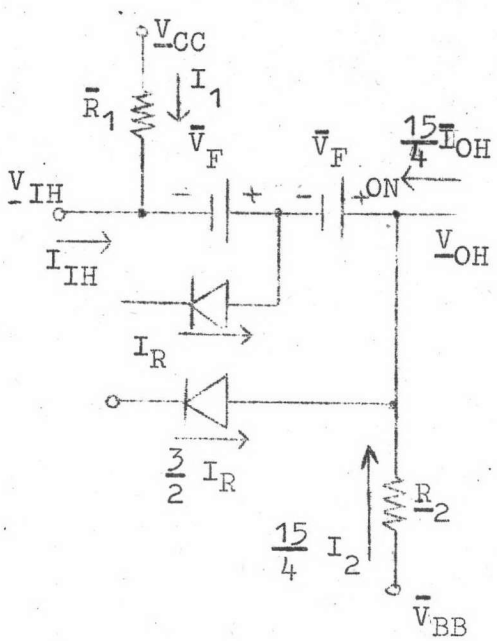
[4] Texas Instruments Inc., Staff, Ibid., p. 376

$$3\,RC < \frac{T}{2} \qquad \text{.....(๕.๔๖)}$$

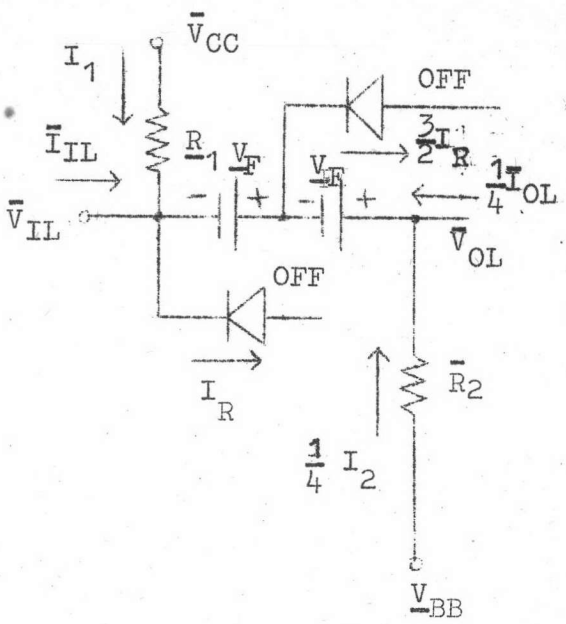
โดยที่ $R \gg R_C$ และ $C \ll C_A$

๕.๒.๑๐ Diode Matrix Decoder

วงจร Diode Decoder มีลักษณะดังรูปที่ ๕.๓๑ จะมีหลักการทำงานเช่นเดียวกับวงจร DL AND gate รูปที่ ๕.๓ ซึ่งต่อใช้งานแบบ two-level-logic สามารถ



ก) High Output Level



ข) Low Output Level

รูปที่ ๕.๑๑ Equivalent Circuit of Diode Matrix Decoder for Design

เขียน equivalent circuit เพื่อหา worst case condition ได้ดังรูปที่ ๕.๑๑ ซึ่งสามารถหาขอบเขตของ R_1 และ R_2 ได้ดังนี้

Logic Voltages

$$\left.\begin{aligned} V_{IH} &= V_{OH} - 2V_F \\ V_{IL} &= V_{OL} - 2V_F \end{aligned}\right\} \qquad \text{.....(๕.๔๗)}$$

Boundary of R_1 and R_2

$$\underline{R}_2 = \frac{\underline{V}_{OH} - \bar{V}_{BB}}{\frac{4}{15}\left[\frac{\underline{V}_{CC} - \underline{V}_{IH}}{\bar{R}_1} + \bar{I}_{IH} + \frac{5}{2} I_R\right] + \bar{I}_{OH}} \quad \text{.....(๔.๔๘)}$$

และ $$\bar{R}_2 = \frac{\bar{V}_{OL} - \underline{V}_{BB}}{4\left[\frac{\bar{V}_{CC} - \bar{V}_{IL}}{\underline{R}_1} + \bar{I}_{IL} - \frac{5}{2} I_R\right] + \bar{I}_{OL}} \quad \text{.....(๔.๔๙)}$$

๔.๓ Specification of Designs

๔.๓.๑ System Specification

วงจรที่ออกแบบเพื่อใช้ในการวิจัยนี้ จะมีขอบเขตของการทำงานทั่ว ๆ ไป ดังกำหนดในตารางที่ ๔.๑ ซึ่งเลือกใช้ทรานซิสเตอร์แบบ PNP สำหรับสร้างวงจร

๔.๓.๒ Circuit Parameters

อุปกรณ์อีเล็คโทรนิคส์ที่ใช้ในการสร้างเครื่องมือประกอบการวิจัยนี้ได้เลือกใช้ทรานซิสเตอร์ ไดโอด รีซีสเตอร์และแคปปาซิเตอร์ที่มีราคาถูกและหาได้ง่ายในท้องตลาด และเนื่องจากความเร็วของการทำงานไม่มากนัก ดังนั้นจึงเลือกทรานซิสเตอร์เบอร์ 2SB56 สำหรับวงจร flip flop และ gate ทั่วไป และทรานซิสเตอร์ 2N404 สำหรับวงจรที่เกี่ยวข้องกับ clock pulse เพราะต้องการ rise time น้อย ไดโอดใช้เบอร์ 1N34 รีซีสเตอร์แบบ carbon มีเปอร์เซนต์ความผิดพลาด $\pm$ 10 % และแคปปาซิเตอร์แบบ Mylar สำหรับหลอดไฟได้เลือกใช้หลอดเบอร์ 49 ซึ่งกินกระแสน้อยพอที่จะใช้ทรานซิสเตอร์ 2SB56 หรือ 2N404 drive ได้ จากคุณสมบัติของอุปกรณ์ต่าง ๆ ซึ่ง

แสดงไว้ในคู่มือของบริษัทผู้ผลิต สามารถสรุปใช้เป็นค่าสำหรับ worst case design ได้ดังตารางที่ ๔.๒

System Characteristics	Symbol	Limits			Units
		Min.	Typ.	Max.	
Power Supply					
Collector Supply	V_{CC}	-4.8	-5.0	-5.2	V
Base Supply	V_{BB}	+4.8	+5.0	+5.2	V
Ambient Temperater	T_A	10	25	40	°C
Logic Voltages					
Level "1"	V_L			-0.6	V
Level "0"	V_H	-3.0			V
D.C Noise Margin					
Level "1"	V_{ML}		-100		mV
Level "0"	V_{MH}		+100		mV
Clock Pulse					
Rise and Fall Time	t_r			5	μsec
Pulse Width	t_w			0.4	sec
Period	T	0.8	1.0	1.2	sec

ตารางที่ ๔.๑ Specification of Logic System

Characteristics	Symbols	Conditions	Worst-Case Values		Units
			Min.	Max.	
Transister 2SB56 and 2N404					
DC. Current Gain	h_{FE}	$I_C \leq -12mA$	30		
		$I_C > -12mA$	24		
Collecter-Emitter	V_{CES}	$I_C \leq -12mA$	-0.02	-0.15	V
Saturation Voltage		$I_C > -12mA$	-0.05	-0.2	V
Base-Emitter	V_{BES}	$I_C \leq -12mA$	-0.25	-0.35	V
Saturation Voltage		$I_C > -12mA$	-0.3	-0.4	V
Collecter Cutoff Current	I_{CBO}	$V_{CBO} = -5V$		-30	uA
Base-Emitter Cutoff	V_{BEO}		0.1		V
Voltage					
Store Base Charge	Q_{sb}			1400	pC
Transition Frequency	f_T	2N404	4.0		MHz
		2SB56	1.0		MHz
Output Capacitance	C_{ob}	2N404		20	pF
		2SB56		35	pF
Diode 1 N 34					
Reverse Current	I_R	$V_R = -5V$		-30	μA
Forward Voltage	V_F	$I_F < 2.5mA$	0.1	0.4	V

ตารางที่ ๔.๖ Circuit Parameters for Designs

Characteristics	Symbols	Conditions	Worst-Case Values		Units
			Min.	Max.	
Resistor					
Tolerance				± 10	%
Display Lamp # 49					
Voltage	V_L			2.0	V
Current	I_L		45	75	mA

ตารางที่ ๔.๒ Circuit Parameters for Designs (cont.)

๔.๓.๓ Circuit Specification

ในการเลือกค่าอุปกรณ์ในวงจรแต่ละวงจรจะแตกต่างกันไป ซึ่งจะขึ้นอยู่กับสภาพการใช้งานในส่วนต่าง ๆ ของระบบ สิ่งที่ใช้เป็นตัวกำหนดสำหรับ dc. worst case design ของวงจรคือ output voltage level จำนวน fan out หรือ load current และ noise margin สำหรับความเร็วจะถูกกำหนดด้วยขอบเขตการทำงานของทรานซิสเตอร์ที่ใช้งาน ในกรณีที่ต้องการให้มีความเร็วสูงขึ้นจะต้องใช้ speed up capacitor เข้าช่วย ซึ่งในการวิจัยนี้ไม่จำเป็นต้องมีเพราะความเร็วที่ใช้ต่ำมาก (ประมาณ 1 Hz)

โดยการสำรวจสภาพการใช้งานของวงจรแต่ละวงจรทั้งระบบ สามารถกำหนดขอบเขตที่จะใช้ในการเลือกค่าอุปกรณ์ได้ ดังตารางที่ ๔.๓ ซึ่งค่าของ output logic voltage $\underline{V}_{OH}$ และ $\bar{V}_{OL}$ หมายถึงระดับแรงดันต่ำสุดที่ high level และสูงสุดที่ low level ของวงจรในขณะที่มี load current สูงสุด $\bar{I}_{OH}$ และ $\bar{I}_{OL}$ ตามลำดับ และค่า load current จะเท่ากับหรือมากกว่าผลรวมของ $\bar{I}_{IH}$ และ $\bar{I}_{IL}$ ของวงจรที่เป็น load ทั้งหมดในขณะใช้งาน สำหรับค่า $\bar{I}_{IH}$ และ $\bar{I}_{IL}$ ของวงจรหนึ่ง ๆ หมายถึงค่า

input current สูงสุดของแต่ละ input ที่ระดับแรงดันของ input มีค่าเท่ากับ $\underline{V}_{OH}$ และ $\bar{V}_{OL}$ ของวงจรที่เป็น source ของวงจรนั้น ๆ กระแสที่มีเครื่องหมายเป็นลบจะหมายถึงกระแสที่ไหลออกจากวงจรที่กำลังพิจารณาอยู่

Circuits	Input Constants			Output Constants			
	Fan In	$\bar{I}_{IH}$ mA	$\bar{I}_{IL}$ mA	$\underline{V}_{OH}$ V	$\bar{V}_{OL}$ V	$\bar{I}_{OH}$ mA	$\bar{I}_{OL}$ mA
A) Memory Unit							
1. Memory Register;							
Flip-Flop	2	-0.03	0.03	-3.0	-0.15	1.0	-1.5
Display Circuit	1	-0.5	-	-	--	--	--
Write Gate	3	-0.3	-	-3.0	-0.15	--	-5.0
Read Gate Driver	1	-0.8	-	-	-0.2	--	-9.6
2. CP and STO Driver	1	-0.65	-	-3.0	-0.2	5.0	--
3. Data Input Driver	1	-0.5	-	-3.0	-0.15	1.0	-0.5
4. Data Output Gate/Driver	8	-	1.2	-3.0	-0.15	0.25	-0.1
B) Arithmetic Unit							
1. Memory Buffer Register;							
Flip Flop	3	-0.03	0.03	-3.0	-0.15	4.5	-
Display Circuit	1	-0.5	-	-	-	-	-
Data Input Control Gate	3	-0.5	-	-3.0	-0.15	-	-5.0
Clear Circuit	1	-0.8	-	-3.0	-0.15	3.0	-

ตารางที่ ๔.๓ Circuit Specification for Design

Circuits	Input Constants			Output Constants			
	Fan In	$\bar{I}_{IH}$ mA	$\bar{I}_{IL}$ mA	$\bar{V}_{OH}$ V	$\bar{V}_{OL}$ V	$\bar{I}_{OH}$ mA	$\bar{I}_{OL}$ mA
2. Complement Control Gate;							
Data Input Driver	1	-0.65		-3.0	-0.15	0.8	-4.0
Control Input Gate	1	-3.0	-	-3.0	-0.2	-	-32
Exclusive OR Gate	2	-0.65	-	-3.0	-0.35	1.0	-
3. Accumulator;							
Flip Flop for Numerical Data	3	-0.03	0.03	-3.0	-0.15	1.0	-
Flip Flop for Sign Bit	3	-0.03	0.03	-3.0	-0.15	2.0	-
Display Circuit	1	-0.5	-	-	-	-	-
Data Input Control Gate	3	-0.5	-	-3.0	-0.15	-	-5.0
Clear Circuit	1	-0.8	-	-3.0	-0.15	3.0	-
4. Parallel Adder Gate;							
Input Inverter/Driver	1	-0.8	-	-3.0	-0.15	1.0	-7.5
Exclusive OR Gate	2	-0.65	-	-3.0	-0.45	1.0	-4.0
DTL NAND Gate	2	-0.5	-	-3.5	-0.15	1.0	-
DL AND Gate	2	-1.0	-0.03	-3.0	-0.15	0.8	-
Inverter for $\overline{SUM}$	1	-0.5	-	-3.0	-0.15	0.6	-
5. Overflow Checker Circuit;							
TL NOR Gate No.2 and 3	3	-0.5	-	-3.0	-0.45	0.5	-
TL OR Gate No.5	2	-0.5	-	-3.0	-0.15	0.5	-
TL AND Gate No.3	3	-0.5	-	-3.0	-0.15	-	-5.0

ตารางที่ ๔.๓ Circuit Specification for Design (cont.)

Circuits	Input Constants			Output Constants			
	Fan In	$\bar{I}_{IH}$ mA	$\bar{I}_{IL}$ mA	$\bar{V}_{OH}$ V	$\bar{V}_{OL}$ V	$\bar{I}_{OH}$ mA	$\bar{I}_{OL}$ mA
6. Overflow Flip Flop Circuit	1	-0.03	0.03	-3.0	-0.15	1.0	-
C) Instruction Control Unit							
1. Program Register;							
Flip Flop	3	-0.03	0.03	-3.0	-0.15	4.0	-
Display Circuit	1	-0.5	-	-	-	-	-
Data Input Control Gate	2	-0.5	-	-3.0	-0.15	-	-5.0
Clear Circuit	1	-3.0	-	-3.0	0	3.0	-
2. Address Register;							
Flip Flop	3	-0.03	0.03	-3.0	-0.15	2.5	-
Display Circuit	1	-0.5	-	-	-	-	-
Clear Circuit	1	-3.0	-	-3.0	0	3.0	-
3. Function Decoder Circuit	8	-	25	-3.0	-0.35	1.5	-
4. Address Decoder Circuit	8	-	25	-3.0	-0.35	1.5	-
5. Data Transfer Gate;							
Gate No.1, 3 and 4							
Data Input	8	-2.0	-	-	-0.35	-	-25
Control Input	1	-5.0	-	-	-	-	-100

ตารางที่ ๘.๓ Circuit Specification for Design (cont.)

Circuits	Input Constants			Output Constants			
	Fan In	$\bar{I}_{IH}$ mA	$\bar{I}_{IL}$ mA	$\bar{V}_{OH}$ V	$\bar{V}_{OL}$ V	$\bar{I}_{OH}$ mA	$\bar{I}_{OL}$ mA
Gate No. 2							
Data Input	8	-1.2	-	-	-0.35	-	-12
Control Input	1	-3.5	-	-	-	-	-48
6. Indicator Circuit;							
Display Circuit	1	-0.5	-	-	-	-	-
Clock Driver (for blink)	1	-0.5	-	-3.0	-0.15	1.5	-
7. Instruction Control Gate;							
TL AND Gate No.1	3	-0.5	-	-3.0	-0.15	-	-5.0
No.2, 4 and 5	2	-0.5	-	-3.0	-0.15	3.0	-
TL OR Gate No.1, 2, 3 and 4	2	-0.5	-	-3.0	-0.15	4.0	-
TL NOR No. 1	2	-3.0	-	-3.0	-0.3	5.0	-
No. 4	3	-0.5	-	-3.0	-0.45	0.7	-
No. 5	4	-0.5	-	-3.0	-0.6	0.7	-
No. 6	3	-3.0	-	-3.0	-0.45	4.0	-

ตารางที่ ๔.๓ Circuit Specification For Design (cont.)

Circuits	Input Constants Output Constants						
	Fan In	$\bar{I}_{IH}$ mA	$\bar{I}_{IL}$ mA	$\underline{V}_{OH}$ V	$\bar{V}_{OL}$ V	$\bar{I}_{OH}$ mA	$\bar{I}_{OL}$ mA
D) Sequence Control Unit							
1. Clock Generator;							
Astable Circuit	-	-	-	-3.0	-0.15	0.5	-
Flip Flop	2	-0.5	-	-3.0	-0.15	1.0	-
Output Driver	1	-0.8	-	-	-	-	-5.0
2. Timing Control;							
Circuit							
Flip Flop	1	-	-	-3.0	-0.15	1.0	-
Pulse OR Gate	3	-0.7	-	-	-	-	-5
Clock Input Driver/	1	-0.8		-3.0	-0.3	1.0	-5.0
Inverter							
CP and $\overline{CP}$ Driver	1	-0.7	-	-3.0	-0.2	2.0	-
3. Sequence Control							
Circuit;							
Flip Flop	2	-0.03	0.03	-3.0	-0.15	6.0	-
DL AND Gate	2	-0.5	-	-3.0	-0.2	0.03	-0.03
TL NAND Gate	2	-0.65	-	-3.5	-0.15	0.5	-
"X" and "Y" Driver	1	-6.0	-	-3.5	-0.2	15	-
"$\bar{X}$" and "$\bar{Y}$" Driver	1	-6.0	-	-3.5	-0.2	15	-
"Z" Driver	2	-6.0	-	-3.0	-0.4	15	-

ตารางที่ ๔.๓ Circuit Specification for Design (cont.)

๔.๔ ตัวอย่างการคำนวณในการออกแบบวงจร

๔.๔.๑ RS - Flip Flop

พิจารณาตัวอย่างการคำนวณวงจร flip flop สำหรับ Memory Register ซึ่งจากค่า parameters ในตารางที่ ๔.๒ และขอบเขตในตารางที่ ๔.๓ นำมาหาค่าของอุปกรณ์ได้โดยการแทนค่าลงในสมการที่ (๔.๑) ถึงสมการที่ (๔.๖) ได้ดังนี้ โดยถือว่า R มีหน่วยเป็น KΩ กระแสมีหน่วยเป็น mA

จากสมการที่ (๔.๑) ใช้ r = 1.1

$$\bar{R}_C = \frac{-4.8 - (-3.0)}{1.1(-0.03 - 1.0)}$$

$$= 1.59 \text{ K} \qquad \text{.....(๔.๕๐)}$$

จากผลที่ได้ดังนั้นเลือกใช้ $R_C = 1.0 \text{ K} \pm 10\%$ .....(๔.๕๑)

จากค่า R_C ที่ได้สามารถหาขอบเขตของ R_1 และ R_2 ได้ดังนี้

จากสมการที่ (๔.๒) $\bar{R}_2 = \dfrac{(4.8 - 0.1)}{-\dfrac{[(-0.15) - (0.1)]}{\underline{R}_1} - (-0.03 - 0.03)}$

$$\bar{R}_2 = \frac{4.7}{\dfrac{0.25}{\underline{R}_1} + 0.06} \qquad \text{.....(๔.๕๒)}$$

จากสมการที่ (๔.๓)

$$\underline{R}_2 = \frac{5.2 - (-0.35)}{\dfrac{1}{30}\left[\dfrac{-5.2+0.9(-1.5)-(-0.02)}{0.9} - \dfrac{-0.02-0.1}{\bar{R}_1}\right] - \left[\dfrac{-4.8+1.1(1.0+0.03)+0.35}{\bar{R}_1 + 1.1}\right] - 0.03}$$

$$\therefore \quad \underline{R}_2 = \frac{5.55}{\dfrac{3.317}{\bar{R}_1 + 1.1} + \dfrac{0.004}{\bar{R}_1} - 0.272} \qquad \text{.....(๔.๕๓)}$$

จากสมการที่ (๕.๔)

$$\underline{R}_1 = \frac{[(-3.0) - (-0.35)]\ 1.1}{-4.8 + 1.1(1.0 + 0..3) - (-3.0)}$$

$$= 4.37 \text{ K}\Omega \quad \text{.....(๕.๕๔)}$$

จากสมการที่ (๕.๕๒) และ (๕.๕๓) นำไปเขียนกราฟระหว่าง R_1 กับ R_2 ได้ดังรูปที่ ๕.๑๒ เพื่อใช้ในการเลือกค่าที่ดีที่สุดสำหรับวงจร และค่าต่ำสุดของ R_1 ที่เลือกจะต้องไม่ต่ำกว่าสมการที่ (๕.๕๒) คือ 4.37 KΩ ซึ่งจากกราฟจะได้ค่าที่ดีที่สุดคือ

$$\left.\begin{aligned} R_1 &= 5.1 \text{ K}\Omega \pm 10\ \% \\ R_2 &= 33 \text{ K}\Omega \pm 10\ \% \end{aligned}\right\} \quad \text{.....(๕.๕๕)}$$

สำหรับวงจร triggering circuit สามารถหาค่าได้โดยใช้สมการที่ (๕.๕) และ (๕.๖) ซึ่ง

$$\underline{V}_P = \underline{V}_{IH} - \bar{V}_{IL}$$

$$= 1 - 2.9 - (-0.25)$$

$$= 2.65 \text{ Volts}$$

และกระแส base หาได้จากรูปที่ ๕.๑ มีค่าประมาณดังนี้

$$|\bar{I}_B| = \left|\frac{\bar{V}_{CC} - \underline{V}_{BES}}{\underline{R}_C + \underline{R}_1}\right| - \left|\frac{\underline{V}_{BB} - \underline{V}_{BES}}{\bar{R}_2}\right| \quad \text{.....(๕.๕๖)}$$

ซึ่ง

$$= \left|\frac{5.2 - 0.25}{0.9 + 4.59}\right| - \left|\frac{4.8 + 0.25}{36.3}\right|$$

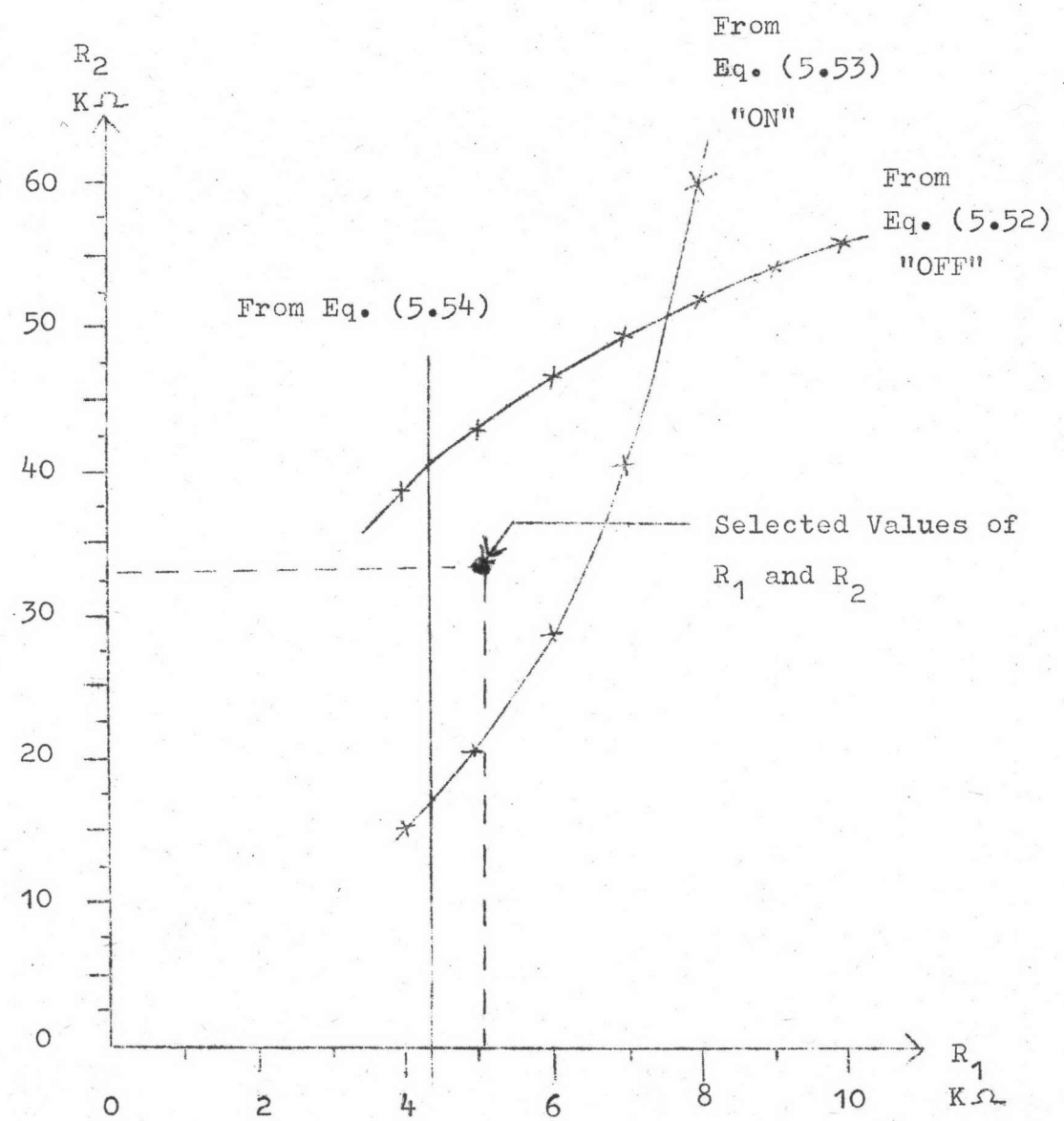
$$= 0.763 \text{ mA}$$

จากสมการที่ (๕.๔) ใช้ K = 1.6

$$\therefore\ 0.8 \times 2.65 \times \underline{C} \geqslant 1.6(0.763 \times 10^{-3} \times 5 \times 10^{-6} + 1400 \times 10^{-12})$$

$$\therefore\ \underline{C} \geqslant 3834 \text{ pF} \quad \text{.....(๕.๕๗)}$$

และโดยการเลือก $R = 10 \text{ K}\Omega \pm 10\ \%$ .....(๕.๕๘)



รูปที่ ๕.๑๖ Limitation of R_1 and R_2 of Flip Flop Circuit use for Memory Register

จากสมการ (๔.๕๖) จะได้

$$3 \times 11 \times 10^{3}\ \bar{C} < \frac{0.8}{2}$$

$$\therefore \quad \bar{C} < 12\ \mu F \qquad \text{.....(๔.๕๘)}$$

จากสมการที่ (๔.๕๗) และ (๔.๕๘) ดังนั้นเลือกค่าแคปปาซิเตอร์

$$C = 0.05\ \mu F \qquad \text{.....(๔.๖๐)}$$

สำหรับการคำนวณวงจร flip flop ที่ใช้ใน Program register, Address register, Sign bit of Accumulator และอื่น ๆ สามารถคำนวณได้ในทำนองเดียวกัน

๔.๔.๒ DL AND Circuit

พิจารณาวงจร DL AND circuit สำหรับวงจร Parallel Full Adder สามารถหาค่าได้ดังนี้

จากสมการที่ ๔.๑๔)

$$\underline{R}_2 = -\frac{5.2 - (-3.0)}{0.03 + (-1.0) + (0.8)}$$

$$= 48.23\ K\Omega \qquad \text{.....(๔.๖๑)}$$

และจากสมการที่ (๔.๑๖)

$$\bar{R}_2 = \frac{-0.15 - 4.8}{-0.03 + 0}$$

$$= 165\ K\Omega \qquad \text{.....(๔.๖๒)}$$

จากสมการที่ (๔.๖๑) และ (๔.๖๒) ดังนั้นเลือกใช้

$$R_2 = 100\ K\Omega \pm 10\ \% \qquad \text{.....(๔.๖๓)}$$

๔.๔.๓ DTL NAND Circuit

พิจารณาตัวอย่าง DTL NAND circuit ที่ใช้ใน Parallel Full Adder ซึ่งแทนค่าต่าง ๆ ในสมการต่อไปนี้

จากสมการที่ (๔.๒๒)

$$\bar{\bar{R}}_C = \frac{(-4.8) - (-3.0)}{-0.03 - 0.8}$$

$$= 2.16\ K\Omega \qquad \text{.....(๔.๖๔)}$$

ซึ่งจากสมการที่ (๕.๖๔) สามารถเลือกค่าดังนี้

$$R_C = 1.8 \ K\Omega \pm 10\ \% \qquad \text{.....(๕.๖๕)}$$

จากค่า R_C ที่ได้สามารถหาขอบเขตของ R_1 และ R_2 ได้ดังนี้โดยใช้

$\underline{V}_{IH} = -2.9$ V และ $\bar{V}_{IL} = -0.35$ V

จากสมการที่ (๕.๖๓)

$$\underline{R}_2 = \frac{(5.2) - (-0.35)}{-\dfrac{(-2.9)+(0.5)-(-0.35)}{\bar{R}_1} + \dfrac{1}{30}\left[\dfrac{-5.2-(-0.02)}{1.62}\right] + 0}$$

$$\underline{R}_2 = \frac{5.55}{\dfrac{2.05}{\bar{R}_1} - 0.106} \qquad \text{.....(๕.๖๖)}$$

จากสมการที่ (๕.๖๔)

$$\bar{R}_2 = \frac{4.8 - 0.1}{-\left[\dfrac{-0.35 + 0.1 - 0.1}{\underline{R}_1} - 0.03\right]}$$

$$\bar{R}_2 = \frac{4.7}{\dfrac{0.35}{\underline{R}_1} + 0.03} \qquad \text{.....(๕.๖๗)}$$

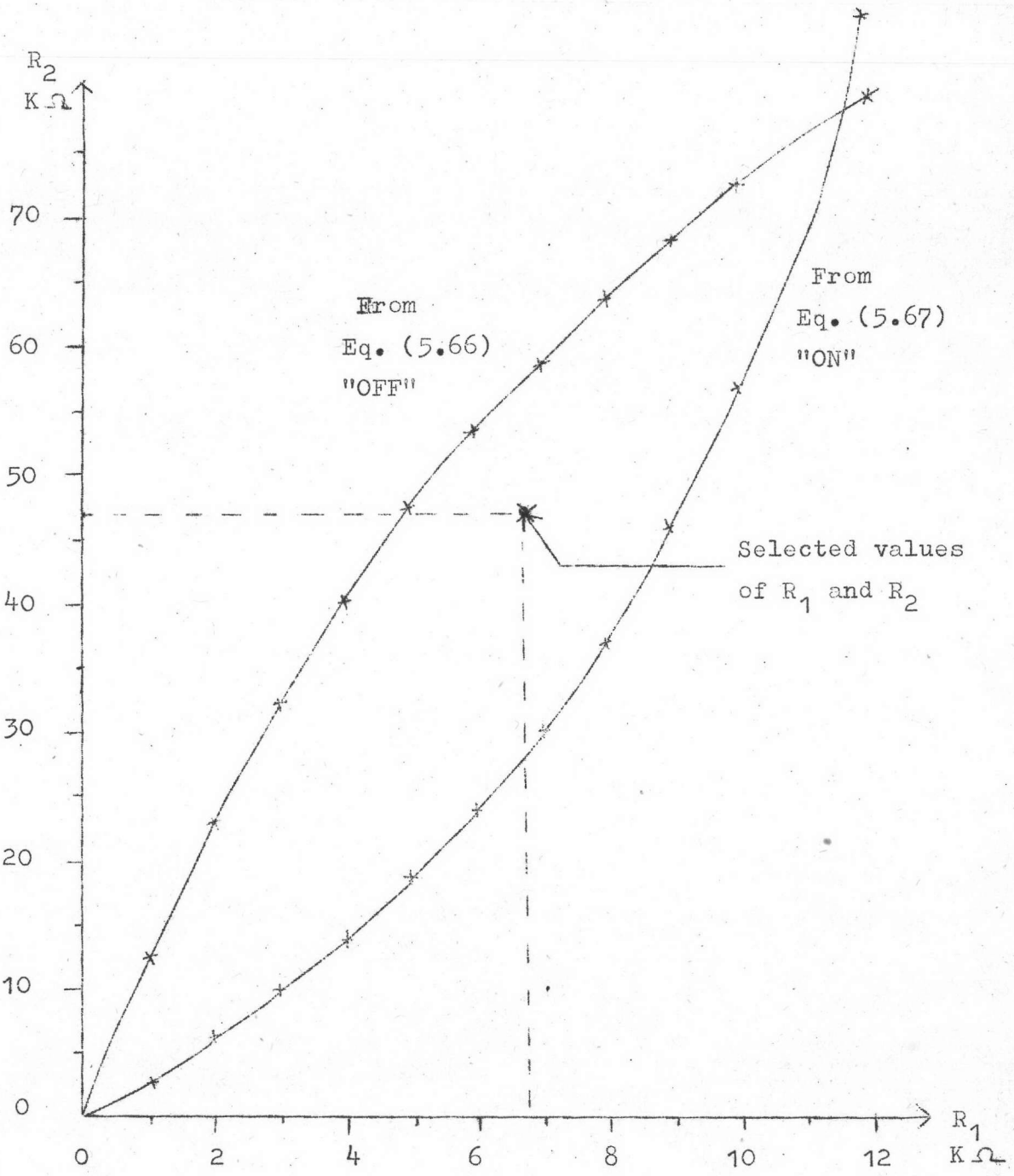
จากสมการที่ (๕.๖๖) และ (๕.๖๗) นำไปเขียนกราฟได้ดังรูปที่ ๕.๑๓ ซึ่งสามารถหาค่า R_1 และ R_2 ที่ดีที่สุดได้ดังนี้

$$\left.\begin{aligned} R_1 &= 6.8 \ K\Omega \pm 10\ \% \\ R_2 &= 47 \ K\Omega \pm 10\ \% \end{aligned}\right\} \qquad \text{.....(๕.๖๘)}$$

และจากสมการที่ (๕.๖๔) ที่ $\underline{V}_{IH} = -3.0$ V จะได้

$$\bar{I}_{IH} = \frac{-3.0 + 0.1 - (-0.25)}{6.12} - 0.03$$

$$= -0.463 \ \text{mA} \qquad \text{.....(๕.๖๙)}$$



รูปที่ ๔.๑๓ Limitation of R_1 and R_2 of DTL NAND Gate use in Parallel Full Adder

๔.๔.๔ TL AND Circuit

พิจารณาตัวอย่าง TL AND Circuit ที่ใช้เป็น Instruction Control Gate คือ AND gate No. 2, 4 และ 5 ในการคำนวณจะแยกออกเป็นสองส่วนคือ Inverter และ NAND gate ในส่วนของ Inverter จะมีขอบเขตดังนี้ $\underline{V}_{OH} = -3.0$ V, $\bar{V}_{OL} = -0.15$ V, $\underline{V}_{IH} = -2.9$ V, $\bar{V}_{IL} = -0.25$ V, $\bar{I}_{OH} = 3.0$ mA และ $\bar{I}_{OL} = 0$ mA ซึ่งสามารถหาค่าอุปกรณ์ได้ดังนี้

จากสมการที่ (๔.๗) ใช้ n = 1

$$\bar{R}_C = \frac{-4.8 - (-3.0)}{-0.03 - 3.0}$$

$$= 0.594 \text{ K}\Omega$$

ดังนั้นเลือกใช้

$$R_C = 0.51 \text{ K}\Omega \pm 10\% \qquad \text{.....(๔.๗๐)}$$

จากสมการที่ (๔.๘)

$$\bar{R}_2 = \frac{4.8 - 0.1}{-\left[\frac{-0.25 - 0.1}{\underline{R}_1}\right] - (-0.03)}$$

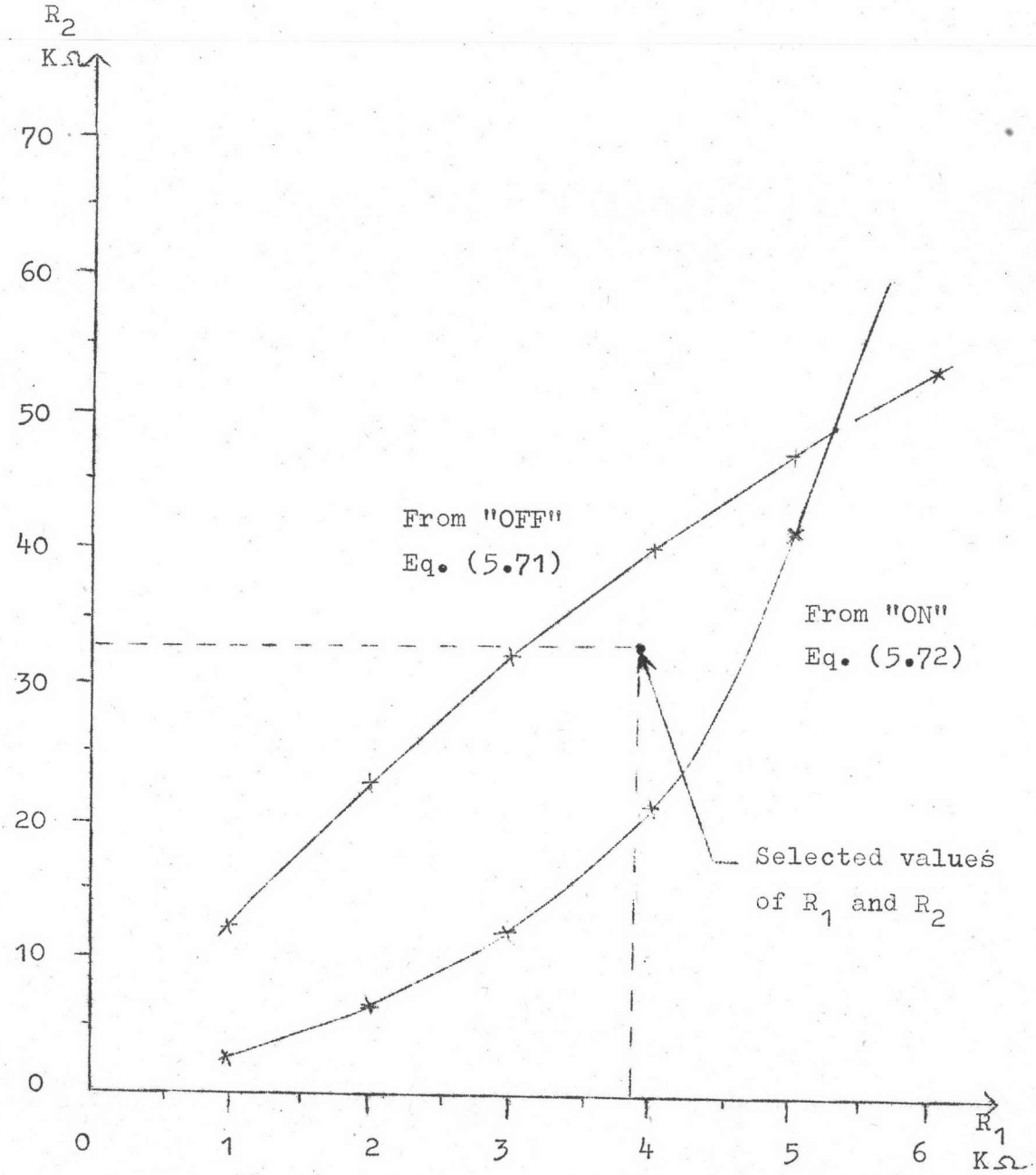
$$= \frac{4.7}{\frac{0.35}{\underline{R}_1} + 0.03} \qquad \text{.....(๔.๗๑)}$$

จากสมการที่ (๔.๙) ใช้ m = n = 1

$$\underline{R}_2 = \frac{5.2 - (-0.35)}{-\frac{-2.9-(-0.35)}{\bar{R}_1} + \frac{1}{30}\frac{-5.2-(-0.02)}{0.459} + 0}$$

$$= \frac{5.5}{\frac{2.55}{\bar{R}_1} - 0.376} \qquad \text{.....(๔.๗๒)}$$

ซึ่งจากสมการที่ (๔.๗๑) และ (๔.๗๒) นำไปเขียนกราฟได้ดังรูปที่ ๔.๑๔ ซึ่งสามารถเลือกค่า R_1 และ R_2 ที่ดีที่สุดได้ดังนี้



รูปที่ ๘.๑๘ Limitation of R_1 and R_2 of Inverter of TL AND Gate No. 2, 4 and 5

$$\left.\begin{aligned} R_1 &= 3.9 \ \text{K}\Omega \pm 10\ \% \\ R_2 &= 33 \ \text{K}\Omega \pm 10\ \% \end{aligned}\right\} \qquad \ldots\ldots\ldots(๕.๗๓)$$

และจากสมการที่ (๕.๑๐) โดยใช้ m = 1 ที่ $V_{IH} = -3.0$ V จะได้

$$\bar{I}_{IH} = \frac{-3.0 - (-0.25)}{3.57}$$

$$= -0.77 \ \text{mA} \qquad \ldots\ldots\ldots(๕.๗๔)$$

สำหรับในส่วนที่เป็น NAND gate จะต้องมีขอบเขตดังนี้ $\underline{V}_{OH} = -3.0$ V, $\bar{V}_{OL} = -0.15$ V, $\underline{V}_{IH} = -2.9$ V, $\bar{V}_{IL} = -0.25$ V, $\bar{\underline{I}}_{OH} = 1.0$ mA และ $\bar{I}_{OL} = 0$ mA ซึ่งเพียงพอที่จะใช้ร่วมกับส่วนที่เป็น Inverter ได้ ในการหาค่าอุปกรณ์จะใช้สมการที่ (๕.๗), (๕.๘), (๕.๙) และ (๕.๑๐) เช่นเดียวกับวงจร Inverter แต่ใช้ค่า m = 1 และ n = 2 ซึ่งจะได้ค่าต่าง ๆ ดังนี้

$$\left.\begin{aligned} R_C &= 1.2 \ \text{K}\Omega \pm 10\ \% \\ R_1 &= 6.8 \ \text{K}\Omega \pm 10\ \% \\ R_2 &= 47 \ \text{K}\Omega \pm 10\ \% \end{aligned}\right\} \qquad \ldots\ldots\ldots(๕.๗๕)$$

และที่ $V_{IH} = -3.0$ V

$$\bar{I}_{IH} = -0.45 \ \text{mA} \qquad \ldots\ldots\ldots(๕.๗๖)$$

๕.๕ ผลการคำนวณ

จากการคำนวณหาค่าอุปกรณ์ของแต่ละวงจรที่ใช้ทั้งหมด โดยใช้ค่าต่าง ๆ ที่กำหนดในตารางที่ ๕.๑ ถึง ๕.๓ แทนลงในสมการที่ (๕.๑) ถึง (๕.๔๙) ตามลักษณะและการใช้งานของวงจรทั้งระบบ ซึ่งมีวิธีการคำนวณดังตัวอย่างที่กล่าวมาแล้วในหัวข้อที่ ๕.๔ สามารถนำมาสรุปค่าของวงจรทั้งหมดได้ดังตารางที่ ๕.๔

Circuit Type		Circuit Design					Transistor	Circuit Location	
Name	Fig No.	R KΩ	C MF	R_1 KΩ	R_2 KΩ	R_G KΩ	Type	Name	Fig No.
Flip - Flop	4.1	10	0.05	5.1	33	1.0	2SB56	Memory Register	4.11
								Accumulator (Data bit)	4.23
								Overflow Circuit	4.35
							2N404	Clock Generator	4.46
								Timing Control Circuit	4.45
		10	0.05	3.3	22	0.39	2SB56	Suffer Register	4.20
								Accumulator (Sign bit)	4.23
							2N404	Address Register	4.26
		10	0.05	2.2	18	0.22	2SB56	Program Register	4.17
							2N404	Sequence Control Circuit	4.43
DL OR Gate	4.3 ก)	-	-	4.7	-	-	-	Memory Read Gate	4.11
DL AND Gate	4.3 ข)	-	-	-	100	-	-	Full Adder Gate	4.29
								Sequence Control Circuit	4.43

ตารางที่ ๔.๔ The Values of Circuit Elements in the System

Circuit Type		Circuit Design					Transistor	Circuit Location	
Name	Fig No.	R KΩ	C μF	R_1 KΩ	R_2 KΩ	R_c KΩ	Type	Name	Fig No.
DTL NAND Gate	4.4 ข)	-	-	10	47	5.1	2SB56	Memory out put	4.13
		-	-	6.8	47	1.8	2SB56	Full Adder Gate	4.29
Inverter	4.2	-	-	3.9	33	-	2SB56	Memory Read Gate Driver	4.12
							2N404	Clock Generator Driver	4.46
		-	-	3.9	33	10	2N404	CP Control Gate of	
								Memory Register	4.12
								Buffer Register,	4.21
								Accumulator,	4.24
								Program Register	4.18
								TL AND Gate No. 1 and 3	4.39
		-	-	3.9	33	0.51	2SB56	Clear Circuit of	
								Buffer Register,	4.21
								Accumulator	4.24
								TL AND Gate No.2, 4 and 5	4.39
								Input of CP and STO Driver	4.15
		-	-	3.9	33	1.5	2SB56	Input of Full Adder Gate	4.29

ตารางที่ ๔.๔ The Values of Circuit Elements in the System(Cont.)

Circuit Type		Circuit Design					Transistor	Circuit Location	
Name	Fig No.	R KΩ	C μF	R_1 KΩ	R_2 KΩ	R_c KΩ	Type	Name	Fig. No.
Inverter	4.2	-	-	3.9	33	1.5	2SB56 2N404	Complemt Gate Data Input Clock Input Driver / Inverter	4.33 4.45
		-	-	2.7	22	-	2N404	Data Input of Transter Gate No. 2	4.32
		-	-	2.2	18	0.39	2SB56	TL OR Gate No. 1,2,3,4 and 5	4.40
		-	-	1.8	15	-	2SB56	Data Input of Transfer Gate No.1, 3 and 4 Control Input of Complement Gate	4.32 4.33
		-	-	1.8	15	0.3	2N404	Output of CP and STD Driver	4.15
		-	-	0.82	6.8	-	2SB56	Control Input of Transfer Gate No. 2	4.32
		-	-	0.51	6.8	-	2SB56	Control Input of Transfer Gate No.1, 3 and 4	4.32
		0.951	-	0.51	6.8	-	2N404	"X" and "Y" Driver	4.43
		-	-	0.51	6.8	0.1	2N404	$\overline{X}$" and $\overline{Y}$" Driver	4.43

ตารางที่ ๔.๔ The Values of Circuit Element in the System (Cont.)

Circuit Type		Circuit Design					Transistor	Circuit Location	
Name	Fig No.	R KΩ	C μF	R_1 KΩ	R_2 KΩ	R_c KΩ	Type	Name	Fig No.
Inverter	4.2	-	-	6.8	47	1.2	2SB56	$\overline{SUM}$ output of Full Adder	4.29
								Clock Driver	4.36
								TL NOR Gate No. 3	4.41
								Memory Input Driver	4.14
		-	-	10	56	2.2	2SB56	Memory Output Inverter	4.13
								Memory Input Inverter	4.14
TL NAND Gate	4.2 ก)	-	-	6.8	47	1.2	2SB56	TL AND Gate No,1,2,3, 4 and 5	4.39
							2N404	CP Control Gate of Memory Resigter	4.12
								Buffer Register	4.21
								Accumulator	4.24
								Program Register	4.18
							2N404	$\overline{JS}$ of Sequence Control Circuit	4.43
TL NOR Gate	4.2 ข)	-	-	6.8	47	2.7	2SB56	TL NOR Gate No. 2, 3, 4 and 5	4.41
		-	-	1.0	10	330	2SB56	TL NOR Gate No. 1 and 6	4.41
		0.051	-	0.51	6.8	-	2N404	" Z " Driver	4.43

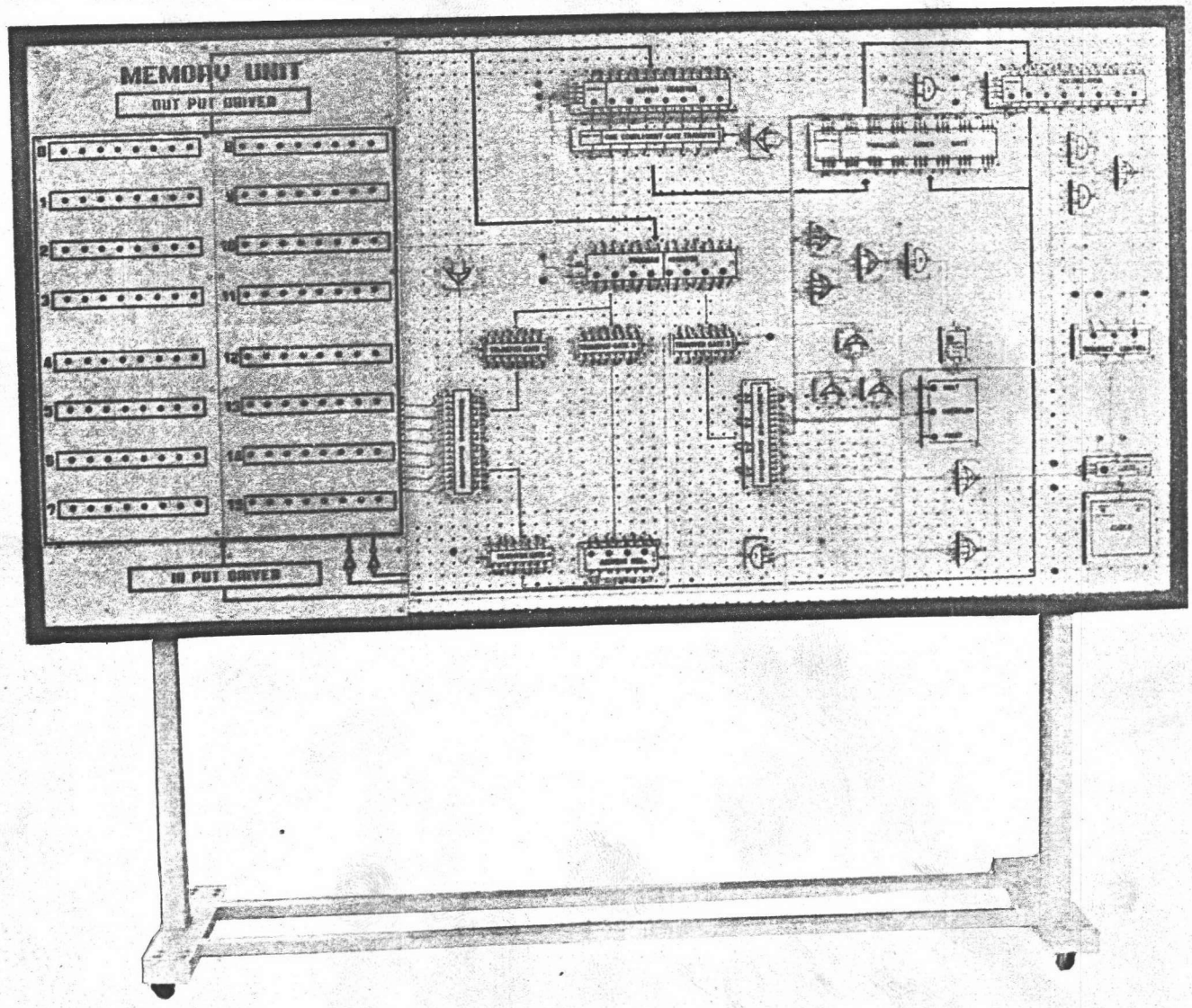
ตารางที่ ๔.๔ The Values of Circuit Elements in the System (Cont.)

Circuit Type		Circuit Design					Transistor	Circuit Location	
Name	Fig No.	R $K\Omega$	C μF	R_1 $K\Omega$	R_2 $K\Omega$	R_c $K\Omega$	Type	Name	Fig No.
Exclusive-OR Gate	4.5	-	-	3.9	33	1.5	2SB56	Complement Gate Full Adder Gate	4.33 4.29
Pulse- OR Gate	4.6	-	10	6.8	47	-	2N404	Timimg Control Circuit	4.45
Pulse-Inverter Gate	4.6	-	10	3.9	33	0.51	2N404	CP and $\overline{CP}$ Driver	4.45
Display Circuit	4.7	0.051	.=.	6.8	47	1.2	2SB56	Memory Register Buffer Register Program Register Accumulator Address Register Overflow Flip-Flop Indicator Circuit	4.11 4.20 4.17 4.23 4.26 4.35 4.36
Diode Matrix	-	-	-	0.22	100	-	-	Function Decoder Address Decoder	4.31 4.31
Astable Circuit	4.8	30	25	.-	-	2.2	2N404	Clock Generator	4.46

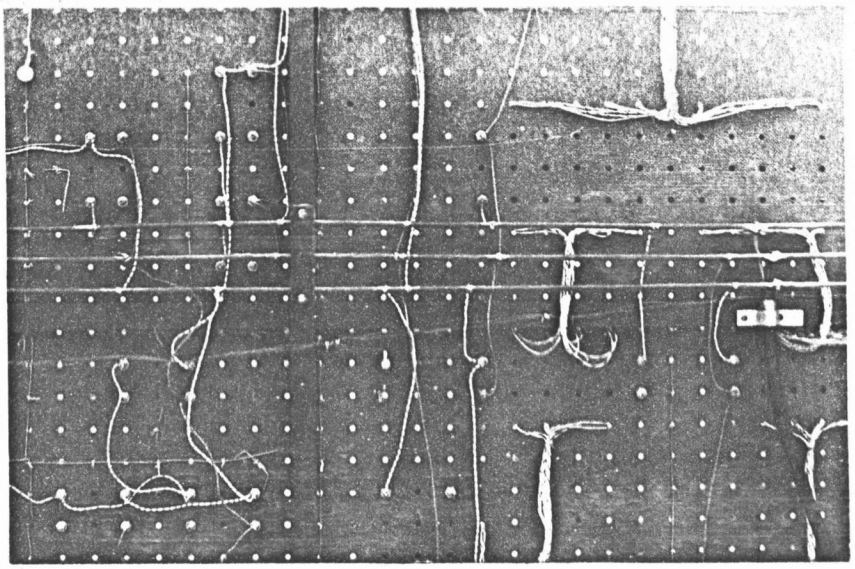
ตารางที่ ๔.๘ The Values of Circuit Element in the System (Cont.)

๔.๖ ลักษณะและขนาดของการประกอบวงจร

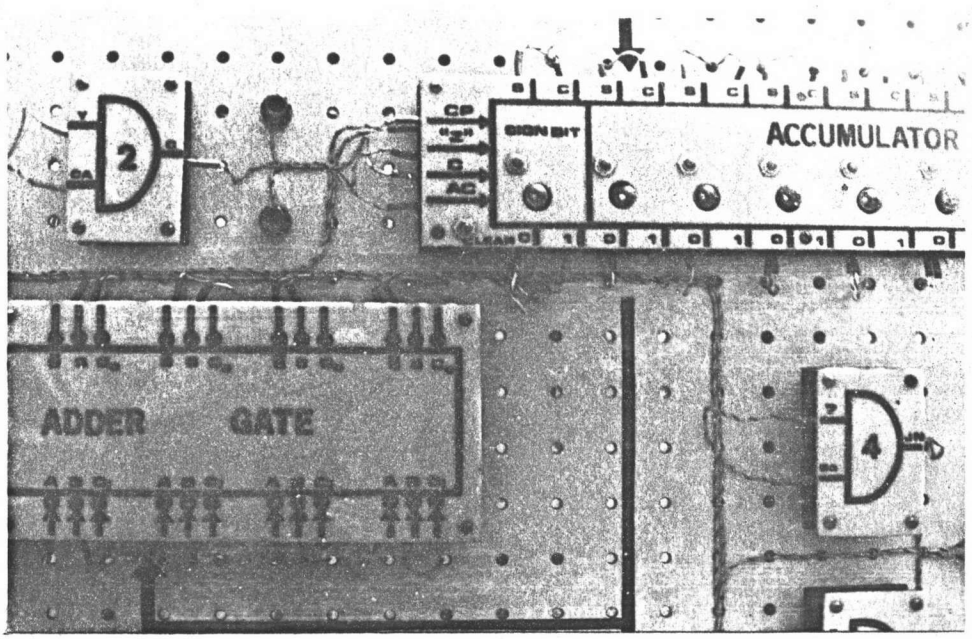
เครื่องมือประกอบการสอนระบบดิจิตอลคอมพิวเตอร์ที่สร้างเรียบร้อยแล้ว จะมีลักษณะการประกอบและติดตั้งวงจรเช่นเดียวกับ Functional Diagram ที่แสดงไว้ในรูปที่ ๔.๙ ซึ่งวงจรที่ประกอบเป็น logic function แต่ละส่วนที่ติดตั้งบนแผงสาธิตจะสามารถถอดเปลี่ยนได้โดยสะดวก โดยการติด male jack ที่ printed circuit ของวงจรแต่ละส่วนและติด female jack ที่แผงสาธิต ซึ่งส่วนนี้จะใช้เป็นจุดสำหรับจ่าย power supply ให้กับวงจรด้วยไปในตัว สำหรับการต่อทาง logic จากวงจรหนึ่งไปยังอีกวงจรหนึ่งกระทำโดยติดหลักตัวนำ (post) เข้ากับ printed circuit ที่ทางเข้าและทางออกของวงจร แล้วใช้สายต่อซึ่งมี spring clip ที่ปลายสายทั้งสองด้านต่อจากหลักหนึ่งไปยังอีกหลักหนึ่งที่ต้องการ ซึ่งวิธีนี้ทำให้สามารถถอดและใส่วงจรแต่ละส่วนออกจากแผงได้โดยไม่ต้องใช้วิธีบัดกรี ทางด้านหลังของแผงสาธิตจะมี voltage bus bars ซึ่งต่อมาจาก +5 V, -5 V และ GROUND Terminal ของวงจร power supply ซึ่งใช้เป็นที่จ่ายไฟให้กับระบบที่ติดตั้งอยู่ทางด้านหน้าของแผงสาธิตทั้งหมด โดยการใช้สายไฟบัดกรีจาก voltage bus bars ไปยัง female jack ที่ต้องการ การประกอบ logic function แต่ละ module จะทำตามลำดับดังนี้ ออกแบบทำวงจร printed circuit และประกอบอุปกรณ์ลงบน printed circuit ซึ่งจะต้องบัดกรีอุปกรณ์ที่ใช้ความร้อนมากที่สุดก่อนตามลำดับดังนี้ post, male jack, resistor, capacitor, transistor และ diode พิมพ์ logic block diagram ลงบนแผ่นพลาสติคสีเหลืองที่มีขนาดเท่ากับ printed circuit ของวงจรนั้น แล้วติดเข้ากับด้านที่มีอุปกรณ์ของ printed circuit โดยใช้ spacer สูง ๑ นิ้ว รายละเอียดการติดตั้งและประกอบวงจรที่เรียบร้อยแล้วจะมีลักษณะดังรูปที่ ๔.๑๕ ถึงรูปที่ ๔.๑๙ สำหรับขนาดของวงจร logic function แต่ละ module จะถูกกำหนดโดยคำนึงถึงความสำคัญของวงจร จำนวนอุปกรณ์ที่ใช้ประกอบวงจรและพื้นที่ของแผงสาธิตที่ใช้ติดตั้งประกอบการพิจารณา ซึ่งขนาดของส่วนต่าง ๆ ของระบบจะเป็นไปดังตารางที่ ๔.๔



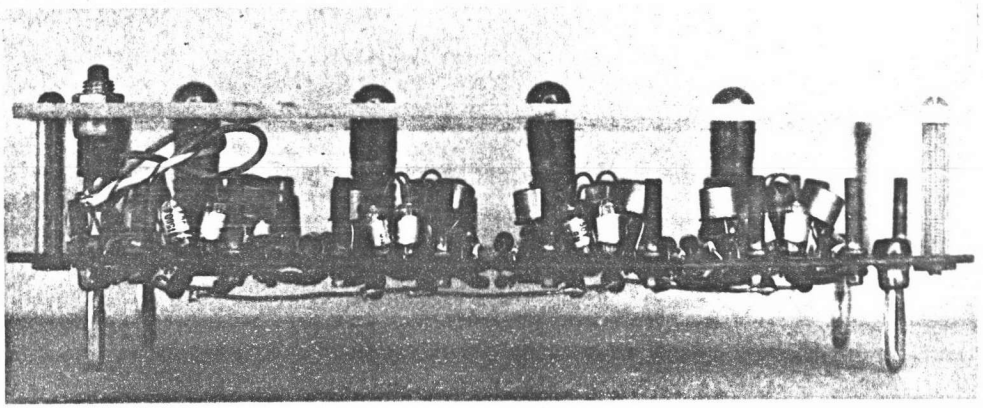
รูปที่ ๔.๑๔ Front View of the Complete System



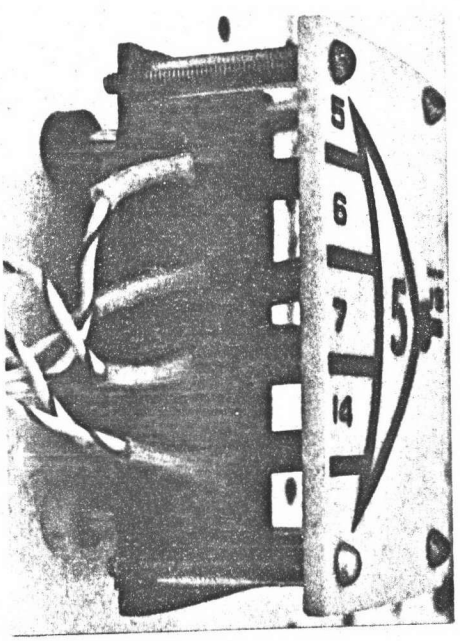
รูปที่ ๔.๑๖ Partial Rear View of System Wiring



รูปที่ ๔.๑๗ Partial Front View of Logic Function Installation



รูปที่ ๕.๑๘ Side View of Logic Function Module



รูปที่ ๕.๑๙ Voltage and Logic Connection of Logic Function Module

Name of Circuit	Quantity	Dimension
Overall System Dimension	1	80" x 96"
Circuit Board Dimension	1	48" x 96"
Logic Function Dimension		
Memory Register	16	3" x 14"
Memory Data Output Driver	2	3" x 14"
Memory Data Input Driver	2	3" x 14"
CP and STO Driver	1	2" x 3"
Memory Buffer Register	1	3" x 14"
Program Register	1	3" x 14"
Accumulator	1	3" x 14"
One's Complement Transfer Gate	1	2" x 14"
Data Transfer Gate	4	2" x 6"
Function Decoder	1	3" x 9"
Address Decoder	1	3" x 9"
Address Register	1	3" x 7"
Parallel Full Adder Gate	1	4" x 16"
Overflow Flip Flop	1	$2\frac{1}{2}$" x 3"
Indicator	1	5" x 6"
Sequence Control	1	3" x 7"
Timing Control	1	2" x 6"
Clock	1	6" x 6"
Logic Gate	16	2" x 3"

ตารางที่ ๔.๔ Dimension of the Digital Computer System Trainer

๔.๗ ผลการทดสอบวงจร

ในการทดสอบวงจรจะเป็นการวัดOutput logic level ของ Logic Function ที่ประกอบเป็นระบบเรียบร้อยแล้ว ซึ่งวัดด้วยโวลท์มิเตอร์ชนิด TVM ซึ่งมี Input resistance 10 MΩ ที่อุณหภูมิห้อง 28 - 30 ° C โดยใช้ power supply V_{CC} = -5.0 V, V_{BB} = +5.0 V สำหรับ Logic Function ที่มี output มากกว่าหนึ่ง ค่าที่ได้ในตารางที่ ๔.๖ จะเป็นค่าระดับเฉลี่ยสำหรับ Function นั้น ๆ

Logic Function	Output Voltage (V)	
	Logic "0"	Logic "1"
Memory Register	-4.1	-0.48
Memory Output Driver	-4.6	-0.05
Memory Input Driver	-4.0	-0.05
Memory CP Driver	-4.5	-0.09
Memory STO Driver	-4.3	-0.09
Memory Buffer Register	-4.1	-0.05
Accumulator	-3.7	-0.07
Complement Transfer Gate	-3.5	-0.08
Parallel Adder Gate	-4.6	-0.07
Program Register	-3.5	-0.06
Address Register	-4.0	-0.03
Transfer Gate No. 1	-3.9	-1.00
Transfer Gate No. 2	-4.0	-0.03
Transfer Gate No. 3	-4.3	-0.1
Transfer Gate No. 4	-3.9	-1.0

ตารางที่ ๔.๖ Logic Level of the System

Logic Function	Output Voltage (V)	
	Logic "0"	Logic "1"
Address Decoder	-3.4	-0.8
Function Decoder	-3.8	-0.15
AND Gate No. 1	-5.0	-0.05
AND Gate No. 2	-4.6	-0.05
AND Gate No. 3	-5.0	-0.04
AND Gate No. 4	-3.5	-0.06
AND Gate No. 5	-3.5	-0.04
OR Gate No. 1	-3.7	-0.08
OR Gate No. 2	-3.7	-0.07
OR Gate No. 3	-4.4	-0.09
OR Gate No. 4	-3.6	-0.06
OR Gate No. 5	-4.4	-0.07
NOR Gate No. 1	-3.9	-0.06
NOR Gate No. 2	-4.2	-0.21
NOR Gate No. 3	-4.2	-0.22
NOR Gate No. 4	-4.4	-0.19
NOR Gate No. 5	-2.5	-0.21
NOR Gate No. 6	-4.1	-0.22
Over Flow Flip - Flip	-4.2	-0.10
Indicator Circuit	-4.0	-0.15
Sequence Control Circuit	-4.9	-0.10
Timing Control Circuit	-4.9	-0.05
Clock Circuit	-0.8	-0.01

ตารางที่ ๔.๖ Logic Level of the System (cont.)

.....