เครื่องมือประกอบการสอนระบบดิจิตอลคอมพิวเตอร์

นายไพฑูรย์ สังฆพันธุ์

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
แผนกวิชาวิศวกรรมไฟฟ้า
บัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย
พ.ศ. ๒๕๒๐

002190

I16804852

THE DIGITAL COMPUTER SYSTEM TRAINER

Mr. Paitoon Sungkhapunthu

A Thesis Submitted in Partial Fullfillment of the Reguirements

for the Degree of Master of Engineering

Department of Electrical Engineering

Graduate School

Chulalongkorn University

1977

หัวข้อวิทยานิพนธ์ เครื่องมือประกอบการสอนระบบดิจิตอลคอมพิวเตอร์

โดย นายไพฑูรย์ สังขพันธุ์
แผนกวิชา วิศวกรรมไฟฟ้า
อาจารย์ที่ปรึกษา ผู้ช่วยศาสตราจารย์ สุยุช่น สัตยประกอบ

บัณฑิตวิทยาลัย จุฬาลงกรณมหาวิทยาลัย อนุมัติให้นับวิทยานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญามหาบัณฑิต

.....คณบดีบัณฑิตวิทยาลัย
(ศาสตราจารย์ ดร.วิศิษฐ์ ประจวบเหมาะ)

คณะกรรมการสอบวิทยานิพนธ์

.....ประธานกรรมการ
(ผู้ช่วยศาสตราจารย์ ดร.สุทิน เวทย์วัฒนะ)

.....กรรมการ
(อาจารย์ ดร.ชาตรี ศรีไพพรรณ)

.....กรรมการ
(ผู้ช่วยศาสตราจารย์ ดร.สุขุมวิทย์ ภูมิวุฒิสาร)

.....กรรมการ
(ผู้ช่วยศาสตราจารย์ สุยุช่น สัตยประกอบ)

ลิขสิทธิ์ของบัณฑิตวิทยาลัย จุฬาลงกรณมหาวิทยาลัย

หัวข้อวิทยานิพนธ์ เครื่องมือประกอบการสอนระบบดิจิตอลคอมพิวเตอร์

ชื่อนิสิต นายไพฑูรย์ สังขพันธุ์

อาจารย์ที่ปรึกษา ผู้ช่วยศาสตราจารย์ สุยุชน์ สัตยประกอบ

แผนกวิชา วิศวกรรมไฟฟ้า

ปีการศึกษา ๒๕๒๐

บทคัดย่อ

วิทยานิพนธ์นี้มีวัตถุประสงค์เพื่อสร้างและออกแบบเครื่องมือประการการสอนระบบดิจิตอลคอมพิวเตอร์เบื้องต้น ชนิด Single Address Computing System ที่มีระบบทำงานแบบ parallel, synchronous, sequential operation ขนาด ๘ หลักไบนารี่ มีหน่วยความจำ ๑๖ คำ และสามารถทำคำสั่งได้ ๑๐ อย่าง ซึ่งได้แก่ HAL (Halt), ADD (Add), SUB (Subtract), CAD (Clear and Add), CSB (Clear and Subtract), JPO (Jump if Positive), JUN (Unconditional Jump), JNE (Jump if Negative), STO (Store) และ CMF (Command Fault).

ในการวิจัยเริ่มตั้งแต่การหาโลจิคฟังค์ชั่นในหน่วยต่าง ๆ ของระบบ ได้แก่ หน่วยความจำ หน่วยคำนวณ และหน่วยควบคุม แล้วเลือกและออกแบบสร้างวงจรโลจิคที่เหมาะสมโดยใช้ discrete elements คือ ทรานซิสเตอร์ รีซิสเตอร์และไดโอด ประกอบขึ้นเป็นระบบที่ต้องการ และทั้งหมดนี้ได้ติดตั้งให้อยู่ในรูปของอุปกรณ์สาธิตที่สมบูรณ์ โดยแสดงให้เห็นลำดับการทำงานของส่วนต่าง ๆ ในระบบ ทั้งนี้การประกอบวงจรได้พยายามใช้วัสดุและอุปกรณ์ที่มีราคาถูกและหาได้ง่ายในประเทศไทย

Thesis Title The Digital Computer System Trainer

Name Mr. Paitoon Sungkhapunthu

Thesis Advisor Assistant Professor Suyut Satayaprakob

Department Electrical Engineering

Academic Year 1977

ABSTRACT

The objective of this thesis is to construct and design a demonstration unit of a basic single-address computing system. Data are processed by eight-bit parallel synchronous and sequential operation. There are sixteen eight-bit memories. Ten instructions are available i.e. HAL (Halt), ADD (Add), SUB (Subtract), CAD (Clear and Add), CSB (Clear and Subtract), JPO (Jump if Positive), JUN (Unconditional Jump), JNE (Jump if Negative), STO (Store), and CMF (Command Fault).

Discrete elements such as transistors, resistors, and diodes are used to build the logic circuits, which integrate into the function units and systems. The components used are inexpensive and available in Thailand.

กิตติกรรมประกาศ

เครื่องมือประกอบการสอนระบบดิจิตอลคอมพิวเตอร์นี้เป็นส่วนหนึ่งของโครงการวิจัยและพัฒนาวัสดุช่วยสอน ของแผนกวิชาช่างวิทยุและโทรคมนาคม วิทยาลัยครูอาชีวศึกษา กรมอาชีวศึกษา ซึ่งใช้ประกอบการสอนในวิชา Digital Circuits และ Digital Computing System ในระดับ ปม.วส. และ ปทส. ในการวิจัยครั้งนี้ผู้เขียนได้ค้นคว้าข้อมูลและหลักฐานต่าง ๆ ทั้งทางด้านเทคนิคและการศึกษา โดยอาศัยหนังสือเอกสารต่าง ๆ ที่เกี่ยวข้องและแบบอย่างของเครื่องมือประกอบการสอนแบบต่าง ๆ ตลอดจนได้รับคำแนะนำจากผู้รู้หลายท่าน จนทำให้การวิจัยครั้งนี้สำเร็จลุล่วงไปด้วยดี

ผู้เขียนขอขอบพระคุณ อาจารย์ชิตชัย สุทธาศวิน หัวหน้าคณะวิชาไฟฟ้า อาจารย์อุดม คำม่วง หัวหน้าแผนกวิชาช่างวิทยุและโทรคมนาคม อาจารย์ประกอบ ศรีตระกูล ตลอดจนอาจารย์และเจ้าหน้าที่ของวิทยาลัยครูอาชีวศึกษาทุกท่าน ที่ได้ให้คำแนะนำและช่วยเหลือทั้งทางด้านการค้นคว้าทางวิชาการ เทคนิคการสร้างและประกอบอุปกรณ์ และการจัดพิมพ์วิทยานิพนธ์ฉบับนี้ และโดยเฉพาะอย่างยิ่ง ขอขอบพระคุณอาจารย์สุยุชน์ สัตยประกอบ อาจารย์ผู้ควบคุมการวิจัย ที่ได้กรุณาช่วยตรวจและแก้ไขให้วิทยานิพนธ์ฉบับนี้สำเร็จลงด้วยดี

.....

สารบาญ

หน้า

บทคัดย่อภาษาไทย ..... ฆ

บทคัดย่อภาษาอังกฤษ ..... ง

กิตติกรรมประกาศ ..... จ

รายการตารางประกอบ ..... ช

รายการรูปประกอบ ..... ซ

บทที่

๑. บทนำ ๑

๒. ทฤษฎีการทำงานของเครื่องมือประกอบการสอนระบบดิจิตอลคอมพิวเตอร์ ๘

๓. การสร้างโลจิกฟังค์ชั่นและไดอะแกรม ๒๔

๔. การเลือกวงจรโลจิคอีเล็คโทรนิคส์และประยุกต์วงจรเพื่อใช้งาน ๔๙

๕. การออกแบบและทดสอบวงจรดิจิตอล ๘๖

๖. ตัวอย่างการเขียนโปรแกรม ๑๔๑

๗. สรุปการวิจัยและข้อเสนอแนะ ๑๔๘

หนังสืออ้างอิง ๑๕๑

ภาคผนวก ๑๕๓

ประวัติการศึกษา ๑๖๘

.....

รายการตารางประกอบ

ตารางที่		หน้า
๒.๑	Timing Sequence for the Operation	๑๑
๓.๑	Truth Table for each bit of One's Complement Gate	๒๘
๓.๒	Truth Table for each bit of Parallel Full Adder	๓๐
๓.๓	Algorithm of Addition for Number with Sign.....	๓๒
๓.๔	Truth Table of Overflow Checker	๓๒
๓.๕	Functional Operation of Address and Function Decoders	๓๖
๓.๖	Truth Table for each gate of Transfer Gate.....	๓๘
๓.๗	Count Table of Sequence Control	๔๗
๔.๑	Specification of Logic System ๑๑๒	
๔.๒	Circuit Parameters for Designs ๑๑๓	
๔.๓	Circuit Specification for Design ๑๑๕	
๔.๔	The Values of Circuit Elements in the System...๑๒๔	
๔.๕	Dimension of the Digital Computer System Trainer ๑๓๘	
๔.๖	Logic Level of the System ๑๓๙	
๖.๑	Binary and Mnemonic Code of Operation ๑๔๓	
๖.๒	Program of R = A + B + C ๑๔๔	
๖.๓	Program of P = A X B for the sign bit of B is the same as A and B ≠ O ๑๔๕	
๖.๔	Program of D = $\frac{A}{B}$ for the sign bit of B is the same as A ๑๔๖	
๖.๕	Program of Summary of Arithmetic Series.....๑๔๗	

.....

รายการรูปประกอบ

รูปที่		หน้า
๑.๑	Simplified Block Diagram of Single Address Computing System	๓
๒.๑	Basic Digital Computer Organization	๘
๒.๒	Synchronous Timing Waveforms for Digital Computer System Trainer	๑๐
๒.๓	Formation of Binary Number in Register	๑๕
๒.๔	Memory Unit Organization	๑๗
๒.๕	Arithmetic Unit Organization	๑๘
๒.๖	Instruction Control Organization	๒๐
๒.๗	Sequence Control Organization	๒๑
๓.๑	Logic Diagram of Memory Register	๒๔
๓.๒	Logic Diagram of Input Memory Driver	๒๕
๓.๓	Logic Diagram of Output Memory Driver	๒๖
๓.๔	Logic Diagram of Buffer Register.....	๒๗
๓.๕	Logic Diagram of Accumulator	๒๘
๓.๖	Logic Diagram of One's Complement Transfer Gate	๒๙
๓.๗	Logic Diagram of Parallel Full Adder	๓๐
๓.๘	Logic Diagram of Full Adder	๓๑
๓.๙	Logic Diagram of Overflow Checker	๓๓
๓.๑๐	Logic Diagram of Program Register	๓๔
๓.๑๑	Logic Diagram of Address Register	๓๕
๓.๑๒	Logic Diagram of Address and Function Decoders	๓๗
๓.๑๓	Logic Diagram of Transfer Gate	๓๙

รูปที่ หน้า

๓.๑๘ Logic Diagram of Instruction Control Gate ๔๑

๓.๑๙ Logic Diagram of Stop Indicator ๔๖

๓.๒๐ Logic Diagram of Clock Generator ๔๓

๓.๒๑ Logic Diagram of Timing Control Circuit ๔๔

๓.๒๒ Waveforms of Timing Control at Various Condition ๔๔

๓.๒๓ Logic Diagram of Sequence Control Circuit ๔๑

๓.๒๔ Waveforms of Sequence Control Circuit ๔๔

๔.๑ Schematic Diagram of Clocked-RS Flip Flop ๔๑

๔.๒ Schematic Diagram of Transistor Logic (TL) Circuits ๔๒

๔.๓ Schematic Diagram of Diode Logic (DL) Circuits ๔๓

๔.๔ Schematic Diagram of Diode Transistor Logic (DTL) Circuits ๔๔

๔.๕ Schematic Diagram of Exculsive-OR Gate ๔๕

๔.๖ Schematic Diagram of 2-Input Pulse Gate ๔๖

๔.๗ Schematic Diagram of Display Circuit ๔๖

๔.๘ Schematic Diagram of Clock Generator ๔๗

๔.๙ Actual Functional Block Diagram of Digital Computer System Trainer ๔๘

๔.๑๐ Actual Logic Diagram of One Word in Memory Register with Read/Write Control Gate ๖๐

๔.๑๑ Actual Circuit Diagram of One Bit in Memory Register with Read Gate and Display Circuit .. ๖๑

รูปที่ หน้า

๔.๑๖ Actual Circuit Diagram of One Word Read/Write Control Gate in Memory Register ๖๑

๔.๑๗ Actual Logic and Circuit Diagram of One Bit in Memory Output Driver Circuit ๖๖

๔.๑๘ Actual Logic and Circuit Diagram of One Bit in Memory Data Input Driver Circuit ๖๗

๔.๑๙ Actual Logic and Circuit Diagram of CP and STO Driver Circuit for Memory Unit ๖๘

๔.๒๖ Actual Logic Diagram of Program Register ๖๙

๔.๒๗ Actual Circuit Diagram of One Bit Program Register ๖๙

๔.๒๘ Actual Circuit Diagram of Control Gate in Program Register ๗๖

๔.๒๙ Actual Logic Diagram of Memory Buffer Register ๗๖

๔.๓๐ Actual Circuit Diagram of One Bit in Memory Buffer Register ๗๗

๔.๓๑ Actual Circuit Diagram of Control Gate in Memory Buffer Register ๗๗

๔.๓๖ Actual Logic Diagram of Accumulator Register.. ๗๘

๔.๓๗ Actual Circuit Diagram of One Bit in Accumulator Register ๗๘

๔.๓๘ Actual Circuit Diagram of Control Gate in Accumulator Register ๗๙

๔.๓๙ Actual Logic Diagram of Address Register ๗๙

รูปที่ หน้า

๔.๖๖ Actual Logic Diagram of One bit in Address Register ๗๐

๔.๖๗ Actual Logic Diagram of Parallel Adder Gate ๗๐

๔.๖๘ Actual Logic Diagram of Full Adder Circuit ๗๑

๔.๖๙ Actual Circuit Diagram of Full Adder Circuit ... ๗๑

๔.๗๐ Actual Logic Diagram of Function Decoder and Address Decoder Circuit ๗๒

๔.๗๑ Actual Circuit Diagram of Function Decoder and Address Decoder Circuit ๗๓

๔.๗๒ Actual Logic and Circuit Diagram Transfer Control Gate ๗๔

๔.๗๓ Actual Logic and Circuit Diagram of One's Complement Control Gate ๗๕

๔.๗๔ Actual Logic and Circuit Diagram of Overflow Flip Flop Circuit ๗๖

๔.๗๕ Actual Logic and Circuit Diagram of Indicator Circuit ๗๗

๔.๗๖ Actual Logic Diagram of Instruction Control Gate ๗๘

๔.๗๗ Actual Logic Diagram of Overflow Checker Circuit ๗๙

๔.๗๘ Actual Circuit Diagram of AND Gate in Instruction Control and Overflow Checker Circuits ๗๙

รูปที่ หน้า

๔.๓๔ Actual Circuit Diagram of OR Gate in Instruction Control and Overflow Checker Circuits ๘๐

๔.๔๐ Actual Circuit Diagram of NOR Gate in Instruction Control and Overflow Checker Circuits ๘๐

๔.๔๑ Actual Logic Diagram of Sequence Control Circuit ๘๑

๔.๔๒ Actual Circuit Diagram of Sequence Control Circuit ๘๒

๔.๔๓ Actual Logic Diagram of Timing Control Circuit ๘๓

๔.๔๔ Actual Circuit Diagram of Timing Control Circuit ๘๔

๔.๔๕ Actual Logic and Circuit Diagram of Clock Circuit ๘๕

๔.๑ Equivalent Circuit of Flip-Flop Circuit for Design ๘๗

๔.๒ Simplify Circuit สำหรับรูปที่ ๔.๑ ..... ๘๑

๔.๓ Equivalent Circuit of TL Circuits for Design .. ๘๓

๔.๔ Equivalent Circuit of DL OR Circuit for Design.. ๘๔

๔.๕ Equivalent Circuit of DL AND Circuit for Design ๘๖

๔.๖ Equivalent Circuit of DTL NOR Gate for Design .. ๘๘

๔.๗ Equivalent Circuit of DTL NAND Gate for Design.. ๘๘

๔.๘ Equivalent Circuit of Exculsive-OR for Design...๑๐๓

๔.๙ Equivalent Circuit of Pulse-OR Gate for Design ๑๐๕

๔.๑๐ Equivalent Circuit of Display Circuit for Design ๑๐๘

รูปที่ หน้า

๔.๑๐ Equivalent Circuit of Diode Matrix Decoder for Design ๑๑๐

๔.๑๖ Limitation of R_1 and R_2 of Flip Flop Circuit use for Memory Register ๑๖๖

๔.๑๗ Limitation of R_1 and R_2 of DTL NAND Gate use in Parallel Full Adder ๑๖๘

๔.๑๘ Limitation of R_1 and R_2 of Inverter of TL AND Gate No. 2, 4 and 5 ..... ๑๖๗

๔.๑๔ Front View of the Complete System..... ๑๓๔

๔.๑๖ Partial Rear View of System Wiring ๑๓๖

๔.๑๗ Partial Front View of Logic Function In Installation ๑๓๖

๔.๑๘ Side View of Logic Function Module ๑๓๗

๔.๑๙ Voltage and Logic Connection of Logic Function Module ๑๓๗

.....