การออกแบบวงจรรวมขนาดใหญ่มากเพื่อจัดการข้อมูลแถวคอย

นาย สุเมธ อังคะศิริกุล

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิทยาศาสตรมหาบัณฑิต
ภาควิชาวิศวกรรมคอมพิวเตอร์
บัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย
พ.ศ. 2537

ISBN 974-584-401-2

ลิขสิทธิ์ของบัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย

I17272804

VLSI DESIGN FOR QUEUE MANAGEMENT

Mister Sumet Angkasirikul

A Thesis Submitted in Partial Fulfillment of the Requirements

for the Degree of Master of Science

Department of Computer Engineering

Graduate School

Chulalongkorn University

1994

ISBN 974-584-401-2

หัวข้อวิทยานิพนธ์	การออกแบบวงจรรวมขนาดใหญ่มากเพื่อจัดการข้อมูลแถวคอย
โดย	นายสุเมธ อังคะศิริกุล
ภาควิชา	วิศวกรรมคอมพิวเตอร์
อาจารย์ที่ปรึกษา	ผู้ช่วยศาสตราจารย์สุยุชน์ สัตยประกอบ
	ผู้ช่วยศาสตราจารย์บุญชัย โสวรรณวณิชกุล

บัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย อนุมัติให้นับวิทยานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาหลักสูตรปริญญามหาบัณฑิต

..... **คณบดีบัณฑิตวิทยาลัย**

(**ศาสตราจารย์ ดร. ถาวร วัชราภัย**)

คณะกรรมการสอบวิทยานิพนธ์

..... **ประธานกรรมการ**

(**ดร. สมชาย ประสิทธิ์จูตระกูล**)

..... **อาจารย์ที่ปรึกษา**

(**ผู้ช่วยศาสตราจารย์ สุยุชน์ สัตยประกอบ**)

..... อาจารย์ที่ปรึกษาร่วม

(**ผู้ช่วยศาสตราจารย์ บุญชัย โสวรรณวณิชกุล**)

..... **กรรมการ**

(**ดร. ฐิต ศิริบูรณ์**)

พิมพ์ต้นฉบับบทคัดย่อวิทยานิพนธ์ภายในกรอบสีเขียวนี้เพียงแผ่นเดียว

สุเมธ อังคะศิริกุล : การออกแบบวงจรรวมขนาดใหญ่มากเพื่อจัดการข้อมูลแถวคอย (VLSI DESIGN FOR QUEUE MANAGEMENT) อ.ที่ปรึกษา : ผศ.สุยุชน์ สัตยประกอบ อ.ที่ปรึกษาร่วม : ผศ.บุญชัย โสวรรณวณิชกุล, 153 หน้า. ISBN 974-584-401-2

งานวิจัยนี้มีวัตถุประสงค์เพื่อศึกษาทฤษฎีเบื้องต้นของวงจรรวมและการออกแบบวงจรรวม การออกแบบวงจรอิเล็กทรอนิกส์เพื่อจัดสร้างวงจรให้ทำกระบวนการจัดการโครงสร้างข้อมูลแถวคอยแทนการใช้กระบวนการทางซอฟต์แวร์ และยกตัวอย่างการใช้งาน นำวงจรจัดการแถวคอยไปออกแบบเป็นวงจรรวมขนาดใหญ่มาก ทดสอบการทำงานวงจรรวมโดยวิธีจำลองการทำงาน

ในการดำเนินการวิจัยได้ออกแบบวงจรอิเล็กตรอนิกส์เพื่อจัดการข้อมูลแถวคอย ทดสอบการทำงานโดยใช้โปรแกรมจำลองการทำงานทางลอจิกออแคด ออกแบบวงจรรวมจัดการแถวคอยเป็นวงจรรวม 3 ประเภทได้แก่ อุปกรณ์เกทอาเรย์ที่โปรแกรมได้ไซลิง วงจรรวมเซมิคัสตอมที่ใช้เซลมาตรฐานของแฮริสเอสซี 3000 และวงจรรวมฟูลคัสตอมโดยใช้โปรแกรมช่วยออกแบบเซอแคดทู ทดสอบการทำงานโดยใช้ส่วนคำสั่งจำลองการทำงานของโปรแกรมช่วยออกแบบภายใต้สภาวะการทำงานที่กำหนด จัดส่งวงจรรวมเซมิคัสตอมที่ใช้เซลมาตรฐานไปทำการเจือสารจริงที่โรงงานเจือสารในประเทศออสเตรเลีย นอกจากนี้ได้แสดงการประยุกต์ใช้วงจรจัดการแถวคอยโดยได้ออกแบบวงจรอิเล็กตรอนิกส์และวงจรรวมอุปกรณ์เกทอาเรย์ที่โปรแกรมได้ไซลิงเป็นวงจรปรินเตอร์สปูลเลอร์เพื่อเป็นตัวอย่างด้วย

ผลของการดำเนินโครงการวิจัยได้ผลจากการจำลองการทำงานตรงตามข้อระบุในการออกแบบ รวมทั้งการทำงานของวงจรรวมเซมิคัสตอมที่ได้เจือสารนั้นใช้งานได้ตามข้อระบุด้วย ผู้วิจัยได้ทำการเปรียบเทียบการใช้งานวงจรรวมแต่ละชนิดในด้านระดับความซับซ้อนของการออกแบบ ระยะเวลาที่ใช้ในการออกแบบและจัดสร้าง ค่าใช้จ่ายเพื่อการจัดสร้างอุปกรณ์ต้นแบบ และได้เสนอข้อคิดเห็นสำหรับความเหมาะสมในการใช้วงจรรวมแต่ละชนิดในตอนท้าย

ภาควิชา วิศวกรรมคอมพิวเตอร์ ลายมือชื่อนิสิต .....

สาขาวิชา วิทยาศาสตร์คอมพิวเตอร์ ลายมือชื่ออาจารย์ที่ปรึกษา .....

ปีการศึกษา 2536 ลายมือชื่ออาจารย์ที่ปรึกษาร่วม .....

พิมพ์ต้นฉบับบทคัดย่อวิทยานิพนธ์ภายในกรอบสีเขียวนี้เพียงแผ่นเดียว

C216820 : MAJOR COMPUTER SCIENCE
KEY WORD : VLSI DESIGN / QUEUING DATA MANAGEMENT
SUMET ANGKASIRIKUL : VLSI DESIGN FOR QUEUE MANAGEMENT ,
THESIS ADVISOR : ASST. PROF. SUYUT SATAYAPRAKORB, THESIS CO-ADVISOR :
ASST.PROF.BOONCHAI SOWANWANICHAKUL 153 pp. ISBN 974-584-401-2

The objectives of this project are to study the principle of the integrated circuit (IC) and the integrated circuit theory, design the electronic circuit for building the queuing data structure management algorithm instead of using software process, implement the algorithm on application specific IC and test the algorithm on the computer simulation process.

The research designs the electronic circuit for managing the queuing data. The experimental test is done by using the ORCAD program to build the logic simulation model. The circuit is implemented into 3 categories, gate array, semi-custom and full custom. First, the gate array is designed by using XILINX field programable gate array. Second, The semi-custom IC is designed by using the Harris SC 3000 standard cell and lastly, the full-custom IC is designed by using CIRCAD II software under the CMOS 1.5 micron double metal technology. The simulations of the operations for each category under the same conditions are tested. The semi-custom IC which is used Harris SC 3000 standard cell is sent to be fabricated in Australia. The research is also applied the algorithm to use as printer spooler.

The results from the research are as expected. The comparisons of the complexity of the design, time needed for designing and prototype building, cost of building the prototype and concluding remarks are also commented in the paper.

ภาควิชา วิศวกรรมคอมพิวเตอร์ ลายมือชื่อนิสิต .....

สาขาวิชา วิทยาศาสตร์คอมพิวเตอร์ ลายมือชื่ออาจารย์ที่ปรึกษา .....

ปีการศึกษา 2536 ลายมือชื่ออาจารย์ที่ปรึกษาร่วม .....

หอสมุดกลาง สถาบันวิทยบริการ จุฬาลงกรณ์มหาวิทยาลัย

กิตติกรรมประกาศ

วิทยานิพนธ์นี้สำเร็จลุล่วงได้ด้วยความช่วยเหลืออย่างดียิ่งของผู้ช่วยศาสตราจารย์สุยุชน์ สัตยประกอบ อาจารย์ที่ปรึกษาวิทยานิพนธ์ ผู้ช่วยศาสตราจารย์ บุญชัย โสวรรณวณิชกุล อาจารย์ที่ปรึกษาร่วม ซึ่งได้ให้คำแนะนำและข้อคิดเห็นต่าง ๆ ของการวิจัยด้วยดีโดยตลอด ขอขอบคุณ ดร.บวร ปภัสราทร ที่ได้ให้คำแนะนำที่เป็นประโยชน์ต่อการวิจัย นายอนุชาติ ทัศนวิบูลย์ นายประเสริฐ คันธมานนท์ ผู้ให้ความช่วยเหลือและร่วมมือในการใช้เครื่องมือเพื่อทำการวิจัย ขอขอบคุณเป็นพิเศษต่อ นายวิชัย เอี่ยมสินวัฒนา ผู้ให้ความร่วมมือและความช่วยเหลือเป็นอย่างดียิ่งสำหรับการใช้เครื่องมือเพื่อการออกแบบและจำลองผลการทำงานในการวิจัย ขอบคุณนางสาวนวลอนงค์ ศรีภักดิ์ และนางสาวอรุณี โอฬารานนท์ ผู้พิมพ์และเรียบเรียงรูปเล่มหนังสือวิทยานิพนธ์นี้

ท้ายนี้ ผู้วิจัยขอกราบขอบพระคุณ บิดา-มารดา ซึ่งให้กำลังใจแก่ผู้วิจัยเสมอมาจนสำเร็จการศึกษา

สารบัญ

หน้า

บทคัดย่อภาษาไทย ..... ง

บทคัดย่อภาษาอังกฤษ ..... จ

กิตติกรรมประกาศ ..... ฉ

สารบัญตาราง ..... ช

สารบัญภาพ ..... ฌ

บทที่

1. บทนำ 1
2. ทฤษฎีวงจรรวมขนาดใหญ่มากและการออกแบบ 6
3. โปรแกรมจัดการข้อมูลแถวคอยและประโยชน์การใช้ข้อมูลแถวคอย 42
4. การออกแบบวงจรจัดการข้อมูลแถวคอย 55
5. การออกแบบวงจรรวมจัดการข้อมูลแถวคอย 90
6. การนำวงจรจัดการแถวคอยไปใช้ในสปูลเลอร์สำหรับเครื่องพิมพ์ 128
7. สรุปการวิจัยและข้อเสนอแนะ 147

รายการอ้างอิง 149

ภาคผนวก 150

ประวัติผู้เขียน 152

สารบัญตาราง

หน้าที่

ตารางที่ 1.1 วิวัฒนาการของวงจรรวม..... 7

ตารางที่ 6.1 เปรียบเทียบระดับความซับซ้อนของการออกแบบวงจรรวม 142

ตารางที่ 6.2 เปรียบเทียบระยะเวลาที่ใช้ออกแบบจำลองผลและจัดสร้างวงจรรวม..... 143

ตารางที่ 6.3 เปรียบเทียบค่าใช้จ่ายในการจัดสร้างวงจรรวม 144

สารบัญรูปภาพ

หน้า

รูปที่ 2.1 วงจรรวมพีเอแอล (Programmable Array Logic, PAL) 10

รูปที่ 2.2 วงจรรวมพีแอลเอ (Programmable Logic, Array, PLA) 11

รูปที่ 2.3 การเชื่อมต่อ CLB ในวงจรรวมเกทอาเรย์ที่โปรแกรมได้ 12

รูปที่ 2.4 ตัวอย่างมาโครเซลของวงจรรวมเกทอาเรย์ 13

รูปที่ 2.5 การจำแนกวงจรรวมประเภทต่าง ๆ 15

รูปที่ 2.6 ขั้นตอนการออกแบบวงจรรวมเฉพาะกิจ 16

รูปที่ 2.7 โครงสร้างของทรานซิสเตอร์แบบมอส 19

รูปที่ 2.8 ทรานซิสเตอร์มอสชนิดต่างๆ 20

รูปที่ 2.9 การทำงานของทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์ในเทอมของ 21
V_{ds} PV(Vgs > Vt)

รูปที่ 2.10 เปรียบเทียบกราฟระหว่าง Vgs กับ Ids ของทราสซิสเตอร์แบบ 22
เอ็นฮานซ์เมนต์และดีพลีทชั่น ทั้งเอ็นมอสและพีมอส

รูปที่ 2.11 สัญญลักษณ์ของทรานซิสเตอร์มอส 23

รูปที่ 2.12 พาสทรานซิสเตอร์ 25

รูปที่ 2.13 แสดงลักษณะของทรานซิสเตอร์ในแบบของสวิทช์ 26

รูปที่ 2.14 คอมพลีเมนทารี สวิทช์ 26

รูปที่ 2.15 โครงสร้างของวงจรคอมไบเนชั่นแบบเอ็นมอส 27

รูปที่ 2.16 วงจรของ f = (ab + c) 29

รูปที่ 2.17 โครงสร้างของวงจรคอมไบเนชั่นแบบซีมอส 30

รูปที่ 2.18 วงจรคอมไบเนชั่นลอจิกแบบซีมอส ตามสมการ f = x + yz 31

รูปที่ 2.19 วงจร CMOS NOR gate 31

รูปที่ 2.20 วงจร CMOS NAND gate 31

รูปที่ 2.21 กฎการออกแบบสำหรับเทคโนโลยีเอ็นมอส 35

รูปที่ 2.22 กฎการออกแบบสำหรับเทคโนโลยีแบบซีมอส 38

รูปที่ 2.23 แผนภาพแบบเส้นและสัญญลักษณ์ 39

รูปที่ 2.24 แผนภาพแบบเส้นแสดงวงจรของเอ็นมอสอินเวอร์ทเตอร์ 40
รูปที่ 2.25 เทคโนโลยีพีเวลล์ 40
รูปที่ 2.26 เทคโนโลยีเอ็นเวลล์ 41
รูปที่ 2.27 เทคโนโลยีทวินทับ 41
รูปที่ 3.1 ข้อมูลแถวคอยและตัวอย่างการทำงาน 42
รูปที่ 3.2 การใช้งานสปูลเลอ 43
รูแที่ 3.3 ปัญหาแถวคอยอย่างง่ายจะแสดงว่าแถวคอยเต็มเมื่อ TAIL ชี้ตำแหน่ง 45
สูงสุด
รูปที่ 3.4 แถวคอยวงแหวนเมื่อเพิ่มข้อมูลหลังจาก TAIL มีค่าสูงสุดแล้ว 46
เริ่มที่ค่าต่ำสุดใหม่
รูปที่ 3.5 ผังภาพวงจรปรินเตอร์สปูลเลอร์ 48
รูปที่ 4.1 สัญญาณต่างๆ ของอุปกรณ์หน่วยความจำ 56
รูปที่ 4.2 ผังเวลาการทำงานของหน่วยความจำ 6264 57
รูปที่ 4.3 อุปกรณ์ D-Flip Flop ที่ใช้สร้างตัวแปร 58
รูปที่ 4.4 การจัดโครงสร้างตัวแปรอินเดกซ์โดยใช้รีจิสเตอร์ 58
รูปที่ 4.5 วงจรมัลติเพลกเซอร์ที่ใช้เลือกอินเดกซ์ 59
รูปที่ 4.6 วงจรบัฟเฟอร์ 3 สถานะที่ใช้เลือกอินเดกซ์ 59
รูปที่ 4.7 วงจรเปรียบเทียบข้อมูลมีค่าเท่ากันโดยใช้ Exclusive-OR และ AND gate 60
รูปที่ 4.8 วงจรบวกเลข (ก) Half Adder (ข) Full Adder 61
รูปที่ 4.9 วงจร NEXT_INDEX ซึ่งสร้างจากวงจรบวกเลข Half Adder 62
รูปที่ 4.10 ใช้บัฟเฟอร์เลือกใช้ NEXT_INDEX 62
รูปที่ 4.11 ใช้ NEXT_INDEX แยกจากกัน 62
รูปที่ 4.12 แผนผังกล่องดำของอัลกอริธึม Q_INSERT และ Q_REMOVE 63
รูปที่ 4.13 ผังเวลาควบคุมการทำงานของหน่วยความจำ RAM 64
รูปที่ 4.14 ส่วนวงจร Q.TAIL := NEXT_INDEX (Q.TAIL) 65
รูปที่ 4.15 การใช้วงจรชิพรีจิสเตอร์เพื่อสร้างลำดับการทำงาน 4 ลำดับ 66
รูปที่ 4.16 การใช้วงจรนับเลขฐาน 2 และถอดรหัสเป็นวงจรสร้างสัญญาณลำดับ 67

รูปที่ 4.17 วงจรตรวจสอบ IF NOT Q_FULL และ ERROR 68

รูปที่ 4.18 การใช้รีจิสเตอร์เพื่อรับข้อมูลออกจากอาเรย์ 69

รูปที่ 4.19 ผังเวลาของการนำข้อมูลออกจากอาเรย์ 69

รูปที่ 4.20 คำสั่ง Q.HEAD := NEXT_INDEX(Q.HEAD) 70

รูปที่ 4.21 วงจร IF NOT Q_EMPTY 71

รูปที่ 4.22 วงจรสำหรับสัญญาณควบคุมอาเรย์ 71

รูปที่ 4.23 แผนภาพวงจรหลักของวงจรจัดการข้อมูลแถวคอย 72

รูปที่ 4.24 แผนภาพวงจรย่อย Queue Management 73

รูปที่ 4.25 แผนภาพวงจรย่อย List Array ซึ่งใช้หน่วยความจำ Static RAM 74

รูปที่ 4.26 ส่วนวงจรย่อย VAR8BIT 74

รูปที่ 4.27 ส่วนวงจรย่อย BUF8BIT 75

รูปที่ 4.28 ส่วนวงจรย่อย VAR13BIT 75

รูปที่ 4.29 ส่วนวงจรย่อย BUFF13BIT 76

รูปที่ 4.30 ส่วนวงจรย่อย NEXT_INDEX 76

รูปที่ 4.31 ส่วนวงจรย่อย EQUAL 77

รูปที่ 4.32 ส่วนวงจรย่อย SEQ5 77

รูปที่ 4.33 ส่วนวงจรย่อย INS_DEL 78

รูปที่ 4.34 รายการอุปกรณ์วงจรรวมมาตรฐานในตระกูล 74LSxx ที่ใช้กับ 78
วงจรจัดการข้อมูลแถวคอย

รูปที่ 4.35 รูปสัญญาณที่ใช้ควบคุมหน่วยความจำ 80

รูปที่ 4.36 ผลของการจำลองการทำงานในสภาวะตั้งต้น 81

รูปที่ 4.37 ผลของการจำลองการทำงานการเพิ่มข้อมูลหลังสภาวะตั้งต้น 82

รูปที่ 4.38 ผลการจำลองการเพิ่มข้อมูลที่ยังไม่ทำให้แถวคอยเต็ม 83

รูปที่ 4.39 ผลการจำลองการเพิ่มข้อมูลแล้วทำให้แถวคอยเต็ม 84

รูปที่ 4.40 ผลการจำลองการเพิ่มข้อมูลเมื่อแถวคอยเต็มแล้ว 85

รูปที่ 4.41 ผลการจำลองการนำข้อมูลออกเมื่อมีข้อมูลในแถวคอยมากกว่า 1 ตัว 86

รูปที่ 4.42 ผลการจำลองการนำข้อมูลออกแล้วทำให้แถวคอยว่างเปล่า 87

รูปที่ 4.43 ผลการจำลองการนำข้อมูลออกจากแถวคอยเมื่อแถวคอยว่างอยู่ 88

รูปที่ 5.1 วงจร MEMORY COUNTER 8 BIT 91

รูปที่ 5.2 ภาพแสดงส่วนประกอบภายใน MEMORY COUNTER 8 BIT 92

รูปที่ 5.3 ภาพแสดงรายละเอียด COUNTER 8 BIT 93

รูปที่ 5.4 แสดงรายละเอียด COUNTER 1 BIT 94

รูปที่ 5.5 แสดงรายละเอียด HALF ADDER 1 BIT 95

รูปที่ 5.6 แสดงรายละเอียด TRISTATE BUFFER 8 BIT 96

รูปที่ 5.7 แสดงรายละเอียด COMPARE 8 BIT 97

รูปที่ 5.8 ผังวงจรรวม buff3st 99

รูปที่ 5.9 ผังวงจรรวม inv อุปกรณ์อินเวอร์ทเตอร์ (Inverter) 100

รูปที่ 5.10 ผังวงจรรวม nand 2i อุปกรณ์แนนเกท (NAND gate) 2 อินพุท 101

รูปที่ 5.11 ผังวงจรรวม nand 3i อุปกรณ์แนนเกท (NAND gate) 3 อินพุท 102

รูปที่ 5.12 ผังวงจรรวม nand 4i อุปกรณ์แนนเกท (NAND gate) 4 อินพุท 103

รูปที่ 5.13 ผังวงจรรวม and 2i อุปกรณ์แอนเกท (AND gate) 2 อินพุท 104

รูปที่ 5.14 ผังวงจรรวม and 3i อุปกรณ์แอนเกท (AND gate) 3 อินพุท 105

รูปที่ 5.15 ผังวงจรรวม and 4i อุปกรณ์แอนเกท (AND gate) 4 อินพุท 106

รูปที่ 5.16 ผังวงจรรวม nor 2i อุปกรณ์แนนเกท (NOR gate) 2 อินพุท 107

รูปที่ 5.17 ผังวงจรรวม nor 3i อุปกรณ์แนนเกท (NOR gate) 3 อินพุท 108

รูปที่ 5.18 ผังวงจรรวม nor 4i อุปกรณ์แนนเกท (NOR gate) 4 อินพุท 109

รูปที่ 5.19 ผังวงจรรวม or 2i อุปกรณ์แอนเกท (OR gate) 2 อินพุท 110

รูปที่ 5.20 ผังวงจรรวม or 3i อุปกรณ์แอนเกท (OR gate) 3 อินพุท 111

รูปที่ 5.21 ผังวงจรรวม or 4i อุปกรณ์แอนเกท (OR gate) 4 อินพุท 112

รูปที่ 5.22 ผังวงจรรวม d_flipfllop 113

รูปที่ 5.23 ผังวงจรรวม next1bit 114

รูปที่ 5.24 ผังวงจรรวม equ1bit วงจรเปรียบเทียบข้อมูล 1 บิท 115

รูปที่ 5.25 ภาพแบบหน้ากากวงจรรวมวงจร var8bit 117

รูปที่ 5.26 วงจรรวม buff8bit 118

รูปที่ 5.27 ภาพแบบหน้ากากวงจรรวมวงจร shift5bit 119
รูปที่ 5.28 ภาพแบบหน้ากากวงจรรวมวงจร next8bit 120
รูปที่ 5.29 ภาพแบบหน้ากากวงจรรวมวงจร equ8bit 121
รูปที่ 5.30 ภาพแบบหน้ากากวงจรรวมวงจร rs_flipflop 122
รูปที่ 5.31 ภาพแบบหน้ากากวงจรรวมวงจร seq5 123
รูปที่ 5.32 ภาพแบบหน้ากากวงจรรวมวงจร ins_del 124
รูปที่ 5.33 วงจรรวมฟูลคัสตอมจัดการข้อมูลแถวคอย 125
รูปที่ 6.1 ผังระดับบนสุดของวงจรปรินเตอร์สปูลเลอร์ 132
รูปที่ 6.2 ผังส่วนวงจรควบคุมพรินเตอสปูลเลอ 133
รูปที่ 6.3 ผังส่วนวงจรจัดการข้อมูลแถวคอย 134
รูปที่ 6.4 ส่วนวงจรที่เป็นโปรแกรมย่อย 134
รูปที่ 6.5 ส่วนวงจร Data Arrived 135
รูปที่ 6.6 ส่วนวงจร Acknowledge Arrived 135
รูปที่ 6.7 ส่วนวงจร Main Program 136
รูปที่ 6.8 ส่วนวงจร Main Structure 136
รูปที่ 6.9 ส่วนวงจร Main Command 137
รูปที่ 6.10 ส่วนวงจร INITIALIZE 137
รูปที่ 6.11 ส่วนวงจร FAULT enable 138
รูปที่ 6.12 ผังส่วนวงจร input/output buffer 138
รูปที่ 6.13 วงจรย่อยตัวแปร Dat In 139
รูปที่ 6.14 วงจรเปรียบเทียบ Q_empty และ Q_full 139
รูปที่ 6.15 วงจรตัวแปร Q.Head และ Q.Tail 140
รูปที่ 6.16 วงจร NextIndex 140
รูปที่ 6.17 วงจร Head/Tail Buffer 141
รูปที่ 6.18 วงจรอาเรย์ 141