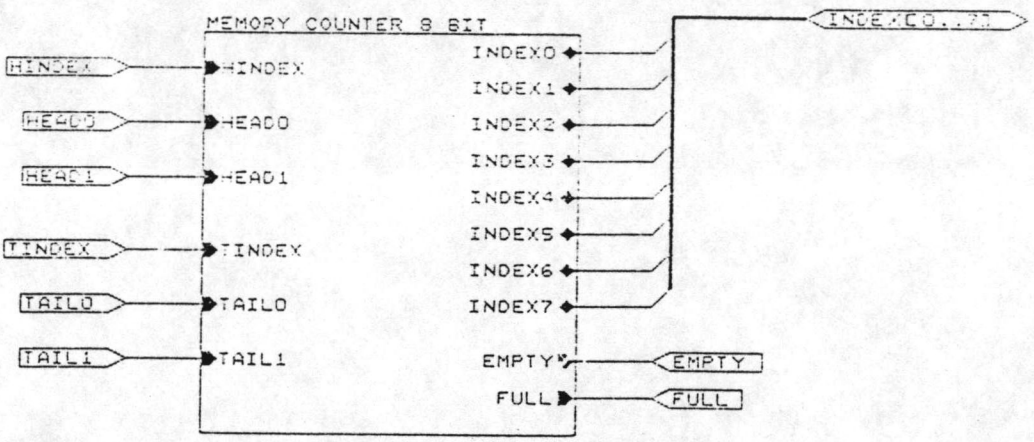
บทที่ 5

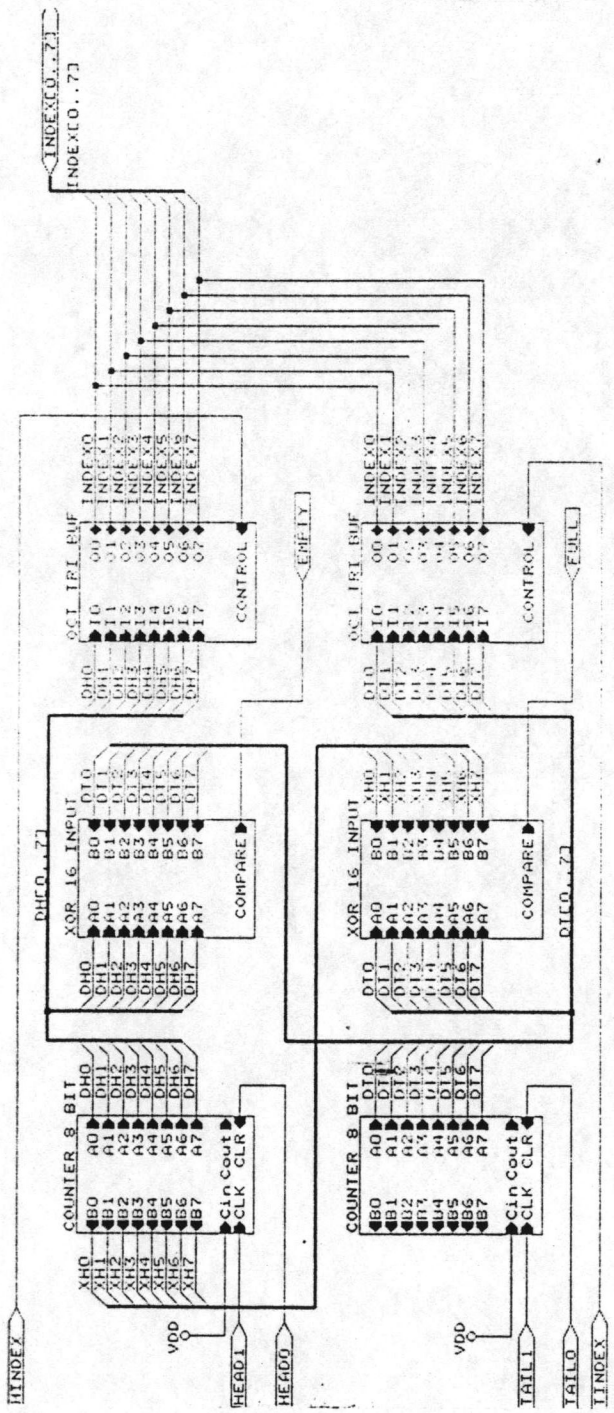
วงจรรวมจัดการข้อมูลแถวคอย

1. วงจรรวมจัดการแถวคอยที่ใช้เซลล์มาตรฐาน

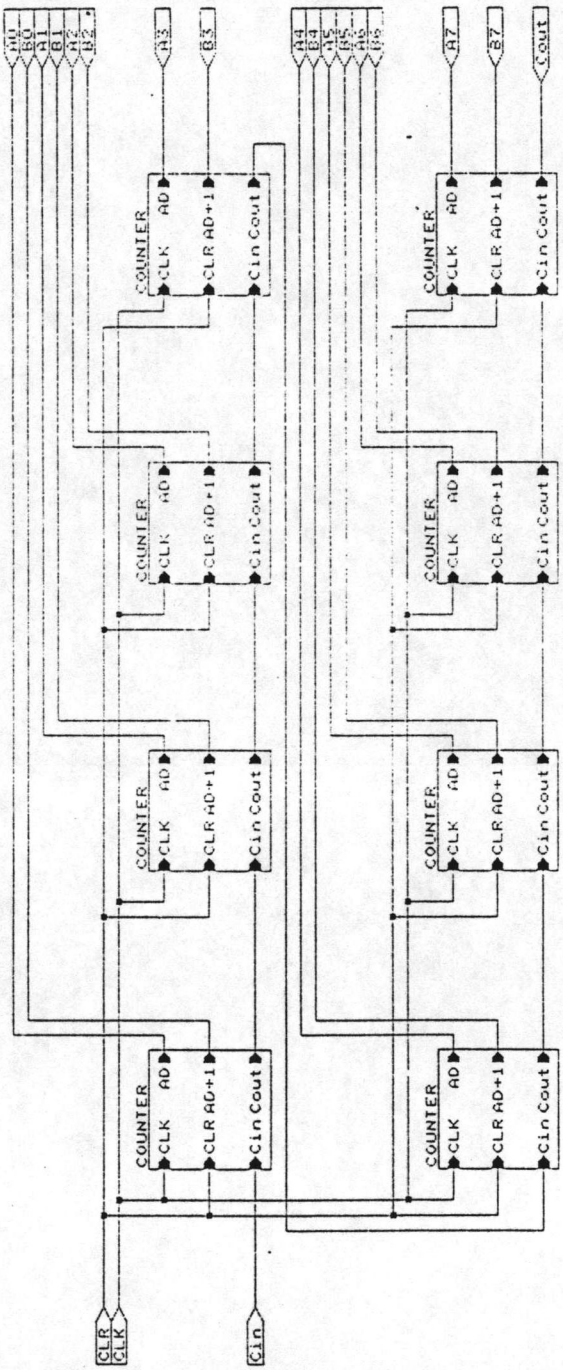
ในการวิจัยนี้ได้ทำการทดลองออกแบบวงจรรวมเซลล์มาตรฐาน (Standard Cell) สำหรับจัดการข้อมูลแถวคอยได้เลือกเซลล์มาตรฐานของแฮริสเอสซี 3000 (Harris SC3000) สำหรับการจัดสร้างวงจรรวมโดยใช้เซลล์มาตรฐานนี้สามารถทำโดยการป้อนวงจรโดยใช้โปรแกรมออแคด และเลือกไลบรารี่ของอุปกรณ์เป็นอุปกรณ์ในตระกูลแฮริสเอสซี 3000 ซึ่งมีอุปกรณ์ให้เลือกใช้เช่นเดียวกับการใช้วงจรรวมทีทีแอลในตระกูล 74 LSxx ดังนั้น ในการจัดสร้างวงจรรวมโดยใช้เซลล์มาตรฐานได้กระทำกับวงจรบางส่วนซึ่งมีขนาดของอินเดกซ์เพียง 8 บิต และไม่มีส่วนของการสร้างสัญญาณลำดับได้ตั้งชื่อแบบเป็น MEMORY COUNTER 8 BIT ดังแสดงผังวงจรในรูปที่ 5.1 - 5.7 โดยได้ส่งแบบวงจรดังกล่าวไปเจือสาร ณ โรงงานเจือสาร AWA ประเทศออสเตรเลีย จากแบบวงจรโรงงานผู้เจือสารได้นำไปจัดวางผังหน้ากากวงจรรวมมีขนาดของวงจร 0.900 ตารางมิลลิเมตร ซึ่งเป็นขนาดของวงจรจริง 0.582 ตารางมิลลิเมตร ส่วนที่เหลือเป็นส่วนของอุปกรณ์แพด (Pad) ซึ่งเป็นอุปกรณ์ที่ใช้เชื่อมต่อกับขาของตัวอุปกรณ์ การส่งข้อมูลเนทลิสเป็นข้อมูลในรูปของข้อมูลมาตรฐาน CADL โดยใช้โปรแกรมชุดพัฒนาของแทนเนอร์ (TANNER LOGIC) การเจือสารกระทำในลักษณะ Multi Project Reticle ซึ่งในหน้ากากเจือสารหนึ่งจะประกอบด้วยแบบวงจรหลายแบบวงจรร่วมกันเจือสาร ผลจากการเจือสารได้รับวงจรรวมต้นแบบจำนวน 10 ตัว ทำการทดสอบวงจรรวมดังกล่าวได้ผลการทำงานตรงตามที่ต้องการจำนวน 3 ตัว ส่วนที่เหลือจำนวน 7 ตัวไม่สามารถใช้งานได้ ซึ่งคาดว่าเกิดจากความผิดพลาดของโรงงานผู้เจือสาร ระยะเวลาในการเจือสารใช้ระยะเวลาประมาณ 2 เดือนเศษจึงจะได้วงจรรวมตัวอย่างกลับมา



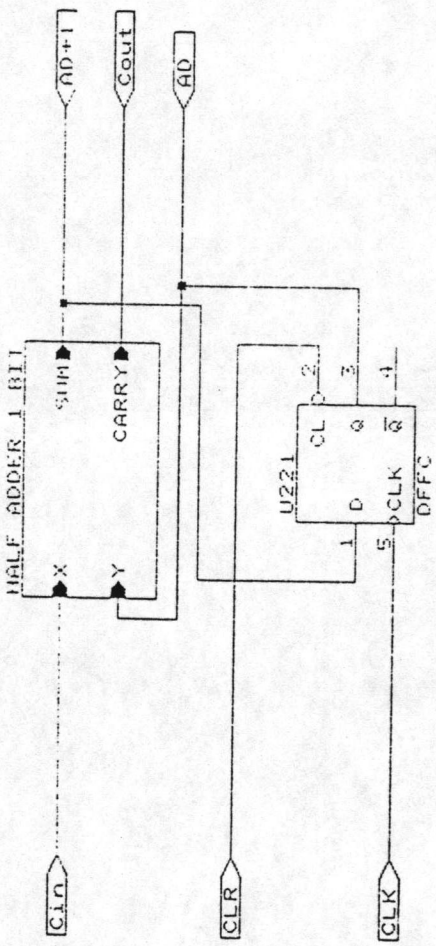
รูปที่ 5.1 วงจร MEMORY COUNTER 8 BIT



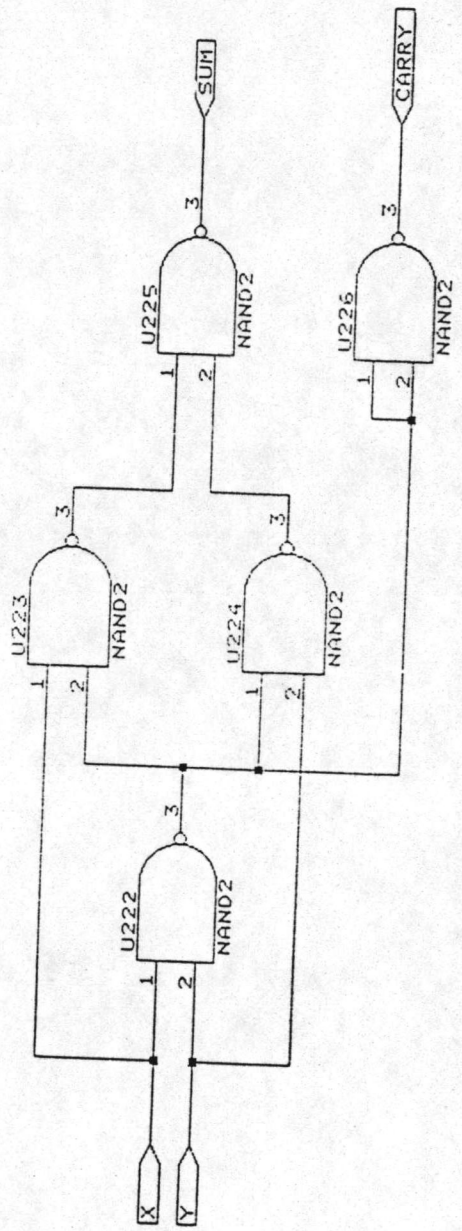
รูปที่ 5.2 ภาพแสดงส่วนประกอบภายใน MEMORY COUNTER 8 BIT



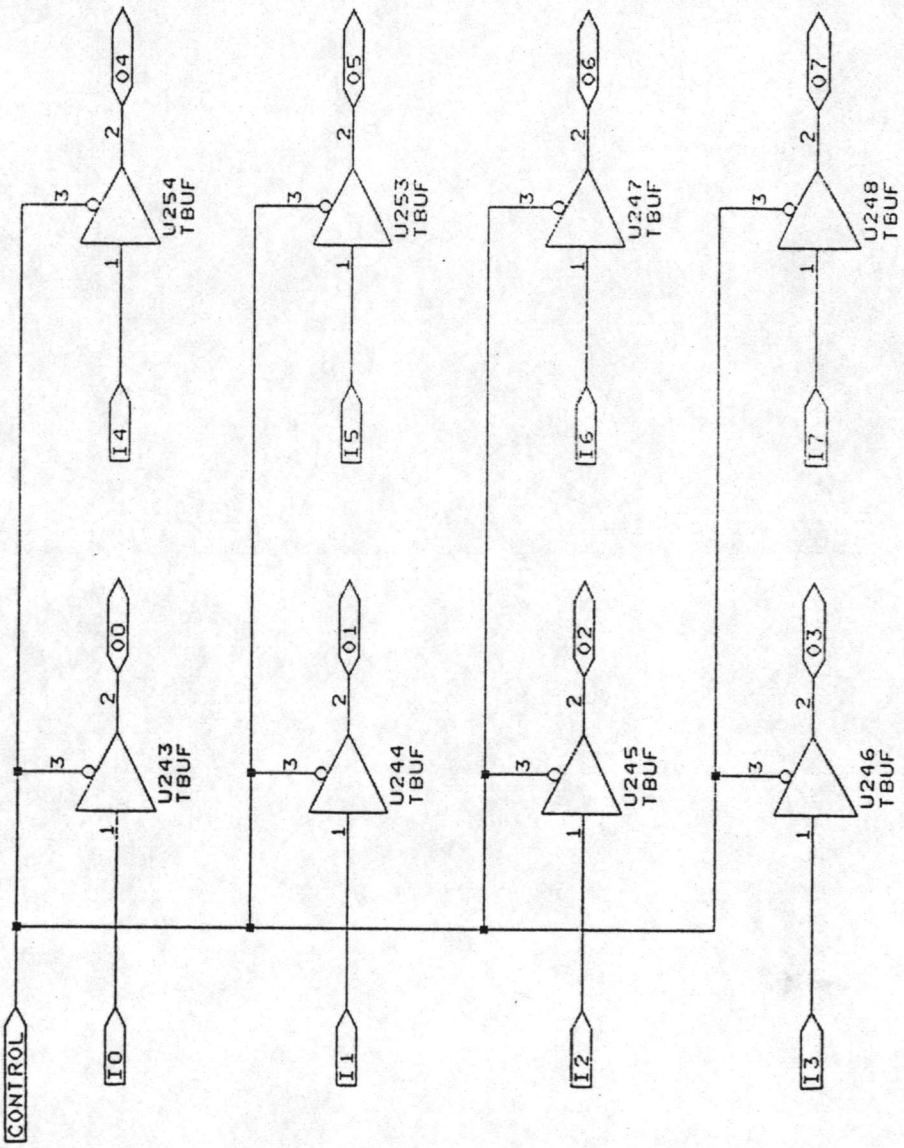
รูปที่ 5.3 ภาพแสดงรายละเอียด COUNTER 8 BIT



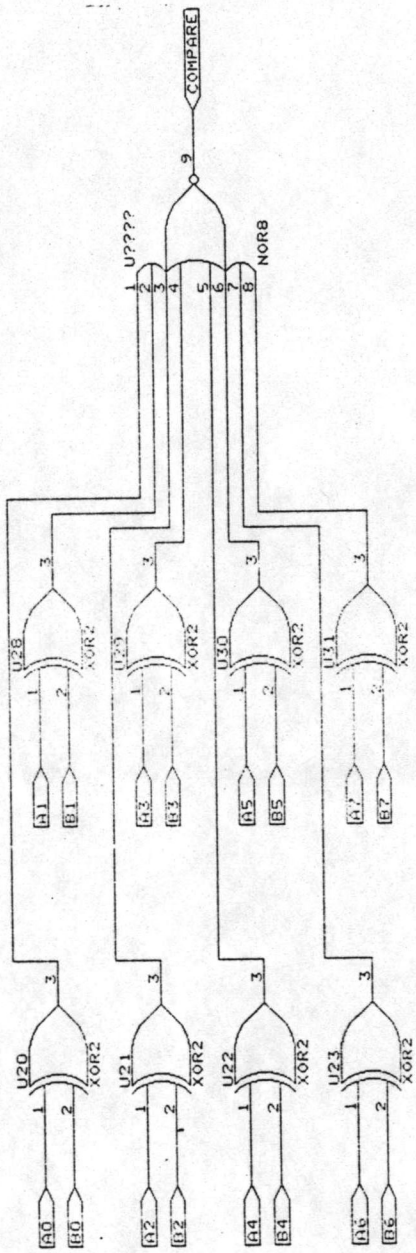
รูปที่ 5.4 แสดงรายละเอียด COUNTER 1 BIT



รูปที่ 5.5 แสดงรายละเอียด HALF ADDER 1 BIT



รูปที่ 5.6 แสดงรายละเอียด TRISTATE BUFFER 8 BIT



รูปที่ 5.7 แสดงรายละเอียด COMPARE 8 BIT

2. วงจรรวมฟูลคัสตอม

ในการวิจัยนี้ได้ทำการออกแบบหน้ากากวงจรรวม (mask layout) เฉพาะส่วนวงจรควบคุมโดยไม่รวมส่วนของอาเรย์หรือหน่วยความจำและออกแบบอินเดกซ์เพียง 8 บิต (อ้างหน่วยความจำได้ 256 บิต) โดยใช้โปรแกรมเซอแคดทู (CIRCID II) ซึ่งเป็นโปรแกรมที่ใช้ออกแบบหน้ากากได้ทั้งการใช้สัญญลักษณ์ (Symbolic layout) และออกแบบภูมิภาพ (geometry loyout) สำหรับการวิจัยนี้ออกแบบโดยใช้สัญญลักษณ์ซึ่งเทคโนโลยีของการจัดสร้างใช้เทคโนโลยีซีมอสชั้นโลหะคู่ ขนาดความละเอียด 1.5 ไมครอน (1.5 μm. DLM. CMOS)

การออกแบบวงจรรวมฟูลคัสตอมโดยใช้ซอฟต์แวร์เซอร์แคดทูโดยเริ่มจากการออกแบบวงจรภายในระดับเกทฟลิปฟลอบและอุปกรณ์ย่อยอื่น ๆ ซึ่งประกอบขึ้นจากทรานซิสเตอร์เรียกว่า ลีฟเซล (leafcell) และนำวงจรย่อย ๆ เหล่านี้ประกอบขึ้นเป็นโมดุลเซล (modul cell) ผลการออกแบบและจำลองการทำงานของลีฟเซลที่ได้จัดสร้างขึ้นแสดงดังภาพที่ 5.8 ถึง 5.24 ซึ่งผู้วิจัยได้ออกแบบอุปกรณ์ต่าง ๆ ได้แก่

buff3st อุปกรณ์บัฟเฟอร์ 3 สถานะ (3 state buffer)

inv อุปกรณ์อินเวอร์เตอร์ (Inverter)

nand 2i, nand 3i, nand 4i อุปกรณ์แนนเกท (NAND gate) 2 ,3 และ 4 อินพุท

and2i, and3i, and4i อุปกรณ์แอนเกท (AND gate) 2, 3 และ 4 อินพุท

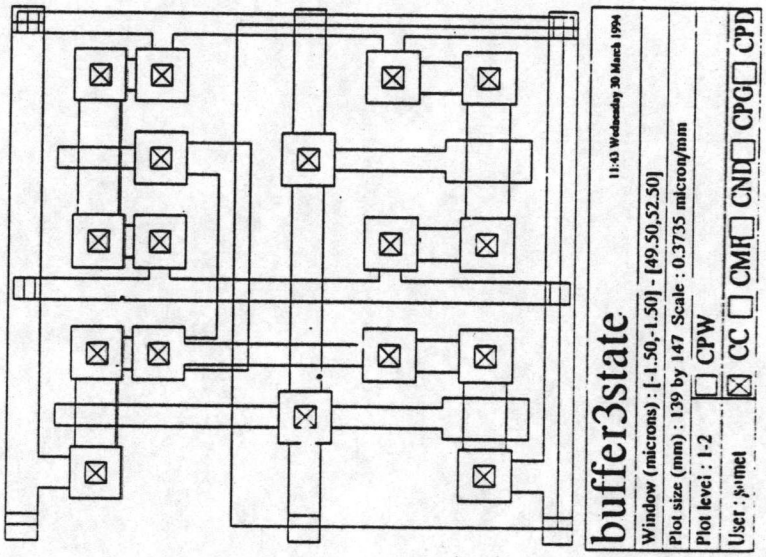
nor2i, nor3i, nor4i อุปกรณ์นอร์เกท (NOR gate) 2, 3 และ 4 อินพุท

or2i, or3i, or4i, อุปกรณ์วอร์เกท (OR gate) 2, 3 และ 4 อินพุท

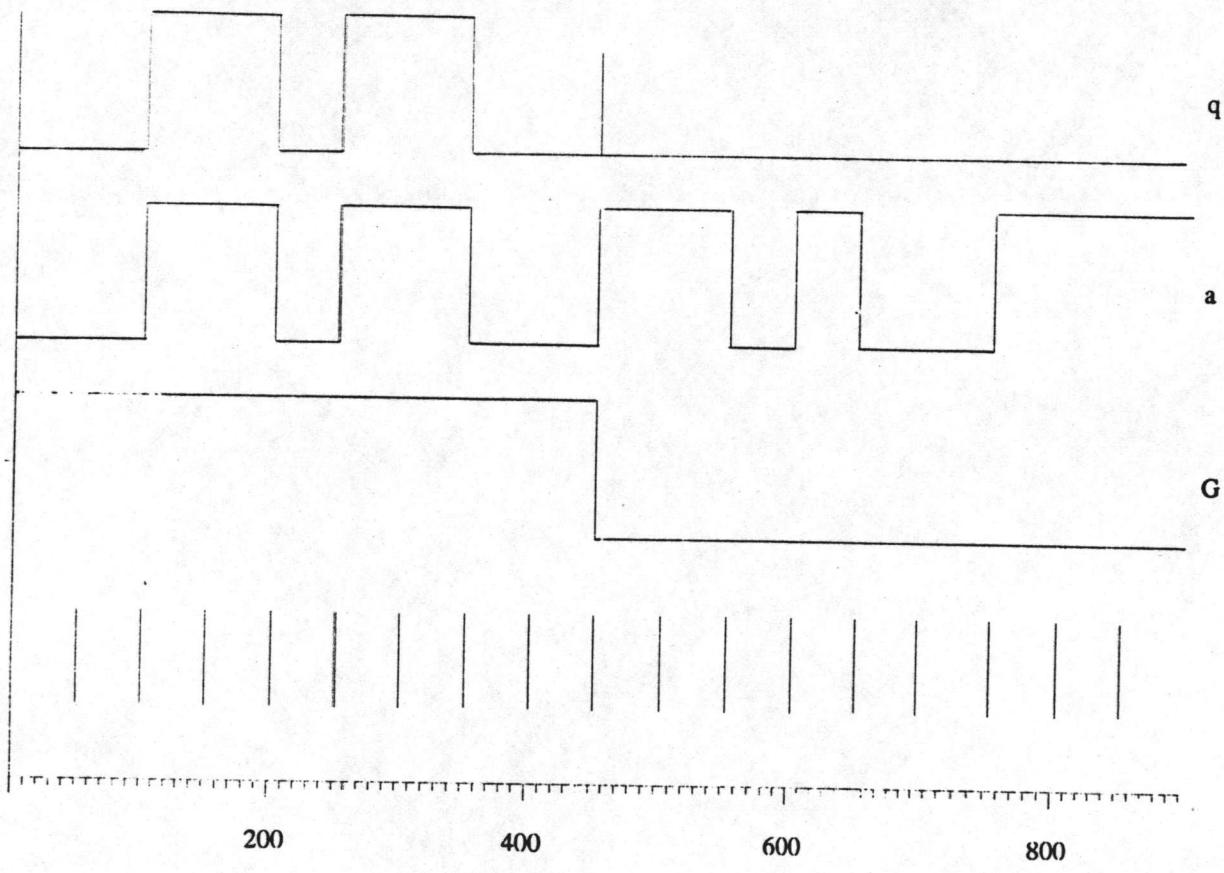
d_flipflop อุปกรณ์ดีฟลิปฟลอบ(D-FlipFlop) แบบมาสเตอร์สลาฟ

next1bit วงจร บวกเลข 1 บิต (1 bit half adder)

equ1bit วงจรเปรียบเทียบข้อมูล 1 บิต



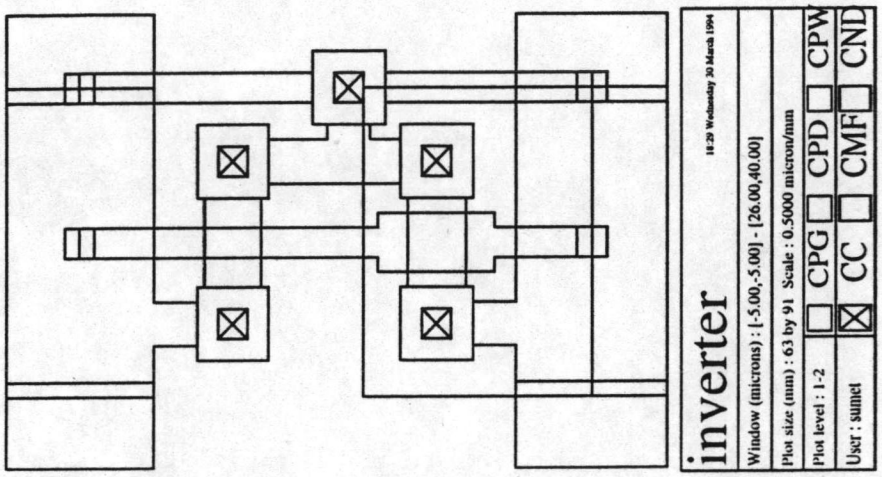
(ก)



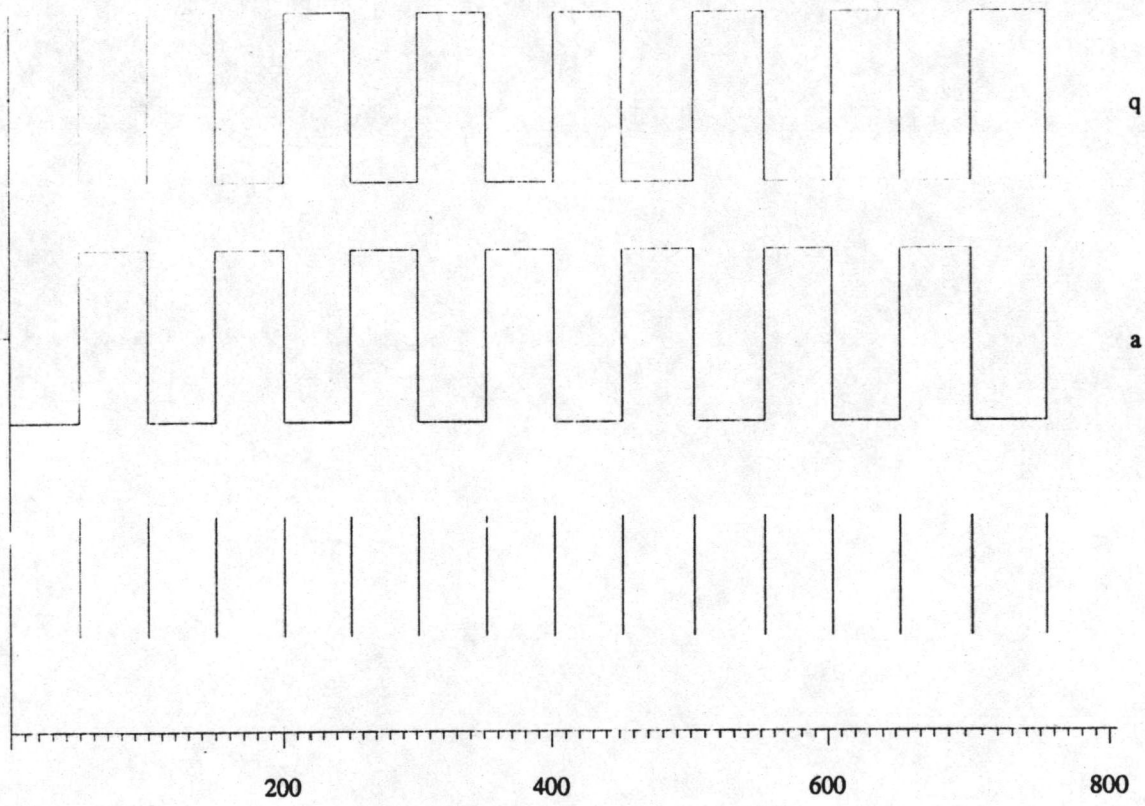
(ข)

รูปที่ 5.8 ผังวงจรรวม buff3st อุปกรณ์บัฟเฟอร์ 3 สถานะ (3 state buffer)

(ก) ภาพแบบหน้ากากวงจรรวม (ข) ผลจำลองการทำงาน



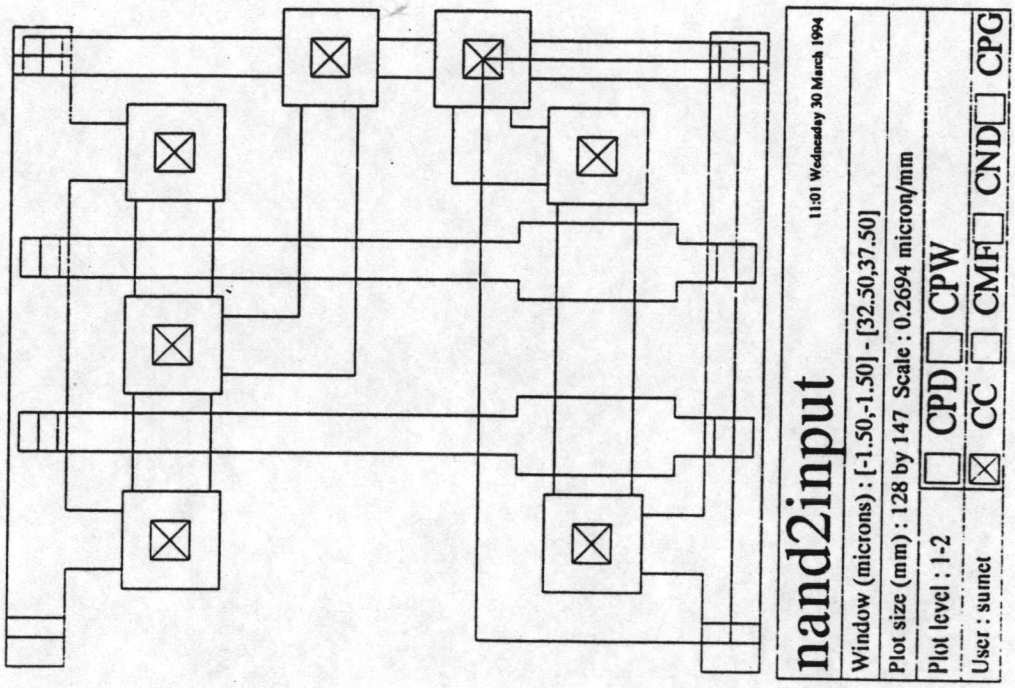
(ก)



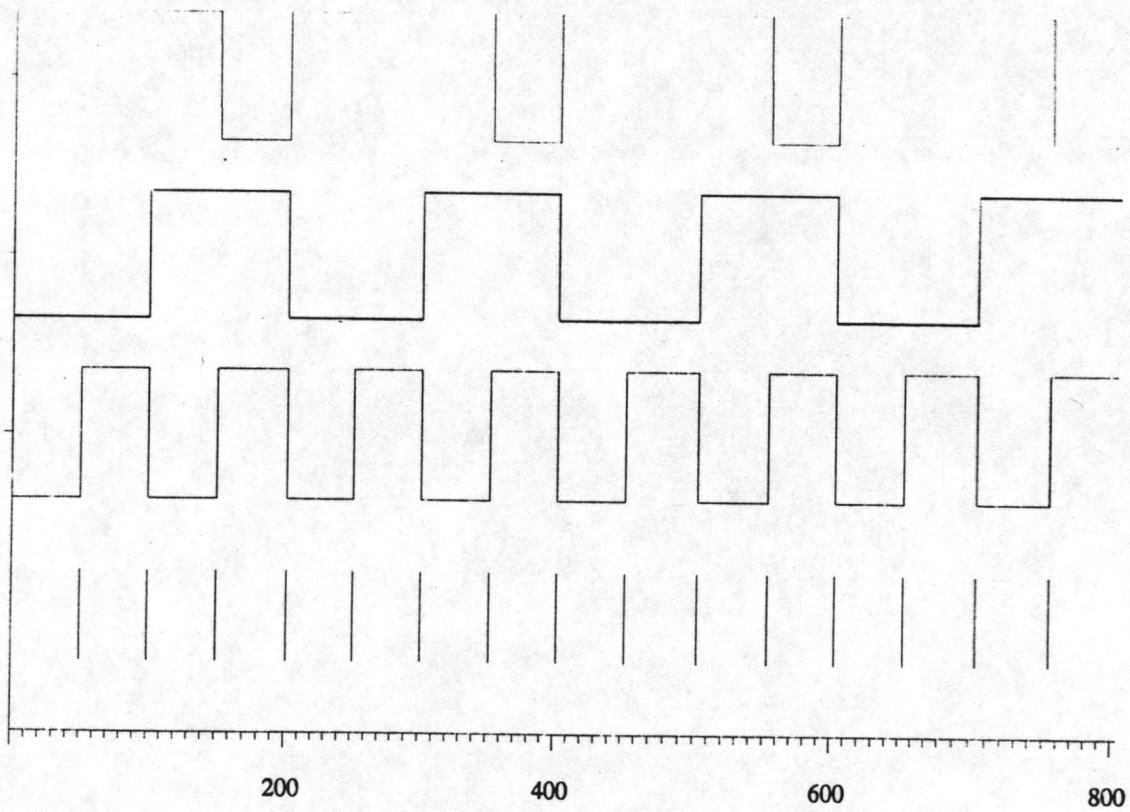
(ข)

รูปที่ 5.9 ผังวงจรรวม inv อุปกรณ์อินเวอร์ทเตอร์ (Inverter)

(ก) ภาพแบบหน้ากากวงจรรวม (ข) ผลจำลองการทำงาน



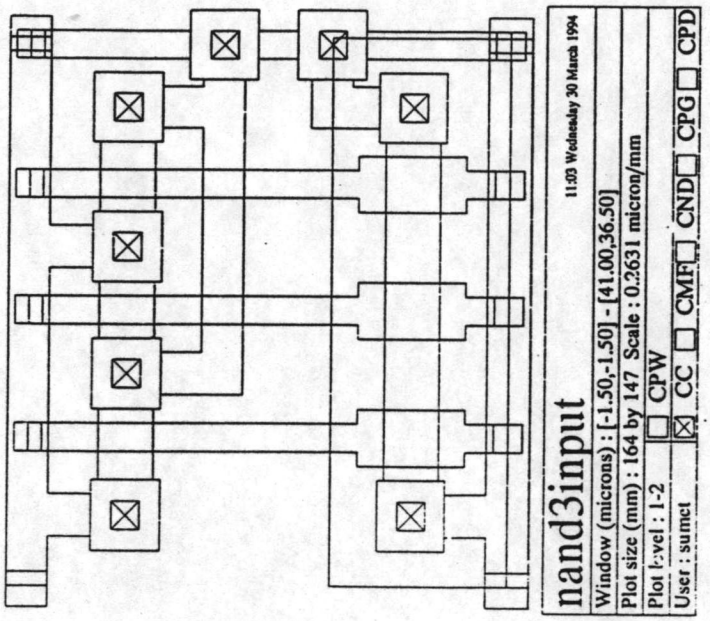
(ก)



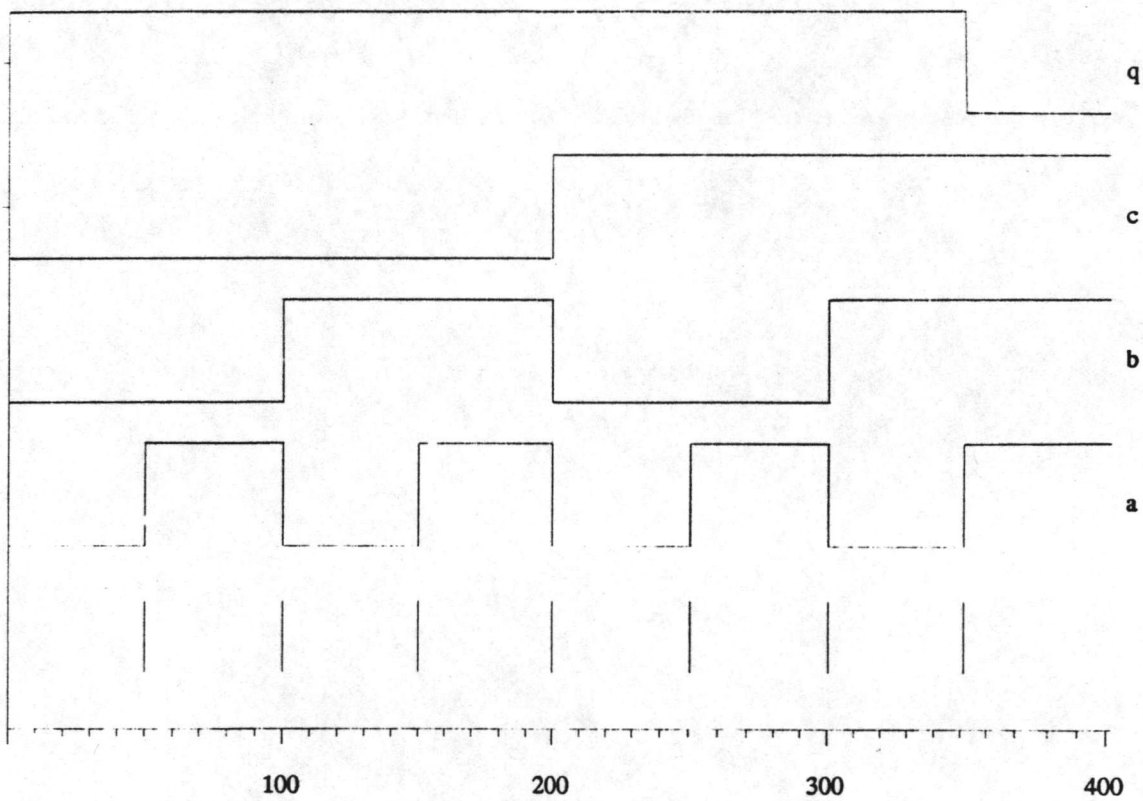
(ข)

รูปที่ 5.10 ผังวงจรรวม nand 2i อุปกรณ์แนนเกท (NAND gate) 2 อินพุท

(ก) ภาพแบบหน้ากากวงจรรวม (ข) ผลจำลองการทำงาน



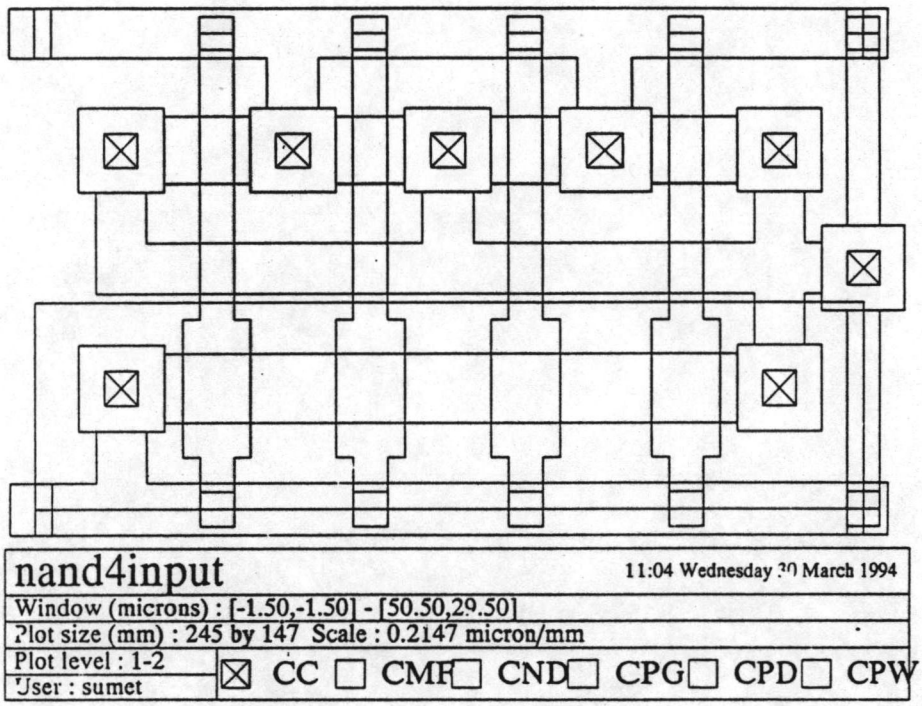
(ก)



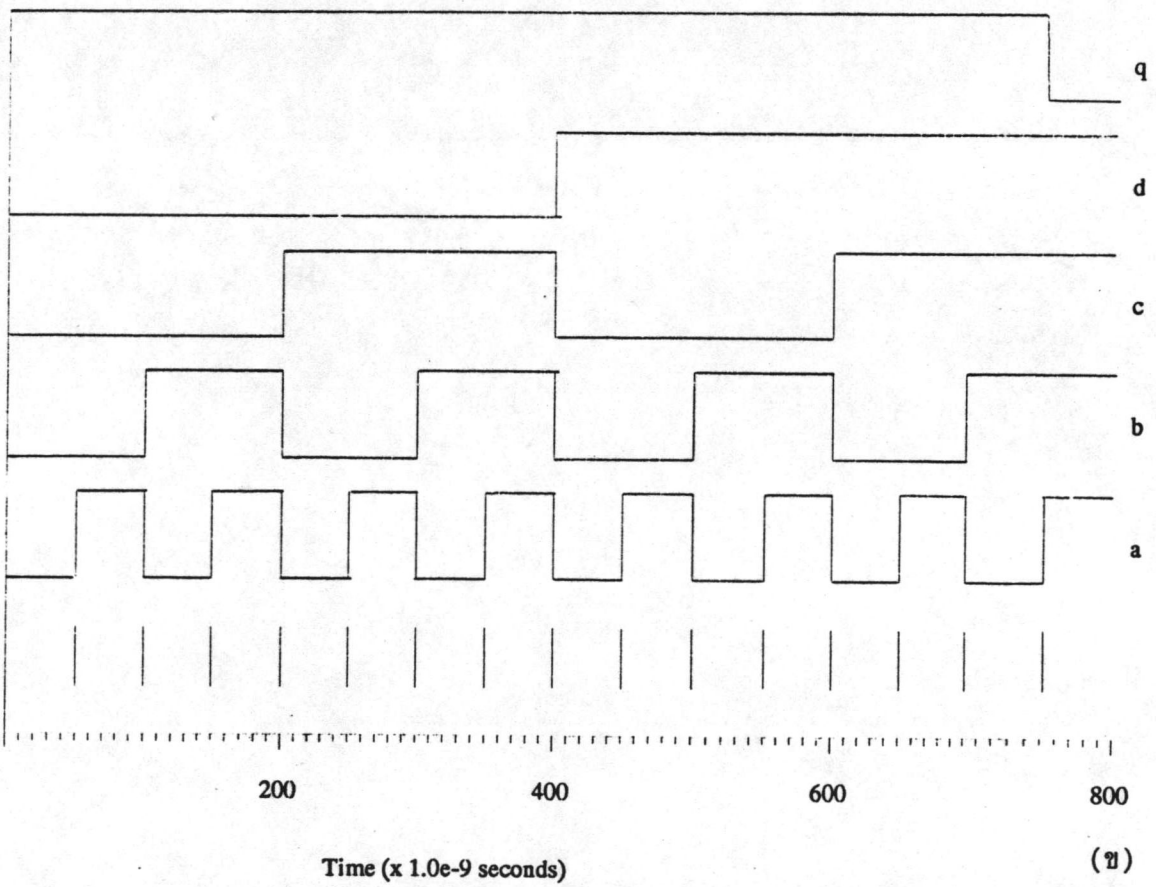
(ข)

รูปที่ 5.11 ผังวงจรรวม nand 3i อุปกรณ์แนนเกท (NAND gate) 3 อินพุท

(ก) ภาพแบบหน้ากากวงจรรวม (ข) ผลจำลองการทำงาน



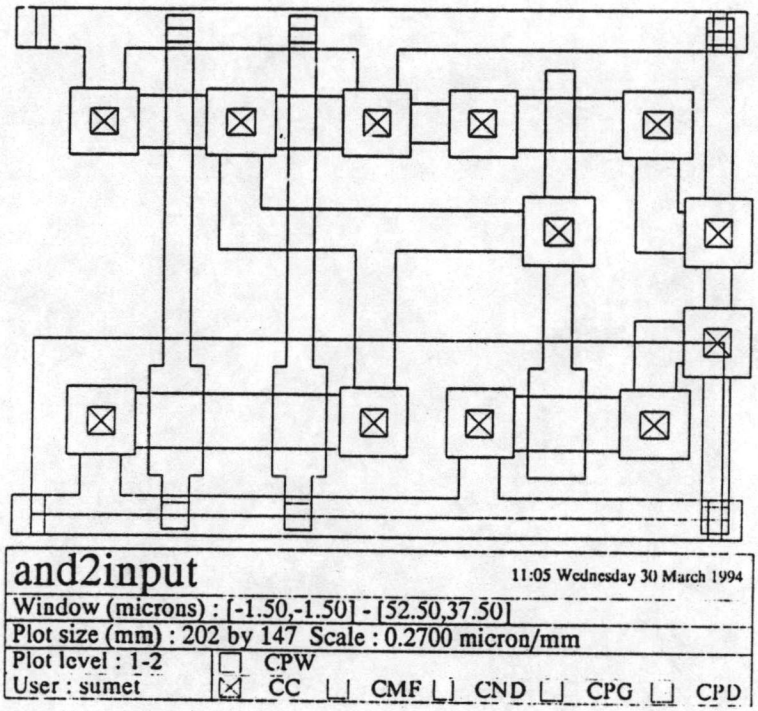
(ก)



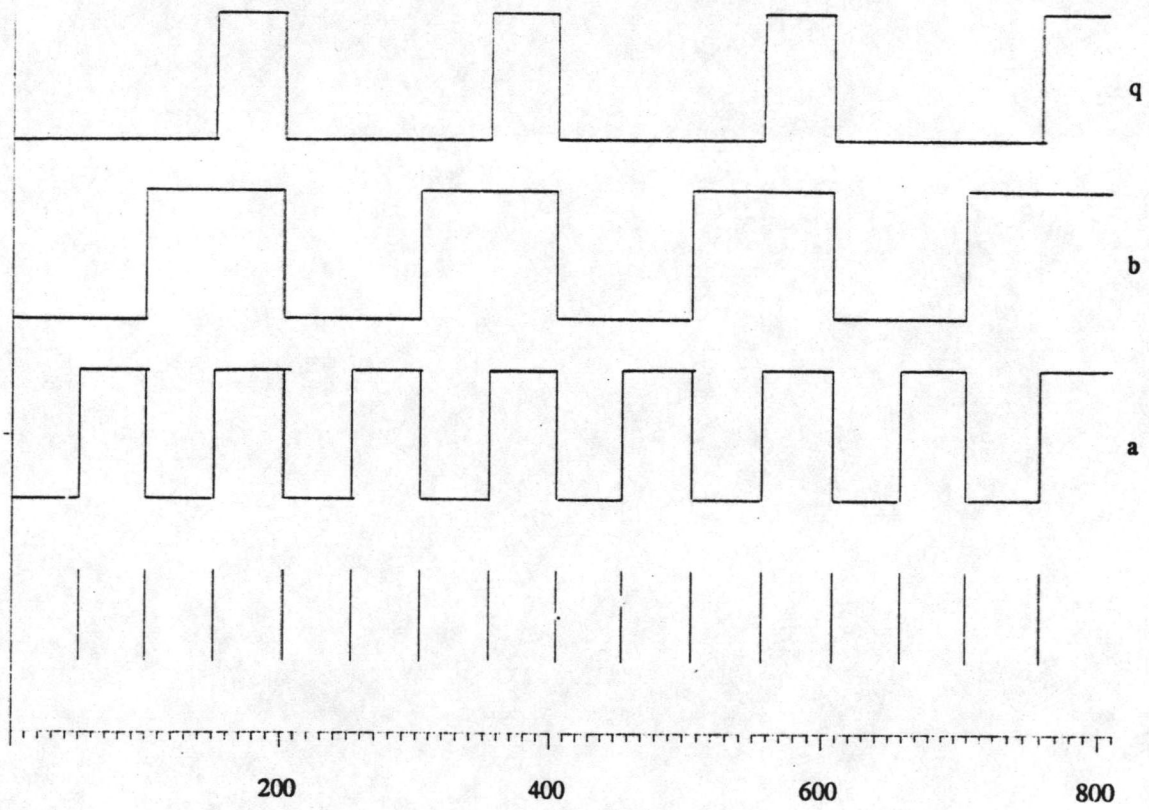
(ข)

รูปที่ 5.12 ผังวงจรรวม nand 4i อุปกรณ์แนนเกท (NAND gate) 4 อินพุท

(ก) ภาพแบบหน้ากากวงจรรวม (ข) ผลจำลองการทำงาน



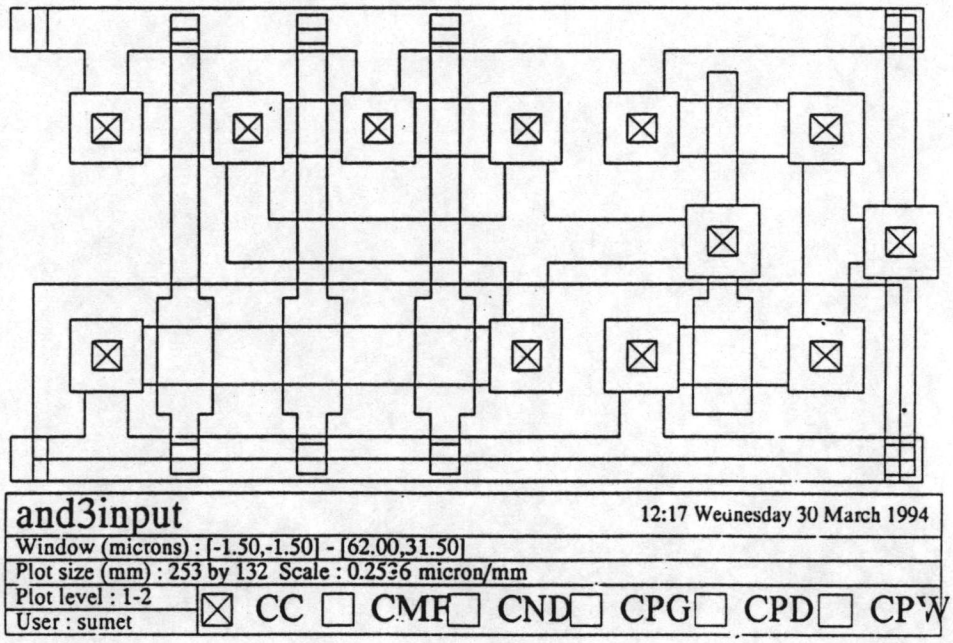
(ก)



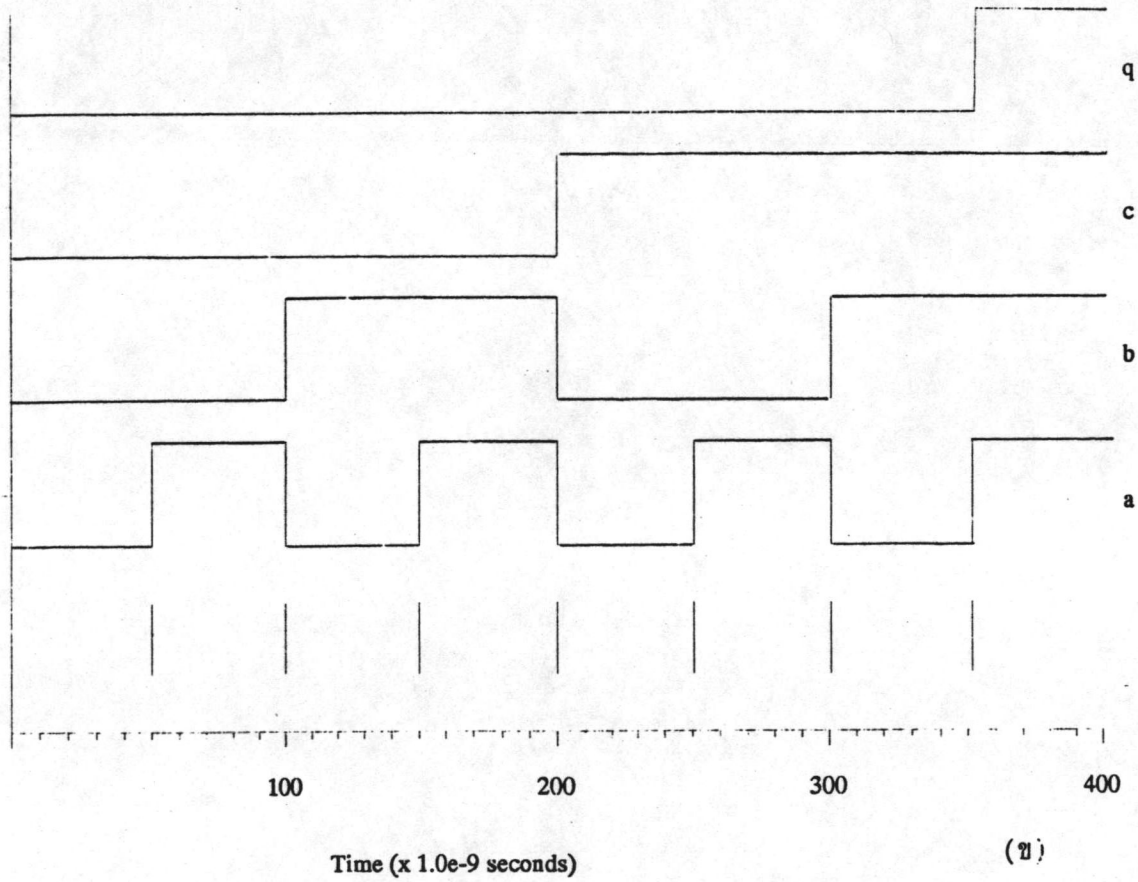
(ข)

รูปที่ 5.13 ผังวงจรรวม and 2i อุปกรณ์แอนเกท (AND gate) 2 อินพุท

(ก) ภาพแบบหน้ากากวงจรรวม (ข) ผลจำลองการทำงาน



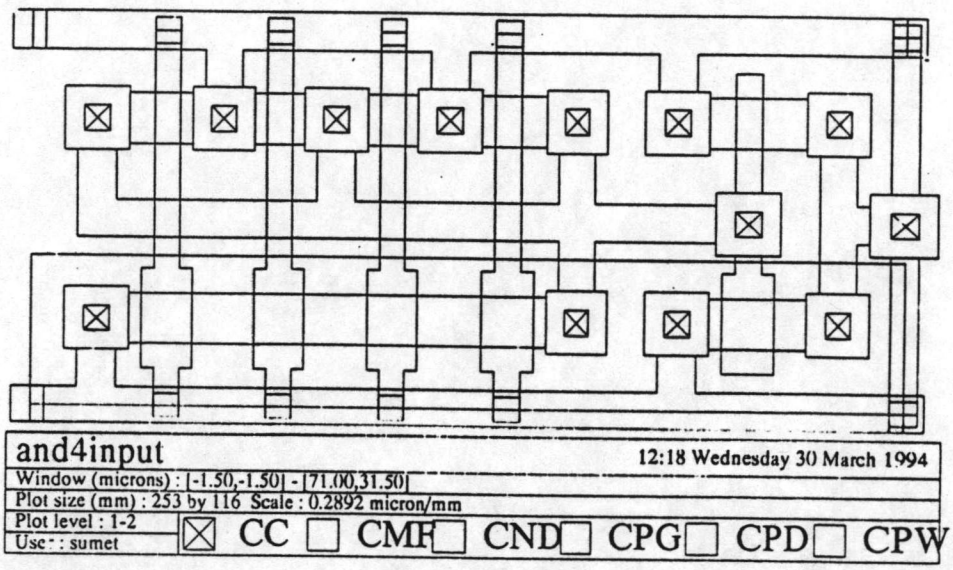
(ก)



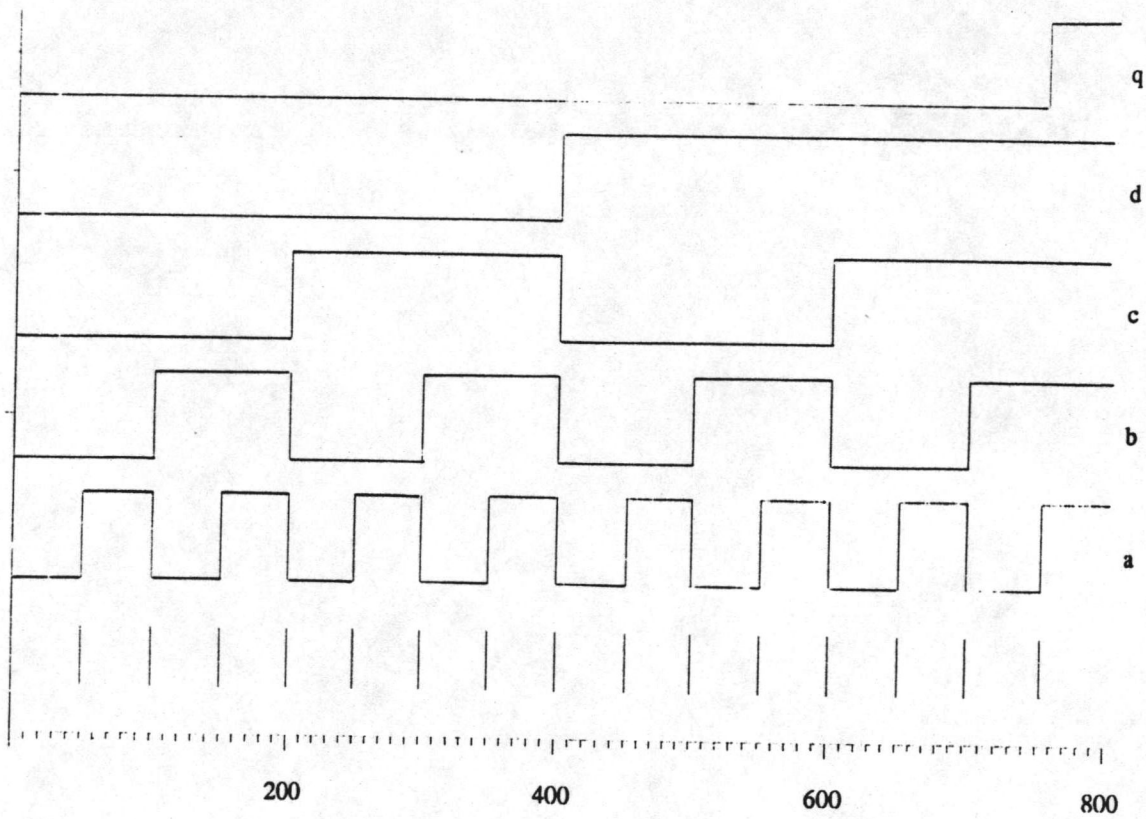
(ข)

รูปที่ 5.14 ผังวงจรรวม and 3i อุปกรณ์แอนเกท (AND gate) 3 อินพุท

(ก) ภาพแบบหน้ากากวงจรรวม (ข) ผลจำลองการทำงาน



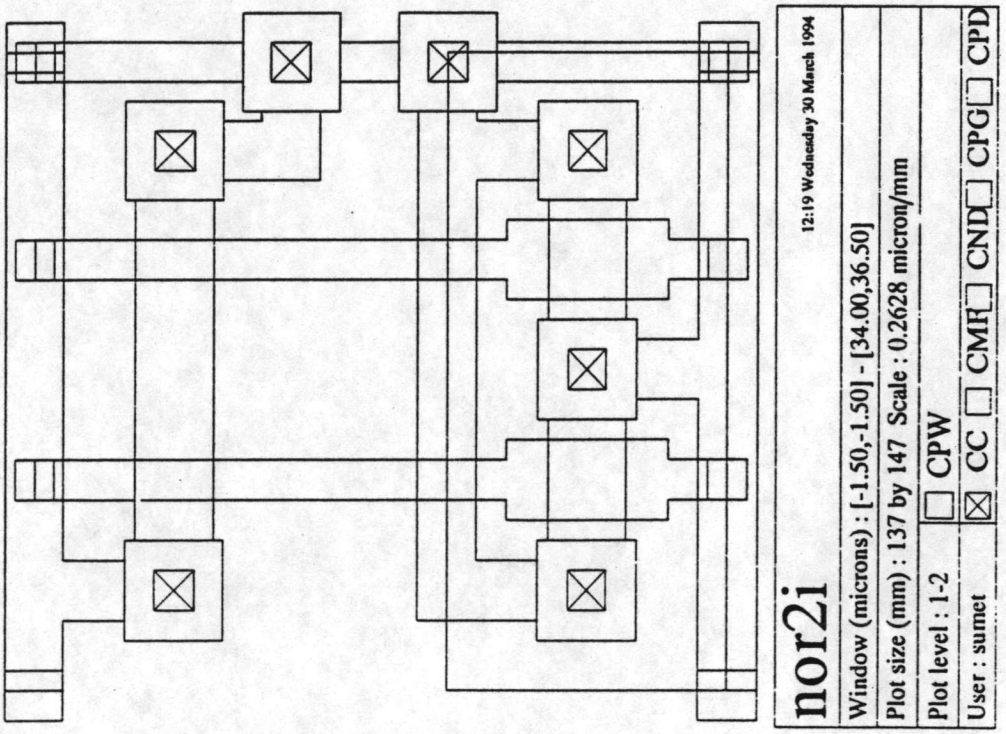
(ก)



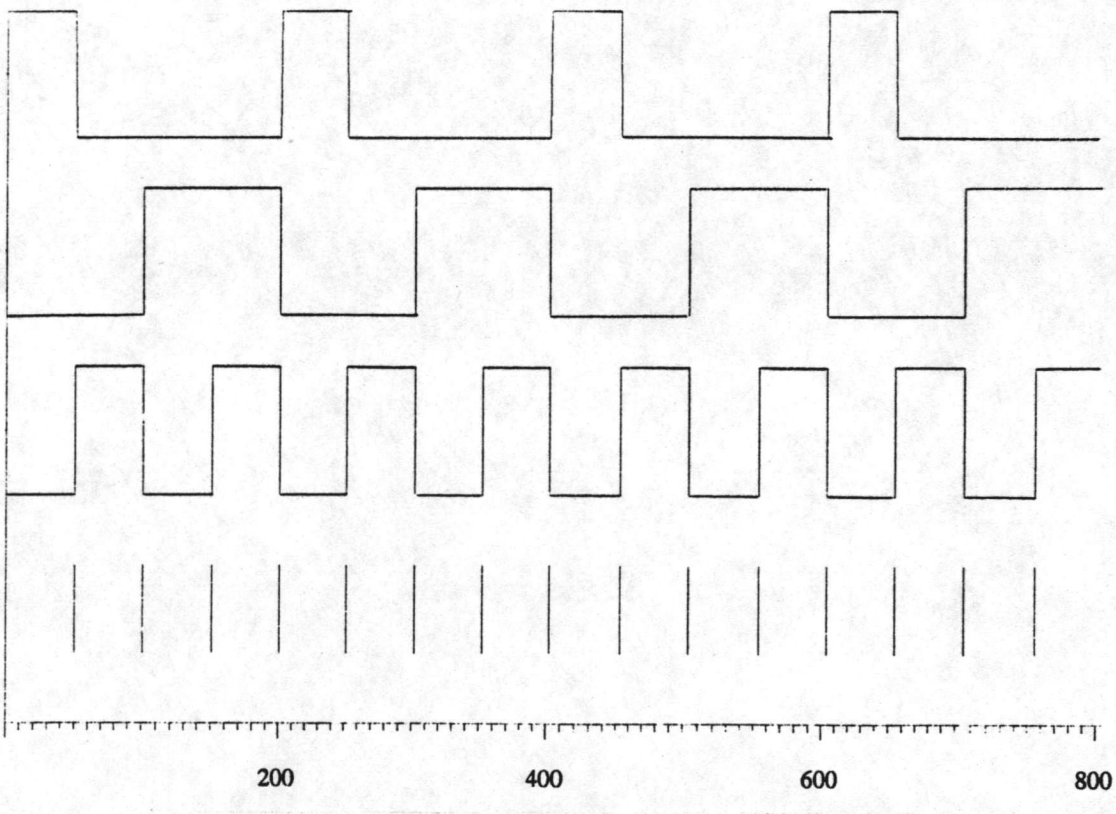
(ข)

รูปที่ 5.15 ผังวงจรรวม and 4i อุปกรณ์แอนเกท (AND gate) 4 อินพุท

(ก) ภาพแบบหน้ากากวงจรรวม (ข) ผลจำลองการทำงาน



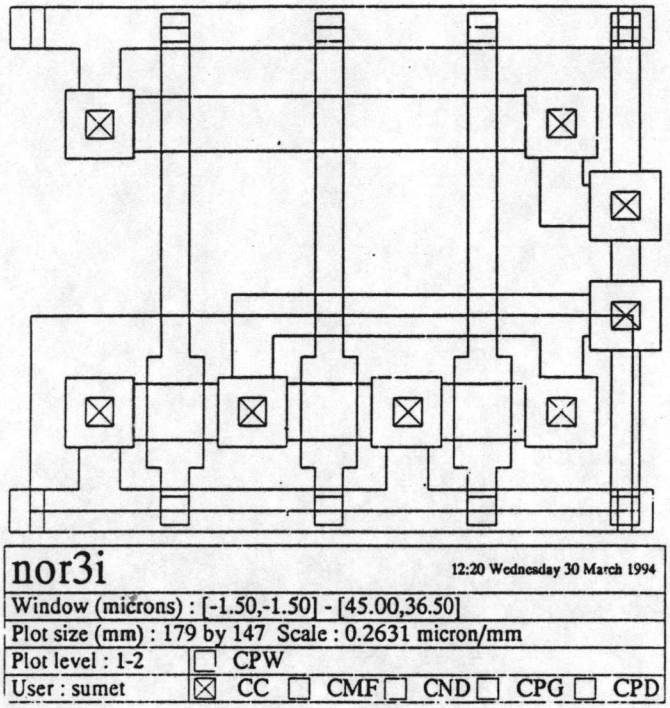
(ก)



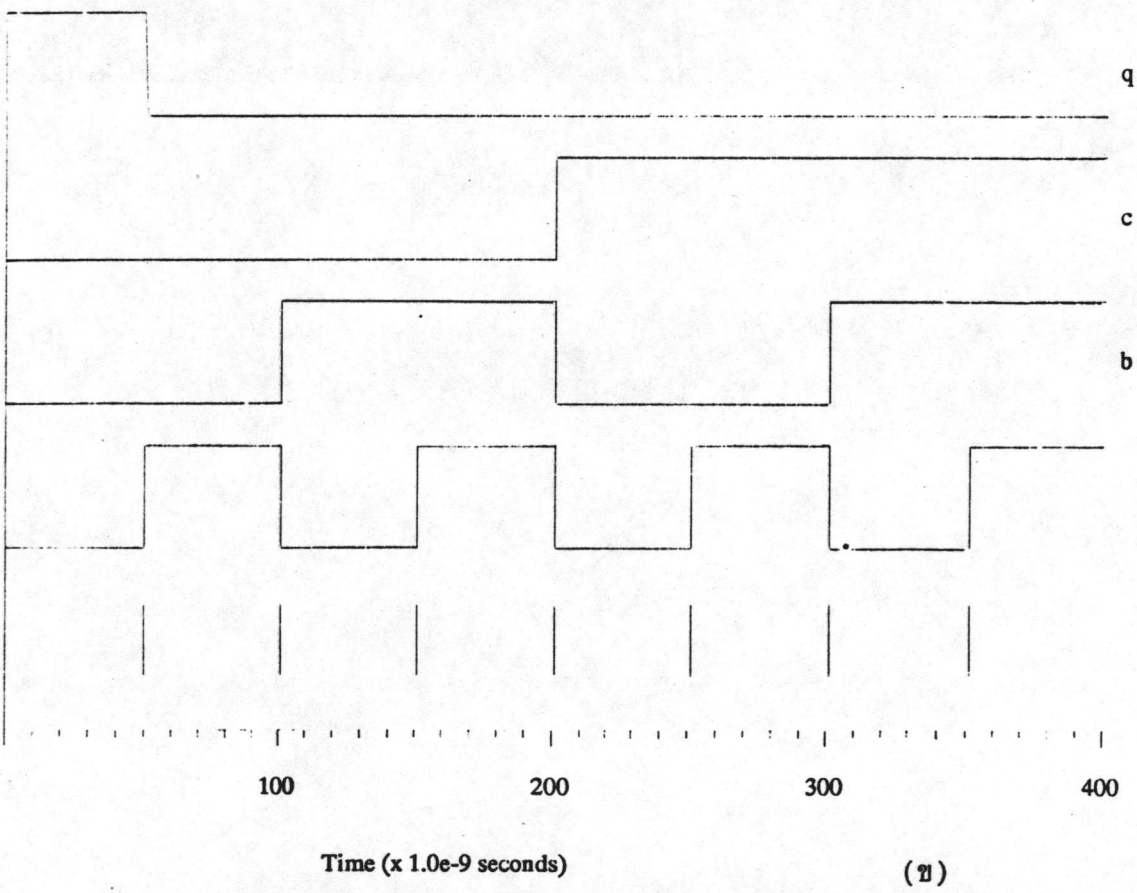
(ข)

รูปที่ 5.16 ผังวงจรรวม nor 2i อุปกรณ์แนนเกท (NOR gate) 2 อินพุท

(ก) ภาพแบบหน้ากากวงจรรวม (ข) ผลจำลองการทำงาน



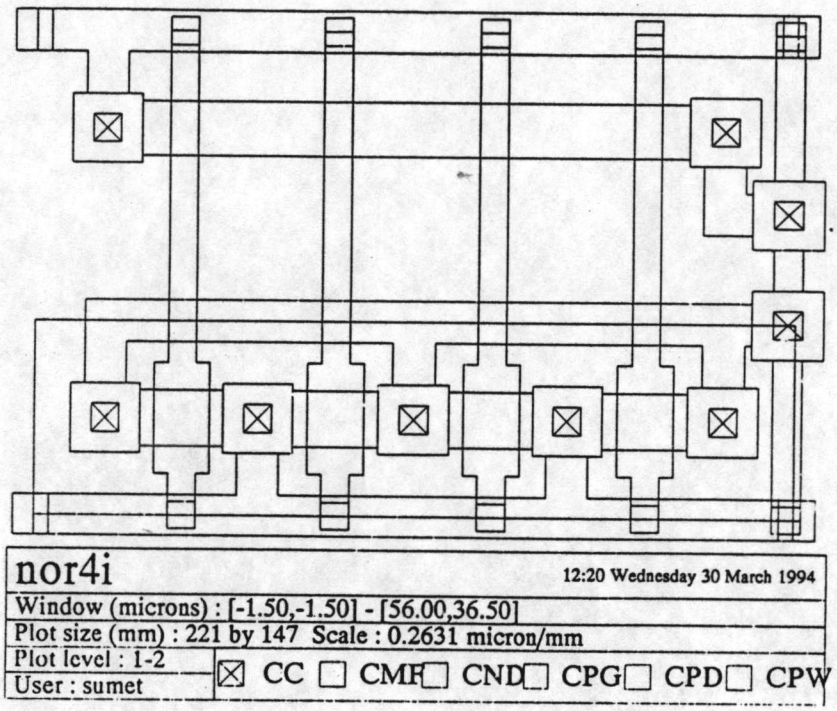
(ก)



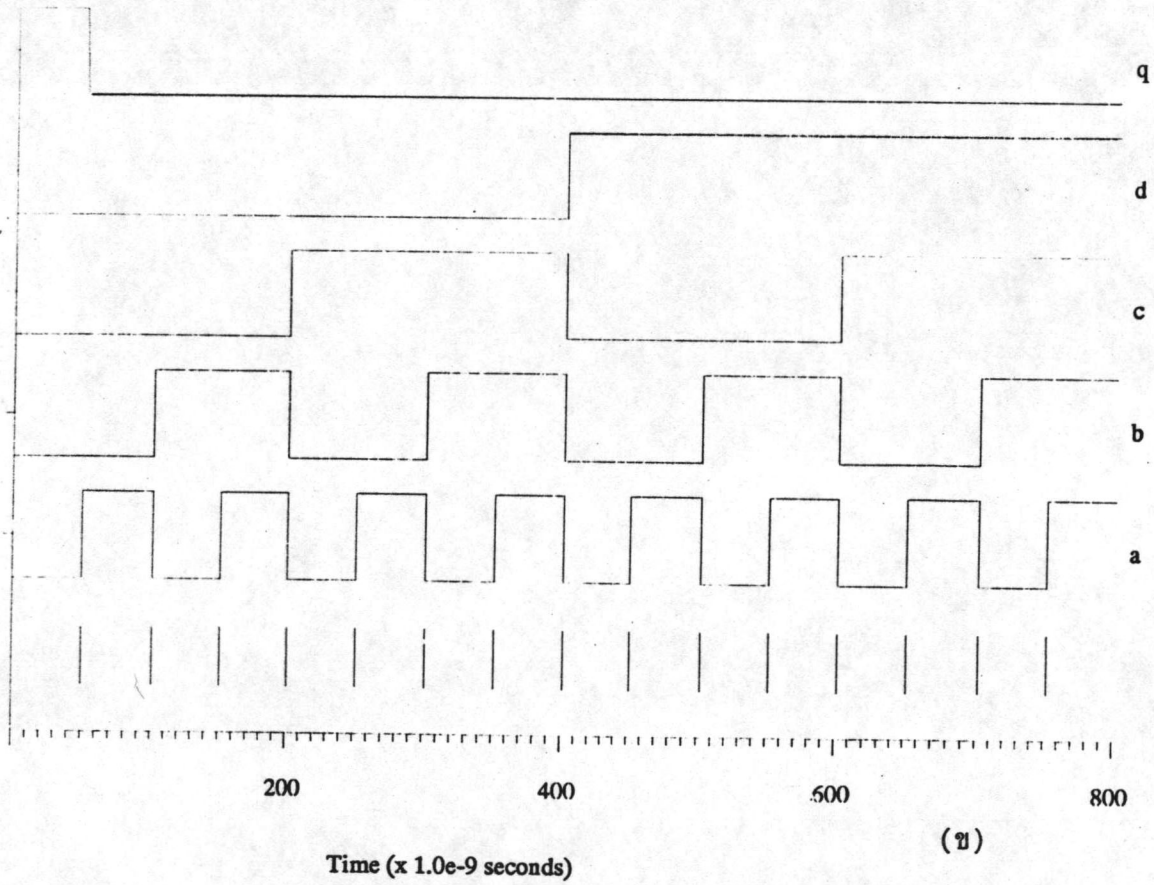
(ข)

รูปที่ 5.17 ผังวงจรรวม nor 3i อุปกรณ์แนนเกท (NOR gate) 3 อินพุท

(ก) ภาพแบบหน้ากากวงจรรวม (ข) ผลจำลองการทำงาน



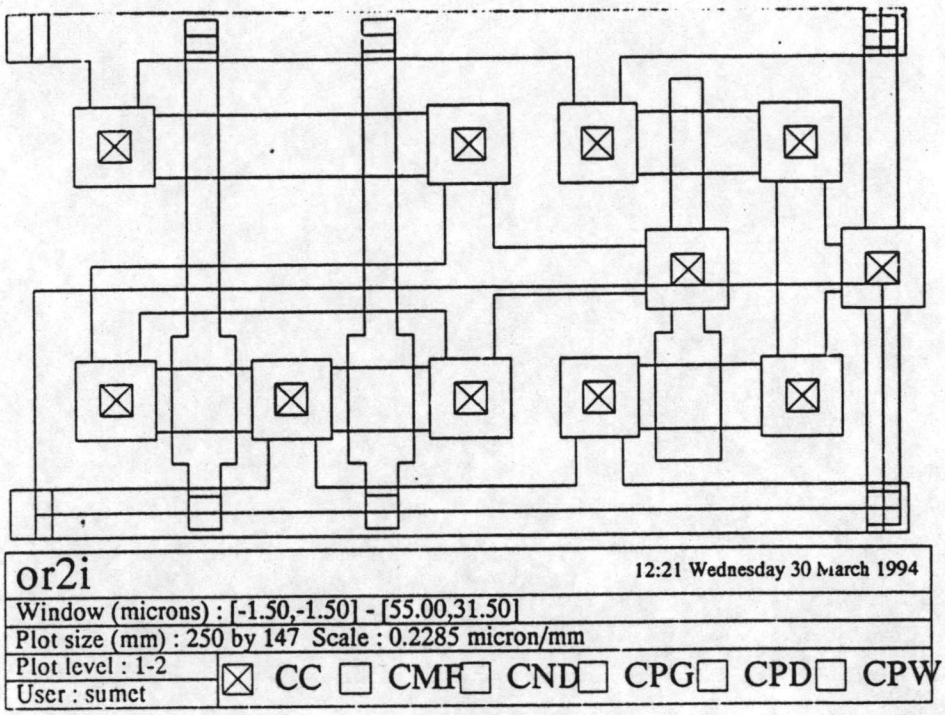
(ก)



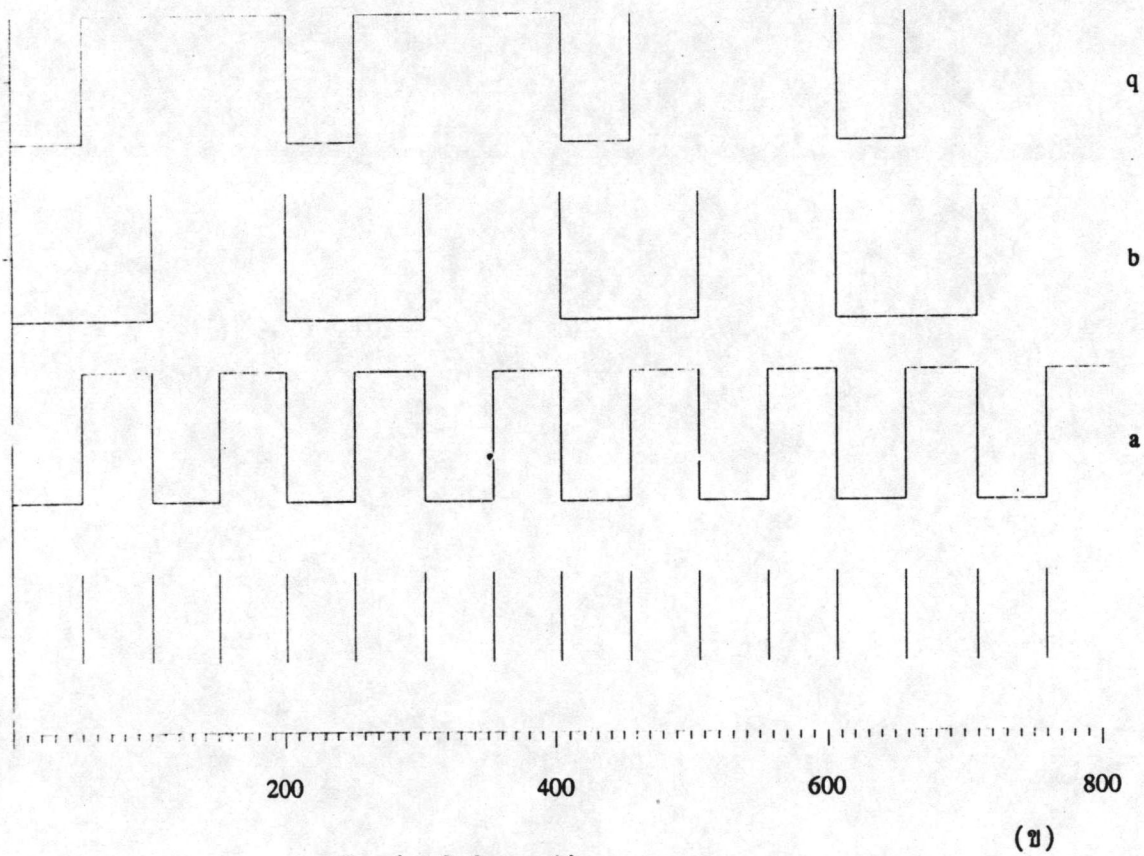
(ข)

รูปที่ 5.18 ผังวงจรรวม nor 4i อุปกรณ์แนนเกท (NOR gate) 4 อินพุท

(ก) ภาพแบบหน้ากากวงจรรวม (ข) ผลจำลองการทำงาน



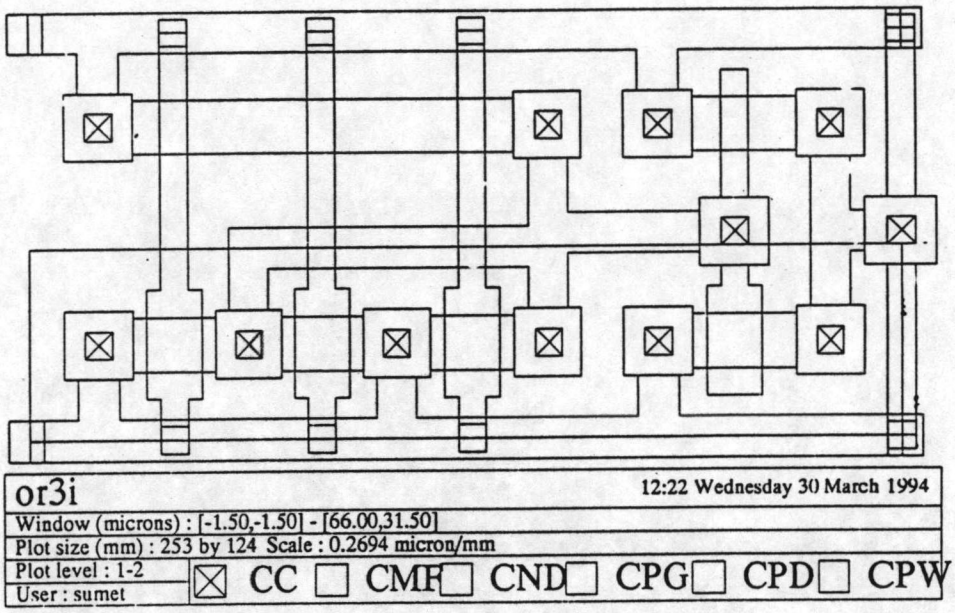
(ก)



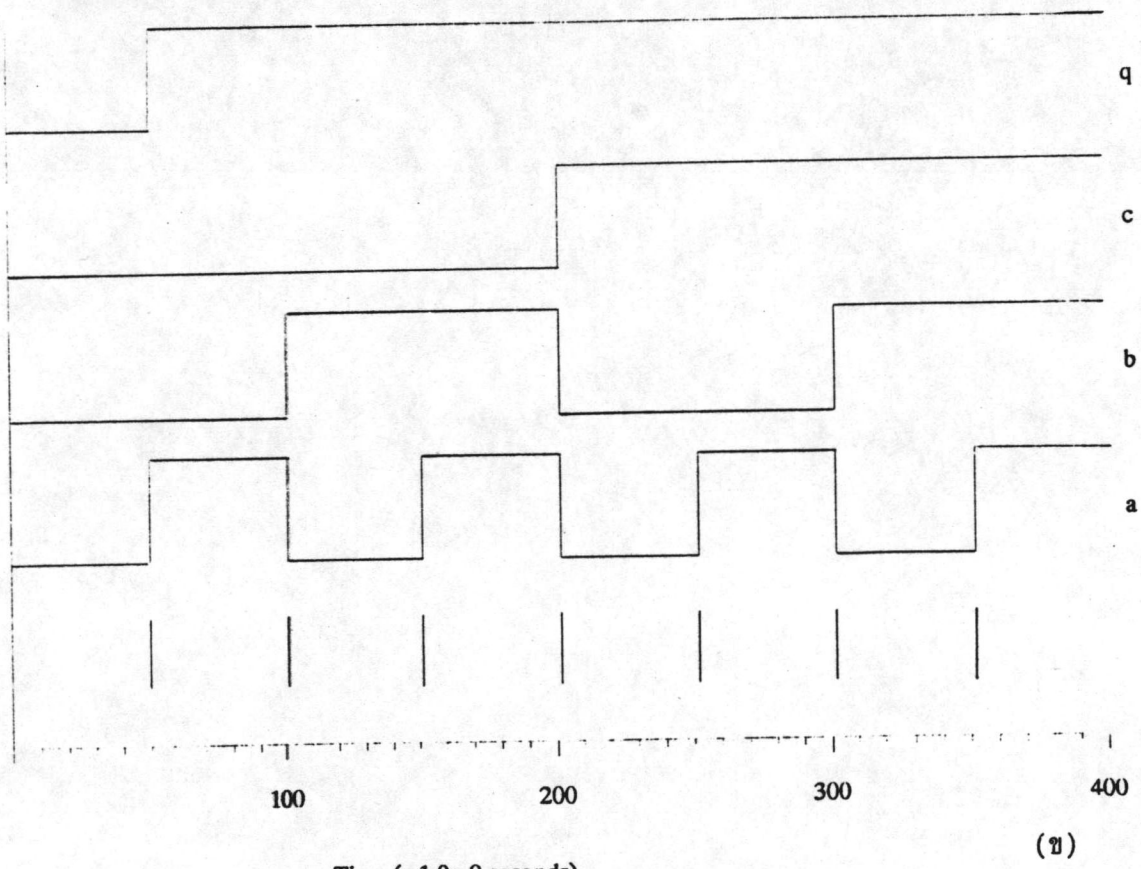
(ข)

รูปที่ 5.19 ผังวงจรรวม or 2i อุปกรณ์แอนเกท (OR gate) 2 อินพุท

(ก) ภาพแบบหน้ากากวงจรรวม (ข) ผลจำลองการทำงาน



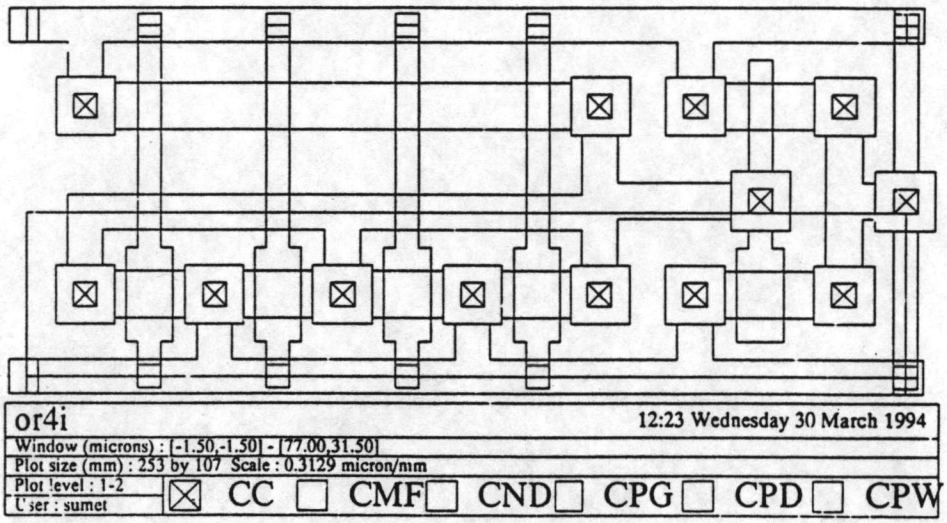
(ก)



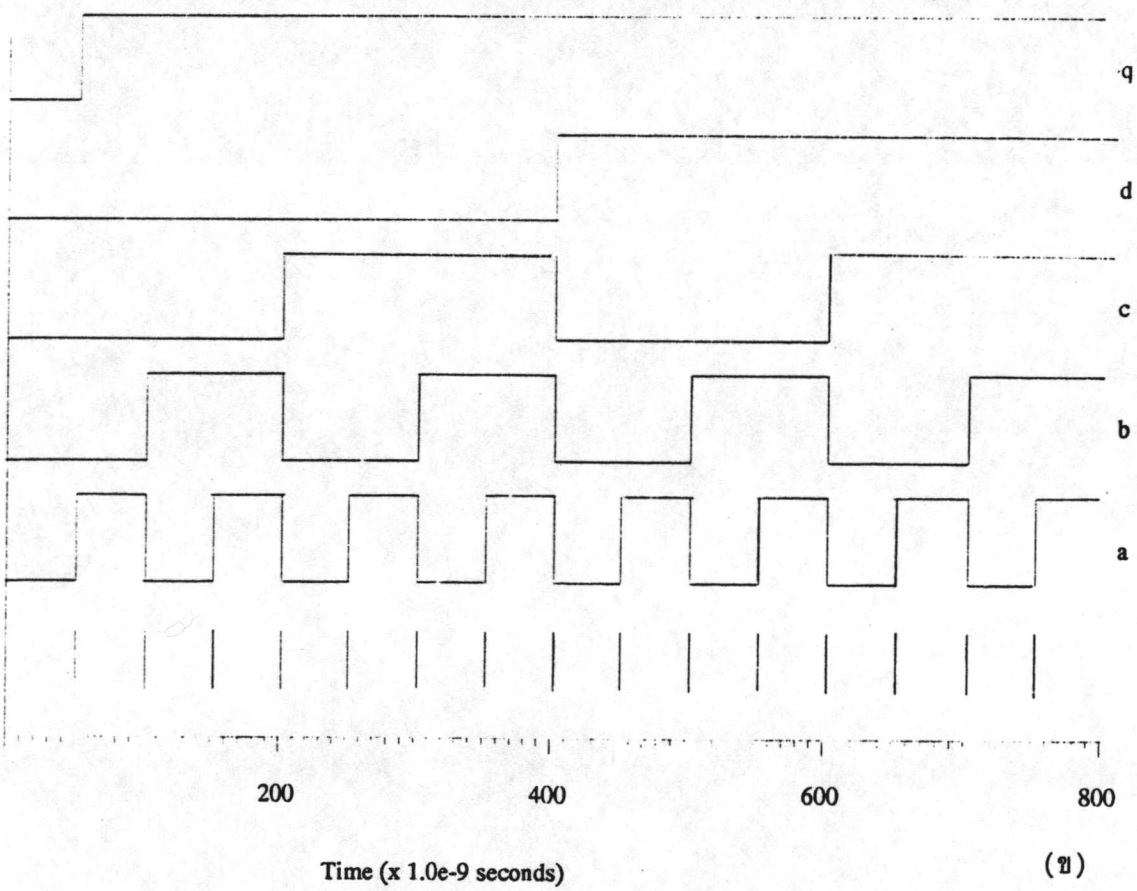
(ข)

รูปที่ 5.20 ผังวงจรรวม or 3i อุปกรณ์แอนเกท (OR gate) 3 อินพุท

(ก) ภาพแบบหน้ากากวงจรรวม (ข) ผลจำลองการทำงาน



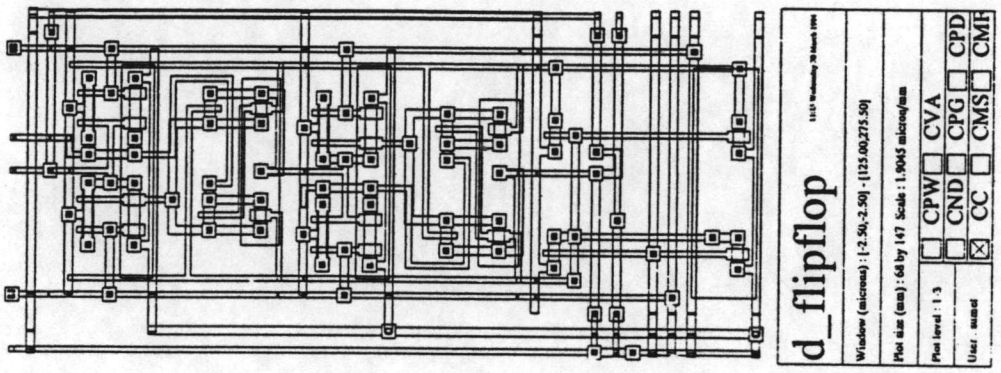
(ก)



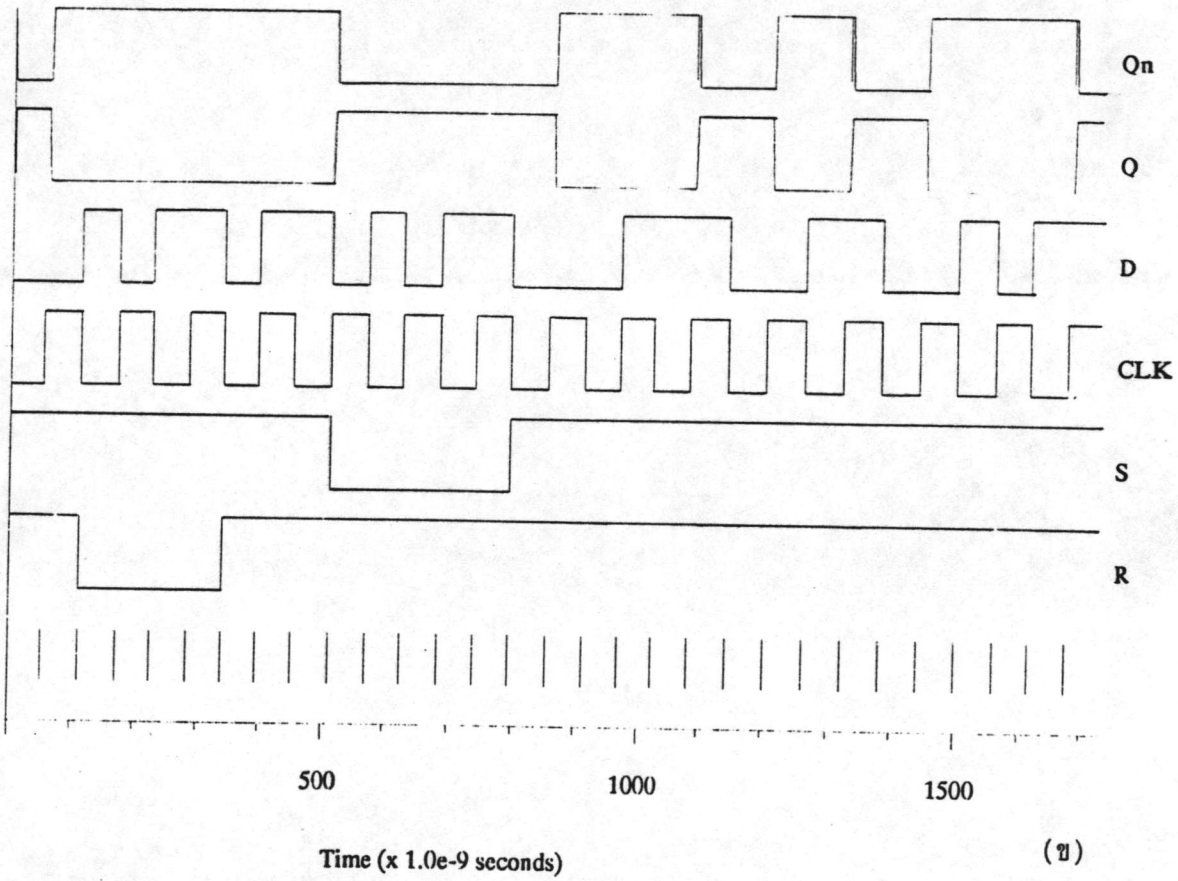
(ข)

รูปที่ 5.21 ผังวงจรรวม or 4i อุปกรณ์แอนเกท (OR gate) 4 อินพุท

(ก) ภาพแบบหน้ากากวงจรรวม (ข) ผลจำลองการทำงาน



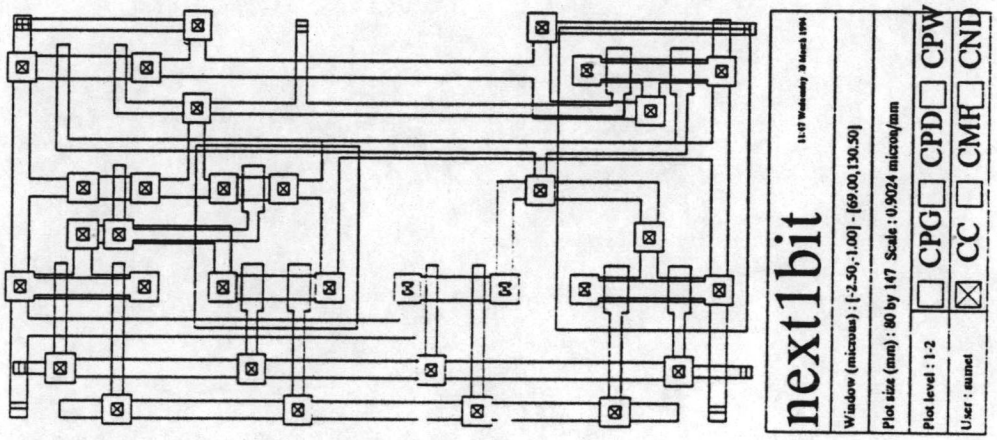
(ก)



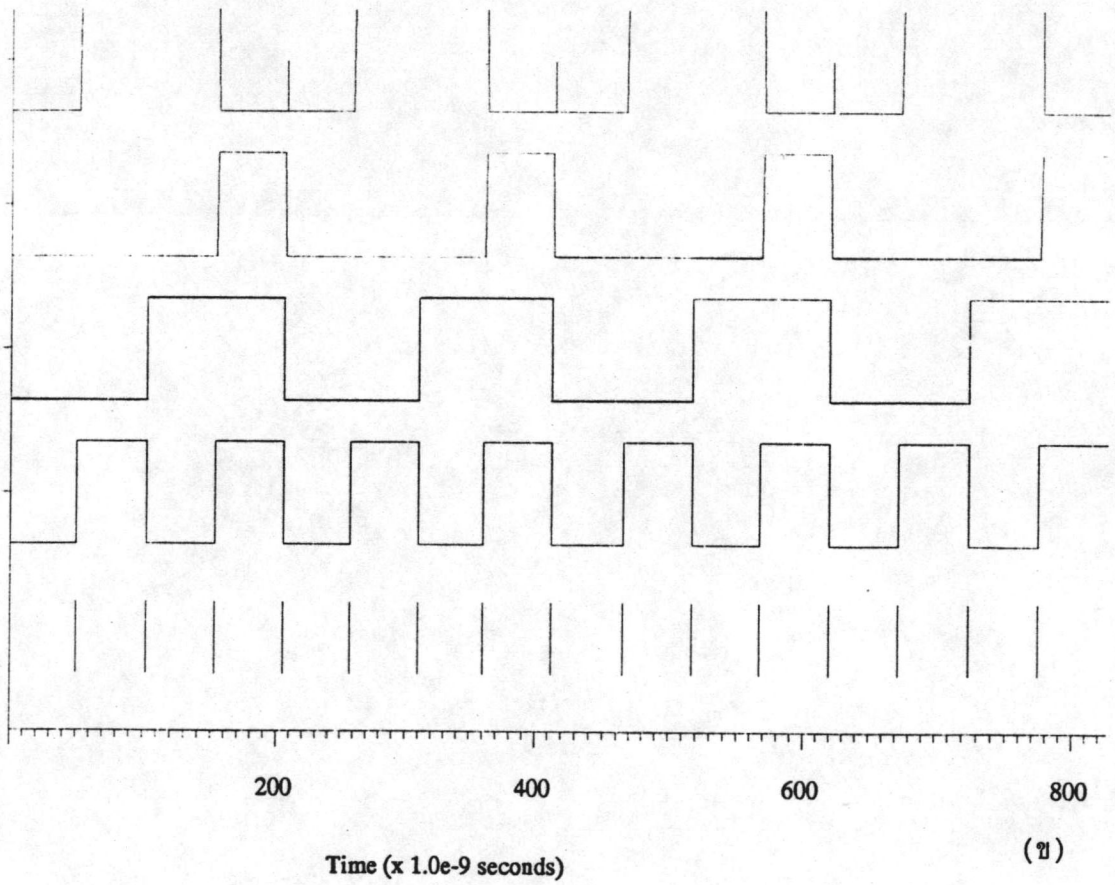
(ข)

รูปที่ 5.22 ผังวงจรรวม d_flipflop อุปกรณ์ดีฟลิปฟลอบ(D-FlipFlop) แบบมาสเตอร์สลาฟ

(ก) ภาพแบบหน้ากากวงจรรวม (ข) ผลจำลองการทำงาน



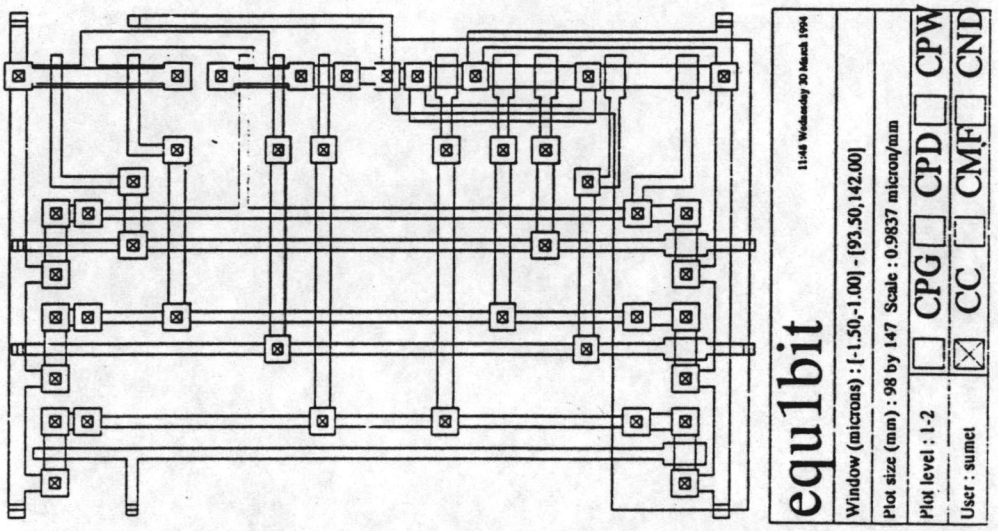
(ก)



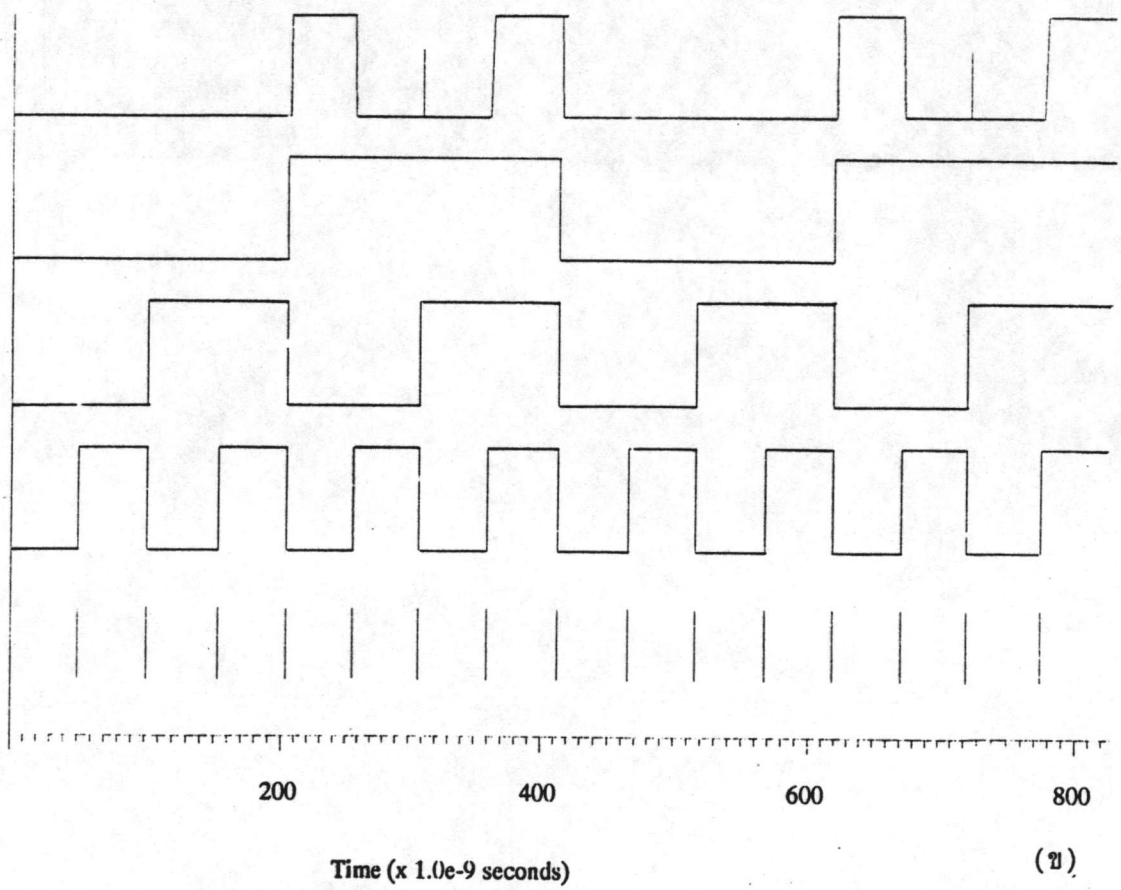
(ข)

รูปที่ 5.23 ผังวงจรรวม next1bit วงจร บวกเลข 1 บิท (1 bit half adder)

(ก) ภาพแบบหน้ากากวงจรรวม (ข) ผลจำลองการทำงาน



(ก)



(ข)

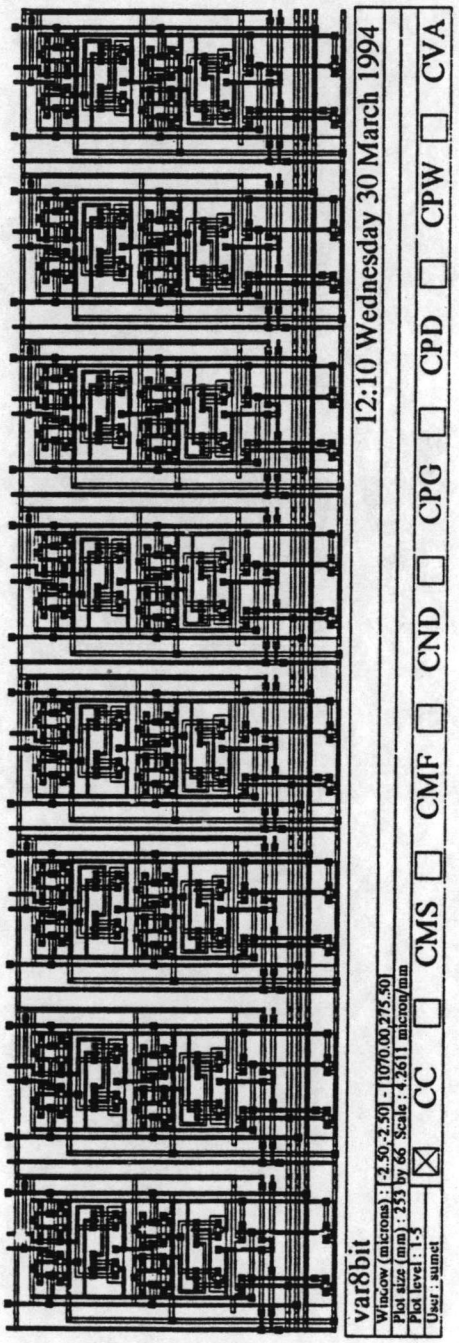
รูปที่ 5.24 ผังวงจรรวม equ1bit วงจรเปรียบเทียบข้อมูล 1 บิท

(ก) ภาพแบบหน้ากากวงจรรวม (ข) ผลจำลองการทำงาน

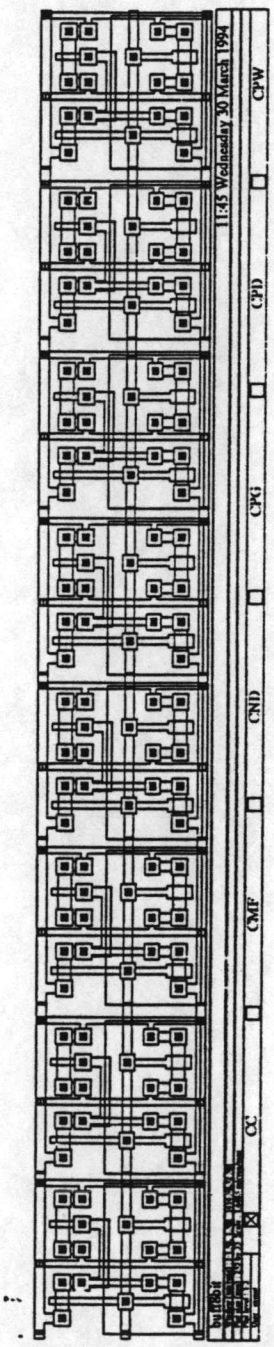
วงจรในระดับโมดุลเซลเริ่มจากการออกแบบวงจรส่วนย่อยได้แก่ var8bit, buff8bit, shift5bit, next8bit, equ8bit, rs_flipflop จากนั้น จึงนำส่วนโมดุลย่อยต่อขึ้นเป็นโมดุลหลักที่ใหญ่ขึ้นได้แก่ seq5 และ ins_del โดยแสดงแบบของวงจรรวมในภาพที่ 5.25 ถึงภาพที่ 5.32

ภาพของผังวงจรรวมจัดการข้อมูลแถวคอยฟูลคัสตอมแสดงในรูปที่ 5.33 ทั้งส่วนของภาพการจัดวางวงจรส่วนต่างๆในวงจรรวมวงจรดังภาพที่ 5.33 (ก) และผังหน้าการทางภูมิภาพของวงจรรวมดังภาพที่ 5.33 (ข)

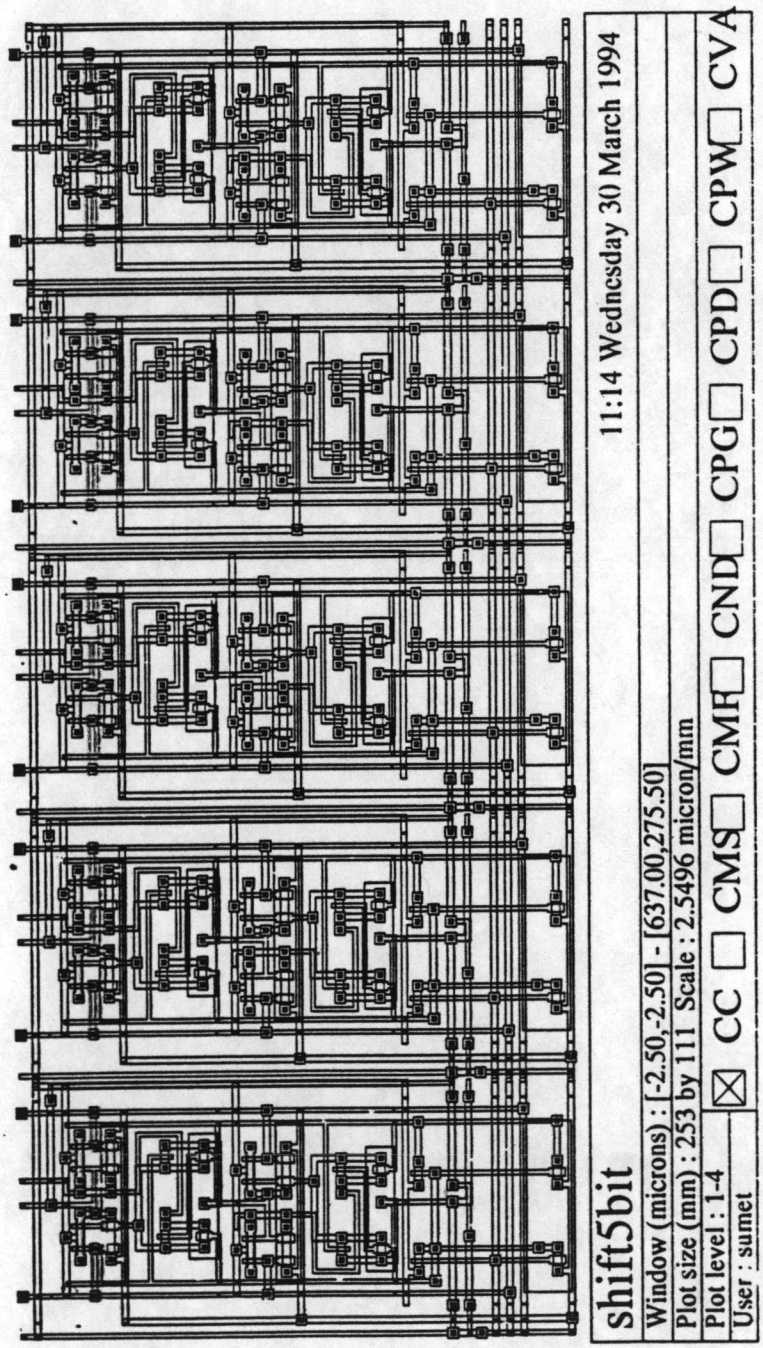
สำหรับการจำลองผลการทำงานนั้นใช้โปรแกรม TREK ซึ่งเป็นโปรแกรมจำลองผลที่ดูเฉพาะผลทางลอจิกเนื่องจากเป็นวงจรที่มีจำนวนอุปกรณ์ในระดับทรานซิสเตอร์เป็นจำนวนมาก การวิเคราะห์โดยใช้คุณสมบัติทางไฟฟ้าของสารกึ่งตัวนำทั้งหมดซึ่งจะต้องใช้โปรแกรม SPICE นั้นผู้วิจัยไม่ได้ทำการทดลองเนื่องจากข้อจำกัดด้านจำนวนอุปกรณ์และใช้ระยะเวลาในการจำลองผลยาวนานมาก



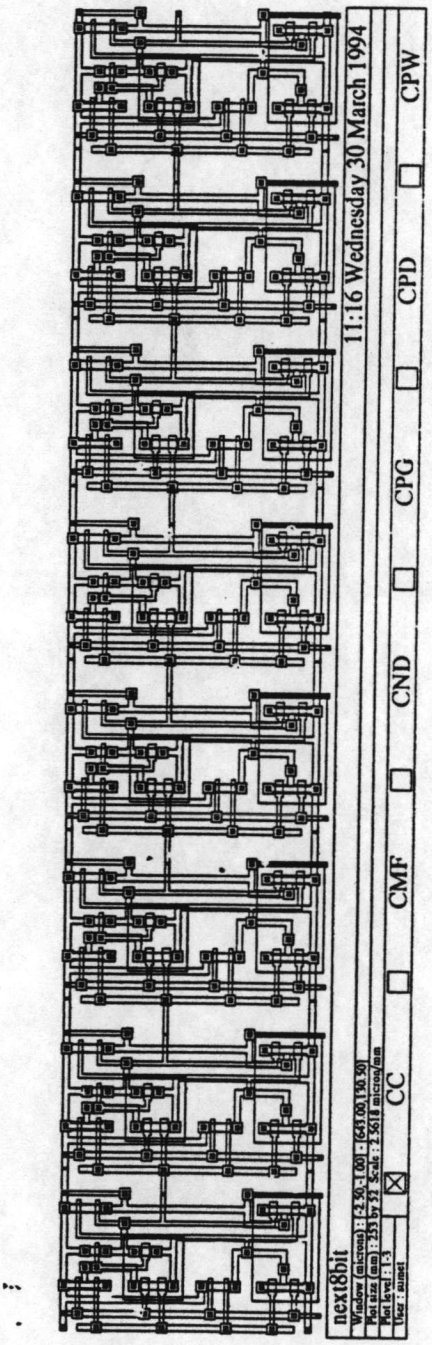
รูปที่ 5.25 ภาพแบบหน้ากากวงจรรวมวงจร var8bit



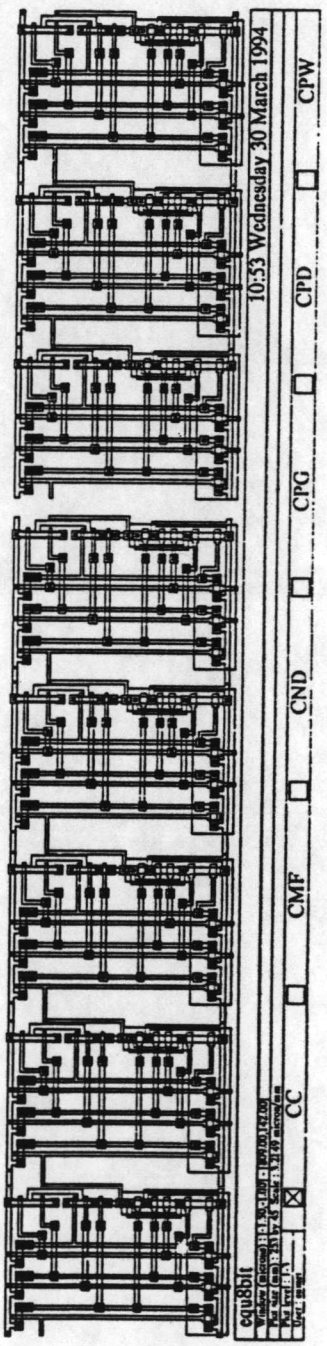
รูปที่ 5.26 วงจร buff8bit



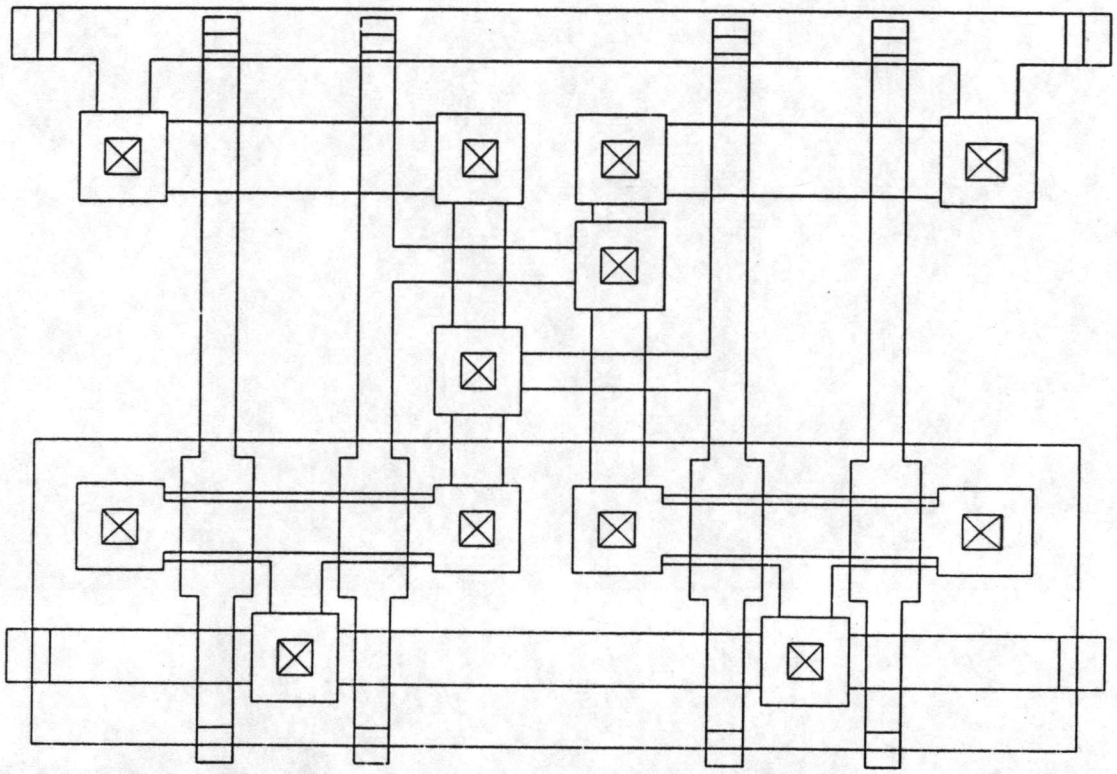
รูปที่ 5.27 ภาพแบบหน้ากากวงจรรวมวงจร shift5bit



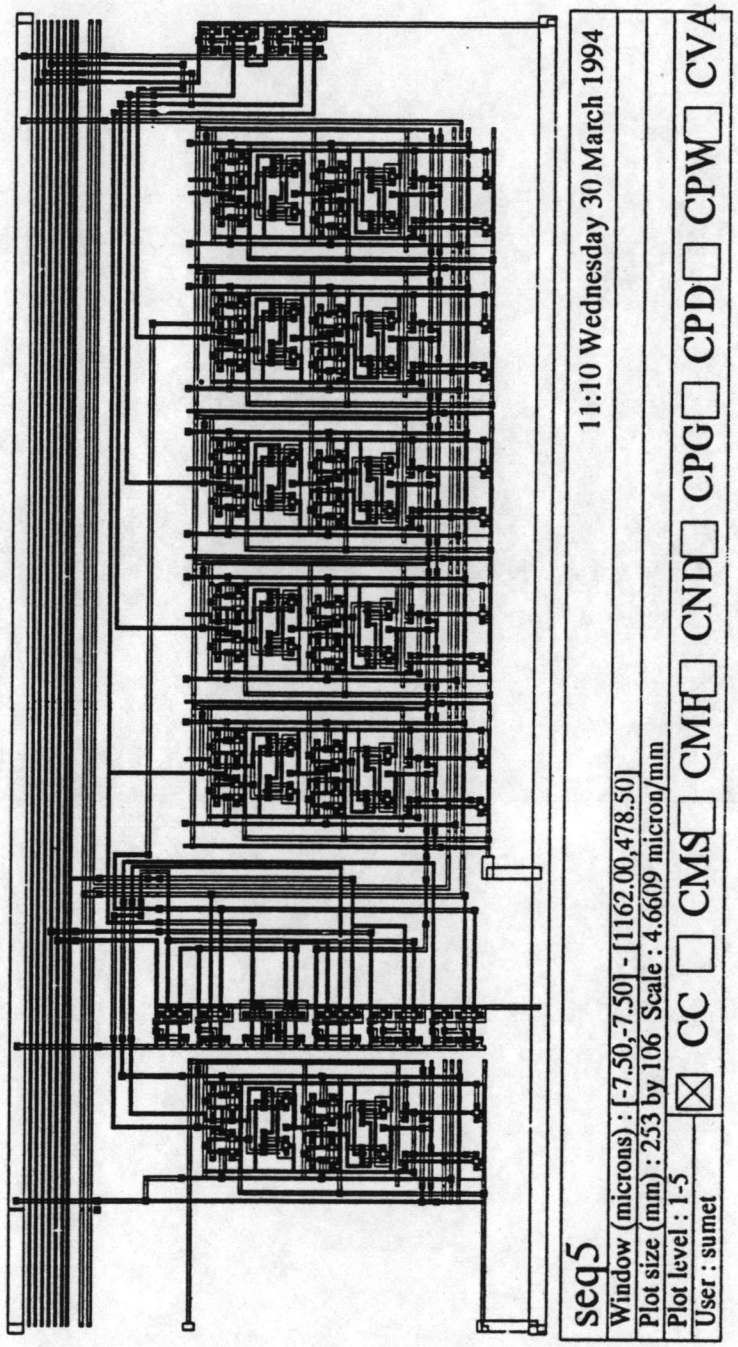
รูปที่ 5.28 ภาพแบบหน้ากากวงจรรวมวงจร next8bit



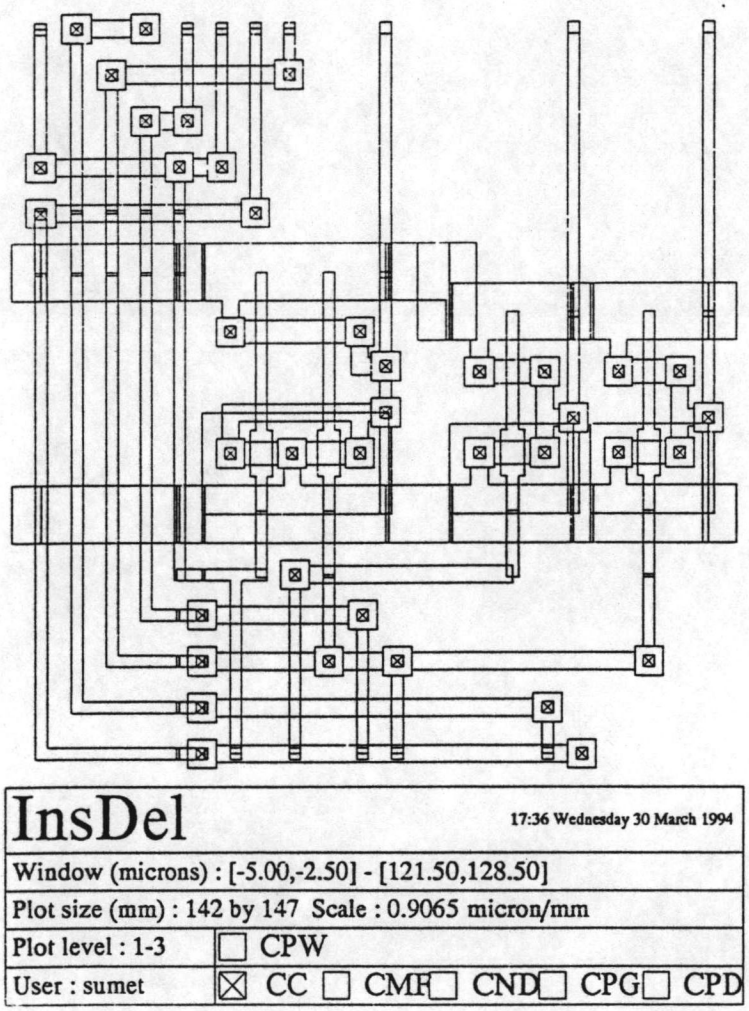
รูปที่ 5.29 ภาพแบบหน้ากากวงจรรวมวงจร equ8bit



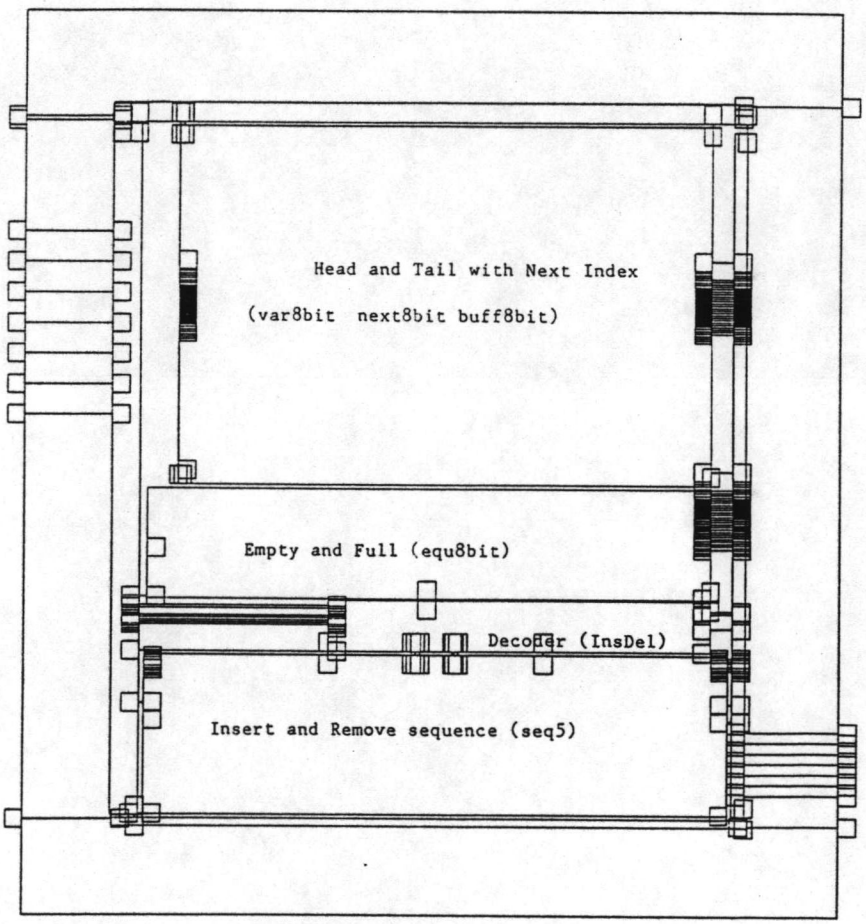
รูปที่ 5.30 ภาพแบบหน้ากากวงจรรวมวงจร rs_flipflop



รูปที่ 5.31 ภาพแบบหน้ากากวงจรรวมวงจร seq5



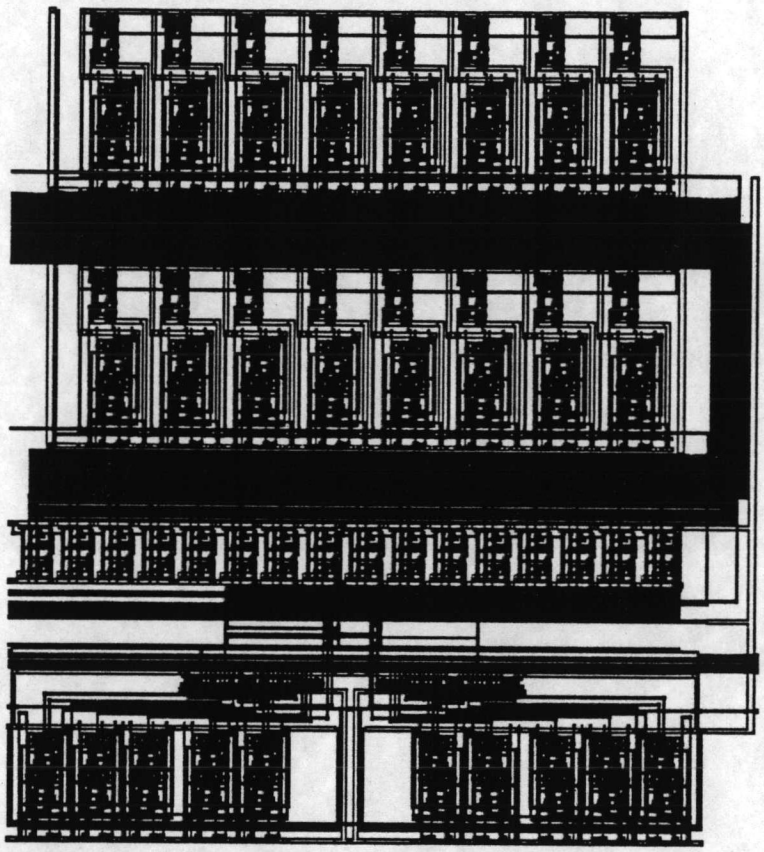
รูปที่ 5.32 ภาพแบบหน้ากากวงจรรวมวงจร ins_del



(ก)

รูปที่ 5.33 วงจรรวมฟูลคัสตอมจัดการข้อมูลแถวคอย

(ก) ภาพการวางส่วนวงจรต่างๆในวงจรรวม (ข) ผังภูมิภาพของวงจรรวม



queue	11:16 Saturday 2 April 1994
Window (microns) : [-5.00,-5.00] - [1850.50,2020.50]	
Plot size (mm) : 105 by 114 Scale : 18.0000 micron/mm	
Plot level : 1-7	☐ CPG ☐ CPD ☐ CPW ☐ CVA
User : sumet	☒ CC ☐ CMS ☐ CMF ☐ CND

(ข)

รูปที่ 5.33 วงจรรวมฟูลคัสตอมจัดการข้อมูลแถวคอย (ต่อ)

3. สรุปผลการออกแบบวงจรรวมจัดการแถวคอย

จากที่ได้กล่าวมาในบทนี้ ได้แสดงถึงการนำวงจรอิเล็กทรอนิกส์จัดการแถวคอยมาออกแบบเป็นวงจรรวมที่ใช้ในการวิจัย 2 ประเภทการทดสอบผลกระทำโดยการจำลองผลการทำงาน วงจรรวมเซลมาตรฐานที่ได้จัดสร้างเพียงบางส่วนได้ส่งไปเจือสารและทดสอบการทำงานซึ่งได้ผลตามที่ต้องการ

ในบทต่อไปจะได้กล่าวถึงการนำวงจรจัดการแถวคอยไปจัดสร้างเป็นวงจรสปูลเลอร์สำหรับเครื่องพิมพ์เพื่อเป็นตัวอย่างในการนำวงจรจัดการแถวคอยไปประยุกต์โดยใช้วงจรรวมอุปกรณ์เกทอาเรย์ที่โปรแกรมได้