บทที่ 4

การจำลองแบบปัญหา

งานวิจัยนี้ได้ใช้การจำลองแบบปัญหาช่วยในการจำลองรูปแบบ และสภาพการณ์ของระบบที่ศึกษา เพื่อช่วยในการวิเคราะห์ผลการจัดสมดุลสายการประกอบทั้งแบบผลิตภัณฑ์เดียวและแบบหลายผลิตภัณฑ์ของระบบการผลิตจอแสดงภาพ รวมทั้งวิธีการจัดด้วยวิธี COMSOAL และวิธีของโรงงาน นอกจากนี้การใช้การจำลองแบบปัญหายังสามารถทำให้เข้าใจถึงการทำงานของระบบได้เป็นอย่างดี อีกทั้งไม่รบกวนต่อระบบการทำงานจริงจึงสามารถทดลองปรับปรุงกระบวนการผลิตได้ในหลายรูปแบบและรวดเร็ว

4.1 ระบบงาน

ในการจำลองแบบปัญหาจะต้องมีการกำหนดขอบเขตของระบบงาน ซึ่งก็คือการกำหนดองค์ประกอบของระบบทั้งภายในและภายนอก โดยองค์ประกอบเหล่านี้จะมีลักษณะเฉพาะตัว (Attributes) ที่ทำให้เกิดกิจกรรม (Activities) และกิจกรรมเหล่านี้จะก่อให้เกิดการเปลี่ยนแปลงสถานะภาพของระบบงาน (System Status) โดยการกำหนดองค์ประกอบ ลักษณะเฉพาะตัว และกิจกรรมของระบบแสดงดังตารางที่ 4.1

ตารางที่ 4.1 แสดงองค์ประกอบ ลักษณะเฉพาะตัว และกิจกรรมของระบบการผลิตจอแสดงภาพ

องค์ประกอบ	ลักษณะเฉพาะตัว	กิจกรรม
คนงาน	เวลาในการผลิต ประสิทธิภาพในการผลิต	ทำงาน ว่าง
เครื่องจักร	เวลาในการผลิต ประสิทธิภาพในการผลิต	ทำงาน ว่าง
ชิ้นงาน	ชนิดผลิตภัณฑ์ รุ่นผลิตภัณฑ์ เวลาในการผลิต ของดี ของเสีย	รอผลิต อยู่ในการผลิต ผลิตเสร็จแล้ว
แถวคอย	จำนวนชิ้นงานในแถวคอย	มีชิ้นงาน ว่าง
สายพาน	ความเร็วสายพาน ประเภทสายพาน	ใช้งานได้ เสีย

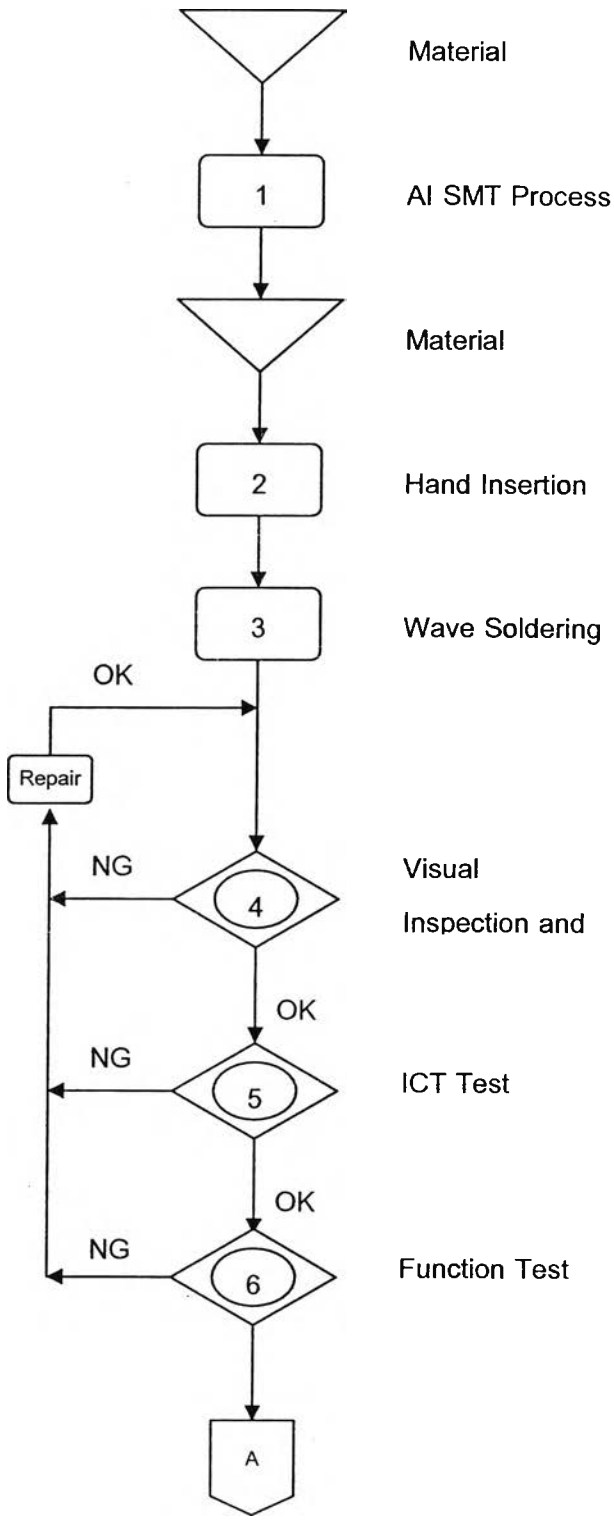
4.2 ขั้นตอนการทำงานของระบบการผลิตจอแสดงภาพ (TFT LCD)

จอแสดงภาพ (Monitor) แบบ Thin Film Transistor Liquid Crystal Display (TFT LCD) ประกอบด้วยแผ่นวงจร 4 แผงได้แก่ Function Key Board, Interface Board, Inverter Board และPower Board โดยแผ่นวงจร Inverter Board และ Power Board จะสั่งซื้อจากภายนอก โรงงานจะผลิตเพียงแผ่นวงจร Function Key Board และ Interface Board

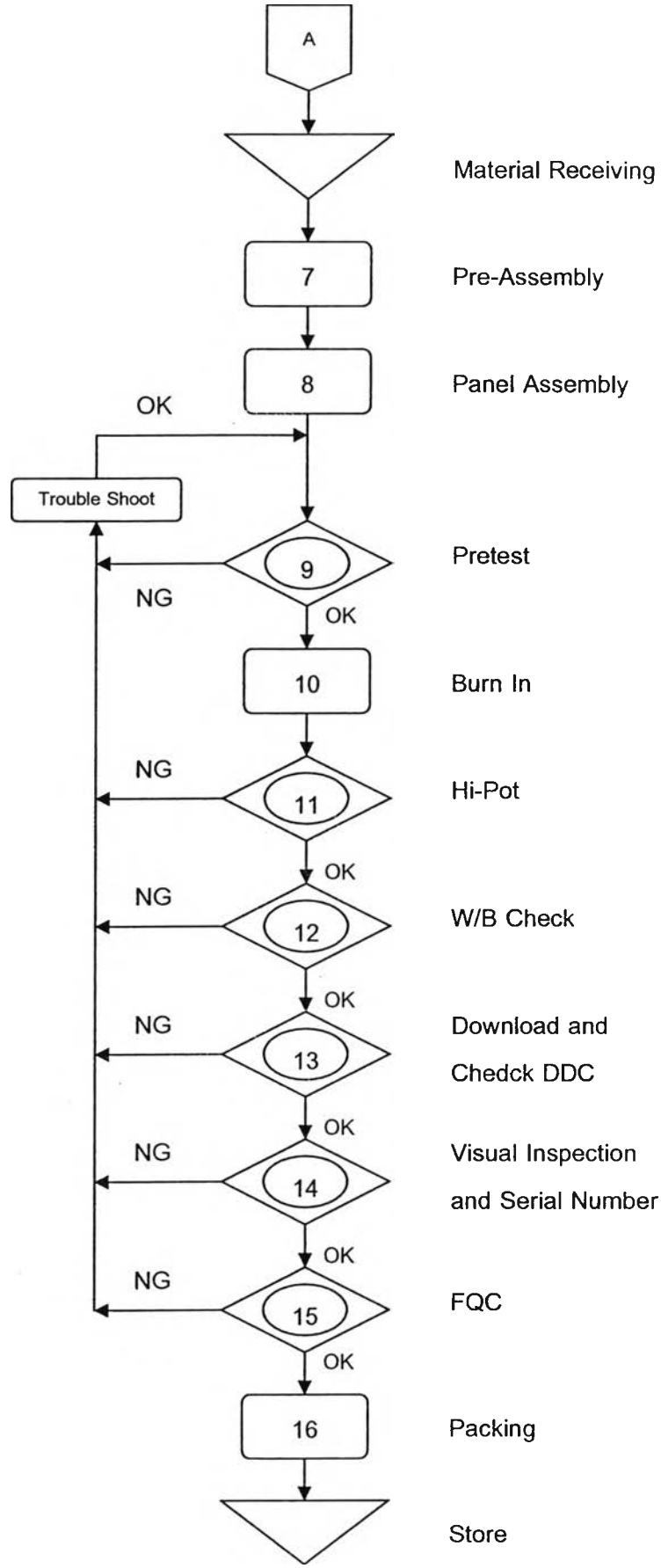
ขั้นตอนการทำงานของระบบการผลิตจอแสดงภาพ แสดงดังรูปที่ 4.1 โดยการผลิต TFT LCD จะเริ่มที่การผลิตแผ่นวงจร Function Key Board และ Interface Board โดยเครื่องอัตโนมัติ SMT (AI SMT Process) จากนั้นจะนำแผ่นวงจร Function Key Board และ Interface Board มาทำการประกอบต่อที่สายการประกอบแผ่นวงจร Function Key Board และสายการประกอบแผ่นวงจร Interface Board โดยเป็นการใส่ส่วนประกอบเพิ่มเติมจากที่เครื่อง SMT ไม่สามารถใส่ได้ (Hand Insertion) จากนั้นทำการบัดกรีด้วยเครื่องบัดกรีและการบัดกรีโดยคนงาน (Wave Soldering และ Hand Solder) ตรวจสอบความเรียบร้อย (Visual Inspection) และทดสอบวงจรไฟฟ้า (ICT Test และ Function Test)

เมื่อทำการประกอบแผ่นวงจร Function Key Board และ Interface Board เสร็จ ขั้นต่อมาเป็นการประกอบจอแสดงภาพที่สายการประกอบจอแสดงภาพซึ่งเป็นการประกอบเป็นจอแสดงภาพ (TFT LCD) สำเร็จรูปพร้อมส่งให้ลูกค้า โดยเริ่มที่การประกอบจอแสดงภาพ (Pre-Assembly และ Panel Assembly) แล้วทำการทดสอบฟังก์ชั่นการใช้งานต่าง ๆ (Pretest, Burn-In, Hi-pot, W/B Check และ Download and Check DDC) จากนั้นเป็นการตรวจสอบความเรียบร้อยของผลิตภัณฑ์ (Visual Inspection) และการสุ่มตรวจเช็คจากฝ่ายควบคุมคุณภาพ (FQC) แล้วทำการบรรจุหีบห่อ (Packing) เพื่อนำเข้าเก็บในคลังสินค้า หรือส่งสินค้าให้ลูกค้าต่อไป (Store)

ในงานวิจัยนี้จะทำการศึกษาระบบตั้งแต่ส่วนสายการประกอบแผ่นวงจร Function Key Board สายการประกอบแผ่นวงจร Interface Board และสายการประกอบจอแสดงภาพ โดยไม่รวมการผลิตแผ่นงานด้วยเครื่องอัตโนมัติ การตรวจสอบคุณภาพ การบรรจุหีบห่อ และการนำสินค้าไปเก็บในคลังสินค้า



รูปที่ 4.1 ขั้นตอนการทำงานของระบบการผลิตจอแสดงภาพ



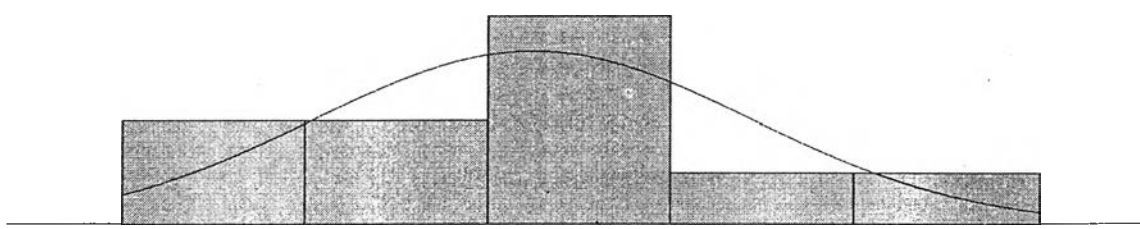
รูปที่ 4.1 ขั้นตอนการทำงานของระบบการผลิตจอแสดงภาพ (ต่อ)

4.3 การจัดเตรียมข้อมูล

การจำลองแบบปัญหาด้วยคอมพิวเตอร์จะต้องมีการคำนวณ มีข้อมูลทั้งที่เป็นข้อมูลนำเข้าและผลลัพธ์จากแบบจำลอง และโดยปกติพฤติกรรมของระบบงานจริงส่วนใหญ่มีลักษณะที่ไม่แน่นอนมีความผันแปร ข้อมูลต่าง ๆ ที่เกิดขึ้นในระบบงานจึงเป็นข้อมูลซึ่งมีความผันแปรไม่แน่นอนไปตามพฤติกรรมของระบบงานนั้น ๆ และมีการแปรเปลี่ยนตามเวลา ดังนั้นการจัดเตรียมและการวิเคราะห์ข้อมูลต่าง ๆ รวมทั้งขั้นตอนต่าง ๆ ที่ใช้กับการจำลองแบบปัญหานี้จึงต้องอาศัยวิธีการต่าง ๆ ทางสถิติเข้าช่วย

4.3.1 เวลาการทำงานในแต่ละขั้นงาน

การผลิตจอแสดงภาพจะใช้แรงงานคนในการผลิต ดังนั้นเวลาการทำงานในแต่ละขั้นงานจึงมีความไม่แน่นอน มีการกระจายที่แตกต่างกันออกไป โดยหลังจากที่ได้ทำการเก็บข้อมูลเวลาในการทำงานแต่ละขั้นงานแล้ว จึงทำการหารูปแบบการกระจายที่เหมาะสมกับข้อมูล โดยใช้โปรแกรม ARENA ในส่วนของ Input Analyzer ซึ่งจะทดสอบการกระจายของข้อมูลที่ได้ด้วยการทดสอบแบบโคโมโกรอฟ-สเมอร์นอฟและการทดสอบไคร์สแควร์ เพื่อนำไปใช้เป็นข้อมูลในการจำลองแบบปัญหาด้วยคอมพิวเตอร์ต่อไป ซึ่งรูปแบบการกระจายที่เหมาะสม โปรแกรมจะพิจารณาจากค่า P-Value ที่สูงกว่า 0.10 และค่า Square Error ที่ต่ำที่สุด ตัวอย่างของการหาการกระจายของข้อมูลด้วยโปรแกรม ARENA ในส่วนของ Input Analyzer โดยตัวอย่างเป็นข้อมูลเวลาของการทำงานในขั้นงานการหยิบแผ่น PCB ออกจากแมกกาซีน แสดงดังรูปที่ 4.2 ซึ่งรูปแบบการกระจายที่เหมาะสมสำหรับการทำงานในขั้นงานการหยิบแผ่น PCB ได้แก่ NORM (2.01, 0.256)



รูปที่ 4.2 การกระจายของข้อมูลเวลาการทำงานในขั้นงานการหยิบแผ่น PCB

Distribution Summary	Kolmogorov-Smirnov Test
Distribution: Normal	Test Statistic = 0.149
Expression: **NORM (2.01, 0.256)**	Corresponding P-value > 0.15
Square Error: 0.028481	

การกระจายของข้อมูลเวลาในแต่ละขั้นงานของสายการประกอบแผ่นวงจร Function Key Board สายการประกอบแผ่นวงจร Interface Board และสายการประกอบจอแสดงภาพ แสดงดังตารางที่ 4.2 ตารางที่ 4.3 และตารางที่ 4.4 ตามลำดับ

ตารางที่ 4.2 การกระจายของข้อมูลเวลาขั้นงานของสายการประกอบ Function Key Board

รายชื่อขั้นงาน	รูปแบบการกระจาย		
	L1	L2	L3
หยิบแผ่น PCB ออกจากแมกกาซีน	NORM(2.01, 0.256)	NORM(2.01, 0.256)	NORM(2.01, 0.256)
ประกอบ PCB บน Carrier	3.55 + 2.39 * BETA(0.924, 1.38)	3.55 + 2.39 * BETA(0.924, 1.38)	3.55 + 2.39 * BETA(0.924, 1.38)
ป้ายน้ำยาจุดที่หนึ่ง	TRIA(1.45, 1.67, 3.6)	TRIA(1.45, 1.67, 3.6)	TRIA(1.45, 1.67, 3.6)
ประกอบ Material	2.38 + LOGN(0.637, 0.468)	2.38 + LOGN(0.637, 0.468)	2.38 + LOGN(0.637, 0.468)
ประกอบ Material	1.32 + 1.22 * BETA(1.08, 1.38)	1.32 + 1.22 * BETA(1.08, 1.38)	1.32 + 1.22 * BETA(1.08, 1.38)
ประกอบ Material	-	2 + LOGN(0.506, 0.513)	2 + LOGN(0.506, 0.513)
ประกอบ Material	-	1.45 + LOGN(0.405, 0.305)	-
วางฟิกเจอร์ครอบ Material	2.57 + ERLA(0.213, 3)	2.57 + ERLA(0.213, 3)	2.57 + ERLA(0.213, 3)
ตรวจสอบการประกอบ Materials	5.75 + 1.4 * BETA(0.925, 1.15)	5.75 + 1.4 * BETA(0.925, 1.15)	5.75 + 1.4 * BETA(0.925, 1.15)
ถอดฟิกเจอร์	1.62 + 1.01 * BETA(0.677, 1.13)	1.62 + 1.01 * BETA(0.677, 1.13)	1.62 + 1.01 * BETA(0.677, 1.13)
ถอด PCB ออกจาก Carrier	2.83 + WEIB(0.553, 1.46)	2.83 + WEIB(0.553, 1.46)	2.83 + WEIB(0.553, 1.46)
ลอกเทปออก	4 + GAMM(0.352, 1.82)	4 + GAMM(0.352, 1.82)	4 + GAMM(0.352, 1.82)
หักขอบแผ่น PCB	NORM(3.04, 0.351)	NORM(3.04, 0.351)	NORM(3.04, 0.351)
หักแผ่น PCB เป็น 3 ส่วน	2.78 + LOGN(0.518, 0.381)	2.78 + LOGN(0.518, 0.381)	2.78 + LOGN(0.518, 0.381)
ประกอบ Material ใน PCB	5.76 + 1.49 * BETA(1.14, 1.21)	5.76 + 1.49 * BETA(1.14, 1.21)	5.76 + 1.49 * BETA(1.14, 1.21)
บัดกรีใน PCB	6 + WEIB(0.584, 1.52)	6 + WEIB(0.584, 1.52)	6 + WEIB(0.584, 1.52)
ตรวจสอบการบัดกรี ใน PCB	2.44 + LOGN(0.462, 0.344)	2.44 + LOGN(0.462, 0.344)	2.44 + LOGN(0.462, 0.344)
ตรวจสอบงาน SMT	2.3 + 1.42 * BETA(1.2, 1.47)	2.3 + 1.42 * BETA(1.2, 1.47)	2.3 + 1.42 * BETA(1.2, 1.47)
แสตมป์แผ่น PCB ที่ผ่านการตรวจสอบ	1.56 + 1.89 * BETA(0.911, 1.38)	1.56 + 1.89 * BETA(0.911, 1.38)	1.56 + 1.89 * BETA(0.911, 1.38)
ตรวจสอบความเรียบร้อยของ PCB	2.23 + 1.45 * BETA(1.07, 1.07)	2.23 + 1.45 * BETA(1.07, 1.07)	2.23 + 1.45 * BETA(1.07, 1.07)
วางแผ่น PCB ลงในกล่อง	1.65 + LOGN(0.595, 0.47)	1.65 + LOGN(0.595, 0.47)	1.65 + LOGN(0.595, 0.47)

ตารางที่ 4.3 การกระจายของข้อมูลเวลาขั้นงานของสายการประกอบ Interface Board

รายชื่อขั้นงาน	รูปแบบการกระจาย		
	L1	L2	L3
หยิบแผ่น PCB ออกจากแมกกาซีน	NORM(2.01, 0.256)	NORM(2.01, 0.256)	NORM(2.01, 0.256)
ตัดแผ่น PCB แยกจากกัน	1.81 + 0.78 * BETA(0.949, 1.24)	1.81 + 0.78 * BETA(0.949, 1.24)	1.81 + 0.78 * BETA(0.949, 1.24)
ติดเทปเพื่อกัน น้ำตะกั่วท่วมขึ้นแผ่น	2 + GAMM(0.28, 2.3)	2 + GAMM(0.28, 2.3)	2 + GAMM(0.28, 2.3)
ป้ายน้ำยา	3.01 + LOGN(0.576, 0.501)	3.01 + LOGN(0.576, 0.501)	-
ประกอบ PCB บน Carrier	3.55 + 2.39 * BETA(0.924, 1.38)	3.55 + 2.39 * BETA(0.924, 1.38)	3.55 + 2.39 * BETA(0.924, 1.38)
ประกอบ Material	1.69 + 1.06 * BETA(1.22, 1.16)	1.69 + 1.06 * BETA(1.22, 1.16)	1.69 + 1.06 * BETA(1.22, 1.16)
ประกอบ Material	1.49 + 0.97 * BETA(1.06, 1.55)	1.49 + 0.97 * BETA(1.06, 1.55)	1.49 + 0.97 * BETA(1.06, 1.55)
ประกอบ Material	1.45 + LOGN(0.405, 0.305)	1.45 + LOGN(0.405, 0.305)	1.45 + LOGN(0.405, 0.305)
ประกอบ Material	1.44 + 0.89 * BETA(1.91, 2.03)	1.44 + 0.89 * BETA(1.91, 2.03)	1.44 + 0.89 * BETA(1.91, 2.03)
ประกอบ Material	TRIA(3.44, 3.98, 4.52)	TRIA(3.44, 3.98, 4.52)	TRIA(3.44, 3.98, 4.52)
ประกอบ Material	1.49 + ERLA(0.112, 3)	1.49 + ERLA(0.112, 3)	1.49 + ERLA(0.112, 3)
วางฟิกเจอร์ทับ IC	TRIA(1.76, 2.33, 2.58)	TRIA(1.76, 2.33, 2.58)	TRIA(1.76, 2.33, 2.58)
ตรวจสอบการประกอบ Materials	6.06 + 2.28 * BETA(1.04, 1.36)	6.06 + 2.28 * BETA(1.04, 1.36)	6.06 + 2.28 * BETA(1.04, 1.36)
ถอดฟิกเจอร์ 3 อัน ออกจากแผ่น PCB	TRIA(4, 4.49, 5.41)	TRIA(4, 4.49, 5.41)	TRIA(4, 4.49, 5.41)
ถอด PCB ออกจาก Carrier	2.83 + WEIB(0.553, 1.46)	2.83 + WEIB(0.553, 1.46)	2.83 + WEIB(0.553, 1.46)
ลอกเทปออก	1.71 + 0.81 * BETA(0.79, 1.39)	1.71 + 0.81 * BETA(0.79, 1.39)	1.71 + 0.81 * BETA(0.79, 1.39)
ตรวจสอบการบัดกรีบริเวณที่กำหนด	TRIA(13.7, 14.7, 15.7)	11.7 + 2.57 * BETA(1.78, 1.23)	10.6 + ERLA(0.544, 2)
ทำความสะอาดแผ่น PCB	3.02 + 1.13 * BETA(0.789, 1.02)	3.02 + 1.13 * BETA(0.789, 1.02)	3.02 + 1.13 * BETA(0.789, 1.02)
ใช้ทินเนอร์ขัดบริเวณที่กำหนด	4.51 + LOGN(0.829, 0.641)	4.51 + LOGN(0.829, 0.641)	4.51 + LOGN(0.829, 0.641)
ตรวจสอบความเรียบร้อยของ PCB	3.46 + ERLA(0.482, 2)	3.46 + ERLA(0.482, 2)	3.46 + ERLA(0.482, 2)
ตัดขางานตัวที่กำหนด 2 ตัว	3 + WEIB(0.741, 1.32)	-	-
ICT Test	UNIF(10.3, 10.7)	UNIF(10.3, 10.7)	UNIF(10.3, 10.7)
ติดแผ่นยาง	3.08 + ERLA(0.295, 2)	3.08 + ERLA(0.295, 2)	3.08 + ERLA(0.295, 2)
หักแผ่น PCB แผ่นเล็ก	3.07 + LOGN(0.916, 0.68)	3.07 + LOGN(0.916, 0.68)	-
เป่าลมทำความสะอาดขางานที่กำหนด	3.83 + LOGN(0.271, 0.222)	3.83 + LOGN(0.271, 0.222)	-
Test Ear Board	13.1 + 0.77 * BETA(1.19, 1.32)	13.1 + 0.77 * BETA(1.19, 1.32)	-
ประกอบแบรคเก็ต	2.28 + EXPO(0.655)	2.28 + EXPO(0.655)	2.28 + EXPO(0.655)
ยิงสกรูยึดแบรคเก็ตกับคอนเน็คเตอร์ 1 จุด	2.75 + 1.41 * BETA(0.903, 1.31)	2.75 + 1.41 * BETA(0.903, 1.31)	2.75 + 1.41 * BETA(0.903, 1.31)
หยอดกาวบริเวณที่กำหนด	2.31 + 1.05 * BETA(0.871, 0.951)	2.31 + 1.05 * BETA(0.871, 0.951)	2.31 + 1.05 * BETA(0.871, 0.951)
ตรวจสอบความเรียบร้อยของ PCB	3.46 + ERLA(0.482, 2)	3.46 + ERLA(0.482, 2)	3.46 + ERLA(0.482, 2)
แสตมป์แผ่น PCB ที่ผ่านการตรวจสอบ	1.56 + 1.89 * BETA(0.911, 1.38)	1.56 + 1.89 * BETA(0.911, 1.38)	1.56 + 1.89 * BETA(0.911, 1.38)
วาง PCB ลงในแม็กกาซีน	1.61 + LOGN(0.877, 0.667)	1.61 + LOGN(0.877, 0.667)	1.61 + LOGN(0.877, 0.667)

ตารางที่ 4.4 การกระจายของข้อมูลเวลาขั้นงานของสายการประกอบจอแสดงภาพ

รายชื่อขั้นงาน	รูปแบบการกระจาย		
	L1	L2	L3
ดูดฝุ่นที่โฟมที่ใช้รองรับกรอบหน้า	TRIA(3.12, 3.79, 4.96)	TRIA(3.12, 3.79, 4.96)	TRIA(3.12, 3.79, 4.96)
ยกจอพาเนล (Panel) วางบนโฟม	3.15 + 1.13 * BETA(1.26, 0.985)	3.15 + 1.13 * BETA(1.26, 0.985)	3.15 + 1.13 * BETA(1.26, 0.985)
เป่าลมให้ทั่วหน้าจอพาเนล และตรวจสอบไม่ให้มีรอยตำหนิ	4.66 + LOGN(0.639, 0.453)	4.66 + LOGN(0.639, 0.453)	4.66 + LOGN(0.639, 0.453)
ติดเทปอลูมิเนียมที่ขอบบนและล่างของพาเนล	-	4 + 1.52 * BETA(0.731, 0.731)	4 + 1.52 * BETA(0.731, 0.731)
คว่ำหน้าจอลง	2.55 + ERLA(0.277, 2)	2.55 + ERLA(0.277, 2)	2.55 + ERLA(0.277, 2)
แกะเทปกาวบนสายไฟออก	3 + 1.72 * BETA(1.44, 1.61)	-	-
ติด Cable Clamp	1.7 + ERLA(0.299, 2)	1.7 + ERLA(0.299, 2)	1.7 + ERLA(0.299, 2)
ยกพาเนลวางพาดบนฟิกเจอร์	2.66 + ERLA(0.264, 2)	2.66 + ERLA(0.264, 2)	2.66 + ERLA(0.264, 2)
นำ Wire With Housing มาเป่าลมไล่เศษฝุ่นออก	3.09 + 1.13 * BETA(0.79, 0.866)	3.09 + 1.13 * BETA(0.79, 0.866)	3.09 + 1.13 * BETA(0.79, 0.866)
เสียบสายไฟ สายคอนเนคเตอร์	NORM(2.86, 0.292)	NORM(2.86, 0.292)	NORM(2.86, 0.292)
ประกอบ Bracket panel socket เข้าที่ซ็อคเก็ตของพาเนล	-	UNIF(3.6, 5.37)	UNIF(3.6, 5.37)
ยิงสกรู	2.75 + 1.41 * BETA(0.903, 1.31)	2.75 + 1.41 * BETA(0.903, 1.31)	2.75 + 1.41 * BETA(0.903, 1.31)
ใส่ Wire With Housing เข้าใน Cable Clamp และกดล็อก	3 + WEIB(1.12, 1.88)	3 + WEIB(1.12, 1.88)	3 + WEIB(1.12, 1.88)
นำ Side Bracket ประกอบเข้าที่ด้านข้างของพาเนล	NORM(3.99, 0.509)	NORM(3.99, 0.509)	NORM(3.99, 0.509)
วางพาเนลตามลักษณะที่กำหนด	2.03 + 1.77 * BETA(0.884, 1.13)	2.03 + 1.77 * BETA(0.884, 1.13)	2.03 + 1.77 * BETA(0.884, 1.13)
ติด Gasket ที่ด้านหลังพาเนล	1.7 + ERLA(0.299, 2)	1.7 + ERLA(0.299, 2)	1.7 + ERLA(0.299, 2)
ตรวจสอบจำนวนเสา,สายไฟ และ Insulator บนแบรคเก็ตพาเนล	5.37 + WEIB(1.51, 1.78)	5.37 + WEIB(1.51, 1.78)	5.37 + WEIB(1.51, 1.78)
ประกอบแบรคเก็ตพาเนลเข้ากับพาเนล	UNIF(2.07, 3)	UNIF(2.07, 3)	UNIF(2.07, 3)
สอดสายไฟจากพาเนล 7 เส้น ให้ผ่านรูแบรคเก็ตพาเนล3 จุด	10.6 + LOGN(1.69, 1.18)	10.6 + LOGN(1.69, 1.18)	10.6 + LOGN(1.69, 1.18)
พลิกพาเนลให้หงายขึ้น	3.08 + 2.46 * BETA(0.789, 0.876)	3.08 + 2.46 * BETA(0.789, 0.876)	3.08 + 2.46 * BETA(0.789, 0.876)
ตรวจสอบกรอบหน้า แล้ววางกรอบหน้าลงบนพาเนลให้ลงล็อค	7.25 + LOGN(1.02, 0.9)	7.25 + LOGN(1.02, 0.9)	7.25 + LOGN(1.02, 0.9)
ประกอบ I/F Board ลงบนแบรคเก็ตพาเนล	2.81 + LOGN(0.554, 0.402)	2.81 + LOGN(0.554, 0.402)	2.81 + LOGN(0.554, 0.402)

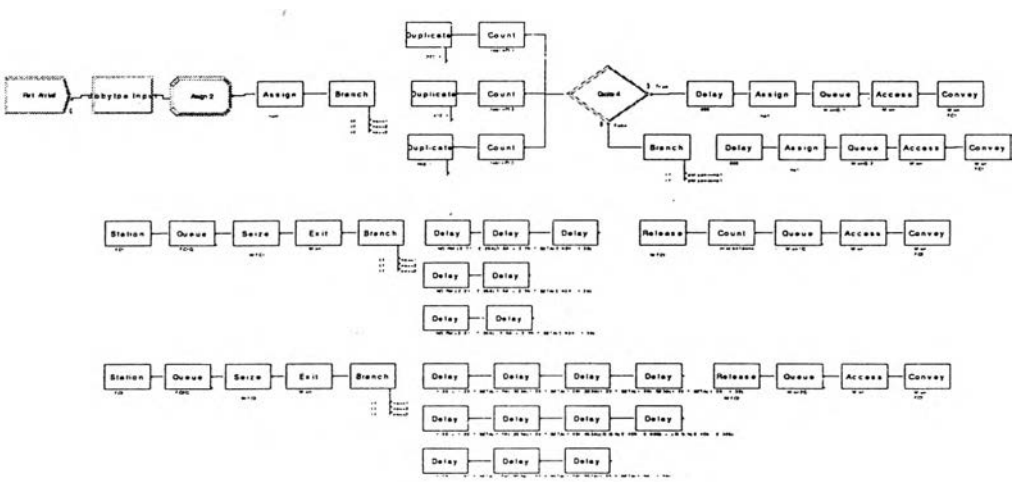
ตารางที่ 4.4 การกระจายของข้อมูลเวลาขั้นงานของสายการประกอบจอแสดงภาพ (ต่อ)

รายชื่อขั้นงาน	รูปแบบการกระจาย		
	L1	L2	L3
ประกอบ AC Power Socket	NORM(2.92, 0.475)	NORM(2.92, 0.475)	NORM(2.92, 0.475)
ตรวจสอบ I/V Board	2.27 + 1.19 * BETA(1.23, 1.07)	2.27 + 1.19 * BETA(1.23, 1.07)	2.27 + 1.19 * BETA(1.23, 1.07)
ประกอบ I/V Boardเข้ากับแบรคเก็ตพาเนล	4 + 2.26 * BETA(0.979, 1.04)	4 + 2.26 * BETA(0.979, 1.04)	4 + 2.26 * BETA(0.979, 1.04)
ตรวจสอบการเสียบสายไฟ	TRIA(5, 5.6, 7)	TRIA(5, 5.6, 7)	TRIA(5, 5.6, 7)
ประกอบซิลแคน I/F Board ลงบนแบรคเก็ตพาเนล	4.19 + GAMM(0.378, 3.37)	4.19 + GAMM(0.378, 3.37)	4.19 + GAMM(0.378, 3.37)
ติดเทป	2.37 + 1.52 * BETA(1.49, 1.37)	2.37 + 1.52 * BETA(1.49, 1.37)	2.37 + 1.52 * BETA(1.49, 1.37)
ประกอบซิลแคน I/V Board ลงบนแบรคเก็ตพาเนล	3.32 + WEIB(1.3, 1.7)	3.32 + WEIB(1.3, 1.7)	3.32 + WEIB(1.3, 1.7)
ประกอบสวิตช์ซอคเก็ต	1.69 + ERLA(0.205, 3)	1.69 + ERLA(0.205, 3)	1.69 + ERLA(0.205, 3)
วางอแดปเตอร์บอร์ดลงในแบรคเก็ตพาเนล	NORM(5.64, 0.489)	NORM(5.64, 0.489)	NORM(5.64, 0.489)
ประกอบชุดลำโพงเข้ากับกรอบหน้า	5 + ERLA(0.55, 2)	5 + ERLA(0.55, 2)	-
เก็บสายลำโพงเข้าในร่องด้านล่าง	2 + 1.28 * BETA(1.22, 1.29)	2 + 1.28 * BETA(1.22, 1.29)	-
ตรวจสอบการยิงสกรูที่ฟังก์ชั่นคีย์บอร์ด	TRIA(2, 2.51, 3.71)	TRIA(2, 2.51, 3.71)	TRIA(2, 2.51, 3.71)
ประกอบฝาหลังเข้ากับกรอบหน้า	11 + 2.45 * BETA(1.16, 1.26)	11 + 2.45 * BETA(1.16, 1.26)	11 + 2.45 * BETA(1.16, 1.26)
ประกอบชุดฐานเข้ากับฝาหลัง	4.11 + LOGN(0.825, 0.612)	4.11 + LOGN(0.825, 0.612)	4.11 + LOGN(0.825, 0.612)
เสียบ DVIเข้ากับคอนเนคเตอร์บนฝาหลัง	5.27 + 2.24 * BETA(0.922, 1.12)	5.27 + 2.24 * BETA(0.922, 1.12)	5.27 + 2.24 * BETA(0.922, 1.12)
เสียบสายพาวเวอร์คอร์ดเข้ากับคอนเนคเตอร์บนฝาหลัง	2.19 + LOGN(0.408, 0.302)	2.19 + LOGN(0.408, 0.302)	2.19 + LOGN(0.408, 0.302)
ยกจอ LCD ให้ตั้งขึ้น	2.8 + WEIB(0.717, 1.46)	2.8 + WEIB(0.717, 1.46)	2.8 + WEIB(0.717, 1.46)
Pretest	25.1 + 2.19 * BETA(1.08, 1.34)	22.4 + 1.57 * BETA(0.649, 0.719)	TRIA(18, 18.8, 20.2)
Hi-Pot	25 + WEIB(0.832, 1.34)	TRIA(22, 23.1, 23.5)	UNIF(18, 19.5)
S/C - W/B	25 + 2.36 * BETA(0.961, 1.23)	22.1 + 1.35 * BETA(1.05, 0.761)	NORM(19, 0.642)
ถอดสาย DVI ออกจากจอ LCD	4.52 + 1.89 * BETA(0.837, 0.804)	4.52 + 1.89 * BETA(0.837, 0.804)	4.52 + 1.89 * BETA(0.837, 0.804)
ถอดสายพาวเวอร์คอร์ดออกจากจอ LCD	2.19 + LOGN(0.476, 0.353)	2.19 + LOGN(0.476, 0.353)	2.19 + LOGN(0.476, 0.353)
ประกอบ Cover Mini ลงบนฝาหลัง	4.65 + 1.56 * BETA(0.774, 0.838)	4.65 + 1.56 * BETA(0.774, 0.838)	4.65 + 1.56 * BETA(0.774, 0.838)
ติด ID Label ลงบนฝาหลัง	3.4 + ERLA(0.275, 3)	3.4 + ERLA(0.275, 3)	3.4 + ERLA(0.275, 3)
ติด Label Serial ลงบน ID Label	2.35 + 1.06 * BETA(2.12, 2.03)	2.35 + 1.06 * BETA(2.12, 2.03)	2.35 + 1.06 * BETA(2.12, 2.03)
ตรวจความเรียบร้อยของผลิตภัณฑ์	10.6 + LOGN(0.871, 0.706)	10.6 + LOGN(0.871, 0.706)	10.6 + LOGN(0.871, 0.706)

4.4 การพัฒนาโปรแกรม

หลังจากที่ได้เก็บข้อมูลและทดสอบข้อมูลทางสถิติเพื่อใช้เป็นตัวแทนของระบบแล้ว จากนั้นจึงทำการจำลองแบบปัญหาด้วยคอมพิวเตอร์ การจำลองแบบปัญหารูปแบบโปรแกรมคอมพิวเตอร์เป็นการจำลองแบบปัญหาที่ได้รับการนำเอาไปใช้อย่างกว้างขวาง โดยสามารถใช้ได้กับปัญหาของระบบงานมากมายหลายประเภท ในงานวิจัยนี้ได้ทำการจำลองแบบปัญหาด้วยคอมพิวเตอร์โดยใช้โปรแกรมสำเร็จรูป ARENA Version 5.01

การศึกษาระบบการผลิตจอแสดงภาพในงานวิจัยนี้จะศึกษาเฉพาะสายการผลิตที่มีผลิตในโรงงานนี้ ได้แก่ สายการประกอบแผ่นวงจร Function Key Board สายการประกอบแผ่นวงจร Interface Board และสายการประกอบจอแสดงภาพ โดยไม่พิจารณารวมถึงการสุ่มตรวจของฝ่ายควบคุมคุณภาพและการนำสินค้าไปเก็บในคลังสินค้า ในการเขียนโปรแกรมจะเขียนโปรแกรมแยกกันสำหรับสายการประกอบต่าง ๆ และได้พิจารณาถึงเรื่องของเวลาการปรับสายการผลิต (Set-up Time) เมื่อมีการเปลี่ยนรุ่นผลิตภัณฑ์ด้วย โดยการจัดสายการผลิตตามผลของการจัดสมดุลสายการประกอบแบบผลิตภัณฑ์เดียวใช้เวลาในการปรับสายการผลิต 600 วินาที และทำการปรับสายการผลิตทุกครั้งที่มีการเปลี่ยนรุ่นผลิตภัณฑ์คือมีการดึงคนงานเข้าออก การเคลื่อนย้ายอุปกรณ์ และการเปลี่ยนวัตถุดิบที่ใช้ในการประกอบสำหรับแต่ละรุ่น สำหรับการจัดสายการผลิตตามผลของการจัดสมดุลสายการประกอบแบบหลายผลิตภัณฑ์ใช้เวลาในการปรับสายการผลิต 300 วินาที และทำการปรับสายการผลิตในครั้งแรกครั้งเดียวเท่านั้น เมื่อมีการเปลี่ยนรุ่นจะเสียเวลาเพียงเล็กน้อยในการเปลี่ยนวัตถุดิบที่ใช้ในการประกอบสำหรับแต่ละรุ่น โดยรูปที่ 4.3 แสดงตัวอย่างของโปรแกรม ARENA ส่วนหนึ่งในส่วนของสายการประกอบแผ่นวงจร Function Key Board



รูปที่ 4.3 ตัวอย่างโปรแกรม ARENA ส่วนหนึ่งของสายการประกอบ Function Key Board

เมื่อเขียนโปรแกรมเสร็จซึ่งจะเป็น Source File เมื่อทำการ Run โปรแกรมก็จะทำการ Compile และ Link เป็นไฟล์ .p ที่ใช้สำหรับการ Run โปรแกรม เมื่อ Compile และ Link ไม่มีข้อผิดพลาดจึงจะสามารถ Run โปรแกรมศึกษากระบวนการผลิตได้

สำหรับโปรแกรมแบบจำลองปัญหานี้ไม่สามารถที่จะแสดงเป็นไฟล์ตัวหนังสือได้ เนื่องจากโปรแกรมมีขนาดใหญ่มาก ดังนั้นจึงนำตัวอย่างของโปรแกรมไว้ในภาคผนวก จ

4.5 การตรวจสอบความถูกต้องของแบบจำลอง (Verification)

หลังจากทำการสร้างแบบจำลองเรียบร้อยแล้ว จะต้องมีการตรวจสอบความถูกต้องของแบบจำลอง เพื่อตรวจสอบว่าแบบจำลองที่สร้างขึ้นมานั้นถูกต้องตามที่ต้องการหรือไม่ เพื่อเป็นกระบวนการในการสร้างความมั่นใจให้กับผู้สร้างและผู้ใช้แบบจำลองว่าผลที่ได้จากแบบจำลองนั้นจะเป็นผลที่ถูกต้องตามวัตถุประสงค์ของการสร้างแบบจำลอง

ในโปรแกรม ARENA จะมีคำสั่งต่าง ๆ ที่ช่วยในการตรวจสอบความถูกต้องของแบบจำลองอยู่หลายคำสั่ง เช่น ภาพเคลื่อนไหว (Animation) ที่จะทำให้การตรวจสอบความถูกต้องของแบบจำลองเป็นไปอย่างง่ายยิ่งขึ้น แต่เนื่องจากภาพขณะเคลื่อนไหวไม่สามารถที่จะทำการบันทึกให้เห็นถึงการเปลี่ยนแปลงของ Entity แต่ละชิ้นได้ ดังนั้นจึงมีการใช้คำสั่ง TRACE เพื่อที่จะสามารถตรวจความถูกต้องของแบบจำลองได้ดียิ่งขึ้น

ในคำสั่ง TRACE จะช่วยให้สามารถทำการตรวจสอบได้ถึงรายละเอียดของการเคลื่อนที่ของ Entity ที่ผ่านภายในระบบ และยังทำให้ทราบถึงกิจกรรมต่าง ๆ ที่ Entity ถูกกระทำในแต่ละที่ที่ Entity ผ่านไป นอกจากนี้ในโปรแกรม ARENA ยังมี Run Controller ที่จะช่วยให้สามารถตรวจสอบแบบจำลองในส่วนที่เฉพาะเจาะจงได้มากขึ้น เช่น เมื่อใช้คำสั่ง SET BREAK โปรแกรมจะรันแล้วไปหยุดที่ตำแหน่งที่เราตั้งไว้เพื่อทำการตรวจสอบ หรือการใช้คำสั่ง STEP ก็จะสามารถดูได้ถึงกิจกรรมที่ Entity ทำทีละขั้นตอน

ในการใช้คำสั่ง TRACE ก่อนจะเริ่มทำการรันโปรแกรมให้ตั้งค่าการรันแบบ Command ก่อนโดยเลือกที่ Tool bar เลือก Run > Run Control > Command หลังจากนั้นก็ใช้คำสั่ง Set trace เพื่อดูการทำงานของระบบที่เกิดขึ้นกับ Entity ที่สนใจ ในรูปที่ 4.4 แสดงส่วนหนึ่งของการใช้คำสั่ง TRACE ซึ่งพบว่ามีการสร้าง Entity 2 ที่เวลา 0

```
SIMAN System Trace Beginning at Time: 0.0

Seq#   Label      Block       System Status Change
-----  ---------  ----------  ------------------------------------------

Time:    0  Entity: 2
                    CREATE
                                Entity Type set to Entity 1
```

รูปที่ 4.4 ส่วนหนึ่งของการใช้คำสั่ง TRACE แสดงว่ามีการสร้าง Entity 2 ที่เวลา 0

และในรูปที่ 4.5 แสดง Entity 2 ได้ถูกเคลื่อนที่มาถึงสถานีงาน FC1 ที่เวลา 602 แล้ว คนงานที่สถานีงาน FC1 จึงทำงานครั้งแรกจนถึงเวลา 603.91777 และทำงานครั้งที่สองจนถึงเวลา 607.84448 ขณะที่เวลา 604 Entity 4 ถูกเคลื่อนที่มาถึงสถานีงาน FC1 แต่ต้องรอให้คนงานทำงาน Entity 2 ให้เสร็จก่อนจึงถูกนำไปรอที่ FC1Q และเมื่อคนงานทำงาน Entity 2 ครั้งที่สองเสร็จก็ทำงานครั้งที่สามต่อจนถึงเวลา 609.22924 เมื่อเสร็จ คนงานที่สถานีงาน FC1 จึงว่าง Entity 4 จึงเข้ามาให้คนงานที่สถานีงาน FC1 ทำงานต่อจนถึงเวลา 610.95237

```
Time: 602  Entity: 2
   1 FC1            STATION
                                Entity 2 entered station FC1
   2 fc1q           QUEUE
                                Entity 2 sent to next block
   3 0$             SEIZE
                                Seized 1 unit(s) of resource WFC1
   4 61$            EXIT
                                Exited 1 cells of Main.
   5 brnoptime      BRANCH
                                Selecting at most 3 of 3 branches
                                IF: Entity 2 sent to OPTIME1_1_1
                                IF: Branch not selected
                                IF: Branch not selected
   6 optime1_1_1    DELAY       Delayed by 1.9177673 until time 603.91777
Time: 603.91777  Entity: 2
   7 optime1_1_2    DELAY       Delayed by 3.9267139 until time 607.84448
Time: 604  Entity: 4
   1 FC1            STATION
                                Entity 4 entered station FC1
   2 fc1q           QUEUE
                                Entity 4 sent to next block
   3 0$             SEIZE
                                Could not seize resource WFC1
                                Entity 4 added to queue FC1Q at rank 1
Time: 607.84448  Entity: 2
   8 optime1_1_3    DELAY       Delayed by 1.3847582 until time 609.22924
Time: 609.22924  Entity: 2
   9 rls1           RELEASE
                                WFC1 available increased by 1 to 1
                                Entity 4 removed from queue FC1Q
                                Resource allocated to entity 4
                                Seized 1 unit(s) of resource WFC1
  10 60$            QUEUE
                                Entity 2 sent to next block
  11 61$            ACCESS
                                Entity 2 added to queue Main1Q at rank 1
                                Requires 1 cell(s) of Main
```

```
Time: 609.22924  Entity: 4
  4 59$              EXIT
                                  Exited 1 cells of Main.
  5 brnoptime        BRANCH
                                  Selecting at most 3 of 3 branches
                                    IF: Entity 4 sent to OPTIME1_1_1
                                    IF: Branch not selected
                                    IF: Branch not selected
  6 optime1_1_1      DELAY        Delayed by 1.7231279 until time 610.95237
```

รูปที่ 4.5 ส่วนหนึ่งของการใช้คำสั่ง TRACE

4.6 การตรวจสอบความสมเหตุสมผลของแบบจำลอง (Validation)

เป็นการตรวจสอบความถูกต้องของแบบจำลองที่เราสร้างขึ้นมาว่ามีความสอดคล้องและมีความใกล้เคียงกันกับระบบงานจริงมากน้อยเพียงใด โดยใช้วิธีทางสถิติเปรียบเทียบผลที่ได้จากแบบจำลองและผลที่ได้จากระบบงานจริงว่าสามารถยอมรับได้ว่าเหมือนกันที่ระดับนัยสำคัญที่ยอมรับได้

ในงานวิจัยนี้ได้ใช้จำนวนผลผลิตที่ผลิตได้เพื่อทำการเปรียบเทียบแบบจำลองปัญหาและระบบงานจริง ซึ่งผลิตภัณฑ์ในรุ่นที่ทำการศึกษานี้ยังไม่ได้มีการทำผลิตจริงในโรงงาน ดังนั้นจึงใช้จำนวนในออเดอร์ที่ฝ่ายขายได้ทำการประมาณสำหรับสินค้ารุ่นใหม่นี้มาเป็นปริมาณความต้องการผลิต เพื่อเปรียบเทียบผลกับข้อมูลที่ได้จากการรันแบบจำลอง ซึ่งข้อมูลที่ได้เป็นข้อมูลที่ผ่านช่วง Warm-up Period แล้ว

ในการกำหนดปริมาณความต้องการผลิตนั้น จะคำนึงถึงเปอร์เซ็นต์ของเสียที่เกิดขึ้นในการผลิตด้วย โดยเปอร์เซ็นต์ของเสียของสายการประกอบจอแสดงภาพ คือ 2% และเปอร์เซ็นต์ของเสียของสายการประกอบ Interface Board คือ 0.5% สำหรับเปอร์เซ็นต์ของเสียของสายการประกอบ Function Key Board นั้นมีค่าน้อยมากจึงไม่นำมาคิดด้วย และปริมาณความต้องการผลิตที่คิดรวมของเสียแล้วของจอแสดงภาพก็จะเป็นปริมาณความต้องการผลิตต่อวันของแผ่นวงจร Interface Board จากนั้นจึงนำไปคำนวณเป็นปริมาณการผลิตที่คิดรวมของเสียแล้ว เพื่อที่จะเป็นปริมาณการผลิตที่สายการประกอบแผ่นวงจร Function Key Board ต้องทำการผลิตได้ โดยปริมาณความต้องการผลิตของจอแสดงภาพ Interface Board และ Function Key Board ต่อวัน แสดงดังตารางที่ 4.5 และตารางที่ 4.6 แสดงข้อมูลจำนวนผลผลิตที่ได้จากแบบจำลอง 10 เรพพลิเคต เนื่องจาก Pegden (1995) กล่าวไว้ว่าจำนวนของเรพพลิเคตที่นิยมใช้มากที่สุดได้แก่ 10 เรพพลิเคต

ตารางที่ 4.5 ปริมาณความต้องการผลิตต่อวัน

รุ่น	จอแสดงภาพ		Interface Board		Function Key Board
	ความต้องการผลิตต่อวัน	ความต้องการผลิตเมื่อรวมของเสีย	ความต้องการผลิตต่อวัน	ความต้องการผลิตเมื่อรวมของเสีย	ความต้องการผลิตต่อวัน
L1	360	368	368	370	370
L2	400	409	409	412	412
L3	480	490	490	493	493
รวม	**1,240**	**1,267**	**1,267**	**1,275**	**1,275**

ตารางที่ 4.6 ข้อมูลจำนวนผลผลิตที่ได้จากแบบจำลอง

Replicate	จำนวนผลผลิต		
	จอแสดงภาพ	Interface Board	Function Key Board
1	1,270	1,299	1,264
2	1,272	1,287	1,291
3	1,268	1,277	1,284
4	1,275	1,301	1,279
5	1,257	1,283	1,287
6	1,270	1,287	1,261
7	1,279	1,300	1,283
8	1,271	1,286	1,286
9	1,262	1,288	1,299
10	1,273	1,285	1,287

จากนั้นจึงได้ทำการทดสอบสมมติฐาน โดยใช้โปรแกรม MINITAB ทำการวิเคราะห์ ANOVA เพื่อวิเคราะห์ว่าทั้ง 2 ระบบแตกต่างกันที่ระดับนัยสำคัญ 0.05 หรือไม่

4.6.1 การทดสอบสมมติฐานของแบบจำลองสายการประกอบ Function Key Board

One-way ANOVA: output versus method

```
Analysis of Variance for output
Source      DF        SS        MS        F        P
method       1        46        46     0.34    0.574
Error        9      1215       135
Total       10      1261

                                      Individual 95% CIs For Mean
                                      Based on Pooled StDev
Level       N      Mean     StDev  --------+---------+---------+--------
new        10    1282.1      11.6                   (-----*----)
old         1    1275.0       0.0  (------------------*------------------)
                                      --------+---------+---------+--------
Pooled StDev =     11.6                 1260      1275      1290

Tukey's pairwise comparisons

    Family error rate = 0.0500
Individual error rate = 0.0500

Critical value = 3.20

Intervals for (column level mean) - (row level mean)

               new

     old      -20.47
               34.67
```

จากผลที่ได้พบว่าค่า P value = 0.574 ซึ่งมากกว่า 0.05 และ Tukey's Pairwise Comparisons ให้ผลว่าทั้ง 2 ระบบไม่แตกต่างกันที่ระดับนัยสำคัญ 0.05 ดังนั้นแสดงว่าแบบจำลองที่ได้จัดทำขึ้น สามารถใช้แทนระบบการผลิตจริงได้

4.6.2 การทดสอบสมมติฐานของแบบจำลองสายการประกอบ Interface Board

One-way ANOVA: output versus method

```
Analysis of Variance for output
Source      DF        SS        MS        F        P
method       1     185.9     185.9     2.89    0.123
Error        9     578.1      64.2
Total       10     764.0

                                      Individual 95% CIs For Mean
                                      Based on Pooled StDev
Level       N      Mean     StDev  ---+---------+---------+---------+---
new        10   1289.30      8.01                        (---*----)
old         1   1275.00      0.00  (----------------*---------------)
                                      ---+---------+---------+---------+---
Pooled StDev =     8.01             1260      1272      1284      1296

Tukey's pairwise comparisons

    Family error rate = 0.0500
Individual error rate = 0.0500

Critical value = 3.20
```

```
Intervals for (column level mean) - (row level mean)

               new

     old       -4.72
               33.32
```

จากผลที่ได้พบว่าค่า P value = 0.123 ซึ่งมากกว่า 0.05 และ Tukey's Pairwise Comparisons ให้ผลว่าทั้ง 2 ระบบไม่แตกต่างกันที่ระดับนัยสำคัญ 0.05 ดังนั้นแสดงว่าแบบจำลองที่ได้จัดทำขึ้น สามารถใช้แทนระบบการผลิตจริงได้

4.6.3 การทดสอบสมมติฐานของแบบจำลองสายการประกอบจอแสดงภาพ

One-way ANOVA: output versus method

```
Analysis of Variance for output
Source     DF        SS        MS        F        P
method      1       6.6       6.6     0.17    0.692
Error       9     356.1      39.6
Total      10     362.7

                                  Individual 95% CIs For Mean
                                  Based on Pooled StDev
Level       N      Mean     StDev  -----+---------+---------+---------+-
new        10   1269.70      6.29                    (----*-----)
old         1   1267.00      0.00   (-----------------*-----------------)
                                  -----+---------+---------+---------+-
Pooled StDev =     6.29           1256.0    1264.0    1272.0    1280.0
Tukey's pairwise comparisons

    Family error rate = 0.0500
Individual error rate = 0.0500

Critical value = 3.20

Intervals for (column level mean) - (row level mean)

               new

     old      -12.22
               17.62
```

จากผลที่ได้พบว่าค่า P value = 0.692 ซึ่งมากกว่า 0.05 และ Tukey's Pairwise Comparisons ให้ผลว่าทั้ง 2 ระบบไม่แตกต่างกันที่ระดับนัยสำคัญ 0.05 ดังนั้นแสดงว่าแบบจำลองที่ได้จัดทำขึ้น สามารถใช้แทนระบบการผลิตจริงได้

4.7 การออกแบบการทดลองและการใช้งานแบบจำลองปัญหา

ก่อนที่จะดำเนินการทดลอง ต้องมีการวิเคราะห์ก่อนว่าระบบที่ศึกษามีลักษณะเป็นแบบใด ซึ่งโดยปกติแล้วในการวิเคราะห์ระบบสามารถแบ่งออกได้เป็น 2 ระบบคือ

1. แบบ Terminating System เป็นระบบที่มีจุดเริ่มต้นและจบการทำงานในแต่ละช่วงเวลาที่กำหนด และเมื่อจบสิ้นการทำงานในแต่ละช่วงเวลานั้นแล้ว ผลของช่วงเวลานั้นจะไม่มีส่วนเกี่ยวเนื่องกับช่วงเวลาถัดไป เช่น ระบบร้านขายอาหาร จะไม่มีคนรอคิวซื้ออาหารจากเมื่อวาน รอจนถึงวันถัดมา หรือระบบการผลิตที่ต้องผลิตสินค้าที่ทำตามจำนวนที่สั่งภายในวันนั้น ๆ เป็นต้น
2. แบบ Non-Terminating System หรือ Steady-State เป็นระบบที่ผลของช่วงเวลาก่อนหน้ามีส่วนเกี่ยวเนื่องกับช่วงเวลาถัดมา เช่น ในระบบการผลิตสินค้าจะมีการผลิตต่อเนื่องไปเรื่อยๆ ผลผลิตที่ยังผลิตไม่เสร็จในวันนี้ซึ่งก็คือชิ้นงานระหว่างการผลิตก็จะนำไปผลิตต่อในวันถัดไปเป็นเช่นนี้ไปเรื่อยๆ ซึ่งระบบแบบนี้จะต้องมีการหาเวลาที่จะเข้าสู่สภาวะคงตัว และขนาดของข้อมูลที่เหมาะสมต่อการจัดกลุ่ม 1 ครั้ง (Batch size) เพื่อให้ข้อมูลที่ได้เป็นอิสระต่อกัน

สำหรับแบบจำลองปัญหาที่ได้จัดทำขึ้นนั้น เป็นระบบแบบ Non-Terminating System ซึ่งงานที่ยังทำการประกอบไม่เสร็จในวันหนึ่ง จะถูกนำมาประกอบต่อในวันถัดไป ดังนั้นจึงต้องทำการ Pilot Run เพื่อหาเวลาที่เข้าสู่สภาวะคงตัว และขนาดของข้อมูลที่เหมาะสมต่อการจัดกลุ่ม 1 ครั้ง ซึ่งจะมีวิธีการทำดังนี้

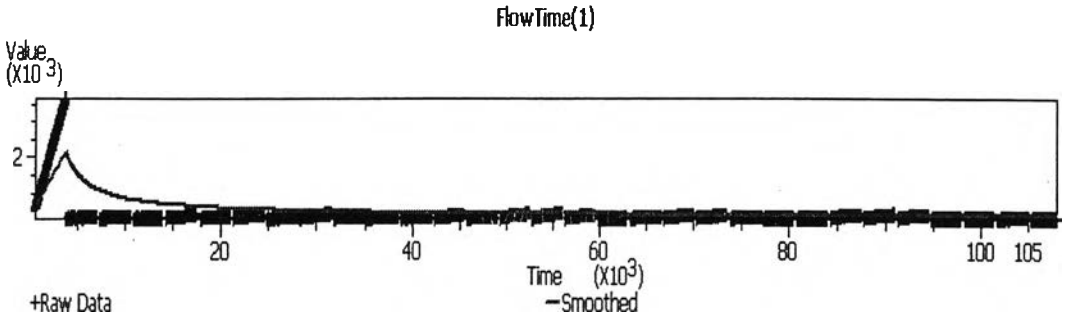
4.7.1 การหาเวลาที่ระบบเข้าสู่สภาวะคงตัว

เนื่องจากในช่วงแรกระบบที่จำลองขึ้นจะยังว่างอยู่ ข้อมูลที่ได้จะมีการแกว่งทำให้ไม่สามารถนำข้อมูลส่วนนั้นมาวิเคราะห์ระบบได้ จนกระทั่งถึงช่วงเวลาหนึ่งระบบจึงจะเริ่มคงที่ ซึ่งจุดนี้จะเป็นจุดเริ่มต้นของการเก็บข้อมูลจริง โดยช่วงเวลาก่อนที่จะถึงจุดคงที่นี้จะเรียกว่า Warm-up Period ซึ่งข้อมูลส่วนนั้นจะต้องถูกตัดทิ้งไป

ในการทดลองรันช่วงแรกจะทำการรัน 1 เรพพลิเคต แต่เวลาจะเท่ากับการผลิต 10 วัน สำหรับสายการประกอบ Function Key Board เวลาที่ใช้รันคือ 108,000 วินาที สายการประกอบ Interface Board เวลาที่ใช้รันคือ 194,400 วินาที และสายการประกอบจอแสดงภาพเวลาที่ใช้รันคือ 324,000 วินาที แล้วจึงนำผลที่ได้ไปพล็อตกราฟระหว่างเวลากับ Flow Time

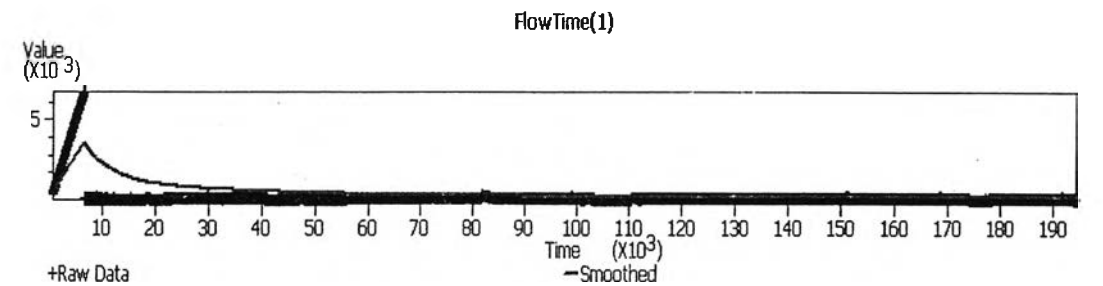
โดยใช้โปรแกรม Output Analyzer ในโปรแกรม ARENA อีกทีหนึ่ง และเมื่อพล๊อตกราฟ Moving Average แบบ Cumulative แล้วจะได้ผลดังแสดงในรูปที่ 4.6 รูปที่ 4.7 และรูปที่ 4.8

ในรูปที่ 4.6 จะพบว่าที่เวลา 20,000 วินาที ระบบจึงจะเริ่มเข้าสู่สภาวะคงตัว ดังนั้นช่วง Warm-up Period ของแบบจำลองสายการประกอบ Function Key Board ก็คือ 20,000 วินาที



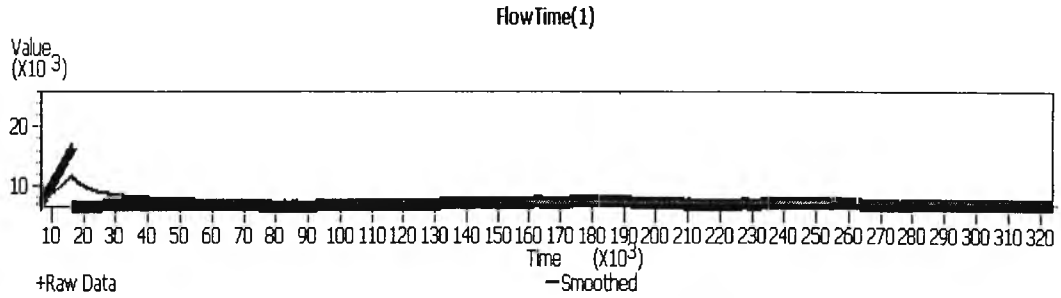
รูปที่ 4.6 กราฟ Moving Average ของแบบจำลองสายการประกอบ Function Key Board

ในรูปที่ 4.7 จะพบว่าที่เวลา 30,000 วินาที ระบบจึงจะเริ่มเข้าสู่สภาวะคงตัว ดังนั้นช่วง Warm-up Period ของแบบจำลองสายการประกอบ Interface Board ก็คือ 30,000 วินาที



รูปที่ 4.7 กราฟ Moving Average ของแบบจำลองสายการประกอบ Interface Board

ในรูปที่ 4.8 จะพบว่าที่เวลา 40,000 วินาที ระบบจึงจะเริ่มเข้าสู่สภาวะคงตัว ดังนั้นช่วง Warm-up Period ของแบบจำลองสายการประกอบจอแสดงภาพก็คือ 40,000 วินาที

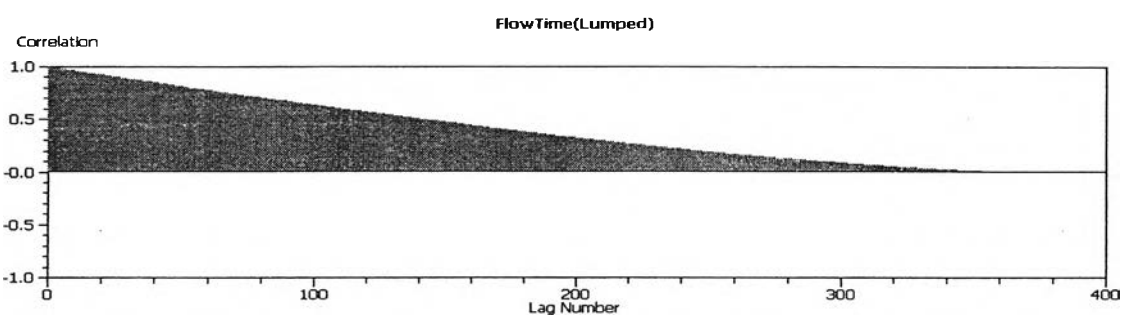


รูปที่ 4.8 กราฟ Moving Average ของแบบจำลองสายการประกอบจอแสดงภาพ

4.7.2 การหาขนาดของข้อมูลที่เหมาะสมต่อการจัดกลุ่มข้อมูล

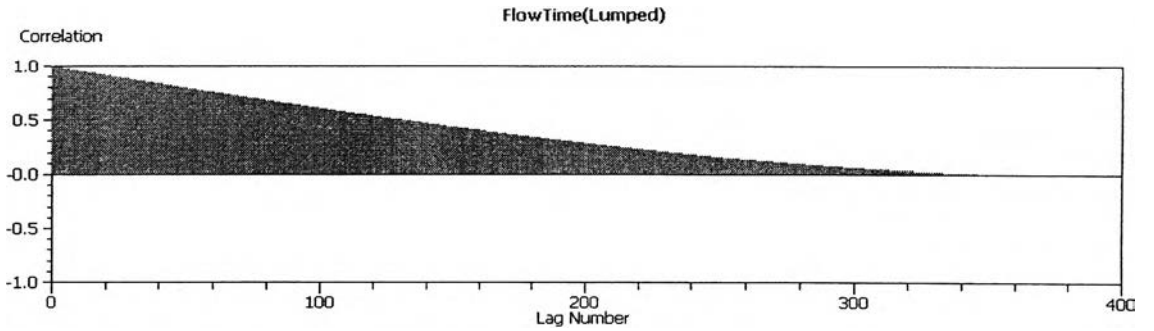
การหาขนาดของข้อมูลที่เหมาะสมต่อการจัดกลุ่มข้อมูล (Batch Size) นี้ก็เพื่อให้ข้อมูลที่ใช้ในการวิเคราะห์เป็นอิสระต่อกัน ซึ่งจะสามารถกระทำได้หลายวิธีแต่วิธีที่ง่ายและสะดวกคือการพล๊อตกราฟโดยใช้คำสั่ง Correlogram ซึ่งจำนวนข้อมูลอย่างต่ำ 10 เท่าของจำนวน Lag ทำให้ข้อมูลสองชุดเป็นอิสระต่อกัน ซึ่งจำนวน Lag จะพิจารณาจะจุดที่ความสัมพันธ์ที่กราฟตัดกับแกน X

รูปที่ 4.9 แสดงกราฟ Correlogram ของแบบจำลองสายการประกอบ Function Key Board ซึ่งจะพบว่า ข้อมูลที่จะทำการจัดกลุ่มคือ ประมาณ 4,000 ข้อมูลขึ้นไป



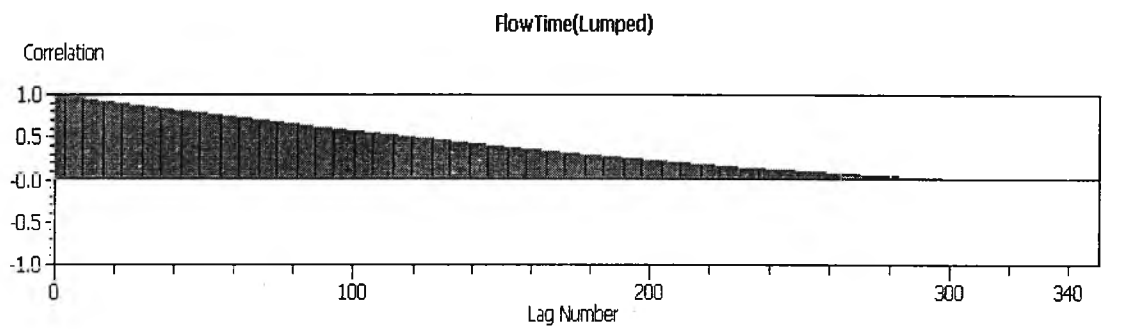
รูปที่ 4.9 กราฟ Correlogram ของแบบจำลองสายการประกอบ Function Key Board

รูปที่ 4.10 แสดงกราฟ Correlogram ของแบบจำลองสายการประกอบ Interface Board ซึ่งจะพบว่า ข้อมูลที่จะทำการจัดกลุ่มคือ ประมาณ 4,000 ข้อมูลขึ้นไป



รูปที่ 4.10 กราฟ Correlogram ของแบบจำลองสายการประกอบ Interface Board

รูปที่ 4.11 แสดงกราฟ Correlogram ของแบบจำลองสายการประกอบจอแสดงภาพ ซึ่งจะพบว่า ข้อมูลที่จะทำการจัดกลุ่มคือ ประมาณ 3,500 ข้อมูลขึ้นไป



รูปที่ 4.11 กราฟ Correlogram ของแบบจำลองสายการประกอบจอแสดงภาพ

4.8 การวิเคราะห์และประเมินผล

หลังจากที่ได้จำลองแบบปัญหา ตรวจสอบความถูกต้องและความสมเหตุสมผลของแบบจำลองเพื่อให้ได้แบบจำลองที่สามารถเชื่อถือได้ แล้วทำการหาช่วงเวลา Warm-up Period และขนาดของจำนวนข้อมูลที่เหมาะสมต่อการจัดกลุ่มข้อมูล จากนั้นก็จะทำการวิเคราะห์และประเมินผลของการทดลองต่อไป

4.9 สรุปท้ายบท

การจำลองแบบปัญหาช่วยในการจำลองรูปแบบ และสภาพการณ์ของระบบที่ศึกษา ซึ่งได้แก่ ระบบการผลิตจอแสดงภาพ การผลิตจอแสดงภาพประกอบด้วยสายการประกอบ 3 สาย ทั้งนี้ได้จัดทำแบบจำลองปัญหาด้วยคอมพิวเตอร์แยกกันสำหรับแต่ละสายการประกอบ ในการจำลองแบบปัญหาจะต้องมีการจัดเตรียมข้อมูล ซึ่งข้อมูลส่วนใหญ่จะมีความผันแปรไม่แน่นอนตามพฤติกรรมของระบบงานจริงที่ลักษณะไม่แน่นอนมีความผันแปร จึงต้องอาศัยวิธีการต่าง ๆ ทางสถิติเข้าช่วย ทั้งนี้ได้ใช้โปรแกรม ARENA ในส่วนของ Input Analyzer ทำการทดสอบการกระจายของข้อมูลเพื่อหารูปแบบการกระจายที่เหมาะสมสำหรับข้อมูลเวลาการทำงานในแต่ละขั้นงาน

หลังจากจัดทำแบบจำลองปัญหาเพื่อจำลองระบบแล้ว ขั้นตอนต่อมาคือการตรวจสอบความถูกต้องของแบบจำลอง (Verification) ว่าแบบจำลองที่จัดทำขึ้นมีความถูกต้องหรือไม่ โดยการใช้คำสั่งต่าง ๆ ในโปรแกรม ARENA เช่น ภาพเคลื่อนไหว คำสั่ง TRACE และ Run Controller จากนั้นจึงทำการตรวจสอบความสมเหตุสมผลของแบบจำลอง (Validation) ว่ามีความใกล้เคียงกับระบบจริงมากน้อยเพียงใด โดยใช้โปรแกรม MINITAB ทำการวิเคราะห์ ANOVA เพื่อเปรียบเทียบจำนวนผลผลิตที่ผลิตได้จากผลของแบบจำลองปัญหาและระบบงานจริง ซึ่งได้ผลว่าทั้ง 2 ระบบไม่แตกต่างกันที่ระดับนัยสำคัญ 0.05 จึงสรุปได้ว่าแบบจำลองที่จัดทำขึ้นสามารถใช้แทนระบบจริงได้

ทั้งนี้ระบบที่ทำการศึกษา เป็นระบบแบบ Non-Terminating System ซึ่งงานที่ยังทำการประกอบไม่เสร็จในวันหนึ่ง จะถูกนำมาประกอบต่อในวันถัดไป ดังนั้นจึงต้องมีการหาเวลาที่จะเข้าสู่สภาวะคงตัว (Warm-up Period) และขนาดของข้อมูลที่เหมาะสมต่อการจัดกลุ่มข้อมูล โดยใช้โปรแกรม ARENA ในส่วนของ Output Analyzer เมื่อได้แบบจำลองปัญหาที่มีความถูกต้องและเชื่อถือได้แล้ว จึงนำแบบจำลองปัญหาไปใช้ในการศึกษาการจัดสมดุลสายการประกอบ แล้วทำการวิเคราะห์และประเมินผลของการศึกษาในบทต่อไป