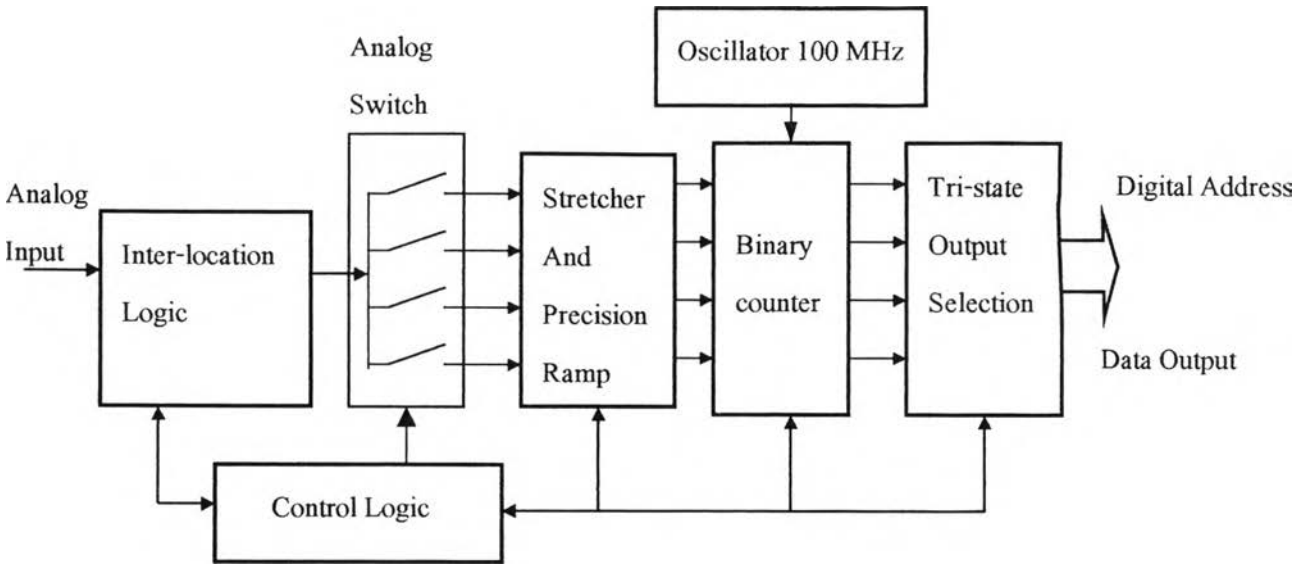
บทที่ 3

การพัฒนาวงจรแปลงผันสัญญาณพัลส์วิลคินสันแบบอาร์เรย์

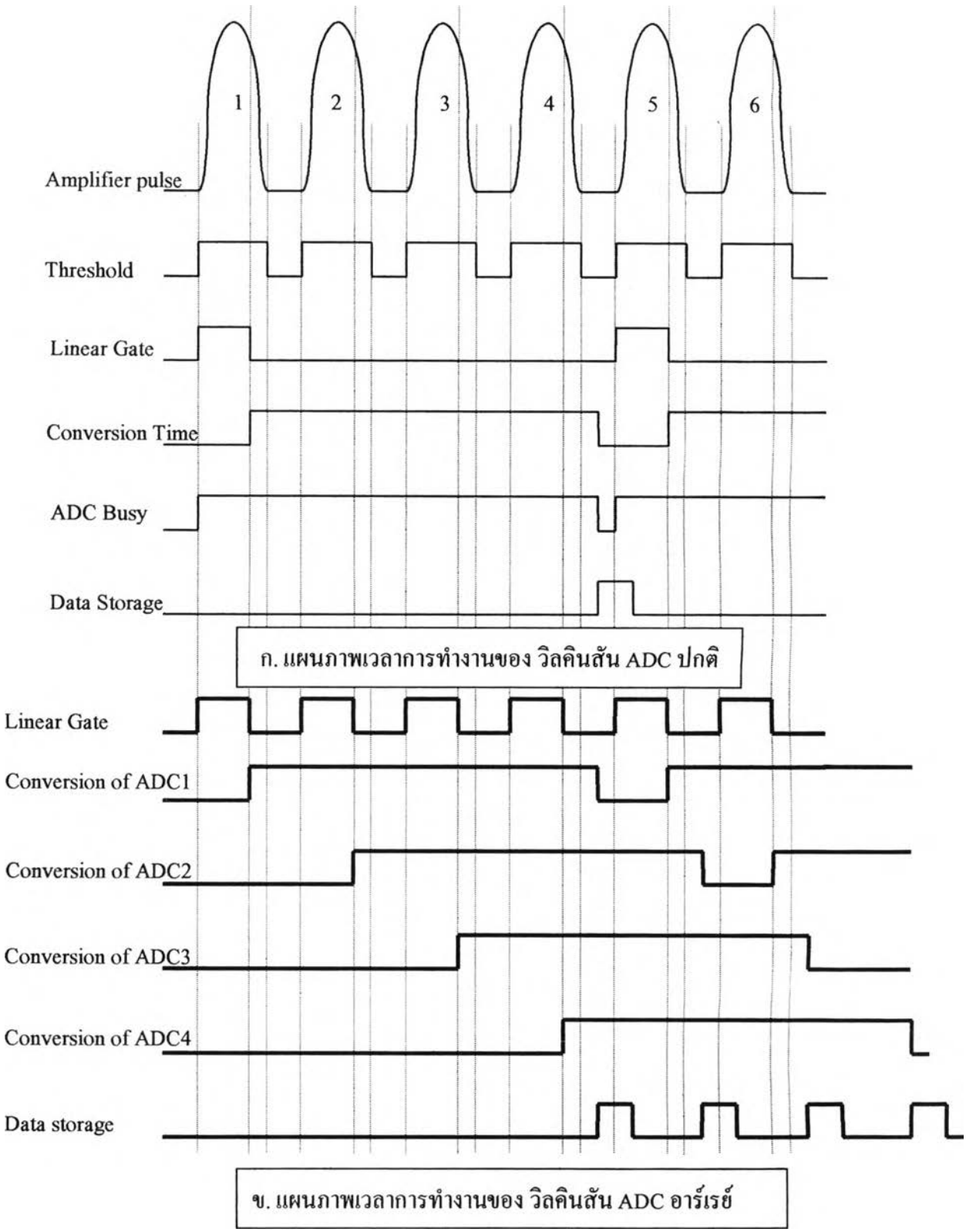
จากข้อมูลของวงจรแปลงผันสัญญาณอนาลอกเป็นสัญญาณเชิงตัวเลขที่มีการนำมาใช้ในการแปลงผันสัญญาณในเครื่องวิเคราะห์แบบหลายช่อง จะเห็นว่าวงจรแปลงผันสัญญาณแบบแฟลช (flash ADC) แม้จะใช้เวลาแปลงผันสัญญาณสั้น แต่มีปัญหาด้านความไม่เป็นเชิงเส้น (DNL) ไม่สามารถนำมาใช้ในกรณีที่ต้องการจำนวนช่องวิเคราะห์สูงได้ ในขณะที่วงจรแปลงผันสัญญาณแบบซัคเซสซีพแอพพรอกซิเมชัน มีปัญหาด้านความไม่เป็นเชิงเส้น (DNL) แต่สามารถแก้ได้ด้วยการเพิ่มกระบวนการ sliding scale ปรับแก้ข้อมูล ดังนั้นวงจรแปลงผันสัญญาณแบบวิลคินสันจึงเป็นวงจรชนิดเดียวที่ให้ความไม่เป็นเชิงเส้นต่ำมากอยู่ แต่มีข้อเสียที่เวลาในการแปลงสัญญาณจะแปรผันตามความสูงของสัญญาณพัลส์ นั่นคือค่าเวลาที่สูญเสียไปกับการแปลงสัญญาณ (ADC dead time) จะขึ้นกับพลังงานของอนุภาคนิวเคลียร์ เมื่อมีการวิเคราะห์อนุภาคนิวเคลียร์ที่มีพลังงานสูงจะใช้เวลาในการแปลงสัญญาณสูงตามไปด้วย การที่จะลดเวลาในการแปลงสัญญาณให้น้อยลงสามารถทำได้ด้วยการเพิ่มความถี่ของสัญญาณนาฬิกาสูงมากขึ้น แต่ก็มีขีดจำกัดของเทคโนโลยีด้านอุปกรณ์ที่ใช้งานกับความถี่สูง ปัจจุบันมีการออกแบบวงจรแปลงผันสัญญาณแบบวิลคินสันที่ใช้ฐานความถี่สูงถึง 450 MHz ซึ่งต้องใช้วงจรรวมในกลุ่มอิมิตเตอร์คัปเปิลลอจิก (emitter coupled logic; ECL) และออกแบบวงจรตอบสนองความไวสูงพิเศษช่วยทำงานซึ่งทำให้มีความยุ่งยากและราคาสูง เมื่อพิจารณาที่ฐานความถี่ของวงจรขนาด 100 MHz จะพบว่าสามารถหาวงจรรวมในกลุ่ม TTL หรือ CMOS ได้สะดวกกว่าไม่ต้องการความไวที่พิเศษใด จากสาเหตุดังกล่าวจึงเกิดแนวคิดที่จะพัฒนาอุปกรณ์แปลงผันสัญญาณพัลส์ที่ใช้ฐานความถี่ 100 MHz ให้ทำงานขนานกันต่อเนื่อง ในรูปแบบของวงจรอาร์เรย์ " array Wilkinson ADC" ตั้งแต่ 2 วงจรขึ้นไป เพื่อสร้างกระบวนการรับช่วงการทำงานระหว่างที่ ADC ชุดหนึ่งทำการแปลงผันสัญญาณอยู่ วงจร ADC อื่นที่ว่างจะรับช่วงการแปลงสัญญาณและทำงานอย่างอิสระจนกระทั่งสิ้นสุดการทำงานของแต่ละชุด ทำให้วงจรแปลงผันสัญญาณทำงานอย่างต่อเนื่อง เป็นการลดการสูญเสียเวลาของวงจรลง รับการวิเคราะห์พัลส์ในอัตราสูงมากดังแผนภาพการทำงานของวงจรแปลงผันสัญญาณวิลคินสันแบบอาร์เรย์ในรูปที่ 3.1



รูปที่ 3.1 แผนภาพการทำงานของ วิลคินสัน ADC array

การทำงานของวงจรเริ่มจากวงจร inter-location logic ซึ่งเป็นวงจรจัดลำดับการทำงานของชุดวงจรแปลงผันสัญญาณวิลคินสันที่ว่างอยู่ให้แปลงผันสัญญาณต่อเนื่องเป็นลำดับขนานกันไป และเพื่อให้วงจรแปลงผันสัญญาณแบบวิลคินสันชุดต่างๆมีการทำงานที่เสถียร จะต้องใช้ความถี่ฐานเวลาและแรงดันไฟฟ้าอ้างอิงของวงจร precision current discharge เดียวกัน จากแผนภาพในรูปที่ 3.1 ถ้าจัด ADC อาร์เรย์ 4 ชุด การทำงานของ ADC แต่ละชุดจะทำงานอิสระตั้งแต่เริ่มตรวจพีคพัลส์ เปิดเกตให้วงจรนับไบนารีนับสัญญาณนาฬิกา จนสัญญาณ rundown discharge ตกสู่ระดับศูนย์จึงปิดเกต และส่งข้อมูลตำแหน่งไบนารีไปยังหน่วยความจำ ตามลำดับ ดังแสดงแผนภาพเวลาการแปลงผันสัญญาณของ ADC1ถึง ADC4 ในรูปที่ 3.2 ข.

ในแผนภาพเวลารูปที่ 3.2 เป็นการเปรียบเทียบการทำงานของวงจรแปลงผันสัญญาณพัลส์แบบวิลคินสันปกติ และวิลคินสันแบบอาร์เรย์ จะเห็นว่าเมื่อมีสัญญาณพัลส์เข้ามาในระบบวิเคราะห์ในอัตราสูง ADC วิลคินสันปกติจะไม่สามารถรับสัญญาณพัลส์มาแปลงผันสัญญาณได้ทันสัญญาณพัลส์ลูกที่ 2 ถึง 4 จะสูญหายไปดังรูปที่ 3.2 ก. ไม่ได้รับการวิเคราะห์ แต่ ADC วิลคินสันอาร์เรย์จะสามารถแปลงผันสัญญาณได้อย่างต่อเนื่อง ดังนั้นถ้าใช้เทคนิคการอาร์เรย์ ADC วิลคินสันในเครื่องวิเคราะห์แบบหลายช่องจะทำให้การทำงานของ MCA มีประสิทธิภาพสูงขึ้น ลดการสูญเสียเวลาในการแปลงผันสัญญาณลงในขณะที่ใช้ฐานความถี่ของวงจรที่เท่ากัน



รูปที่ 3.2 แผนภาพเวลาการทำงานระหว่าง วิลคินสัน ADC ปกติ กับ วิลคินสัน ADC อาร์เรย์

3.1 ข้อมูลพื้นฐานในการออกแบบ

3.1.1 ออกแบบ ADC วิลคินสันที่ใช้ฐานความถี่ 100 MHz ความละเอียดช่องวิเคราะห์ 4096 ช่องวัด (12 บิต) รับสัญญาณพัลส์ได้ขนาดความสูง 0 ถึง 9 โวลต์

3.1.2 เพื่อการหาสมรรถนะอัตรานับสูงสุดของระบบ (throughput count rate) เทียบกับ ADC วิลคินสันปกติที่ใช้ฐานความถี่ 450 MHz การจัดอาร์เรย์สูงสุดควรมี 4 ชุด และเลือกจำนวนการทำงานแบบอาร์เรย์ได้อิสระทั้ง 4 ชุด

3.1.3 ระบบบัสทางออกของอุปกรณ์แปลงผันสัญญาณที่พัฒนาขึ้น สามารถต่อเชื่อมโยงได้กับ CANBERRA S-100 MCA

3.1.4 ใช้แหล่งจ่ายศักดาไฟฟ้าจาก I/O slot ISA (Industry Stand bus บน main board ของคอมพิวเตอร์) เพื่อทำร่วมกับ MCA card ได้สะดวก

3.2 การออกแบบวงจรแปลงผันสัญญาณพัลส์วิลคินสันแบบอาร์เรย์

การออกแบบวงจร แบ่งออกเป็น2 ส่วน คือส่วนของวงจรแปลงผันสัญญาณและส่วนของระบบเชื่อมโยงสัญญาณ

3.2.1 การออกแบบวงจรแปลงผันสัญญาณ ประกอบด้วยวงจรย่อย 7 ส่วนได้แก่

ก. Main ADC[2] เป็นวงจร ADC วงจรแปลงผันสัญญาณหลักเริ่มต้น รูปที่ 3.4

ข. Array peak detector[2] ชุดตรวจจับตำแหน่งสูงสุดของความสูงพัลส์ รูปที่ 3.5

ค. Array current constant[2] discharge ชุดคายประจุจากตัวเก็บประจุ รูปที่ 3.6

ง. ADC inter-location วงจรเลือกชุด ADC รูปที่ 3.7

จ. Ramp on control วงจรควบการสร้างสัญญาณ ramp on รูปที่ 3.8

ฉ. Binary counter ชุดวงจรนับไบนารี 12 บิต รูปที่ 3.9

ช. Tri-state buffer ชุดบัฟเฟอร์ตำแหน่งแอสเดรสของทางออกสัญญาณ รูปที่ 3.10

ก. Main ADC (รูปที่ 3.4 sheet 1) ประกอบด้วยวงจรย่อยดังนี้ วงจรบัฟเฟอร์ (buffer) วงจรยืดยอดพีค (peak stretcher) วงจรตรวจยอดความสูงพัลส์ (peak detector) วงจรตรวจจุดตัดเส้นศูนย์ (zero crossing) วงจรปรับเทียบระดับสัญญาณ LLD, ULD, THR วงจรสวิตช์อนาลอก (analog switch) และวงจรกำเนิดสัญญาณแรมพ์ (precision ramp) การทำงานเริ่มที่ U1 จัดเป็นวงจร buffer รับสัญญาณพัลส์ทางเข้าขนาด 0 – 9 โวลต์ จ่ายสัญญาณออกเป็น 2

ส่วน ส่วนแรกส่งให้วงจรเปรียบเทียบระดับสัญญาณ U2,U3และ U5 เพื่อสร้างสัญญาณลอจิกของ LLD,ULD และTHR ตามลำดับโดยปรับค่าได้จาก VR1,VR2 และ VR3 อีกส่วนหนึ่งของสัญญาณส่งไปยังวงจรยึดยอดพีคของสัญญาณพัลส์ ADC ทั้ง 4 ชุดผ่าน R4, R14, R18 ของ ADC ชุดที่ 1 ถึง 4 ตามลำดับ ADC ชุดใดจะได้รับสัญญาณพัลส์เพื่อทำการวิเคราะห์ขึ้นอยู่กับวงจร inter-location ที่จะสร้างสัญญาณควบคุมอนาลอกสวิตช์ U4 เมื่อเกตของ U4 ชุดใดได้รับลอจิก low จะเปิดให้ ADC ชุดนั้นทำงาน ถ้าเป็นลอจิก high จะลัดสัญญาณของ ADC ช่องนั้นลงกราวนด์

วงจร ADC ชุดที่เริ่มทำงานจะส่งสัญญาณไปยังวงจรยึดยอดสัญญาณพัลส์ เช่นเมื่อ U4A ได้รับสัญญาณ #GATE 1 เป็น high วงจร ADC ชุดที่ 1 จะทำงานโดย ไอซี U8 จะทำการ hold สัญญาณประจุบน C1 เมื่อสัญญาณถึงยอดพีคและเริ่มลดลง U16 ซึ่งตรวจตำแหน่งยอดสัญญาณจะ ส่งสัญญาณ PD (peak detect) ให้วงจร ramp on control (sheet 5) กำเนิดสัญญาณ ramp on 1 เพื่อเปิดเกตของวงจร binary counter (sheet 6) และเริ่มการคายประจุด้วยอัตราคงที่ผ่านวงจร precision ramp Q1 ถึง Q6 เมื่อไอซี U20 ตรวจระดับสัญญาณศูนย์ของการคายประจุจาก C1 พบสัญญาณต่ำถึงศูนย์ จะกำเนิดสัญญาณ zero level (ZL) ส่งให้วงจร ramp on control อีกครั้งเพื่อปิดเกตของวงจรนับ ช่วงเวลา ระหว่างสัญญาณ PD ถึง ZL คือช่วงเวลาเปิดเกตให้วงจรไบนารีนับความถี่ 100 MHz ได้สัญญาณตำแหน่งของพัลส์ที่แปลงผันได้

วงจร precision ramp ประกอบด้วย วงจรจ่ายกระแสคงที่ (current constant) วงจรกำเนิดแรงดันอ้างอิง (voltage reference; V-Ref) วงจรสวิตช์คายประจุ (current discharge switch) และวงจรกำจัดประจุ (dumping) การทำงานเริ่มจาก วงจรสวิตช์ Q1 และ Q2 รับสัญญาณเริ่มคายประจุ #RAMP ON จากวงจร ramp on control (sheet5) เปิดสวิตช์คายประจุ Q3 และ Q4 ให้คายประจุไฟฟ้าจาก C1 ผ่านวงจรจ่ายกระแสคงที่ ซึ่งประกอบด้วย Q5 และ U6A โดยรับแรงดันอ้างอิง V-ref จาก U7 ที่ขา 6 อัตราการคายประจุนี้เป็นส่วนที่สร้าง conversion time ของวงจรแปลงผันสัญญาณ ดังนั้นจึงออกแบบวงจรให้สามารถปรับอัตราการคายประจุ เพื่อรักษา conversion gain ของ ADC ไว้ที่ VR5 ในกรณีสัญญาณพัลส์ที่เข้ามาทาง ADC input สูงกว่า ULD วงจร ramp on control จะส่งสัญญาณ DUMP มาที่ Q6 และ Q7 ซึ่งเป็นสวิตช์สำหรับกำจัดประจุจาก C1 โดยผ่านทาง Q1 ทำให้ไม่มีส่งสัญญาณให้วงจรนับ และในกรณีที่สัญญาณพัลส์ต่ำกว่า LLD จะไม่มีการแปลงผันสัญญาณเนื่องจาก U51A ไม่รับการเซ็ทให้ทำงาน

ข. วงจร Array peak detector (รูปที่ 3.5 sheet 2) ประกอบด้วยวงจรสวิตช์อนาลอก วงจรยึดยอดพีค วงจรตรวจจับยอดพีค วงจรตรวจจุดตัดศูนย์ของสัญญาณ ของวงจร ADC ใน

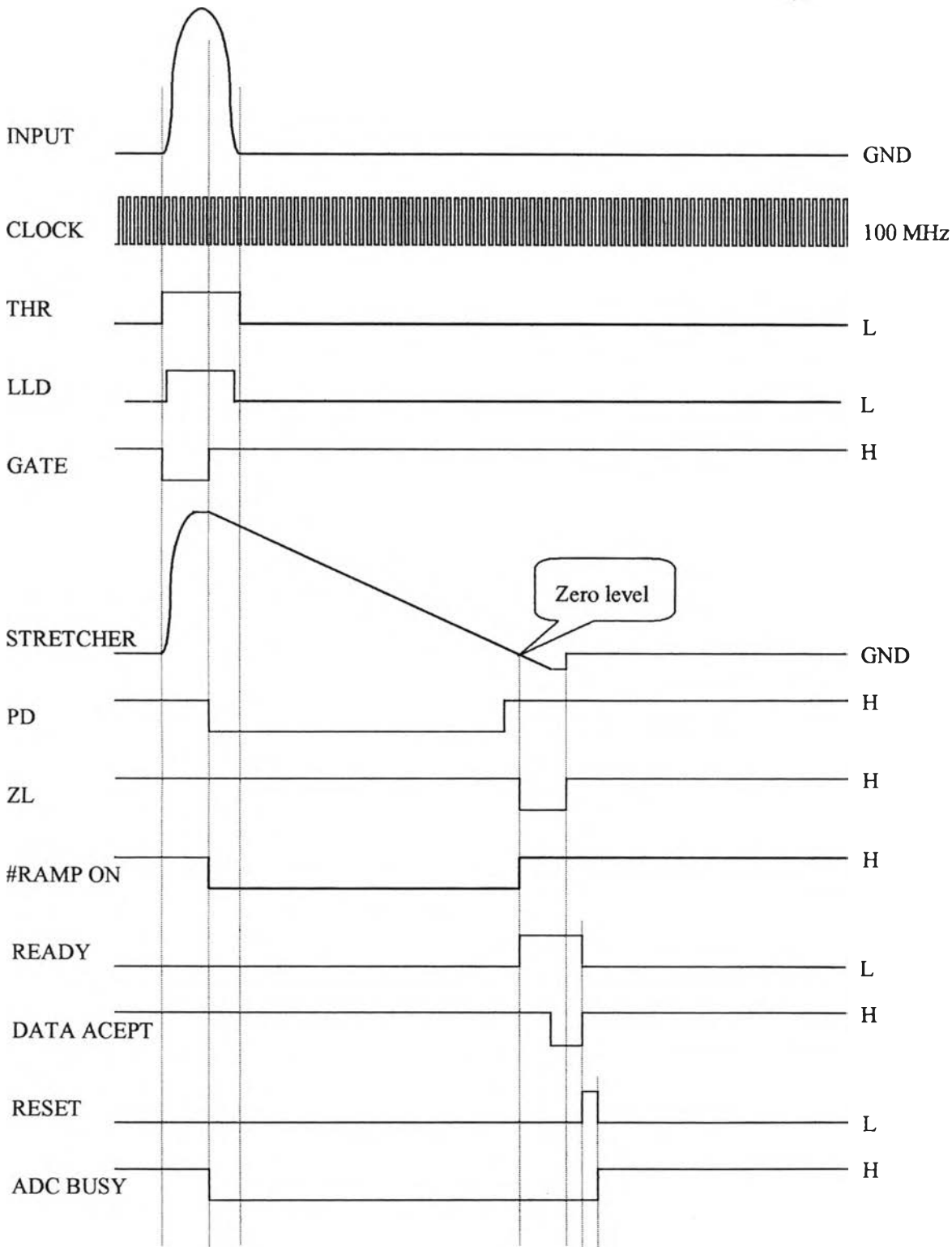
ชุดที่ 2 ถึง 4 ซึ่งมีการทำงานเช่นเดียวกับวงจร analog switch, peak stretcher, peak detect, zero crossing ในวงจร Main ADC (sheet 1) แต่จะรับสัญญาณควบคุมการเปิดเกตสวิตช์อนาลอกจากวงจร inter-location (sheet 4) ในชุด GATE2, GATE3และ GATE4 เพื่อกำเนิดสัญญาณ peak detect เป็น PD2,PD3 และ PD4 พร้อมทั้งสัญญาณ zero crossing เป็น ZL2, ZL3 และ ZL4 ตามลำดับ สัญญาณเหล่านี้จะควบคุมการทำงานของ ADC แต่ละชุด ขณะที่ main ADC ไม่ว่าง

ค. Array current constant (รูปที่ 3.6 sheet 3) ประกอบด้วยวงจร current constant ของ ADC ชุดที่ 2,3และ4โดยใช้ voltage reference (V-Ref) ที่จุดเดียวกันคือจาก ขา 6 ของ U7 มีหน้าที่ คายประจุแบบกระแสไฟฟ้าคงที่ สำหรับคายประจุไฟฟ้าจาก C2, C3 และ C4 ด้วยสัญญาณ #RAMP ON 2,3 และ4 ตามลำดับ และปรับ conversion gain ได้ที่ VR6, VR7, VR8 การคำนวณค่า VR5, VR6, VR7 และ VR8 แสดงไว้ในภาคผนวก ก.1

ง. วงจร ADC Inter-location (รูปที่ 3.7 sheet 4) เป็นวงจรสำคัญที่ใช้ในการควบคุมการทำงานของ ADC แต่ละชุดด้วยการสร้างสัญญาณ GATE สำหรับ สวิตช์อนาลอก U4 โดยเริ่มการทำงานเมื่อมีสัญญาณพัลส์เข้ามาเกิน threshold level ที่ปรับไว้จะเกิดสัญญาณ THR เป็น high เมื่อสัญญาณผ่านวงจร differentiation C10,R86 และ NOT GATE (U42A) จะได้สัญญาณเป็นพัลส์ขาลงสั้นๆส่งมาที่ AND GATE (U37B) ขณะเริ่มต้น ยังไม่มี ADC ชุดใดทำงานสัญญาณ ADC1จะเป็น high ดังนั้นสัญญาณพัลส์ขาลงจะผ่านไปที่ ขา3 (CLK) ของ U26A (D flip-flop) สร้างสัญญาณ GATE1 เพื่อเปิดเกตของ สวิตช์อนาลอก (U4A) ให้ ADC ชุดที่1 สัญญาณพัลส์จะผ่านกระบวนการตรวจจับสัญญาณและกำเนิด#RAMP ON จากวงจร ramp on control (sheet 5) ซึ่งจะตรงกับสัญญาณ PD1 ที่เกิดขึ้น จึงจะปิดเกตอนาลอกสวิตช์ และช่วงเวลาหลังจากนี้จะเป็นเวลาที่ใช้ในการแปลงผันสัญญาณของ ADC ชุดที่1 ADC ชุดนี้จะไม่สามารถรับสัญญาณพัลส์เพื่อทำการแปลงสัญญาณได้อีก สัญญาณ ADC 1 จึงถูกกำหนดจากวงจร ramp on control (sheet 5) ให้เป็น low เมื่อเกิดสัญญาณพัลส์ลูกต่อไปเข้ามา เกิน threshold level ADC ชุดต่อไปจะถูกกำหนดให้ทำงาน โดยสัญญาณ พัลส์ ขาลง จะผ่าน U32A ไปสร้างสัญญาณ เปิดเกตของ ADC ชุดที่2 ADC ชุดที่ทำงานอยู่อย่างอิสระเมื่อจบการทำงานจะส่งข้อมูลที่แปลงได้ไปยัง MCA หลังจากเรียบร้อยแล้ว วงจร data transfer (sheet 8) จึงจะมีสัญญาณส่งกลับมาให้วงจร ramp on control (sheet 5) เปลี่ยนสัญญาณ ADC1ให้เป็น high

การทำงานของ ADC จะออกแบบให้ ADC ชุดที่1 มีความสำคัญสูงสุดและ ADC ชุดที่2, 3 และ4 จะมีความสำคัญลดลงตามลำดับ คือเมื่อ ADC ชุดที่มีความสำคัญสูงกว่าว่างจาก

การทำงานเมื่อใดถ้ามีสัญญาณพัลส์เข้ามา ADC ชุดนั้นจะถูกเลือกให้เป็นชุดรับสัญญาณไปทำการแปลงผันสัญญาณ โดยที่ ADC ทั้ง 4 ชุด สามารถกำหนดให้ใช้งานทั้งหมดหรือบางชุดได้จาก SW1 (ตำแหน่งสวิตช์ ON คือ ไม่ให้ ADC ชุดนั้นทำงาน, OFF คือ ให้ทำงานปกติ)



รูปที่ 3.3 แผนภาพเวลาการทำงานของ ชุด Main ADC

สัญญาณ BUSY TIME เป็นสัญญาณที่ใช้เป็นตัวบอก MCA ให้ทราบว่าช่วงเวลานี้ ADC ไม่มีชุดใดสามารถรับสัญญาณพัลส์เข้ามาทำการวิเคราะห์ได้ กล่าวคือมีสัญญาณ ADC 1-4 เป็น low ทั้งหมด สัญญาณ BUSY TIME นี้ MCA จะใช้ในการคำนวณเวลาที่สูญเสีย (dead time) ในการไม่สามารถรับสัญญาณพัลส์เข้ามาทำการวิเคราะห์ได้ เพื่อปรับแก้เวลาในการวิเคราะห์ (live time correction)ให้ถูกต้อง

จ. วงจร Ramp on control (รูปที่ 3.8 sheet 5) เป็นวงจรที่ใช้ในการสร้างสัญญาณ #RAMP ON, DUMP, ADC busy และสัญญาณ RESET โดยมีแผนภาพเวลาการทำงานดังรูปที่ 3.3

สัญญาณ #RAMP ON เกิดขึ้นจากการที่ วงจร peak detect กำเนิดสัญญาณ PD เป็น low และจะหยุดลงเมื่อวงจร zero crossing ให้สัญญาณ ZL เป็น low โดยช่วงเวลาของ #RAMP ON นี้ จะเป็นช่วงที่ใช้ในการนับสัญญาณฐานความถี่นาฬิกาด้วยวงจร counter (sheet 6) เพื่อแปลงความสูงของสัญญาณพัลส์ให้เป็นสัญญาณเชิงตัวเลข (digital) ซึ่งช่วงเวลาของ #RAMP ON นี้จะเป็นสัดส่วนกับความสูงของสัญญาณพัลส์ที่เข้ามา

สัญญาณ DUMP จะเกิดขึ้นในขณะที่มีการเปิดเกตของ analog switch และมีระดับของสัญญาณพัลส์เข้ามาสูงกว่าระดับ ULD สัญญาณ DUMP จะไปทำการรีเซตวงจร counter (sheet 6) ไม่ให้ทำการนับสัญญาณฐานความถี่นาฬิกาที่เกิดในช่วงสัญญาณ PD และ ZL สัญญาณพัลส์ลูกนั้นจะไม่ถูกแปลงสัญญาณ

สัญญาณ ADC จะถูกสร้างขึ้นเมื่อมีสัญญาณ PD เกิดขึ้นทำให้เกิดสัญญาณ RAMP ONที่ ขา 3 (CLK) ของ D FLIP-FLOP สัญญาณ ADC จะถูกเซ็ตเป็น low ช่วงเวลานี้สัญญาณ ADC จะเป็นสัญญาณบอกให้วงจร ADC select (sheet 4) รู้ว่า ADC ชุดนี้ไม่สามารถรับสัญญาณพัลส์เข้ามาทำการแปลงสัญญาณได้ต้องเลือก ADC ชุดต่อไปเข้ามาทำงานแทนเมื่อมีสัญญาณพัลส์เข้ามา และสัญญาณ ADC จะเป็น low จนกระทั่ง ADC ชุดนี้แปลงสัญญาณเสร็จและส่งข้อมูลที่แปลงสัญญาณได้ไปที่ MCA เรียบร้อยแล้ว MCA จึงจะมีสัญญาณ DATA ACEPT ส่งกลับมา สำหรับใช้ในการรีเซ็ต D FLIP-FLOP ให้เซ็ตสัญญาณ ADC กลับเป็น high ADC ชุดนี้จึงจะกลับมาพร้อมรับสัญญาณพัลส์เข้ามาทำการแปลงสัญญาณใหม่ต่อไป

สัญญาณ RESET เป็นสัญญาณที่ถูกสร้างขึ้นจาก 2 กรณี คือ เมื่อ ADC ชุดใดส่งข้อมูลให้ MCA เรียบร้อยแล้วสัญญาณ RESET นี้จะใช้ในการรีเซ็ตข้อมูลที่วงจร counter และเมื่อสัญญาณพัลส์ที่เข้ามามีความสูงของสัญญาณสูงกว่าระดับ ULD สัญญาณ RESET จะใช้สำหรับรีเซตไม่ให้วงจร counter ทำการนับสัญญาณฐานความถี่ที่เข้ามา เพื่อไม่ให้มีข้อมูลของสัญญาณพัลส์ลูกนั้น

ฉ. วงจร **Binary counter (รูปที่ 3.9 sheet 6)** ประกอบด้วยวงจรกำเนิดความถี่ 100 ล้านเฮิรตซ์ (oscillator 100 MHz) 1 ชุด และวงจรไบนารีเคาน์เตอร์ (binary counter) ขนาด 12 บิต (4096) 4 ชุด สำหรับ ADC แต่ละชุด

วงจรกำเนิดความถี่ 100 ล้านเฮิรตซ์ (oscillator 100 MHz) ออกแบบโดยใช้ออสซิลเลเตอร์สำเร็จรูป แบบ 4 ขา

วงจรไบนารีเคาน์เตอร์ขนาด 12 บิต เลือกใช้ IC 74F112 (J-K FLIP-FLOP) ต่อเป็นวงจรไบนารีเคาน์เตอร์ในส่วน 4 บิตแรก (A0-A3) เพราะสามารถตอบสนองความถี่ได้สูง โดยใช้ขา J และK ต่อร่วมกันสำหรับเป็นวงจรนับสัญญาณส่วนหน้า วงจรนับ 8 บิตหลัง (A4-A11) จะใช้ IC 74LS197 สองตัว ต่อเป็นวงจรนับแบบไบนารี

ช. วงจร **Tri-state buffer (รูปที่ 3.10 sheet 7)** เป็นวงจรที่ใช้ในการคั่นข้อมูลไบนารีก่อนส่งข้อมูลที่แปลงสัญญาณได้ในรูปของรหัสดิจิตอลจากวงจร counter ของ ADC แต่ละชุดเชื่อมโยงกับ MCA โดยที่ข้อมูลของ ADC แต่ละชุดจะถูก MCA แจกแจงตำแหน่งแอดเดรสเพื่อแสดงผลเป็นสเปกตรัมเดียวกัน ข้อมูลจาก ADC สามารถส่งผ่านได้ด้วยการควบคุมสัญญาณ O/E ที่ ขา 1 และ 19 ของ IC 74LS240 โดย IC 74LS240 เป็น บัฟเฟอร์สามสถานะ คือเอาท์พุต สามารถเป็นได้ทั้งสถานะ low = ลอจิก 0, high = ลอจิก 1และhigh impedance (เอาท์พุตถูกปลดออกจากบัส) เมื่อมีสัญญาณ O/E เข้ามา (ลอจิก 0) ที่ขา 1หรือ 19 เอาท์พุตของชุดนั้นจะเปลี่ยนแปลงตามอินพุต เป็น ลอจิก 0 หรือ 1 ถ้าสัญญาณ O/E เป็นลอจิก 1 เอาท์พุตจะถูกปลดออก

ในวงจรเลือกใช้ IC 74LS240 ซึ่งมี NOT GATE บัฟเฟอร์ 8ตัว จะแบ่งการควบคุมออกเป็นสองชุด ชุดละ 4 ตัว การแปลงสัญญาณเป็นขนาด 12 บิต ต้องใช้บัฟเฟอร์ 3 ชุด โดยเอาท์พุตจะต่อเป็น สัญญาณ ADC 00* ถึง ADC 11* สำหรับเชื่อมโยงไปที่ MCA

3.2.2 การออกแบบระบบเชื่อมโยงสัญญาณจากวงจรแปลงผันสัญญาณพัลส์วิลคินสันแบบอาร์เรย์กับเครื่องวิเคราะห์แบบหลายช่อง

ก. เครื่องวิเคราะห์แบบหลายช่อง SYSTEM -100 (S-100 MCA)

เครื่องวิเคราะห์แบบหลายช่อง S–100 ได้รับการออกแบบเพื่อใช้ ADC จากภายนอก สามารถต่อใช้งานร่วมกับ ADC ได้หลายชนิดเช่น 100 MHz วิลคินสัน ADC model 8701, 450 MHz วิลคินสัน ADC model 8706 และ Fixed Dead Time ADC model 8715 เป็นต้นโดย S-100 MCA จะทำงานบนไมโครคอมพิวเตอร์ ผ่าน ISA บัส มีความละเอียดช่องวิเคราะห์ 4096, 8192 หรือ

16384 ช่อง ควบคุมการทำงานด้วย mouse และ keyboard สามารถเลือกการได้ในโหมด PHA (Pulse Height Analysis) และMCS (Multichannel Scaling)

สัญญาณสำคัญที่ใช้ในการออกแบบบนหัวต่อสาย 25-pin D-TYPE connectors ได้แก่

Function	Direction	TTL Polarity
14 Address Lines	In/Out	L
Data Ready	In	L
Data Invalid	In	L
Inhibit Add One	In	L
Dead Time	In	H
Enable Data	Out	L
Enable Collect	Out	H
Data Accepted	Out	L

ข. การออกแบบวงจรเชื่อมโยงสัญญาณระหว่าง ADC ARRAY กับ S-100 MCA

การออกแบบวงจรเชื่อมโยงสัญญาณระหว่าง ADC ARRAY กับ S-100 MCA ใช้มาตรฐานขาสัญญาณของ ADC 450 MHz วิลคินสัน ADC model 8706 เพื่อสามารถใช้ในการปรับเทียบสมรรถนะการทำงานโดยเชื่อมโยงผ่าน ริบบอน 34-pin ซึ่งมีสัญญาณดังนี้

PIN	SIGNAL	DESCRIPTION
1	GND	DC common for all interface signals.
2	ACEPT*	INPUT (Data Accepted): Signals the ADC that the data has been accepted by the MCA. ACEPT* may reset when READY* reset (handshake).
3	GND	DC common for all interface signals.
4	ENDATA*	INPUT (Enable Data): Used to enable the tri-state buffers driving the 14-bit of data onto the output lines ADC00* through ADC 13X*
5	GND	DC common for all interface signals.

PIN(ต่อ)	SIGNAL(ต่อ)	DESCRIPTION(ต่อ)
6	CDT* or CDT	OUTPUT (Composite Dead Time): This signal indicates the time when the ADC or connected amplifier is busy and cannot accept another input event. It is used to gate the live time clock circuit in the MCA. A jumper option (J3) allows selection of polarity.
7	GND	DC common for all interface signals.
8	ENC* or ENC	INPUT (Enable Converter): This signal enables or disables the ADC module. A jumper option (J1) allows selection of polarity. ENC = logic 1 enables ADC operation. ENC = logic 0 prevents the ADC from reopening the linear gate thereby inhibiting further operation.
9	GND	DC common for all interface signals.
10	READY*	OUTPUT (Data Ready): Indicates that data is available for transfer to MCA. READ* will be reset after receipt of signal ACEPT*
11	GND	DC common for all interface signals.
12	INB*	OUTPUT (Inhibit): This signal indicates that the data available for transfer to MCA is invalid and, although the data transfer must be completed, the data itself should be discarded by the MCA.
13	ADC 13*	OUTPUT: Binary data 2^{13} (MSB)
14	ADC 00*	OUTPUT: Binary data 2^{0}
15	ADC 07*	OUTPUT: Binary data 2^{7}
16	ADC 01*	OUTPUT: Binary data 2^{1}
17	ADC 08*	OUTPUT: Binary data 2^{8}
18	ADC 02*	OUTPUT: Binary data 2^{2}
19	ADC 09*	OUTPUT: Binary data 2^{9}
20	ADC 03*	OUTPUT: Binary data 2^{3}
21	ADC 10*	OUTPUT: Binary data 2^{10}
22	ADC 04*	OUTPUT: Binary data 2^{4}

PIN(ต่อ)	SIGNAL(ต่อ)	DESCRIPTION(ต่อ)
23	ADC 11*	OUTPUT: Binary data 2^{11}
24	ADC 05*	OUTPUT: Binary data 2^{5}
25	ADC 12*	OUTPUT: Binary data 2^{12}
26	ADC 06*	OUTPUT: Binary data 2^{6}
27	Reserved	
28	Reserved	
29	BF*	OUTPUT: These signal is set true at peak detect time and remains true until the leading edge of ACEPT*. This signal is meaningful in the NON-OVERLAP mode only.
30	VGAIN (analog)	INPUT: This analog signal controls the ADC gain and is normally provided by the spectrum stabilizer. The GAIN shift of the ADC is 2% for a 5 volt input signal. A more positive level on this signal causes spectral peak at the upper end of the spectrum to move downward (lowers the gain).
31	BLLD	OUTPUT: This signal is set true when the input pulse rises above the ADC threshold level and remains true until the trailing edge of ACEPT*
32	VZERO (analog)	INPUT: This analog signal controls the ADC zero and it is normally provided by the spectrum stabilizer. The ZERO shift of the ADC is 2% for a 5 volt input signal. A more positive level on this signal causes spectral peaks throughout the spectrum to move downward.
33	BCB*	OUTPUT: These signal is set true at peak detect time and remains true until READY* is set true. It represents the conversion time of the internal ADC.
34	ADC 13X*	OUTPUT: Binary data 2^{13} (Alternate MSB)

จากแผนภาพการทำงานของ ADC model 8706 และแผนภาพเวลาการทำงานรวมถึงแผนภาพเวลาในการส่งข้อมูล ไปที่ S–100 MCA ในภาคผนวก ก.2 จะเป็นข้อมูลในการออกแบบวงจรเชื่อมโยงสัญญาณระหว่าง ADC ARRAY กับ S–100 MCA ได้ดังวงจร data transfer (sheet 8)

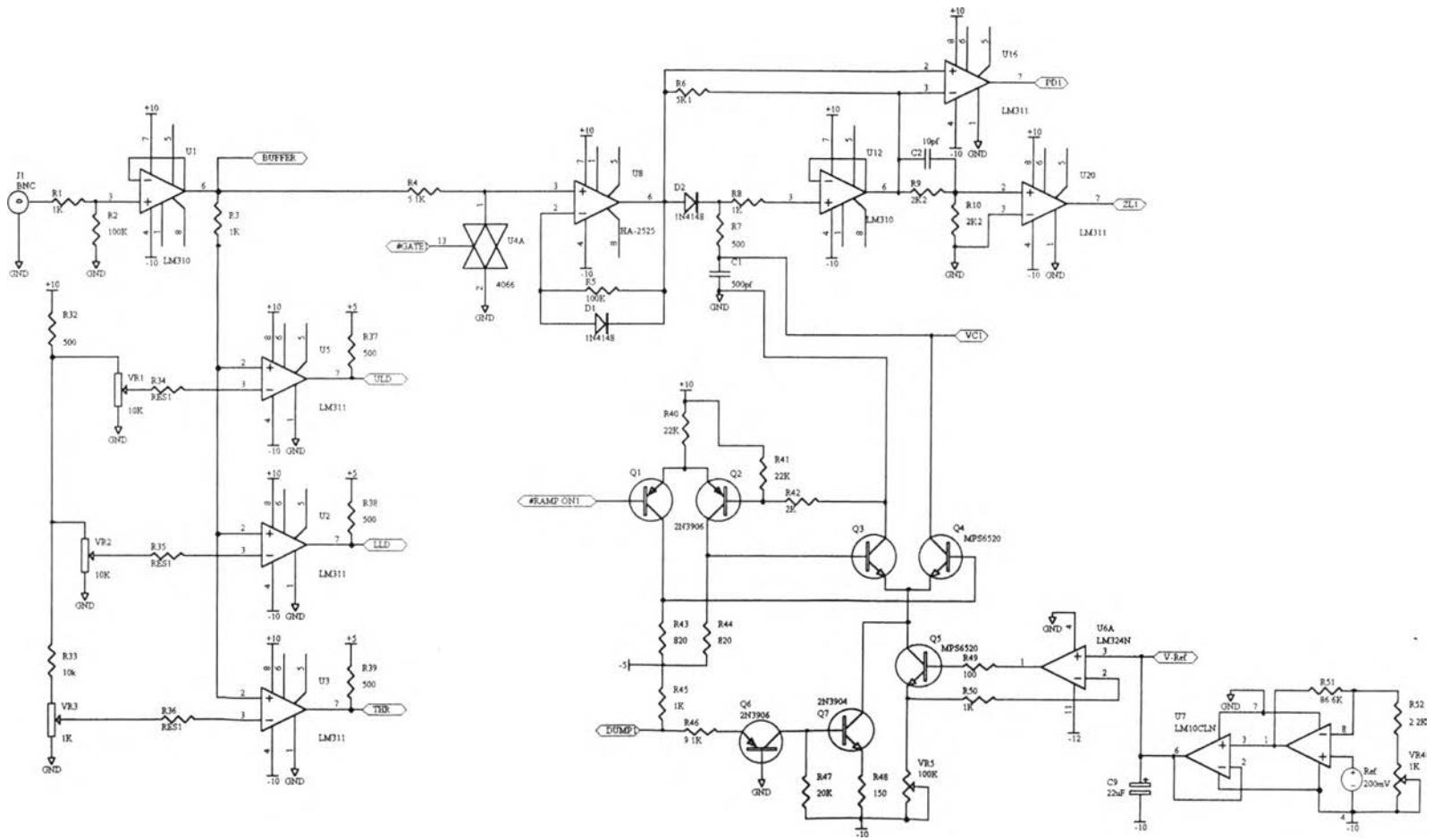
ค. วงจร Data Transfer (รูปที่ 3.11 sheet 8) เป็นวงจรที่ใช้ในการควบคุมการส่งข้อมูลจาก ADC ชุดที่แปลงสัญญาณเสร็จแล้วไปที่ MCA โดยเมื่อ ADC ชุดใดแปลงสัญญาณเสร็จ ADC ชุดนั้นจะมีสัญญาณ #RAMP ON เป็นขอบขาขึ้นของสัญญาณ (แสดงดังรูปที่ 3.3)

เมื่อสัญญาณพัลส์ลูกแรกเข้ามา ADC ชุดที่ 1 ทำการแปลงสัญญาณจบลงสัญญาณ #RAMP ON1 จะเป็น High และทำให้ U58A (D FLIP-FLOP) เซ็ต ขา 6 เป็น Low เพื่อให้ U64A และ U25C สร้างสัญญาณ READY เป็น low ส่งไปให้ MCA รู้ว่ามีข้อมูลพร้อมที่จะทำการส่งให้ MCA หลังจากที่ MCA ได้รับสัญญาณ READY จะเซ็ตสัญญาณ DATA ENABLE เป็น LOW กลับมา ในขณะเดียวกันที่ขา 6ของ U58A เป็น low และขา5 ของ U58A จะเป็น High ผ่าน U65A มาทำให้สัญญาณ DATA ENABLE ผ่าน U25B กระตุ้นให้ขา 6 เป็น low ที่จุดนี้เป็นสัญญาณ O/E1ที่ใช้ในการเปิดให้วงจร Tri-state buffer (sheet 7) ชุดที่ 1 ทำการส่งข้อมูลจาก วงจร counter (sheet 6) ไปที่ MCA เมื่อสัญญาณที่ส่งไปถูก MCA รับไว้เรียบร้อยแล้ว MCA จะส่งสัญญาณ DATA ACEPT เป็น low มาที่ ADC อีกครั้ง ADC จะใช้สัญญาณนี้ไปสร้างสัญญาณสำหรับเคลียร์ วงจร counter (sheet 6) เป็นสัญญาณ CLR COUNT1

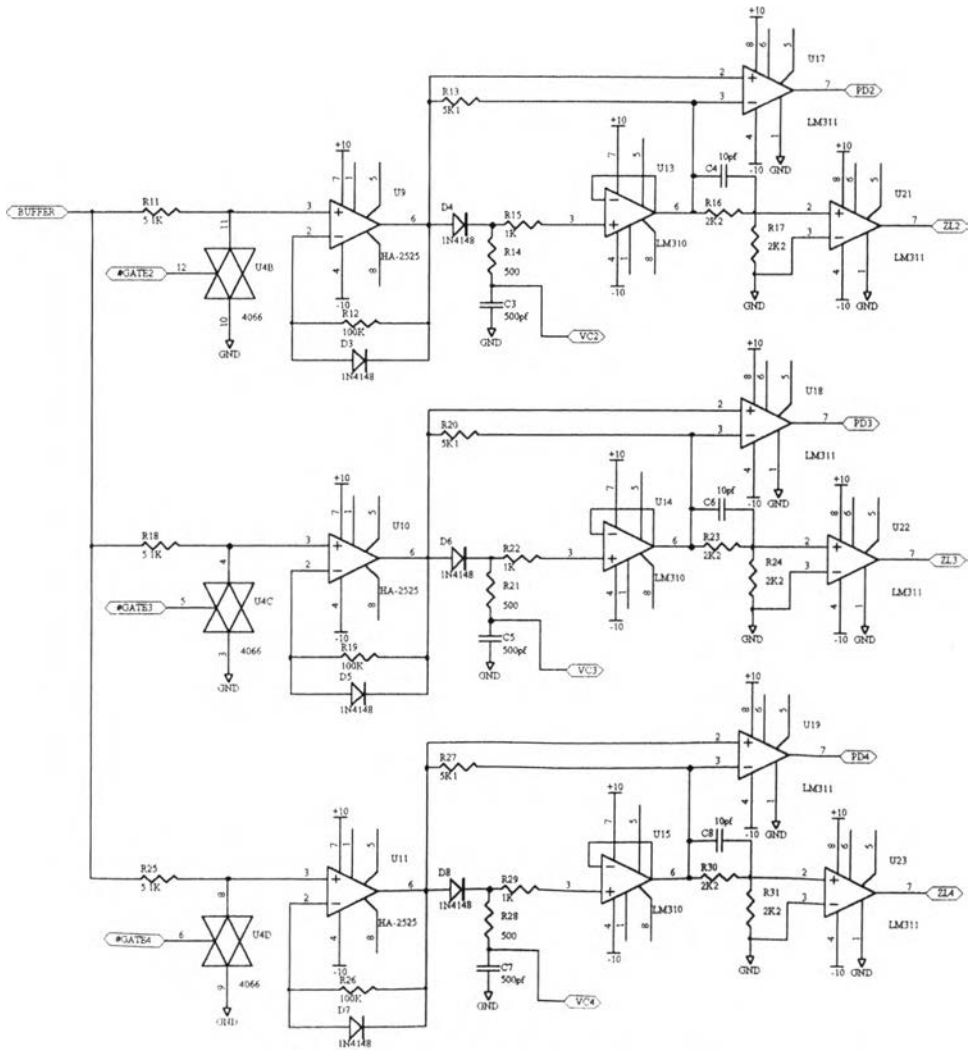
การทำงานของวงจร data transfer จะใช้หลักการออกแบบให้มีการสามารถสร้างสัญญาณ O/E ได้ครั้งละ 1 สัญญาณเท่านั้น โดยกำหนดเงื่อนไขให้มีการส่งข้อมูลของ ADC ชุดที่สูงกว่าก่อนเสมอ

จากวงจรที่ออกแบบขึ้นทั้งหมดได้จัดตำแหน่งของวงจรต่างๆลงบนแผ่นการ์ดชนิดยาวตามมาตรฐานไมโครคอมพิวเตอร์ พร้อมทั้งกำหนดระบบการเชื่อมโยงสอดคล้องกับ ADC ของ CANBERRA รุ่น 8706 ดังแสดงดังรูปที่3.12 และประกอบวงจรลงบนแผ่นการ์ดดังรูปที่ 3.13

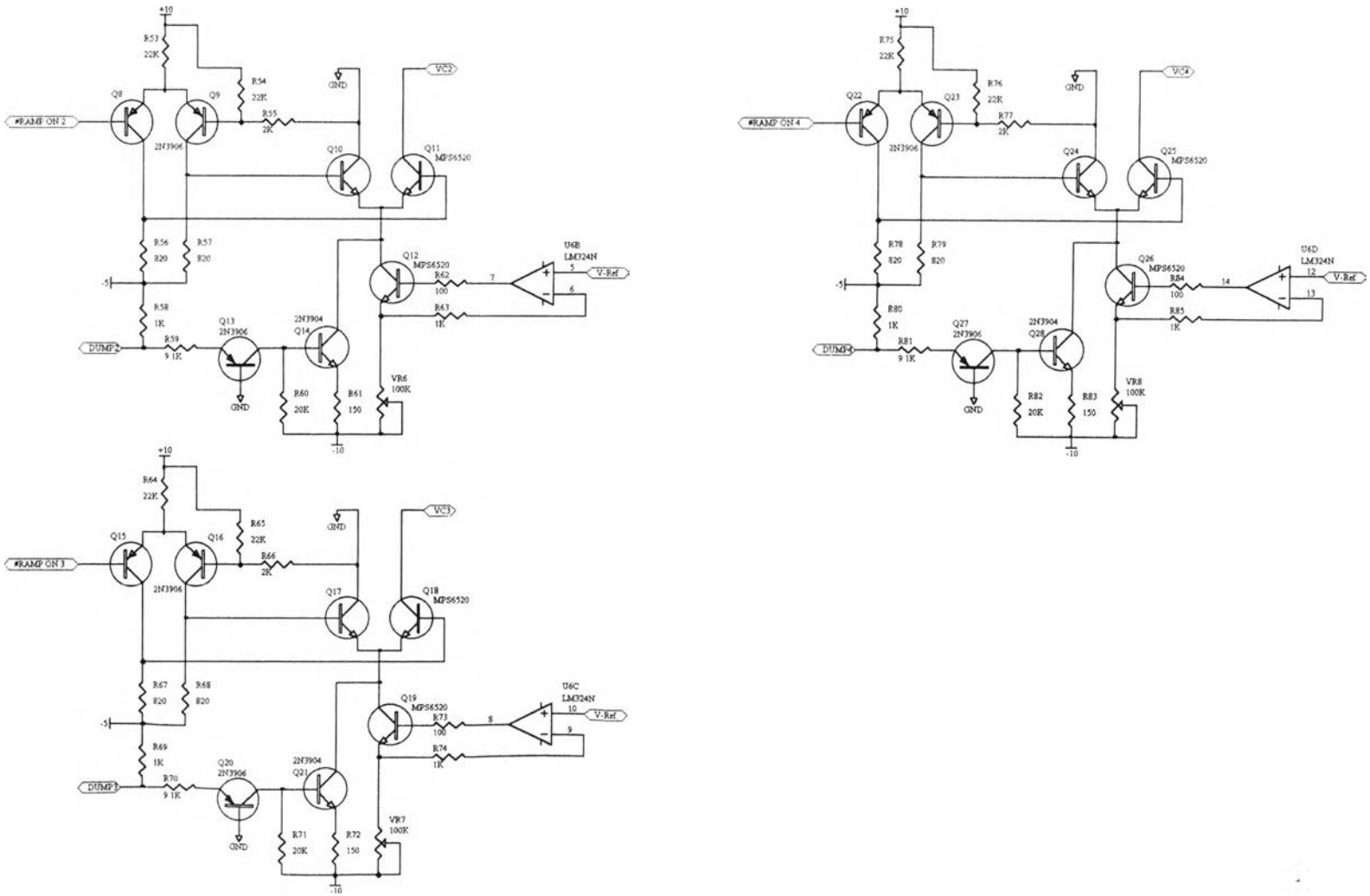
118619435



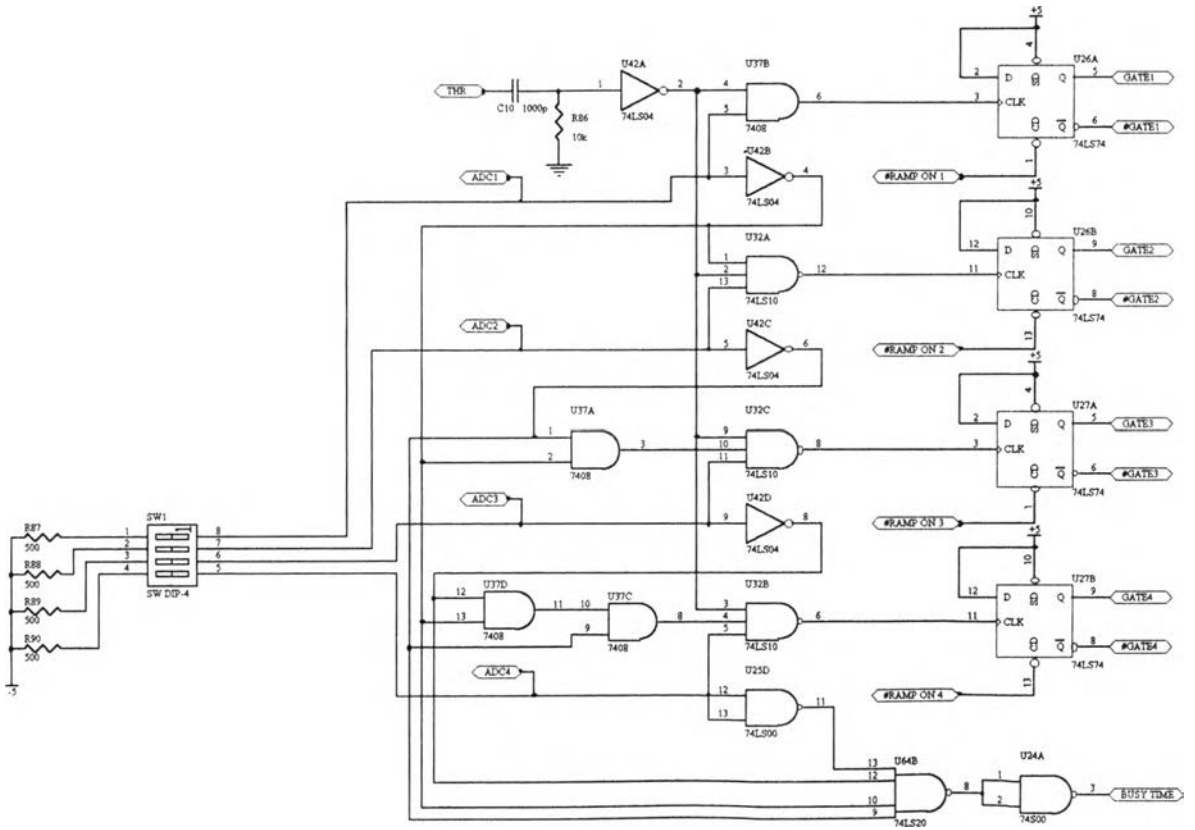
รูปที่ 3.4 วงจร MAIN ADC (Sheet 1 of 8)



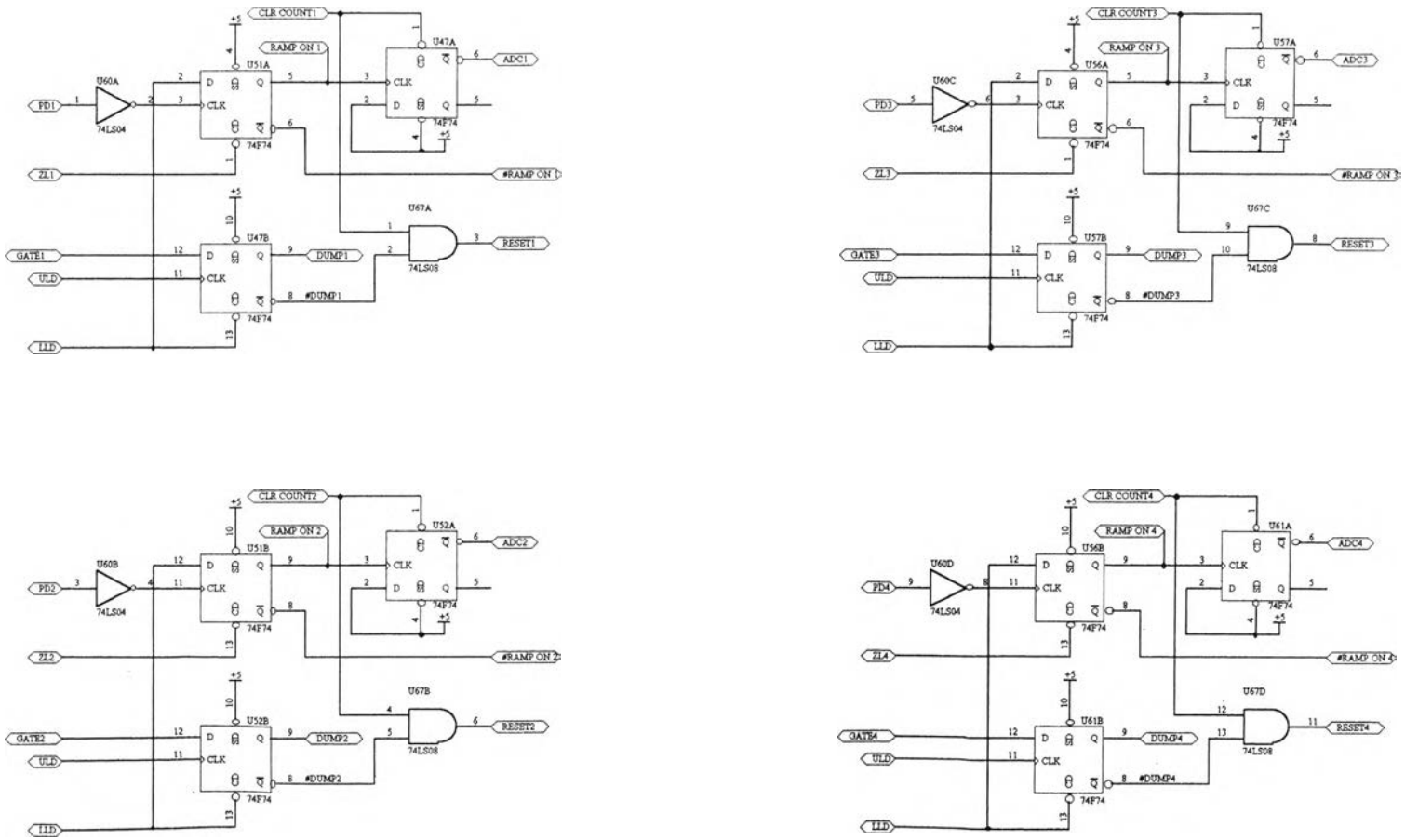
รูปที่ 3.5 วงจร ARRAY PEAK DETECTOR (Sheet 2 of 8)



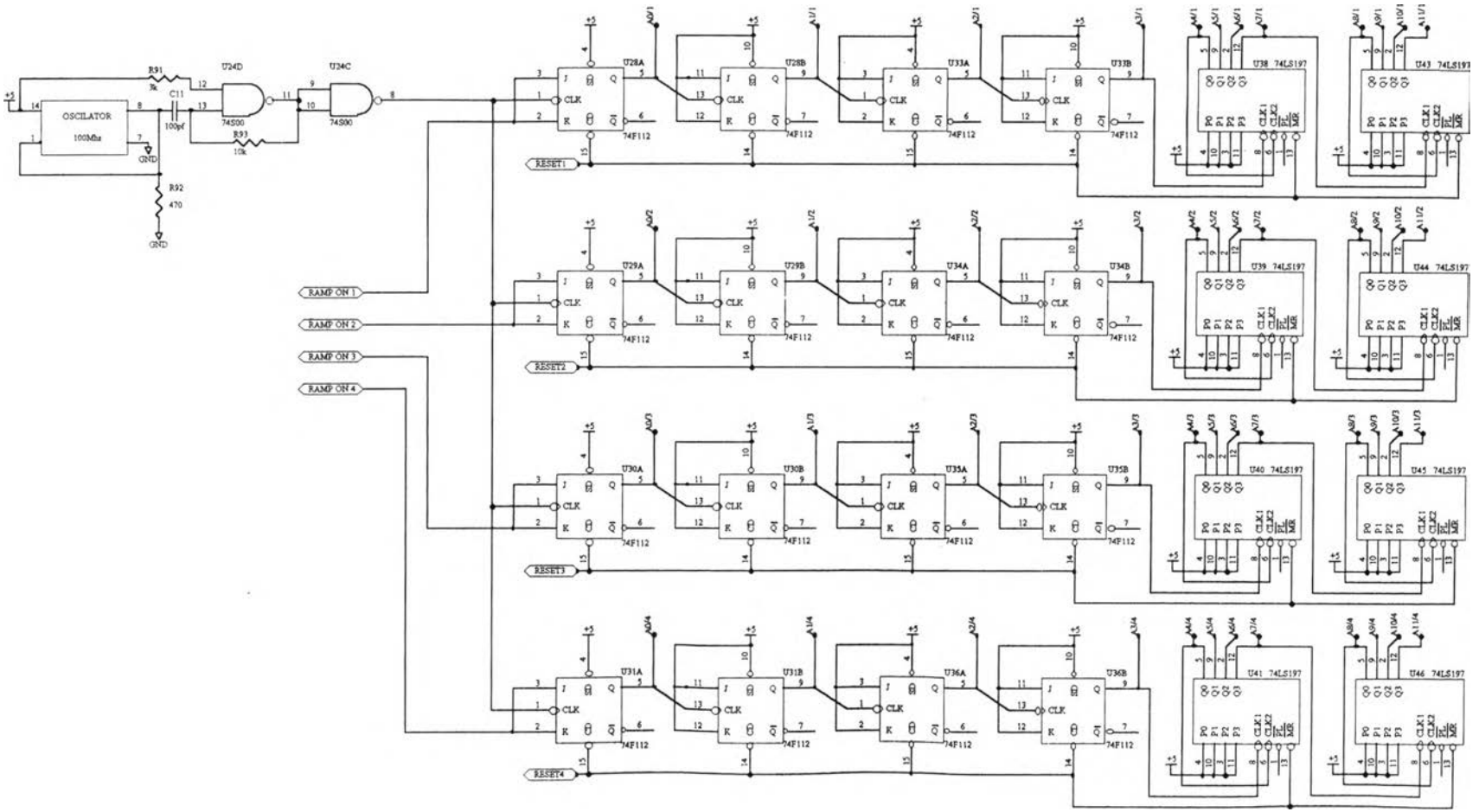
รูปที่ 3.6 วงจร ARRAY CURRENT CONSTANT DISCHARGE (Sheet 3 of 8)



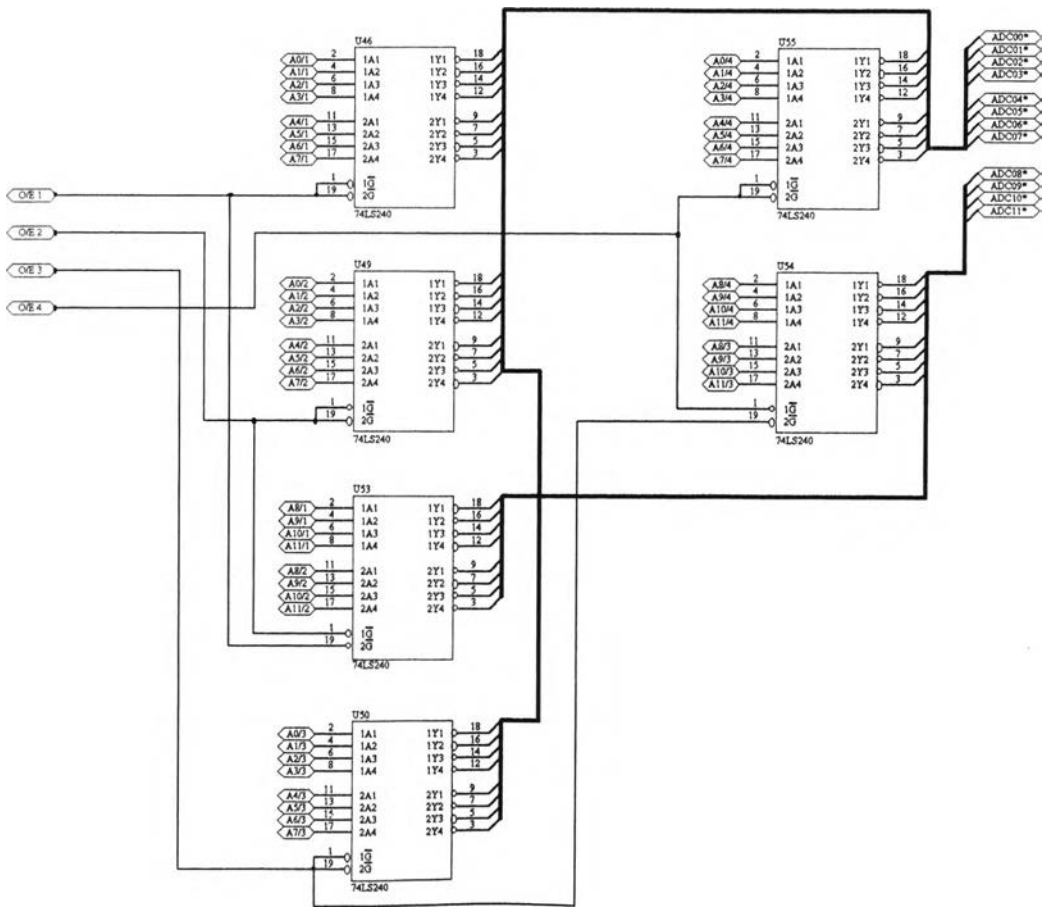
รูปที่ 3.7 วงจร ADC INTER-LOCATION (Sheet 4 of 8)



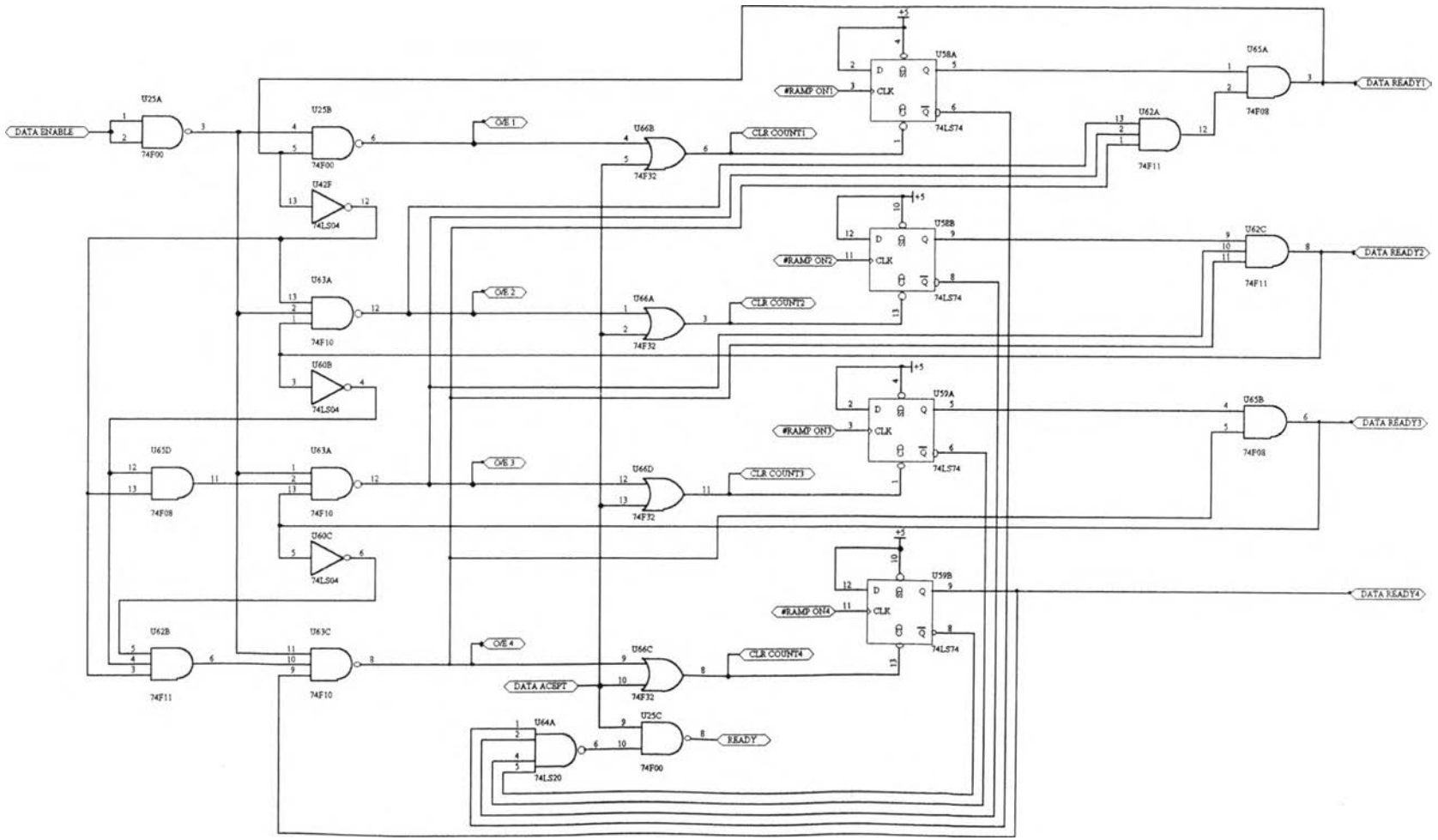
รูปที่ 3.8 วงจร RAMP ON CONTROL (Sheet 5 of 8)



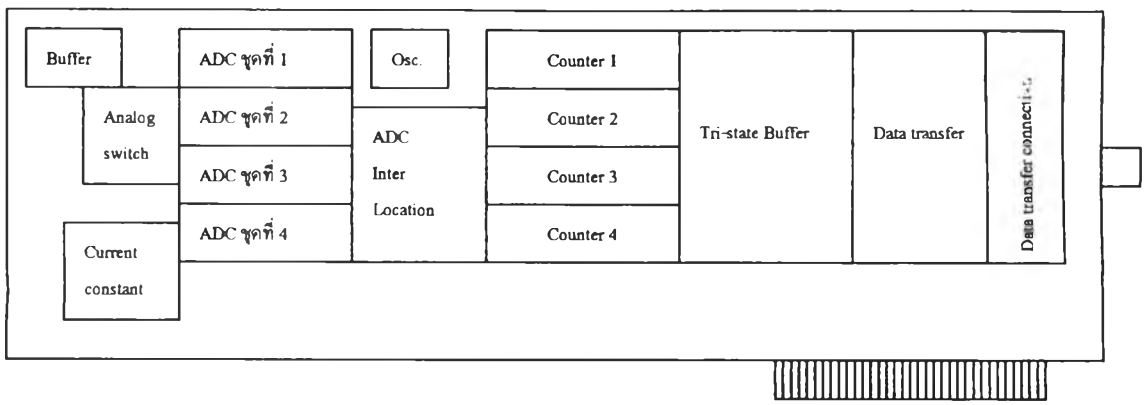
รูปที่ 3.9 วงจร BINARY COUNTER (Sheet 6 of 8)



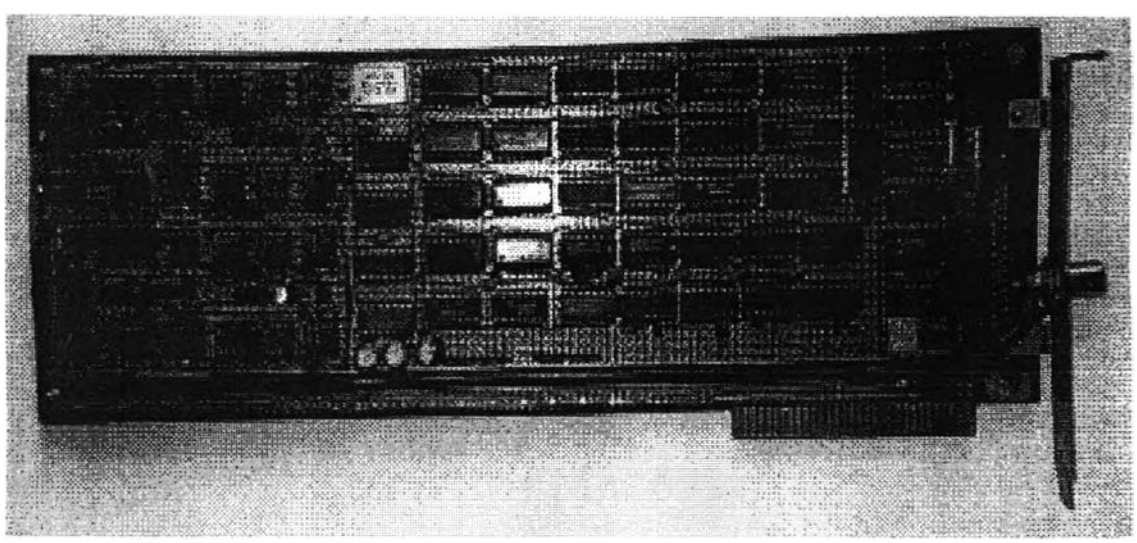
รูปที่ 3.10 วงจร TRI-STATE BUFFER (Sheet 7 of 8)



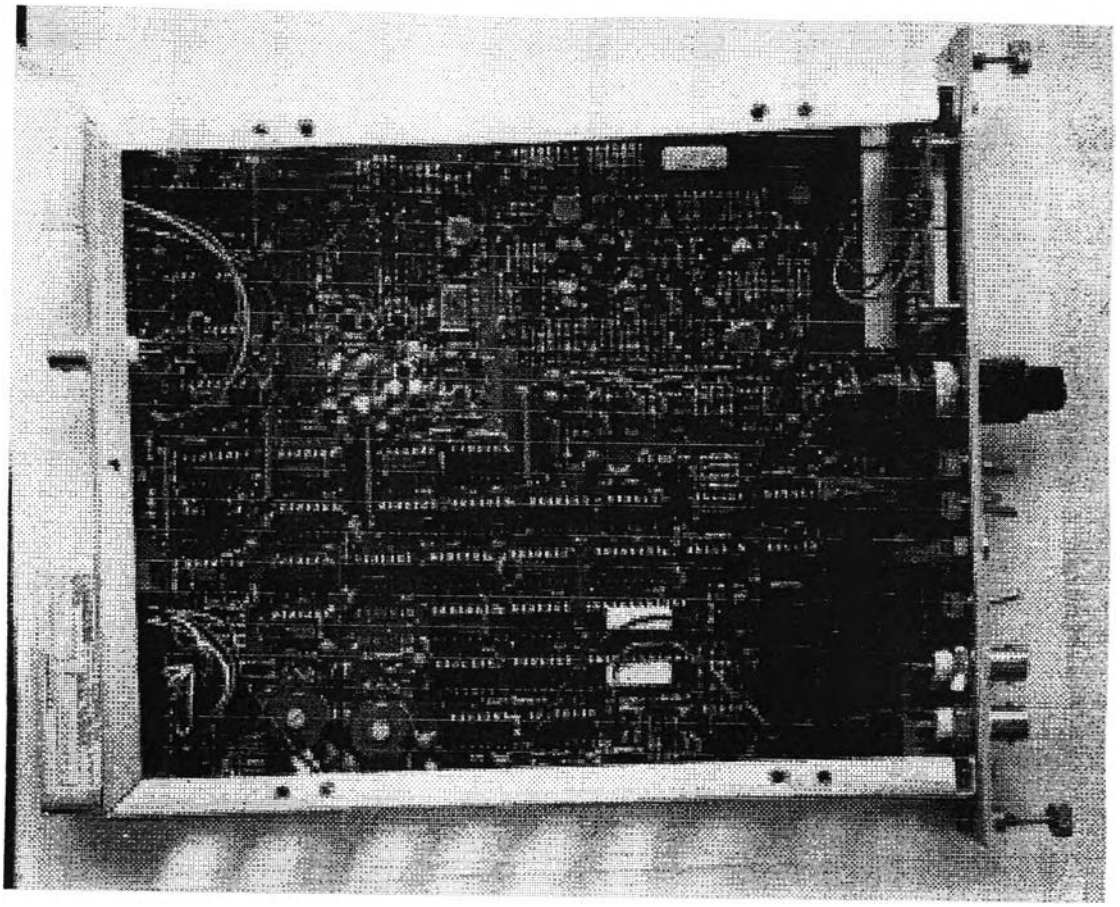
รูปที่ 3.11 วงจร DATA TRANSFER (Sheet 8 of 8)



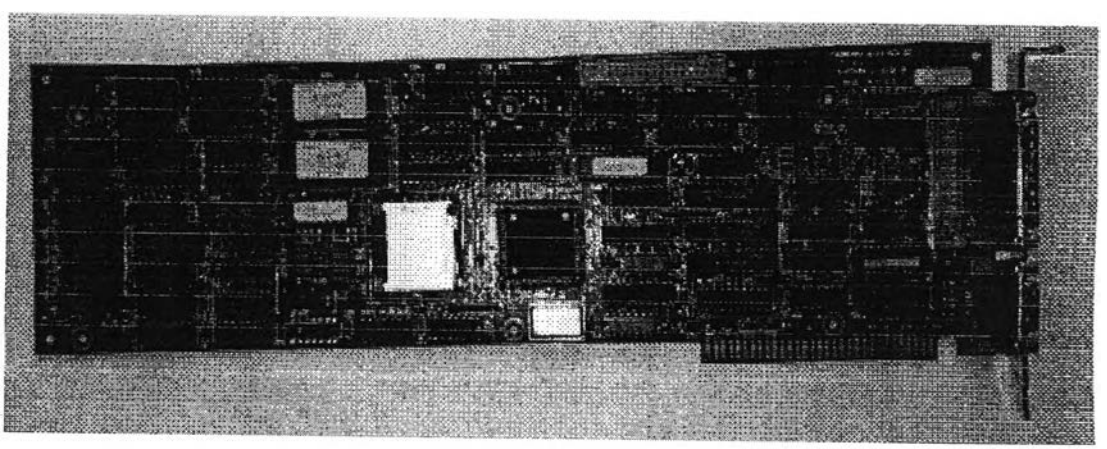
รูปที่ 3.12ตำแหน่งต่างๆของวงจรบนแผ่นวงจร ADC วิลคินสันแบบอาร์เรย์



รูปที่ 3.13 แผ่นวงจร ADC วิลคินสันแบบอาร์เรย์ 4 ชุดที่พัฒนาขึ้น



รูปที่ 3.14 แผ่นวงจร ADC ของ CANBERRA รุ่น 8706



รูปที่ 3.15แผ่นวงจร MCA ของ CANBERRA รุ่น S-100